

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4292720号
(P4292720)

(45) 発行日 平成21年7月8日(2009.7.8)

(24) 登録日 平成21年4月17日(2009.4.17)

(51) Int.Cl.

F 1

H 01 L 21/822 (2006.01)

H 01 L 27/04

H

H 01 L 27/04 (2006.01)

H 01 L 27/04

F

G 06 F 11/00 (2006.01)

G 06 F 11/00

350 P

請求項の数 1 (全 16 頁)

(21) 出願番号

特願2001-15195 (P2001-15195)

(22) 出願日

平成13年1月24日 (2001.1.24)

(65) 公開番号

特開2002-222919 (P2002-222919A)

(43) 公開日

平成14年8月9日 (2002.8.9)

審査請求日

平成20年1月10日 (2008.1.10)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 100100310

弁理士 井上 学

(72) 発明者 結城 文夫

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 田中 勝也

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 加藤 猛

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】電源ノイズ検出回路を有する半導体集積回路およびプロセッサ

(57) 【特許請求の範囲】

【請求項 1】

それぞれが他の回路ブロックの少なくとも1つから信号を受けて信号処理を行う複数の回路ブロックを有する半導体集積回路であって、

前記複数の回路ブロックのうちの少なくとも1対の回路ブロックは、複数ステージの処理を並列に実行する二重化した回路ブロックであり、

前記1対の回路ブロックの少なくとも一方の内部電源配線にはノイズ検出回路を有し、さらに前記ノイズ検出回路の電源ノイズ検出出力を受けると前記1対の回路ブロックの処理進行を停止して電源ノイズ検出時点のステージからの処理を再実行させる第1の割り込み信号を前記1対の回路ブロックに発し、前記1対の回路ブロックの出力が相互に不一致であったら該出力を得るための命令まで戻って再実行させる第2の割り込み信号を前記1対の回路ブロックに発生する割り込み処理回路を備え、

前記割り込み処理回路は、前記第1の割り込み信号による処理の再実行の際に再び電源ノイズ検出出力を受けると障害処理を行なうことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源ノイズによる誤動作を防止し、かつ低コスト化に好適な半導体集積回路に係わり、特にCMOSプロセッサに関する。

【0002】

【従来の技術】

現在、ギガヘルツ C M O S プロセッサの研究開発が盛んに行われている。ギガヘルツ動作を可能にするためには、高速回路技術とともに電源の耐ノイズ設計技術が重要になる。電源ノイズは回路のディレイ劣化や誤動作を発生させ、高速化の妨げになるからである。L S I チップ内の電源ノイズは、(1)回路動作による高周波ノイズと(2)電源抵抗による直流ドロップに大別され、特に(1)が支配的である。

【0003】

一般的な高周波ノイズの低減策にバイパスコンデンサ(パソコンと略記することがある)をL S I チップに搭載する方法がある。これは、L S I チップ内の最悪ノイズに対して誤動作が発生しないようにバイパスコンデンサを搭載する方法である。

10

【0004】

図15に従来のバイパスコンデンサを搭載した半導体集積回路を示す。チップ内部電源線がX Y方向にメッシュ状に配置されている。バイパスコンデンサはY方向のチップ内部電源線の真下の領域とゲートを敷き詰めた後に空いている領域に可能な限り配置する。バイパスコンデンサには例えば、C M O S ゲートのゲート長を長く設定することで大容量コンデンサを構成するケースがある。コンデンサはp M O S とn M O S がある。p M O S はゲートにV S S を接続し、ドレインとソースをV D D に接続する。n M O S はゲートにV D D を接続し、ドレインとソースにV S S を接続する。また、コンデンサの所要量は、チップトータルの切替電流に対して決める。現在のチップ(17mm)では~100Wの消費電力に対してチップ下地の20%をバイパスコンデンサで占めている。

20

【0005】

将来のL S I チップでは、さらに高速化・高集積化が進み、電源ノイズの増大が予測できる。つまり、高速化により電源線のインピーダンスが高くなり、かつ高集積化により消費電力が増加し、電源ノイズが増加する。

【0006】

図16にチップ消費電力とオンチップパソコン所要量のスケーリングを示す。消費電力はゲート長 L_g のスケーリング比 $1/S$ に対して S 倍で増加しているのが分かる。これに対してパソコン所要量は S^2 倍で増加しているのが分かる。これは、近い将来バイパスコンデンサの占有率が50%を超えることを意味しており、これによりチップサイズが増加し、歩留低下に伴ったコスト増大を招くことになる。

30

【0007】

一方、電源ノイズによる誤動作防止対策として、ノイズを検出して割込み処理する方法が知られている。従来のノイズ検出割り込み処理の方法として、例えば、特開平9-73400に記載されているものが知られている。半導体集積回路の周辺に配置された入出力回路部の電源線に侵入する外来ノイズを検出し、割込み処理により内部回路の誤動作を防止している。

【0008】

さらに、ノイズ検出(観測)回路には、例えば、特開平11-191609に記載されているものが知られている。低ノイズ半導体集積回路を構成しているノイズ観測回路がそれである。この回路はノイズ観測の対象となる電源線と別の電源で構成し、電源ノイズの影響を避けたうえでノイズを観測している。

40

【0009】

【発明が解決しようとする課題】

上述のように、従来の半導体集積回路は、高速化・高集積化に伴ったノイズ量の増加による誤動作防止の対策方法には以下のようないわゆる問題があった。

(1) 高速化・高集積化の進行によりL S I に発生する電源ノイズ量が増加し、そのノイズ量を低減させるためにL S I 内のオンチップパソコンを增量する必要があるが、その結果チップサイズが大きくなり、チップの製造歩留が低下し、コスト増加を招くことになる。

(2) また、L S I チップの内部回路内に発生したノイズによる誤動作防止について配慮

50

が足りなかった。従来の半導体集積回路は入出力回路の電源線に進入する外来ノイズを検出して誤動作を防止しているが、内部回路内のノイズによる誤動作防止に対応していない。

(3) また、従来のノイズ検出回路は、ノイズ環境下におけるノイズ検出について配慮が足りなかった。一般に、ノイズ検出回路はモニタしている電源電圧信号と回路の電源との電圧差をノイズと判定する。電源ノイズが発生している電源で動作するノイズ検出回路は、電源がノイズにより揺れており、ノイズを受信してもそのノイズ信号と電源が同調していると、電源とノイズとの電圧差を検知できない。このようなノイズが発生している環境でノイズ検出を可能にするには、ノイズを発生している電源とは別の電源でノイズ検出回路を構成する方法がある。しかし、別の電源線を配置することは、他の信号線の配線の制約を多くするため配線性の悪化を招くことになる。10

【0010】

本発明の第1の目的は、前記問題(1)を解決するために、半導体集積回路の誤動作を防止し、かつコスト低減を可能とする半導体集積回路を提供することにある。本発明の第2の目的は、前記問題(2)を解決するために、半導体集積回路の内部回路内のノイズによる誤動作を防止可能な半導体集積回路を提供することにある。本発明の第3の目的は、前記問題(3)を解決するために、ノイズ環境下でもノイズ検出が可能なノイズ検出回路を提供することにある。

【0011】

【課題を解決するための手段】

前記第1、第2の目的を達成するため、本発明の構成は信号処理を行う複数の回路ブロックからなる半導体集積回路において、少なくとも一つの回路ブロックの内部に電源ノイズ検出回路を有し、前記電源ノイズ検出回路の検出信号により前記回路ブロック自身またはこの信号処理に関わる他の回路ブロックに対して誤動作を防止するための割込み処理を行うことを特徴とするものである。20

【0012】

また、複数の論理回路ブロックまたはメモリ回路ブロックからなるプロセッサにおいて、少なくとも一つの回路ブロックの内部に電源ノイズ検出回路を有し、前記電源ノイズ検出回路の検出信号を受けて前記論理回路ブロックまたはメモリ回路ブロックに対してリカバリー処理を行う回路ブロックを有する。30

【0013】

さらに、信号処理を行う複数の回路ブロックからなる半導体集積回路において、少なくとも一対の回路ブロックを冗長二重化し、前記一対の回路ブロックの少なくとも一方の内部に電源ノイズ検出回路を有し、前記電源ノイズ検出回路の検出信号と共に前記一対の回路ブロックの信号処理結果を照合して、前記回路ブロック自身またはこの信号処理に関わる他の回路ブロックに対して誤動作を防止するための割込み処理を行う。

【0014】

そして、複数の論理回路ブロックまたはメモリ回路ブロックからなるプロセッサにおいて、少なくとも一対の回路ブロックを冗長二重化し、前記一対の回路ブロックの少なくとも一方の内部に電源ノイズ検出回路を有し、前記一対の回路ブロックの信号処理結果と前記電源ノイズ検出回路の検出信号を照合してリカバリー処理を行う回路ブロックを有する。40

【0015】

また、前記半導体集積回路において、前記電源ノイズ検出回路から誤動作を誘起する電源ノイズが生じたことを示す検出信号が出力された場合、前記割込み処理により前記回路ブロック自身またはこの信号処理に関わる他の回路ブロックに対して信号処理の再実行を行わせる。

【0016】

また、前記半導体集積回路において、前記再実行時に前記電源ノイズ検出回路から誤動作を誘起する電源ノイズが生じたことを示す検出信号が再度出力された場合、障害処理に移行させる。50

【0017】

また、前記半導体集積回路において、前記電源ノイズ検出回路から誤動作を誘起する電源ノイズが生じたことを示す検出信号が出力された場合、前記割込み処理により当該クロックサイクルにおいて前記回路ブロックの信号処理結果の出力を停止し、次サイクル以降において信号処理結果を出力する。

【0018】

また、前記半導体集積回路において、前記一対の回路ブロックからの信号処理結果が異なる場合、または前記電源ノイズ検出回路から誤動作を誘起する電源ノイズが生じたことを示す検出信号が出力された場合に前記割込み処理を行う。

【0019】

本発明は、前記第3の目的を達成するため、前記半導体集積回路において、前記電源ノイズ検出回路に前記回路ブロックと共に電源配線から給電し、前記電源配線からノイズの影響を除いた専用電源を電源ノイズ検出回路の内部で生成する。

【0020】

また、前記半導体集積回路において、前記電源ノイズ検出回路は、前記回路ブロックの電源配線に生じるノイズを検出するノイズ検出部と、前記ノイズ検出部の出力を所定期間保持する検出信号保持部と、前記電源配線からノイズの影響を除いた専用電源を生成して前記ノイズ検出部へ給電する電源生成部からなる。

【0021】

また、前記電源ノイズ検出回路において、前記ノイズ検出部は、前記電源配線の電圧を入力として所定の参照電圧レベルにシフトするレベルシフト回路と、前記レベルシフト回路の出力が所定の閾電圧レベルを超えるか否かを判定するレベル識別回路からなる。

【0022】

また、前記電源ノイズ検出回路において、前記検出信号保持部は、前記ノイズ検出部の出力を受けて動作する期間をエバリュエーション相、前記所定期間外をプリチャージ相とするダイナミック回路からなる。

【0023】

さらに、前記電源ノイズ検出回路において、前記電源生成部は、前記電源配線上の正電源または負電源の電圧変動に追従して変動する電圧を生成する。

【0024】

そして、前記の電源ノイズ検出回路において、クロック同期信号またはその遅延信号からリセット信号を生成し、前記ノイズ検出部と検出信号保持部は、前記リセット信号がLOWの期間にノイズを検出して検出信号を保持し、前記電源生成部は前記リセット信号がHIGHの期間に専用電源を充電する。

【0025】**【発明の実施の形態】****(実施例1)**

図1は本発明による第1の実施の形態のノイズ検出回路を有する半導体集積回路を示す図である。図1において、半導体集積回路100は複数の回路ブロック110、111、112、113、114、115、116と、それぞれの回路ブロックに対応しているノイズ検出回路120、121、122、123、124、125、126と、割込み処理制御ブロック130と、内部電源配線140、141を備えている。

【0026】

図2は本発明による第1の実施の形態の回路ブロックの詳細を示す図である。図2において、回路ブロック210は一般論理ゲート220と、ノイズ検出回路230と、内部電源配線240、241、242を備えている。ノイズ検出回路230は一般論理ゲート220と同じ電源線に接続している。

【0027】

図1または図2の回路において、ノイズ検出回路120、121、122、123、124、125、126、230が回路ブロック110、111、112、113、114、

10

20

30

40

50

115、116、210内の誤動作レベル以上の電源ノイズを検出すると、その検出信号150、151、152、250を割込み制御回路130に送る。そして、その信号を受けた割込み制御回路130は、図示していないが割り込み信号をこの信号処理に関する回路ブロックに送り、割込み処理を行う。

【0028】

図3は本発明による第1の実施の形態の割込み処理フローを示す図である。通常、半導体集積回路は命令を受けてからそれを実行し、その結果を出力する。一方、電源ノイズの検出による割り込み処理が必要な場合は、図3のフローとなる。半導体集積回路が命令(310)を受けてそれを実行(320)している間、各ステージ毎にノイズをモニタ(330)して最終ステージまでノイズが無い場合に結果を出力(340)する。各ステージ毎のノイズモニタでノイズを検出した場合、割込み処理(370)に移行する。そして、割込みによる再実行は、割り込みを受けたステージに戻って行う。また、再実行を行っても再度ノイズを検出(330)し、再度割込み処理370(再実行)が行われる場合、永遠にそれを繰り返す可能性がある。そのため、同ステージのノイズ検出が2回(360)を超えたら障害処理(380)に移行する。具体的な障害処理(380)は、例えば異常処理プログラムによる強制終了などが上げられる。

【0029】

前述したように本発明の第1実施の形態は、信号処理を行う複数の回路ブロックからなる半導体集積回路において、少なくとも一つの回路ブロックの内部に電源ノイズ検出回路を有し、前記電源ノイズ検出回路の検出信号により前記回路ブロック自身またはこの信号処理に関わる他の回路ブロックに対して誤動作を防止するための割込み処理を行う。

【0030】

本実施の形態の割込み処理は、具体的には、半導体集積回路において前記電源ノイズ検出回路から誤動作を誘起する電源ノイズが生じたことを示す検出信号が出力された場合、前記割込み処理により前記回路ブロック自身またはこの信号処理に関わる他の回路ブロックに対して信号処理の再実行を行わせる処理である。また、前記半導体集積回路において、前記再実行時に前記電源ノイズ検出回路から誤動作を誘起する電源ノイズが生じたことを示す検出信号が再度出力された場合、障害処理に移行する。

【0031】

このような本発明の第1実施の形態によれば、バイパスコンデンサ量を抑えることで希に発生する誤動作レベルを超える電源ノイズについてはノイズ検出と割込み処理を行うことにより誤動作防止が可能である。つまり、最悪ノイズに対して誤動作が発生しないような量のバイパスコンデンサを搭載しなくても、誤動作防止が可能である。さらに、バイパスコンデンサ量を抑えることでチップサイズが小さくなり、チップサイズ当りの不良が減るため製造歩留が向上し、コスト低減が可能となる。

【0032】

具体的には、スケーリング1/4に対してLSIを2倍に高集積化し、バイパスコンデンサ量を現状の20%(対17mm下地)に抑えることで、チップサイズを現状の17mm以下に抑えることができる。一方、従来のノイズ対策方法では、スケーリング1/4に対して、バイパスコンデンサが現状の16倍必要になりバイパスコンデンサ量がチップ下地の80%、チップサイズが~30mmとなる。

【0033】

前記第1実施の形態によれば、高速化・高集積化に伴って増加する電源ノイズによる誤動作を防止する効果がある。また、高集積化・ノイズ対策に伴ったチップサイズの増大を防止する効果がある。

(実施例2)

図4は本発明による第2実施の形態の電源ノイズ検出回路を有する二重化した半導体集積回路を示す図である。図4において、半導体集積回路400は、複数の回路ブロック410、411、412と、それに対応した二重化回路ブロック413、414、415と、回路ブロックに対応しているノイズ検出回路420、421、422と、割込み処理制御

10

20

30

40

50

回路 430 と、内部電源配線 440、441 を備えている。ノイズ検出回路 440、441、442 は図 2 同様に一般論理ゲートと同じ電源線に接続している。半導体集積回路 400 は、回路ブロック 410、411、412 を二重化し、1 対の回路ブロックの出力結果を比較することにより 線等による誤動作をチェックしている。

【0034】

一方、電源ノイズによる誤動作については、ノイズ検出回路 420、421、422 を少なくとも一対のうちの片方の回路ブロック内に搭載してチェックしている。つまり、一対の回路ブロック内では同様に回路が動作するため電源ノイズの発生の仕方も同じとなり、片方の回路ブロックを監視することで誤動作をチェックできる。

【0035】

図 5 は本実施の形態の、二重化時の割込み処理フローを示す図である。ノイズ検出による割込みフローは図 3 と同様である。二重化時の割込みは最終ステージまでノイズ検出(530)が無い場合に行う。二重化した回路ブロック同士の出力を比較(540)し、合っていればその結果を出力(550)し、合っていない場合は割込み処理(580)に移行する。そして、再実行は割り込みを受けたときの命令(510)まで戻って行う。

【0036】

本実施の形態によっても、前述した第 1 の実施の形態の場合と同様の効果を得ることができる。そして、二重化している回路ブロックの片側にはノイズ検出回路等を配置しなくてよいため、回路面積の低減が可能である。

【0037】

また、前記第 2 実施の形態によれば、第 1 実施の形態の効果に加え、二重化した回路ブロックのノイズ検出回路による回路面積の増加を抑える効果がある。

(実施例 3)

図 6 は本発明による第 3 実施の形態の電源ノイズ検出回路を有する二重化プロセッサを示す図である。図 6 において、プロセッサチップ 600 は、プロセッサ 610、611 をチップ左右に 2 面搭載している。プロセッサ 610、611 は、主記憶 GBS620 と、キヤッシュ BS630、631 と、バッファ制御ユニット B U 640、641 と、R U 650、651 と、二重化した命令制御ユニット I U 660、661、662、663 と、二重化した汎用演算ユニット G U 670、671、672、673 と、二重化した浮動小数点演算ユニット F U 680、681、682、683 を備えている。また、各ユニット内には、回路ブロック毎のノイズ検出回路 690 と、割込み処理制御回路 601 を備えている。但し、2 重化しているユニットは、どちらか一方に搭載している。割込み処理制御回路 601 を搭載していないユニットへの割込み処理は制御信号調整ブロック 602 を経由して行う。また、図示していないが、チップ 600 には内部電源配線がメッシュ状に配置されており、ノイズ検出回路 690 は一般論理と同じ電源線に接続している。

【0038】

本実施の形態においても、割込み処理フローは図 3 または図 5 と同様である。図 7 に本実施の形態における命令処理のパイプラインを示す。図 7 において、ステージが D (命令フェッチ、デコード準備) 710、A (デコード、アドレス計算) 720、T (TLB 参照) 730、B (BAA 参照) 740、L (オペランド転送) 750、E (命令実行) 760 と 1 サイクル毎にパイプライン状に処理が進む。

【0039】

命令は、a から始まり、b へと順次流れる。ここで、例えば a の命令に対して E ステージ 760 でノイズが検出された場合、ノイズを検出したサイクル内で割込み処理に移行し、次サイクルで再実行を行う。再実行はノイズを検出した E ステージ 760 に対して行う。但し、再実行が次サイクルに間に合わない場合、さらに次のサイクルで再実行を行う。また、後続の命令 b では、命令 a の再実行を行っている間、L から E ステージ 750、760 に移れないため L ステージ 750 で待機する。

【0040】

図 8 は本発明による上記第 3 の実施の形態の命令動作のブロック図である。図 8 において

10

20

30

40

50

、プロセッサ 800 は命令制御部 810 と複数の論理ユニット 820 から構成される。命令制御部 810 は命令レジスタ 812 にフェッチされた命令を解読して順次命令に必要な信号を生成する。論理ユニット 820 は、例えば、演算回路ブロック 830 と、先行演算の状態を格納するステータスレジスタ 821 と、割込み処理からの復帰時に必要な情報を退避しておく退避用レジスタ 822 と、命令制御回路 823 と、割り込み制御回路 824 備えている。演算回路ブロック 830 は、転送されてきたデータを格納する複数の汎用レジスタ 831 と演算器 832 とノイズ検出回路 833 を備えている。

【0041】

ここで、割込み処理動作について、図 7 に示すパイプラインと同様に E ステージ 760 でノイズを検出した場合を例に説明する。命令制御ブロック 813 により命令レジスタ 812 にフェッチされた命令を解読して命令に必要な信号が生成され、その信号により演算回路ブロック 830 で命令が実行される。演算回路ブロック 830 で演算中にノイズ検出回路 833 がノイズを検出すると、その信号 834 は割り込み制御回路 824 に送られる。割り込み制御回路 824 はその信号 825 を、二重化の比較を割込み処理後に行えるようするために、チップ内制御信号調整ブロック 850 に送る一方、論理ユニット内の命令制御回路 823 に割り込み信号 826 を送る。命令制御回路 823 は、演算回路 830 の演算を中止させ、割込み処理からの復帰時に必要な情報を退避用レジスタ 822 に退避させる。必要な情報は、汎用レジスタ 831、ステータスレジスタ 821、プログラムカウンタ 811 の値である。

【0042】

再実行は次サイクルで行う。割り込み処理から次サイクルの間に必要情報の退避と再実行の準備を行う。再実行は図 7 に示すようにノイズを検出した E ステージ 760 に対して行うため、退避していた汎用レジスタ 831 の値を戻すことで行う。

【0043】

前記割込み処理は、割込み処理プログラムが働いて実行される。図 9 は本発明による第 3 の実施の形態の割込み処理のタイミングを示す図である。図 9において、通常動作と割込み処理動作を順に説明する。

(1) 通常動作

回路ブロック内では、複数の汎用レジスタに入力したデータをクロック (CK) 901 の立上りで同時に各バスのゲートに順次伝搬していくため、着目しているバスの周辺 902 では、多くのゲートが同時に切替わり、その切替電流により電源ノイズが大きくなる。例えば、着目バス 2 段目 905 の周辺でゲートの誤動作レベルを超える大きなノイズ 908 が発生した場合、着目バスの動作は、図に示すように 2 段目でノイズが誤動作レベルを超えている間のみ誤動作が発生する。その誤動作が、3 段目 906 から最終段 907 まで伝搬し、最終段 907 では次サイクルのラッチポイントまでに正常動作に戻りきらず、誤動作出力がラッチされることになる。

(2) 割込み処理動作

ここで説明する割込み処理は、再実行（レジスタの内容を一旦退避・クリアし、再度同内容を入力して演算）ではなく、レジスタの内容をそのまま次サイクルの入力とし、出力結果を次サイクルに持ち越すような割り込み処理である。レジスタの内容をそのまま次サイクルの入力とすることは、ゲートがほとんど切替わらないため切替電流による電源ノイズ 908 も小さくなる。つまり、ゲートの誤動作レベルを超えるようなノイズ 908 は発生しない。そのため、次サイクルにおける誤動作は発生せず、逆に最終段 907 の誤動作が正常動作に戻り、次々サイクルのラッチポイントでは正しい出力結果がラッチされることになる。つまり、ラッチするポイントを 1 サイクル延ばすことで誤動作から正常値に戻った内容を出力できる。

【0044】

上述した第 3 実施の形態によれば、複数の論理回路ブロックまたはメモリ回路ブロックからなるプロセッサにおいて、少なくとも一つの回路ブロックの内部に電源ノイズ検出回路を有し、前記電源ノイズ検出回路の検出信号を受けて前記論理回路ブロックまたはメモリ

10

20

30

40

50

回路ブロックに対してリカバリー処理を行う回路ブロックを有することにより、複数のユニットが混載しているプロセッサチップにおいてもユニット毎に割込み処理を行うことにより誤動作を防止できる。

【0045】

また、半導体集積回路において、前記電源ノイズ検出回路から誤動作を誘起する電源ノイズが生じたことを示す検出信号が出力された場合、前記割込み処理により当該クロックサイクルにおいて前記回路ブロックの信号処理結果の出力を停止し、次サイクル以降において信号処理結果を出力することにより、ゲートがほとんど動作しない環境となるため、ゲートの誤動作レベルを下回る電源ノイズとなり、割込み処理サイクルでは誤動作が正常動作に戻り誤動作防止が可能である。 10

【0046】

また、前記第3実施の形態によれば、プロセッサチップにおいても高速化・高集積化に伴って増加する電源ノイズによる誤動作を防止できる効果がある。また、高集積化・ノイズ対策に伴ったチップサイズの増大を防止できるという効果もある。

(実施例4)

図10に、本発明の第4の実施の形態を示す。本実施の形態によれば、VDDとVSSの両方のノイズが一つの回路で検出できる。コンデンサC1とトランジスタTr3, Tr7, Tr8と、インバータinv5は、レベルシフト回路1010を構成する。インバータinv1, inv2, inv3はレベル識別回路1020を構成する。レベルシフト回路1010とレベル識別回路1020を合わせて、ノイズ検出部1030を構成する。VDD2はレベル識別回路1020の正の電源である。トランジスタTr1, Tr2とインバータinv4は、検出信号保持部1040を構成する。 20

【0047】

まず、レベルシフト回路1010の動作を説明する。resetをHIGHにするとTr3, Tr7とTr8がオンになり、接続点N1はTr7とTr8のオン抵抗比で(VDD-VSS)を分圧した電圧にプリチャージされる。次にresetをLOWにすると、Tr3, Tr7, Tr8はオフになるが、C1に電荷が保存されているので、N1の電圧はプリチャージしたときの電圧が保持されている。ここでVDDにノイズが発生したとする。VDDとN1はC1により交流的に結合されているので、VDDに発生したノイズはレベルシフトしてinv1に入力される。 30

【0048】

次に、レベル識別回路1020の動作を説明する。簡単のため、VSSはグランドレベル(0V), VDD2はVDD/2, inv1の閾値電圧はVDD/4、レベルシフト回路1010によるinv1入力のプリチャージ電圧をVDD/3とする。例えばVDDが1.2Vの場合には、VDD2は0.6V、前記閾値電圧は0.3V、前記プリチャージ電圧は0.4Vとなる。

【0049】

一般にインバータ回路の閾値電圧には電源電圧依存性があり、VDDにノイズが発生するとインバータの閾値電圧が変化する。しかし、本実施の形態ではレベル識別回路1020の正の電源をVDDとは別の、VSSとの間の電圧を一定に保つ電源VDD2から供給しているので、VDDにノイズが発生してもinv1の閾値電圧は一定である。 40

【0050】

プリチャージ電圧(0.4V)とinv1の閾値電圧(0.3V)の差(0.1V)より大きなノイズ発生すると、inv1の入力電圧が閾値電圧を下回るのでinv1の出力が反転し、その反転信号はinv2とinv3により増幅され、Tr2のゲートをHIGHにする。逆に、ノイズ電圧がプリチャージ電圧(0.4V)とinv1の閾値電圧(0.3V)の差(0.1V)より小さい場合は、inv2とinv3は反転せず、Tr1のゲートはLOWのままである。このレベル識別回路のノイズ検出感度は、プリチャージ電圧とinv1の閾値電圧の組み合わせを変えることによって自由に設定できる。

【0051】

次に、検出信号保持部1040の動作を説明する。resetがHIGHでノイズが発生していない場合（つまりinv3の出力LOW）、Tr1がオン、Tr2がオフとなり、inv4の入力はプリチャージされてHIGHとなり、出力信号OUTはLOWとなる。resetがLOWの場合、Tr1はオフとなるが、inv4はプリチャージされた電荷により入力HIGH、出力OUTはLOWを保持している。そこで、レベル識別回路1020が動作しinv3の出力がHIGHになると、Tr2オンになり、プリチャージした電荷を引き抜く。その結果、inv4の入力がLOWとなり、OUTはHIGHとなる。一度ノイズを検出すると、OUTはHIGHを保持することができるので、本実施の形態はグリッジ状ノイズも検出可能である。再びresetをHIGHにするとOUTをLOWに戻すことができる。

10

【0052】

以上説明したように、検出信号保持部1040はresetがHIGHの期間をプリチャージ相、LOWの期間をエバリュエーション相とするダイナミック回路となっている。

【0053】

図11(a)にVDDにノイズが発生した場合について、本実施の形態の動作波形を示す。VDD上に-0.3Vのノイズが発生している(VDDは1.2Vから0.9Vまで電圧降下)。レベルシフト回路により、ノイズ波形の直流レベルが0.4Vまで降下し(N1)、ノイズ波形の最小値(約0.1V)がinv1の閾値電圧(0.3V)を下回ることにより、ノイズ検出出力OUTがHIGHとなる。

【0054】

図11(b)にVSSにノイズが発生した場合について、本実施の形態の動作波形を示す。VSS上に+0.3Vのノイズが発生している(VSSは0.0Vから0.3Vまで電圧上昇)。N1の電圧はVDDに追従するので、VSSが変動しても変化は無く、ほぼ一定(0.4V)である。一方、VDD2とinv1の閾値電圧はVSSに追従して変動するので、inv1の閾値電圧は0.3Vから0.6Vへ上昇する。相対的にinv1の入力電圧が閾値電圧を下回るので、ノイズ検出出力OUTがHIGHとなる。

20

【0055】

以上述べたように、本実施の形態は、VDDと同様にVSS上のノイズも検出可能である。

(実施例5)

30

図12に、本発明の第5の実施の形態を示す。図12の回路は、前記レベル識別回路用の電源VDD2発生回路である。本実施の形態によれば、VSSの電圧変動に追従して変動するVDD2発生電源を実現できる。

【0056】

このVDD2発生回路1200の動作を説明する。リセット信号resetをHIGHとすると出力VDD2の電圧設定モード、resetをLOWとすると前記レベル識別回路への電源出力モードとなる。

【0057】

まず、resetをHIGHにする。このとき、VDDおよびVSS上の電源ノイズが十分小さいとする。resetは、トランジスタTr5と、インバータinv6を介してトランジスタTr4に入力され、Tr4とTr5はオンとなる。その結果、Tr4とTr5のオン抵抗比で(VDD - VSS)が分圧される。前記分圧された電圧により、コンデンサC2が充電される。C2の容量値はトランジスタTr6のゲート容量より十分大きいとする。Tr6はソースホロワを構成する。前記レベル識別回路の初段インバータは、入力を閾値付近までプリチャージされるので、わずかながら定常電流が流れるが、その定常電流はこのソースホロワから供給される。C3はVDD2を安定させるために機能するバイパスコンデンサである。

40

【0058】

ノイズ検出時にはresetをLOWにする。Tr4とTr5はオフとなり、Tr6のゲートおよびC2に充電されている電荷は放電されないので、Tr6のゲートとVSS間の

50

電圧は一定に保たれる。Tr6はソースホロワであり、かつわざかな定常電流が流れている状態なので、VDD2はTr6のゲート電圧よりTr6の閾値電圧分だけ低い電圧となる。Tr6の閾値電圧を十分小さく設定すると、VSSが変動した場合に、VDD2はVSSに追従して変動することになる。

【0059】

一方、VDDが変動した場合には、ソースホロワ回路の原理により、Tr6のVDD-ドレイン間電圧が変動し、ソースのVSSに対する電圧は殆ど変動しないので、VDD2のVSSに対する電圧は一定である。

【0060】

次に、resetを入力するタイミングについて説明する。図13はresetとクロック信号のタイミングを表すタイムチャートである。クロック信号に同期して動作する半導体集積回路では、ノイズはクロックエッジに同期して発生する。本実施の形態はリセット時ににおいて、時間T1より前にクロックを止め、集積回路の動作を中断する。T1は電源ノイズが収束するために必要な時間である。時間T2はresetをHIGHにしてからTr6のゲートとC2を充電するために必要な時間である。resetをHIGHにしてからT2経過後、resetをLOWに設定し、その後クロックを再開する。前述のレベル識別回路初段のプリチャージもこのタイミングで行う。つまり、ノイズ源である半導体集積回路の動作とreset動作の期間を分離しているので、VDD2の電圧および、ノイズ検出部初段のプリチャージ電圧は、ノイズの影響を受けず一定値を設定できる。またリーク電流により、長期的にはTr6のゲート電圧およびレベル識別回路初段のプリチャージ電圧が低下する可能性がある。そこでDRAMのリフレッシュ動作のように定期的にVDD2電圧を再設定する。10

【0061】

以上説明したように、本実施の形態によれば、VSSの電圧変動に追従して変動する、(VDD2 - VSS)を一定に保つVDD2発生電源を実現できる。第4の実施の形態と組み合わせた場合には、単一電源で動作し、外部からの専用電源を必要としないノイズ検出回路を実現できる。

(実施例6)

図14に、本発明の第6の実施の形態を示す。本実施の形態は、VSS上のノイズをレベルシフトしてレベル識別回路初段inv7に入力したこと、および、VDDの変動に追従する電源VSS2を生成したことが特徴である。30

【0062】

コンデンサC4とトランジスタTr11, Tr12, Tr13と、インバータinv11は、レベルシフト回路1410を構成する。インバータinv7, inv8, inv9はレベル識別回路1420を構成する。レベルシフト回路1410とレベル識別回路1420を合わせて、ノイズ検出部1430を構成する。VSS2はレベル識別回路1420の負の電源である。トランジスタTr9, Tr10とインバータinv10は、検出信号保持部1440を構成する。トランジスタTr14, Tr15, Tr16と、インバータinv12と、コンデンサC5, C6は、VSS2発生回路1450を構成する。

【0063】

前記VSS2発生回路1450は、(VDD - VSS2)が一定となるようなVSS2を発生する。resetをHIGHにすると、VSS2の電圧設定とinv7のプリチャージ電圧設定とノイズ検出結果OUTのリセットを行う。resetをLOWにするとノイズ検出可能状態になる。40

【0064】

例えばVDDが1.2Vの場合、VSS2は0.6V、前記閾値電圧は0.9V、前記プリチャージ電圧は0.8Vと設定することにより、前記第4の実施の形態と同様にして、VDDおよびVSS上のノイズを検出できる。前記第4の実施の形態はVSSを基準とした回路構成であったが、本実施の形態によればVDDを基準に考えることができるので、回路設計の自由度が上がる効果がある。50

【0065】

【発明の効果】

本発明によれば以下の効果がある。

(1) 前記電源ノイズ回路の検出信号で割込み処理を行うことにより、高速化・高集積化に伴って増加する電源ノイズによる誤動作を防止する効果がある。また、高集積化・ノイズ対策に伴ったチップサイズの増大を防止でき、歩留低下に伴うコスト増加を防止できる効果がある。

(2) 前記二重化した回路ブロックの少なくとも一方の内部に電源ノイズ検出回路を配置することにより、ノイズ検出回路による回路面積の増加を抑えることができる効果がある。
10

(3) 前記複数の論理回路ブロックまたはメモリ回路ブロックからなるプロセッサにおいても(1)同様の効果がある。

(4) 前記ノイズ検出回路をレベルシフト回路とレベル識別回路で構成するにより、VDDとVSSのノイズを検出可能とする効果がある。

(5) 前記電源の電圧変動に追従して変動する電圧を生成することにより、ノイズ環境下でノイズを検出できる効果がある。また、単一電源で動作し、外部からの専用電源を必要としないノイズ検出回路を実現でき、他の信号線の配線制約による配線性の悪化を防止できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の半導体集積回路チップの模式図。
20

【図2】本発明の第1の実施形態の回路ブロックの詳細を示す模式図。

【図3】本発明の第1の実施形態の割込み処理を示すフロー図。

【図4】本発明の第2の実施形態の二重化された回路ブロックを有する半導体集積回路チップの模式図。

【図5】本発明の第2の実施形態の割込み処理を示すフロー図。

【図6】本発明の第3の実施形態の二重化されたプロセッサチップを示す模式図。

【図7】本発明の第3の実施形態の命令処理のパイプラインを示す説明図。

【図8】本発明の第3の実施形態の命令動作を示すブロック図。

【図9】本発明の第3の実施形態の割込み処理のタイミング図。

【図10】本発明の第4の実施形態を示す回路図。
30

【図11】本発明の第4の実施形態の動作波形図。

【図12】本発明の第5の実施形態を示す回路図。

【図13】本発明の第5の実施形態の動作タイミング図。

【図14】本発明の第6の実施形態を示す回路図。

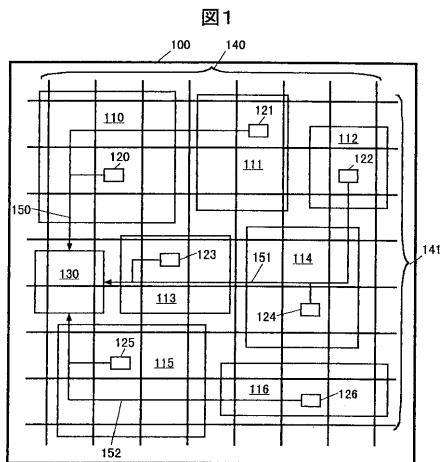
【図15】従来のバイパスコンデンサを搭載した半導体集積回路を示す模式図。

【図16】チップ消費電力とオンチップバスコン所要量のスケーリングを示す測定図。

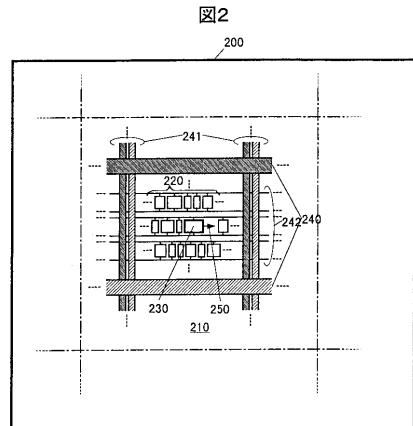
【符号の説明】

810...命令制御部、811...プログラムカウンタ、812...命令レジスタ、820...論理ユニット、821...ステータスレジスタ、822...退避レジスタ、823...命令制御回路、824...割込み処理制御回路、830...演算回路ブロック、831...汎用レジスタ、832...演算器、833...ノイズ検出回路、834...ノイズ検出信号、850...制御信号調整ブロック。
40

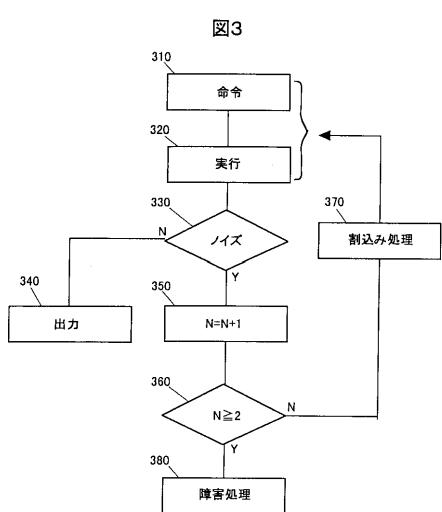
【図1】



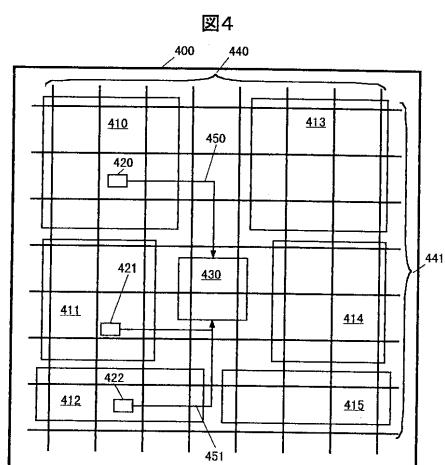
【図2】



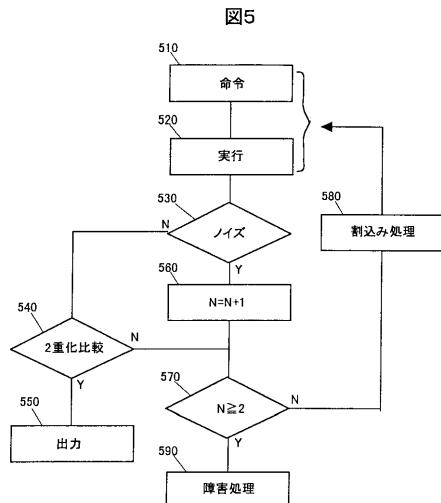
【図3】



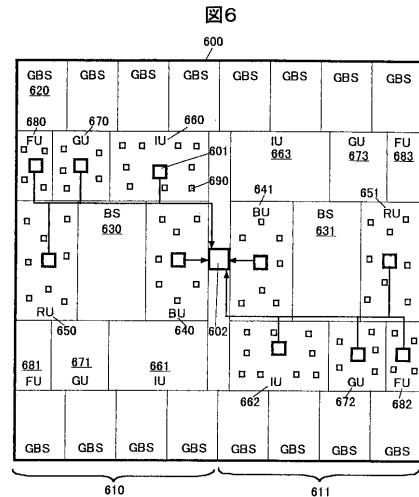
【図4】



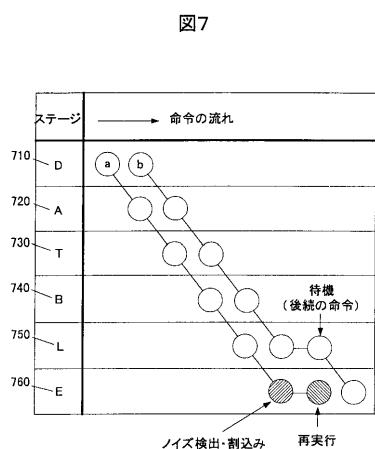
【図5】



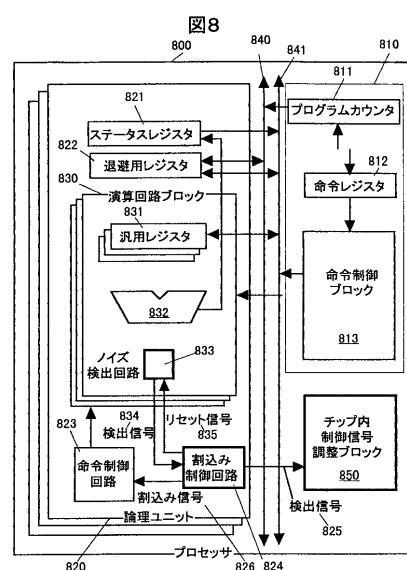
【図6】



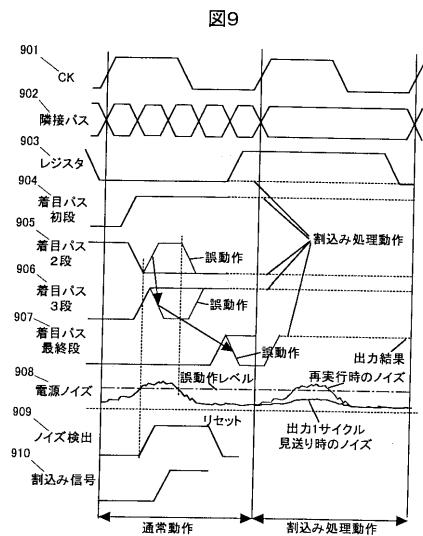
【図7】



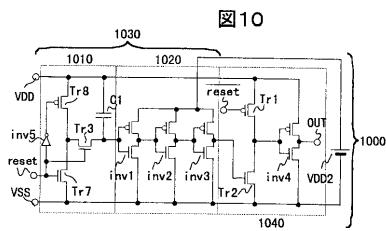
【図8】



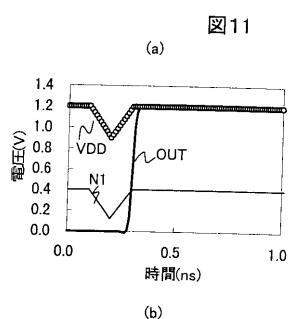
【図9】



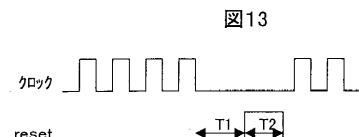
【図10】



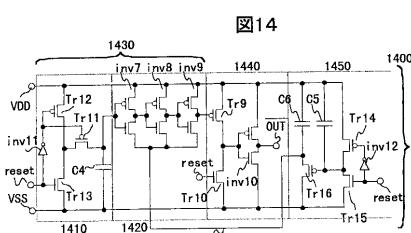
【図11】



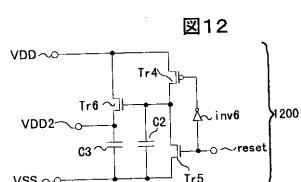
【図13】



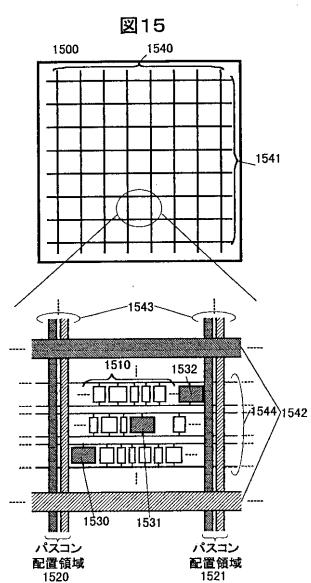
【図14】



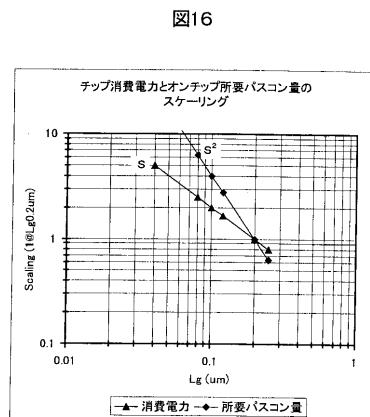
【図12】



【図15】



【図16】



フロントページの続き

(72)発明者 清水 照久

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

審査官 大嶋 洋一

(56)参考文献 特開平10-261762(JP,A)

特開平04-288628(JP,A)

特開平04-071037(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

G06F 11/00

H01L 27/04