

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-191207

(P2017-191207A)

(43) 公開日 平成29年10月19日(2017. 10. 19)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 633H	5C080
G09G 5/00 (2006.01)	G09G 3/20 650C	5C182
G09G 5/391 (2006.01)	G09G 5/00 550X	
	G09G 5/00 510W	
	G09G 5/00 520V	
審査請求 未請求 請求項の数 3 O L (全 10 頁)		

(21) 出願番号	特願2016-80496 (P2016-80496)	(71) 出願人	000106221
(22) 出願日	平成28年4月13日 (2016. 4. 13)		パナソニック デバイス S U N X 株式会社
		(74) 代理人	100105957
			弁理士 恩田 誠
		(74) 代理人	100068755
			弁理士 恩田 博宣
		(72) 発明者	勝谷 裕樹
			愛知県春日井市牛山町2431番地の1
			パナソニック デバイス S U N X 株式会
			社 内
		Fターム(参考)	5C080 AA06 AA10 BB05 CC03 DD07
			DD22 DD27 EE29 GG15 GG17
			JJ02 JJ04
			5C182 AA02 AA03 BC03 BC05 BC43
			CB13 DA14

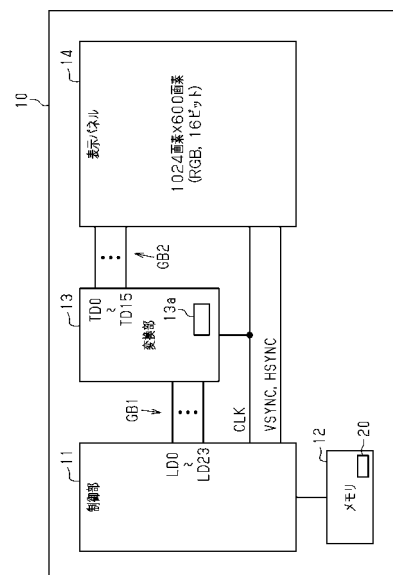
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 互いに対応していない制御部と表示パネルとを用いて画像の表示を可能とすること。

【解決手段】 表示装置10は、制御部11、メモリ12、変換部13、表示パネル14を有している。表示パネル14は、ドットマトリックス型の表示パネルである。メモリ12には、表示パネル14に表示する画像20が記憶される。制御部11は、メモリ12から画像20を読み出し、その画像20を第1の画像バスGB1に出力する。変換部13は、第1の画像バスGB1を介して制御部11に接続されている。また、変換部13は、第1の画像バスGB1のバス幅と異なるバス幅の第2の画像バスGB2を介して表示パネル14に接続されている。変換部13は、第1の画像バスGB1を介して入力する画像20を第2の画像バスGB2に応じて変換し、変換後の画像を表示パネル14に出力する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ドットマトリックス型の表示パネルを有する表示装置であって、
前記表示パネルに表示する画像が記憶された記憶部と、
前記記憶部から前記画像を読み出し、その画像を第 1 のバスに出力する制御部と、
前記第 1 のバスを介して前記制御部に接続され、前記第 1 のバスのバス幅と異なるバス幅の第 2 のバスを介して前記表示パネルに接続され、前記第 1 のバスを介して入力する画像を前記第 2 のバスに応じて変換し、変換後の画像を前記表示パネルに出力する変換部と、
を備えたことを特徴とする表示装置。

10

【請求項 2】

前記制御部は、クロック信号と垂直同期信号と水平同期信号を生成して出力し、前記水平同期信号による水平同期期間において、前記画像の 1 ライン分の画像を前記第 1 のバスに出力し、

前記変換部は 1 ライン分の画像に応じた記憶容量の一時記憶部を有し、前記第 1 のバスから入力する画像を前記一時記憶部に格納し、前記第 2 のバスのバス幅に応じた画像を前記一時記憶部から読み出して前記第 2 のバスに出力すること、
を特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記表示パネルは、前記制御部が対応する他の表示パネルより水平方向の画素数が多いこと、を特徴とする請求項 1 又は 2 に記載の表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

従来、プログラマブルロジックコントローラなどの電子機器に接続される表示装置が各種提案されている（例えば、特許文献 1 参照）。表示装置は、例えば電子機器の動作に応じて各種の画像を表示する。

30

【0003】

このような表示装置は、ドットマトリックス型の表示パネルと、表示パネルに画像データを送信する制御部とを有している。制御部には、例えば CPU が用いられる。制御部に接続されたメモリには、表示パネルに表示する画像の画像データが格納される。制御部は、メモリから画像データを読み出し、表示パネルに出力する。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2013-15609 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0005】

ところで、近年、表示画素数の多い表示パネルが作成されている。このため、表示装置において、解像度の高い（画素数が多い）表示パネルを使用することが求められる場合がある。しかし、制御部が解像度の高い表示パネルに対応していないと、対応する制御部のためにソフトウェアの修正や移植を行わなければならない。このような作業には多くの手間と費用がかかるため、容易に対応することが難しいという問題がある。

【0006】

本発明は上記問題点を解決するためになされたものであって、その目的は、互いに対応していない制御部と表示パネルとを用いて画像の表示を可能とした表示装置を提供するこ

50

とにある。

【課題を解決するための手段】

【0007】

上記課題を解決する表示装置は、ドットマトリックス型の表示パネルを有する表示装置であって、前記表示パネルに表示する画像が記憶された記憶部と、前記記憶部から前記画像を読み出し、その画像を第1のバスに出力する制御部と、前記第1のバスを介して前記制御部に接続され、前記第1のバスのバス幅と異なるバス幅の第2のバスを介して前記表示パネルに接続され、前記第1のバスを介して入力する画像を前記第2のバスに応じて変換し、変換後の画像を前記表示パネルに出力する変換部と、を備えた。

【0008】

この構成によれば、制御部は、第1のバスと、第1のバスのバス幅と異なるバス幅の第2のバスを介して表示パネルに接続される。制御部は、第1のバスにより、第1のバスのバス幅に対応する他の表示パネルに直接接続することが可能である。したがって、制御部は、当該表示装置に含まれる表示パネルに対応していない。変換部により、制御部から出力される画像が、その制御部に対応していない表示パネルの画像に変換され、その変換後の画像に基づいて表示パネルにて表示される。このように、制御部と、その制御部に対応していない表示パネルとを組み合わせることで表示装置を構成することができる。

【0009】

上記の表示装置において、前記制御部は、クロック信号と垂直同期信号と水平同期信号を生成して出力し、前記水平同期信号による水平同期期間において、前記画像の1ライン分の画像を前記第1のバスに出力し、前記変換部は1ライン分の画像に応じた記憶容量の一時記憶部を有し、前記第1のバスから入力する画像を前記一時記憶部に格納し、前記第2のバスのバス幅に応じた画像を前記一時記憶部から読み出して前記第2のバスに出力することが好ましい。

【0010】

この構成によれば、変換部は、第1のバスから入力した画像を変換し、変換後の画像を第2のバスに出力する。このため、変換部が持つ一時記憶部は、多くとも1ライン分の記憶容量に設定されればよい。このため、例えば1画面分の画像を記憶するメモリを用いる必要がない。また、変換部は、一時記憶部に記憶した画像を第2のバスのバス幅に応じて出力するものであるから、複雑な処理を必要としないため、回路規模、つまりチップサイズが小さくてすむ。このため、変換部等を実装する基板の面積の増加を抑制することができる。

【0011】

上記の表示装置において、前記表示パネルは、前記制御部が対応する他の表示パネルより水平方向の画素数が多いことが好ましい。

この構成によれば、解像度の高い表示パネルを採用した表示装置を容易に作成することができる。

【発明の効果】

【0012】

本発明の表示装置によれば、互いに対応していない制御部と表示パネルとを用いて画像の表示を可能とすることができる。

【図面の簡単な説明】

【0013】

【図1】表示装置の概略を示すブロック図。

【図2】表示装置の動作を示す波形図。

【図3】(a)(b)は、表示パネルのための画像データの説明図。

【図4】(a)(b)は、画像データの転送を示す説明図。

【図5】(a)(b)は比較例の表示装置を示すブロック図。

【図6】(a)(b)は制御部が対応する表示パネルのための画像データの説明図。

【図7】比較例のデータ転送を示す説明図。

10

20

30

40

50

【発明を実施するための形態】

【0014】

以下、一実施形態を説明する。

図1に示すように、表示装置10は、制御部11、メモリ12、変換部13、表示パネル14を有している。

【0015】

表示パネル14は、ドットマトリックス型の表示器であり、例えば液晶表示器（LCD：Liquid Crystal Display）である。なお、表示パネル14として例えば有機ELパネル等を用いてもよい。この表示パネル14は、水平方向と垂直方向の画素数が1024×600画素であり、各画素は16ビットにより構成されている。各画素は、赤色（R）のデータと緑色（G）のデータと青色（B）のデータを含む。各画素は16ビットであり、RGBのビット数は、5，6，5である。

10

【0016】

制御部11は、例えば中央演算処理装置（CPU）である。制御部11は、メモリ12に接続されている。メモリ12には、表示パネル14に表示する画像20が記憶されている。制御部11は、第1の画像バスGB1を介して変換部13に接続されている。

【0017】

制御部11は、クロック信号CLK、垂直同期信号VSYNC、水平同期信号HSYNCを生成し、変換部13、表示パネル14に出力する。

また、制御部11は、メモリ12に格納された画像データを順次読み出し、上記各種の信号に基づいて第1の画像バスGB1に出力する。

20

【0018】

この制御部11は、水平方向と垂直方向の画素数が最大で800画素×600画素であり各画素が24ビットからなる表示パネルに対応するものである。つまり、この制御部11は、表示パネル14の画素数（解像度）に対応していない。

【0019】

変換部13は、第2の画像バスGB2を介して表示パネル14と接続されている。変換部13は、例えば結合プログラム可能論理回路（CPLD：Complex Programmable Logic Device）である。第2の画像バスGB2は、表示パネル14に対応するバス幅（本実施形態では16ビット）のバスであり、例えば16ビットの信号TD[0：15]を転送するものである。変換部13は、第1の画像バスGB1を介して制御部11に接続されている。この第1の画像バスGB1は、制御部11に応じたバス幅（本実施形態では24ビット）のバスであり、表示パネル14に対応していない。変換部13は、第1の画像バスGB1を介して転送される画像を、第2の画像バスGB2を介して表示パネル14に出力する。即ち、この変換部13は、表示パネル14に対応しない第1の画像バスGB1の画像を、表示パネル14に対応する第2の画像バスGB2の画像に変換する。表示パネル14は、変換部13により変換された画像を表示する。

30

【0020】

図3（a）に示すように、1つの画像20のサイズは、例えば1024画素×600ラインの画素から構成される。制御部11は、1水平走査期間において、各ラインの画像（1024画素）をメモリ12から読み出し、バスGB1に出力する。そして、制御部11は、1垂直走査期間において、600ラインからなる1つの画像20をメモリ12から読み出して出力する。

40

【0021】

図3（b）に示すように、1つの画素P（1，1）は16ビットのデータであり、赤色（R）の情報と、緑色（G）の情報と、青色（B）の情報とを有している。例えば、RGBの各色は、5ビット、6ビット、5ビットにより表現される。他の画素についても同様である。

【0022】

制御部11は、24ビットの第1の画像バスGB1を有している。制御部11は、1パ

50

ルスのクロック信号CLKに同期して24ビットのデータLD0～LD23を出力する。

上記したように、画像20の各画素P(1, 1)～(1024, 600)は、16ビットである。制御部11は、これらのデータを24ビット毎に第1の画像バスGB1に出力する。

【0023】

図4(a)に示すように、まず、1画素目の16ビットと2画素目の8ビットとを合わせて24ビットのデータとし、そのデータを1回目に転送する。次に、2画素目の残りの8ビットと3画素目の16ビットとを合わせて24ビットのデータとし、そのデータを2回目に転送する。このようにして、制御部11は、全ての画素P(1, 1)～P(1024, 600)を24ビットのデータとして順次出力する。

10

【0024】

1水平走査期間において、制御部11は、1ライン分の画素を第1の画像バスGB1に出力する。1ラインは1024画素から構成され、各画素は16ビットである。従って、1ラインの画像は、16, 384ビット(=1024画素×16ビット)からなる。

【0025】

第1の画像バスGB1では、1回に24ビットのデータを転送する。この第1の画像バスGB1では、683回のデータ転送によって、16, 392ビット(=683回×24ビット)を転送することができる。従って、1水平走査期間において、制御部11から683回のデータ転送によって、1ライン分の画像データを変換部13に転送することができる。

20

【0026】

変換部13は、制御部11に接続された第1の画像バスGB1のデータを、表示パネル14の第2の画像バスGB2に応じたデータに変換し、表示パネル14に出力する。本実施形態では、変換部13は、入力する24ビットのデータを、表示パネル14に合わせた16ビットのデータに変換し、表示パネル14に出力する。

【0027】

変換部13は、データ変換のための一時記憶部としてのメモリ13aを有している。メモリ13aの容量は、変換部13にて保持される最大のデータ量に応じて設定される。1水平走査期間において、1ライン分の画像が制御部11から表示パネル14に転送される必要がある。このため、メモリ13aの容量は、少なくとも1ライン分の画素を記憶することが可能な値に設定される。

30

【0028】

変換部13は、制御部11から出力される1ライン分の画像をメモリ13aに順次記憶する。そして、変換部13は、メモリ13aに記憶したデータを、表示パネル14との間の第2の画像バスGB2の幅に応じて出力する。

【0029】

図4(b)に示すように、第1の画像バスGB1の各信号LD[0:23]により、転送毎に24ビットのデータXA1, XA2, XA3, XA4, ...が図1に示す制御部11から出力される。変換部13は、メモリ13aのそのデータXA1, XA2, XA3, XA4, ...を順次記憶する。そして、変換部13は、メモリ13aに記憶したデータを、16ビット毎のデータXB1, XB2, XB3, XB4, XB5, XB6, ...として読み出し、表示パネル14の間の第2の画像バスGB2の各信号TD[0:15]として出力する。

40

【0030】

図2に示すように、クロック信号CLKに同期して垂直同期信号VSYNCと水平同期信号HSYNCとが図1に示す制御部11から出力される。そして、1ライン目の画像YA1が、図1に示す第1の画像バスGB1における24ビットの信号LD[0, 23]として出力される。図1に示す変換部13は、その信号LD[0:23]により転送される1ライン目の画像YA1をメモリ13aに記憶する。そして、変換部13は、図1に示すバスにおける16ビットの信号TD[0:15]として1ライン目の画像YB1を出力す

50

る。この1ライン目の画像の転送は、水平同期信号H S Y N Cの間、つまり1水平走査期間において完了する。

【0031】

次に、2ライン目の画像Y A 2が、図1に示す第1の画像バスG B 1における24ビットの信号L D [0, 23]として出力される。図1に示す変換部13は、その信号L D [0 : 23]により転送される2ライン目の画像Y A 2をメモリ13 aに記憶し、図1に示すバスにおける16ビットの信号T D [0 : 15]として2ライン目の画像Y B 2を出力する。この2ライン目の画像の転送は、水平同期信号H S Y N Cの間、つまり1水平走査期間において完了する。

【0032】

同様にして、1垂直走査期間（垂直同期信号V S Y N Cの2つのパルスの間）において、1画面分の画像20（図3（a）参照）が転送される。

ここで、本実施形態に対する比較例を説明する。

【0033】

（比較例1）

図5（a）に示すように、表示装置30は、制御部11と、メモリ12と、制御部11に対応した表示パネル31とを有している。表示パネル31は、例えば800×600画素のカラー液晶表示パネルである。この表示パネル31において、各画素は、R G Bそれぞれ8ビットである。

【0034】

図6（a）に示すように、1画面の画像40は、800画素×600ラインの画素Pからなる。つまり、画像40は、画素P（1, 1）～P（800, 600）を含む。

図6（b）に示すように、1つの画素P（1, 1）は24ビットのデータであり、赤色（R）の情報と、緑色（G）の情報と、青色（B）の情報とを有している。例えば、R G Bの各色は、それぞれ8ビットにより表現される。他の画素についても同様である。

【0035】

図5（a）に示すように、制御部11は、24ビットの第1の画像バスG B 1を有している。制御部11は、バスG B 1を介して表示パネル31と直接接続される。制御部11は、クロック信号C L K、垂直同期信号V S Y N C、水平同期信号H S Y N Cに応じて、メモリ12から読み出した24ビットの画素データを順次表示パネル31に出力する。

【0036】

制御部11は、1パルスのクロック信号C L Kに同期して24ビットのデータL D 0～L D 23を出力する。上記したように、図6（a）に示す画像40の各画素P（1, 1）～（800, 600）は、24ビットである。従って、制御部11は、各画素P（1, 1）～（800, 600）を順次第1の画像バスG B 1に出力する。

【0037】

図7に示すように、1画素目の24ビットを1回目に転送する。次に、2画素目の24ビットを2回目に転送する。同様にして全ての画素を図5に示す表示パネル31に転送する。この表示パネル31の画素数は、800画素×600画素であり、図1に示す表示パネル31に比べて画素数が少ない低解像度の表示パネルである。つまり、制御部11は、低解像度の表示パネル31に直接接続され、その表示パネル31に画像40を表示する。

【0038】

（比較例2）

図5（b）に示すように、表示装置50は、制御部11と、メモリ12と、制御部11が対応していない表示パネル14とを有している。更に、この表示装置50は、コントローラ51とメモリ52とを有している。コントローラ51は、表示パネル14に対応するものであり、16ビットの第2の画像バスG B 2により表示パネル14に接続される。制御部11は、アドレスバスA B（A 0～A 20）とデータバスD B（D 0～D 15）とによりコントローラ51と接続される。

【0039】

10

20

30

40

50

制御部 11 は、メモリ 12 に格納された画像 20 を読み出し、アドレスバス AB とデータバス DB とを使用して 1 画面分の画像 20 をコントローラ 51 に出力する。コントローラ 51 は、1 画面分の画像 20 をメモリ 52 に格納する。そして、コントローラ 51 は、メモリ 52 から画像 20 を表示パネル 14 に出力する。

【0040】

この表示装置 50 の場合、制御部 11、メモリ 12、コントローラ 51、及びメモリ 52 が例えば 1 つの基板に実装される。メモリ 52 には 1 画面分の画像 20 を記憶する容量が必要である。そして、基板には、制御部 11 とコントローラ 51 とを接続するために多数の配線が形成される。このため、制御部 11 等を実装する基板が大型化し、表示装置 50 の大型化を招く。

10

【0041】

これに対し、本実施形態の表示装置 10 は、図 1 に示すように、変換部 13 を備え、その変換部 13 によって、制御部 11 が対応していない表示パネル 14 に対して、制御部 11 から出力される画像を表示パネル 14 に対応する画像に変換する。このように、変換部 13 を備えることで、制御部 11 が対応していない表示パネル 14 を採用してその表示パネル 14 に画像を表示させることができる。

【0042】

変換部 13 のメモリ 13a は、最大でも 1 ライン分の画像を記憶することが可能な記憶容量であればよい。このため、1 画面分の記憶容量のメモリ 52 とコントローラ 51 とを備える表示装置 50 と比べ、表示装置 10 が小さくなる。即ち、表示装置 10 の大型化を抑制することができる。

20

【0043】

表示装置 10 は、表示パネル 14 に対応していない制御部 11 を備えている。この制御部 11 は、図 5 (a) に示す低解像度の表示パネル 14 に対応するものである。つまり、制御部 11 が実行する処理は、低解像度の表示パネル 14 に画像 40 を転送するものでよい。このため、プログラムの修正やプログラムの移植を必要としない。このため、表示装置 10 の作成に係るコストの増加を抑制することができる。

【0044】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 表示装置 10 は、制御部 11、メモリ 12、変換部 13、表示パネル 14 を有している。表示パネル 14 は、ドットマトリックス型の表示パネルである。メモリ 12 には、表示パネル 14 に表示する画像 20 が記憶される。制御部 11 は、メモリ 12 から画像 20 を読み出し、その画像 20 を第 1 の画像バス GB1 に出力する。変換部 13 は、第 1 の画像バス GB1 を介して制御部 11 に接続されている。また、変換部 13 は、第 1 の画像バス GB1 のバス幅と異なるバス幅の第 2 の画像バス GB2 を介して表示パネル 14 に接続されている。変換部 13 は、第 1 の画像バス GB1 を介して入力する画像 20 を第 2 の画像バス GB2 に応じて変換し、変換後の画像を表示パネル 14 に出力する。

30

【0045】

この結果、制御部 11 は、第 1 の画像バス GB1 と、第 1 の画像バス GB1 のバス幅と異なるバス幅の第 2 の画像バス GB2 を介して表示パネル 14 に接続される。制御部 11 は、第 1 の画像バス GB1 により、第 1 の画像バス GB1 のバス幅に対応する他の表示パネルに直接接続することが可能である。したがって、制御部 11 は、当該表示装置 10 に含まれる表示パネル 14 に対応していない。変換部 13 により、制御部 11 から出力される画像が、その制御部 11 に対応していない表示パネル 14 の画像に変換され、その変換後の画像に基づいて表示パネル 14 にて表示される。このように、制御部 11 と、その制御部 11 に対応していない表示パネル 14 とを組み合わせて表示装置 10 を容易に構成することができる。

40

【0046】

(2) 制御部 11 は、クロック信号 CLK と垂直同期信号 VSYNC と水平同期信号 HSYNC を生成して出力する。制御部 11 は、水平同期信号 HSYNC による水平同期期

50

間において、画像の1ライン分の画像を第1の画像バスGB1に出力する。変換部13は1ライン分の画像に応じた記憶容量のメモリ13aを有し、第1の画像バスGB1から入力する画像をメモリ13aに格納し、第2の画像バスGB2のバス幅に応じた画像をメモリ13aから読み出して第2の画像バスGB2に出力する。

【0047】

この結果、変換部13は、第1の画像バスGB1から入力した画像を変換し、変換後の画像を第2の画像バスGB2に出力する。このため、変換部13が持つメモリ13aは、多くとも1ライン分の記憶容量に設定されればよい。このため、例えば1画面分の画像を記憶するメモリを用いる必要がない。また、変換部13は、メモリ13aに記憶した画像を第2の画像バスGB2のバス幅に応じて出力するものであるから、複雑な処理を必要としないため、回路規模、つまりチップサイズが小さくてすむ。このため、変換部13等を実装する基板の面積の増加を抑制することができる。

10

【0048】

(3)表示パネル14は、制御部11が対応する他の表示パネルより水平方向の画素数が多いものである。このため、解像度の高い表示パネル14を採用した表示装置を容易に作成することができる。

【0049】

尚、上記各実施形態は、以下の態様で実施してもよい。

・上記の実施形態では、16ビットでRGBが構成されたカラーの表示パネル14を用いたが、RBGのビット数が適宜変更されてもよい。また、白黒や濃淡表示が可能な表示パネルを用いてもよい。そのような場合、採用された表示パネルに応じて変換部13と表示パネル14との間のバス構成が変更され、変換部13において1回の処理によって表示パネル14に出力するビット数が変更されることは言うまでもない。

20

【0050】

・上記実施形態では、24ビットの第1の画像バスGB1に画像を出力する制御部11を用いたが、第1の画像バスGB1のビット数は適宜変更されてもよい。

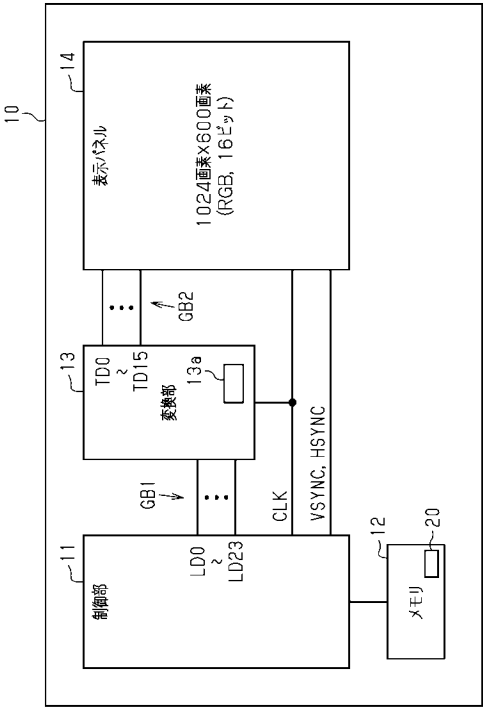
【符号の説明】

【0051】

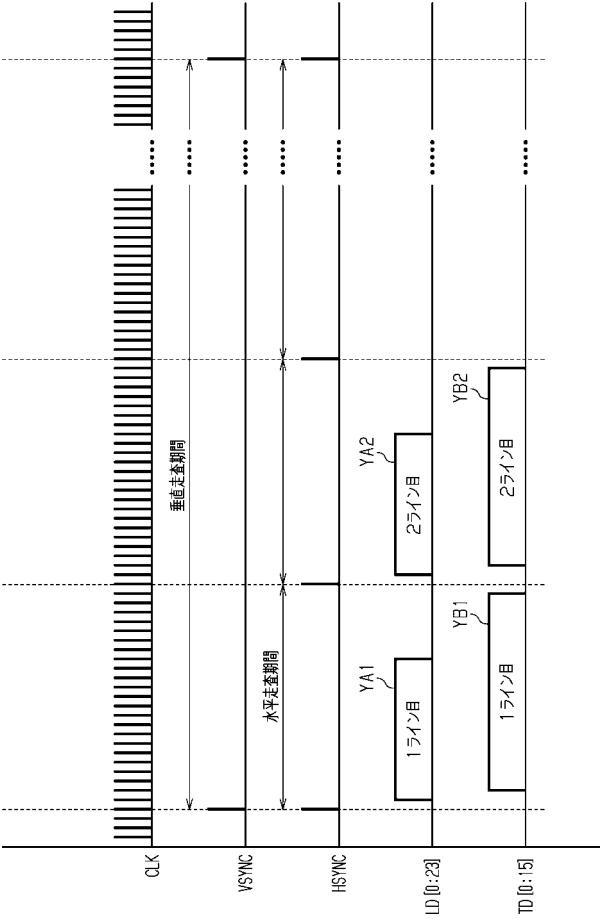
10…表示装置、11…制御部、12…メモリ（記憶部）、13…変換部、14…表示パネル、20…画像、GB1…第1の画像バス（第1のバス）、GB2…第2の画像バス（第2のバス）。

30

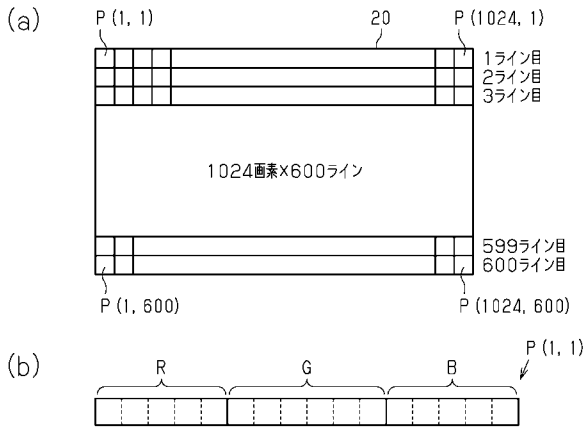
【図 1】



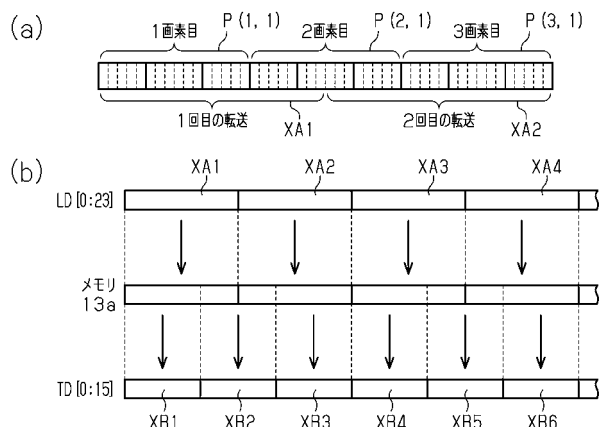
【図 2】



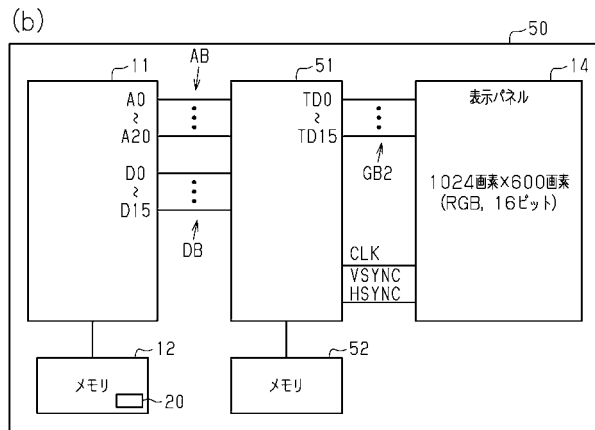
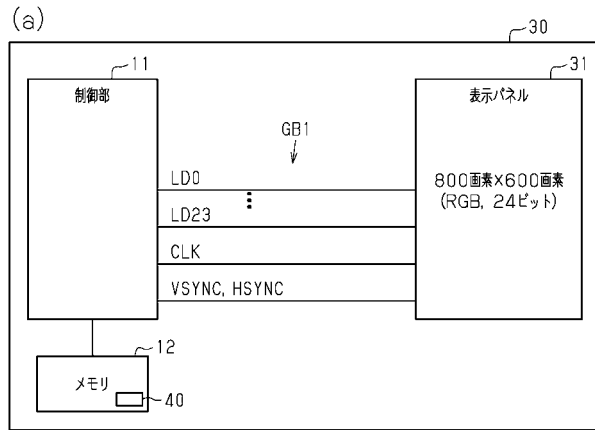
【図 3】



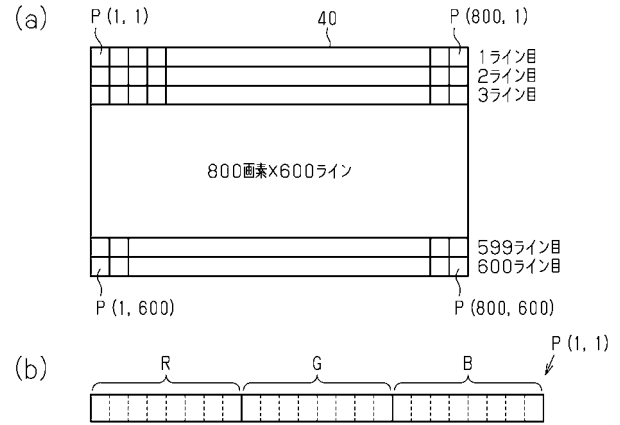
【図 4】



【図 5】



【図 6】



【図 7】

