

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5111191号
(P5111191)

(45) 発行日 平成24年12月26日 (2012.12.26)

(24) 登録日 平成24年10月19日 (2012.10.19)

(51) Int. Cl.

F I

G 0 6 F 9/50 (2006.01)

G 0 6 F 9/46 4 6 5 Z

請求項の数 20 (全 16 頁)

(21) 出願番号	特願2008-83112 (P2008-83112)	(73) 特許権者	302062931
(22) 出願日	平成20年3月27日 (2008.3.27)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2009-237888 (P2009-237888A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成21年10月15日 (2009.10.15)	(74) 代理人	100089071
審査請求日	平成23年3月11日 (2011.3.11)		弁理士 玉村 静世
		(72) 発明者	植田 浩司
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	岩田 憲一
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	望月 誠二
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 データ処理装置、画像符号化復号装置、データ処理システム及び画像処理装置

(57) 【特許請求の範囲】

【請求項 1】

初期設定情報に基づいて初期設定されたプログラムとデータに基づいたデータ処理を並列的に行なう複数のプロセッサユニットと、

前記複数のプロセッサユニットを初期設定するための初期設定情報及び前記初期設定情報の設定先である設定先情報が格納される外部記憶装置と、

前記外部記憶装置内の前記初期設定情報及び前記設定先情報の格納場所を含む制御情報が外部から設定される第1回路と、

前記第1回路に設定された前記制御情報を用いて前記初期設定情報と前記設定先情報とを前記外部記憶装置から読み込み、読み込んだ前記設定先情報に従って前記複数のプロセッサユニットへ前記初期設定情報を転送する第2回路とを有する、データ処理装置。

10

【請求項 2】

初期設定情報に基づいて初期設定された内容に従って画像データの符号化及び復号処理が可能にされる複数の画像処理モジュールと、

前記複数の画像処理モジュールを初期設定するための初期設定情報及び前記初期設定情報の設定先である設定先情報が格納される外部記憶装置と、

前記外部記憶装置内の前記初期設定情報及び前記設定先情報の格納場所を含む制御情報が外部から設定される第1回路と、

前記第1回路に設定された前記制御情報を用いて前記初期設定情報と前記設定先情報とを前記外部記憶装置から読み込み、読み込んだ前記設定先情報に従って前記複数の画像処

20

理モジュールへ前記初期設定情報を転送する第2回路とを有する、データ処理装置。

【請求項3】

前記制御情報は前記初期設定情報及び前記設定先情報の格納場所の先頭を示すアドレス情報を有し、前記第2回路は前記先頭を示すアドレス情報を順次インクリメントして前記初期設定情報及び前記設定先情報の読み込み先を順次生成する、請求項2記載の画像符号化復号装置。

【請求項4】

前記設定先情報はどの画像処理モジュールであるかを示す情報、及び画像モジュール内の記憶領域のアドレスを示す情報である、請求項2記載の画像符号化復号装置。

【請求項5】

前記初期設定情報と前記設定先情報は設定先情報毎に固定長のパケットを構成し、それぞれのパケットはフラグを有し、前記フラグの第1状態は当該フラグに前記初期設定情報が後続することを意味し、前記フラグの第2状態は当該パケットが終端パケットであることを意味する、請求項3記載の画像符号化復号装置。

【請求項6】

前記第2の回路は前記終端パケットの前記フラグに応答して、前記初期設定情報と前記設定先情報との読み込みと読み込んだ情報に従った初期設定情報の転送処理を終了する、請求項5記載の画像符号化復号装置。

【請求項7】

前記第2の回路は前記終端パケットの前記フラグに後続するアドレス情報に従ってコード情報を第1の回路に転送し、第1の回路は転送された前記コードに응答して前記複数の画像処理モジュールに画像符号化及び復号処理の開始を指示する、請求項5記載の画像符号化復号装置。

【請求項8】

前記複数の画像処理モジュールとして、符号化処理のための複数の演算処理を並列に行なう複数のプロセッサユニットと、復号処理のための複数の演算処理を並列に行なう複数のプロセッサユニットとを有する、請求項2記載の画像符号化復号装置。

【請求項9】

前記複数のプロセッサユニットの動作プログラムとデータの格納に利用されるRAMが、前記複数のプロセッサユニット各々に設けられ、前記RAMに前記初期設定情報が初期設定される、請求項8記載の画像符号化復号装置。

【請求項10】

請求項7記載の画像符号化復号装置と、前記画像符号化復号装置の第1回路に前記制御情報を設定するCPUと、前記画像符号化復号装置の第2回路が読み込む前記初期設定情報と前記設定先情報とが格納される記憶装置とを有するデータ処理システム。

【請求項11】

前記CPUは複数の異なる符号化復号処理アルゴリズムのなかから一つを選択するために必要な制御情報を前記画像符号化復号装置の第1回路に設定する、請求項10記載のデータ処理システム。

【請求項12】

携帯電話器に搭載された請求項11記載のデータ処理システム。

【請求項13】

初期設定情報に基づいて初期設定された内容に従って画像データの符号化または復号処理が可能にされる複数の画像処理モジュールと、

前記複数の画像処理モジュールを初期設定するための初期設定情報及び前記初期設定情報の設定先である設定先情報が格納される外部記憶装置と、

前記外部記憶装置内の前記初期設定情報及び前記設定先情報の格納場所を含む制御情報が外部から設定される第1回路と、

前記第1回路に設定された前記制御情報を用いて前記初期設定情報と前記設定先情報とを前記外部記憶装置から読み込み、読み込んだ前記設定先情報に従って画像処理モジュール

10

20

30

40

50

ルへ初期設定情報を転送する第2回路とを有する、画像処理装置。

【請求項14】

前記制御情報は前記初期設定情報及び前記設定先情報の格納場所の先頭を示すアドレス情報を有し、前記第2回路は前記先頭を示すアドレス情報を順次インクリメントして前記初期設定情報及び前記設定先情報の読み込み先を順次生成する、請求項13記載の画像処理装置。

【請求項15】

前記設定先情報はどの画像処理モジュールであるかを示す情報、及び画像モジュール内の記憶領域のアドレスを示す情報である、請求項13記載の画像処理装置。

【請求項16】

前記初期設定情報と前記設定先情報は設定先情報毎に固定長のパケットを構成し、それぞれのパケットはフラグを有し、前記フラグの第1状態は当該フラグに前記初期設定情報が後続することを意味し、前記フラグの第2状態は当該パケットが終端パケットであることを意味する、請求項14記載の画像処理装置。

【請求項17】

前記第2の回路は前記終端パケットの前記フラグに応答して、前記初期設定情報と前記設定先情報との読み込みと読み込んだ情報に従った初期設定情報の転送処理を終了する、請求項16記載の画像処理装置。

【請求項18】

前記第2の回路は前記終端パケットの前記フラグに後続するアドレス情報に従ってコード情報を第1の回路に転送し、第1の回路は転送された前記コードに응答して前記複数の画像処理モジュールに画像符号化または復号処理の開始を指示する、請求項16記載の画像処理装置。

【請求項19】

前記複数の画像処理モジュールとして、符号化処理のための複数の演算処理を並列に行なう複数のプロセッサユニットと、復号処理のための複数の演算処理を並列に行なう複数のプロセッサユニットの両方、あるいはそのいずれかを有する、請求項13記載の画像処理装置。

【請求項20】

前記複数のプロセッサユニットの動作プログラムとデータの格納に利用されるRAMが前記複数のプロセッサユニット各々に設けられ、前記RAMに前記初期設定情報が初期設定される、請求項19記載の画像処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ処理装置、画像符号化復号装置及びそれを適用したデータ処理システムに関し、例えば画像圧縮伸張ハードウェアであるDVD/HDDレコーダ、デジタルビデオカメラ、デジタルカメラ、携帯電話、ナビゲーションシステム、デジタルテレビほか動画像再生並びに記録装置全般に適用して有効な技術に関する。

【背景技術】

【0002】

近年、画像符号化復号装置はMPEG2とMPEG4のように複数種類の画像符号化復号アルゴリズムに対応可能なマルチコーデック処理に対応するなど、機能が複雑化し、初期設定を行うレジスタ数やプログラムファイルの容量等が増加している。従来技術では、CPUからバスのスレーブアクセスを利用して画像符号化復号装置内の大量のレジスタを一つずつ設定していたため、初期設定動作に時間がかかる。また、レジスタ等の増加に伴い設定するデータ量が大量になり、CPUの負荷が増大するといった問題もある。

【0003】

特許文献1には、レジスタを2面設け、1面を現在の動作に使用して、もう1面を次の動作設定や、レジスタの初期値保持に使用することで、設定時間を隠蔽する技術が記載さ

10

20

30

40

50

れる。特許文献 2 には、圧縮したデータを転送し、回路内部で解凍してレジスタに設定することで設定量と時間の短縮を図る技術が記載される。

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 5 - 5 6 0 3 3 号公報

【特許文献 2】特開 2 0 0 6 - 1 7 8 6 8 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、画像符号化又は復号を行う際には、フレーム毎に符号化と復号処理を切り替えて使用する場合や、フレーム毎にコーデックの種類（アルゴリズムの種類）を切り替えて使用する場合などもあり、そのような場合にはフレーム単位でレジスタ設定やプログラムファイルの入れ替えを行わなければならないという特有の事情がある。これを考慮すると、上記特許文献 1 及び 2 に記載の技術では充分に対応できない。また、DMA 転送を採用すれば確かに CPU の負荷を軽減することはできるが、頻繁に且つ大量のデータを初期設定する場合には、単なる DMA 転送では CPU の負荷軽減にも限界のあることが本発明者によって見出された。上記事は、初期設定されたプログラムとデータに基づいたデータ処理を並列的にこなす複数のプロセッサユニットを有するデータ処理装置についても同じである。

【 0 0 0 6 】

本発明の目的は、画像符号化復号装置に代表されるデータ処理装置に頻繁に且つ大量のデータを初期設定する場合に外部の CPU の処理負担を軽減することにある。

【 0 0 0 7 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 0 8 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 0 9 】

すなわち、画像符号化復号装置（データ処理装置）は複数の画像処理モジュール（プロセッサユニット）を初期設定するために第 1 回路と第 2 回路を有し、複数の画像処理モジュールに初期設定される情報を直接外部の CPU から受けず、第 1 回路に CPU から初期設定のための制御情報が設定され、第 2 回路が第 1 回路に設定された制御情報を用いて初期設定情報と当該初期設定情報の設定先情報とを外部から読み込み、読み込んだ設定先情報に従って画像処理モジュールへ初期設定情報を転送する。

【 0 0 1 0 】

これにより、CPU は複数の画像処理モジュールに初期設定される全ての情報を直接画像符号化復号装置にセットすることを要せず、しかも、DMA 転送を利用する場合のように転送元アドレスと転送先アドレスの双方を CPU が設定することも必要ない。また、CPU や DMA 転送を用いる場合には初期設定される記憶回路は CPU のアドレス空間にマッピングされることが必要になり、CPU のアドレス空間の多くを占有することになるが、上記手段ではそれを要せず、個々の画像処理モジュールで初期設定される記憶回路はローカルなアドレスにマッピングされていればよい。

【発明の効果】

【 0 0 1 1 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 1 2 】

すなわち、画像符号化復号装置に頻繁に且つ大量のデータを初期設定する場合にも外部の CPU の処理負担を軽減することができる。

【発明を実施するための最良の形態】

【0013】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0014】

〔1〕本発明に係るデータ処理装置は、初期設定されたプログラムとデータに基づいたデータ処理を並列的にこなう複数のプロセッサユニットと、外部から初期設定のための制御情報が設定される第1回路と、第1回路に設定された制御情報を用いて初期設定情報と当該初期設定情報の設定先情報とを外部から読み込み、読み込んだ設定先情報に従って前記プロセッサユニットへ初期設定情報を転送する第2回路とを有する。

10

【0015】

〔2〕本発明に係る画像符号化復号装置は、初期設定された内容に従って画像データの符号化及び復号処理が可能にされる複数の画像処理モジュールと、外部から初期設定のための制御情報が設定される第1回路と、第1回路に設定された制御情報を用いて初期設定情報と当該初期設定情報の設定先情報とを外部から読み込み、読み込んだ設定先情報に従って画像処理モジュールへ初期設定情報を転送する第2回路とを有する。

【0016】

〔3〕項2の画像符号化復号装置において、前記制御情報は例えば初期設定情報及び設定先情報の格納場所を示すアドレス情報を有する。

20

【0017】

〔4〕項3の画像符号化復号装置において、前記制御情報は例えば初期設定情報及び設定先情報の格納場所の先頭を示すアドレス情報を有し、前記第2回路は前記先頭を示すアドレス情報を順次インクリメントして初期設定情報及び設定先情報の読み込み先を順次生成する。

【0018】

〔5〕項2の画像符号化復号装置において、前記設定先情報は例えば、どの画像処理モジュールであるかを示す情報、及び画像モジュール内の記憶領域のアドレスを示す情報である。

30

【0019】

〔6〕項4の画像符号化復号装置において、前記初期設定情報と設定先情報は例えば設定先情報毎に固定長のパケットを構成し、それぞれのパケットはフラグ(E)を有し、前記フラグの第1状態は当該フラグに初期設定情報が後続することを意味し、前記フラグの第2状態は当該パケットが終端パケットであることを意味する。

【0020】

〔7〕項6の画像符号化復号装置において、例えば、前記第2の回路は前記終端パケットの前記フラグに応答して、前記初期設定情報と設定先情報との読み込みと読み込んだ情報に従った初期設定情報の転送処理を終了する。

【0021】

40

〔8〕項6の画像符号化復号装置において、例えば前記第2の回路は前記終端パケットの前記フラグに後続するアドレス情報に従ってコード情報を第1の回路に転送し、第1の回路は転送された前記コードに응答して前記複数の画像処理モジュールに画像符号化及び復号処理の開始を指示する。

【0022】

〔9〕項2の画像符号化復号装置において、前記複数の画像処理モジュールとして、符号化処理のための複数の演算処理を並列にこなう複数のプロセッサユニットと、復号処理のための複数の演算処理を並列にこなう複数のプロセッサユニットとを有する。

【0023】

〔10〕項9の画像符号化復号装置において、前記プロセッサユニットの動作プログラ

50

ムとデータの格納に利用されるＲＡＭがそれぞれのデータプロセッサ毎に設けられ、前記ＲＡＭに前記初期設定情報が初期設定される。

【００２４】

〔１１〕本発明に係るデータ処理システムは、項７の画像符号化復号装置と、前記画像符号化復号装置の第１回路に制御情報を設定するＣＰＵと、前記画像符号化復号装置の第２回路が読み込む前記初期設定情報と設定先情報とが格納される記憶装置とを有する。

【００２５】

〔１２〕項１１のデータ処理システムにおいて、前記ＣＰＵは複数の異なる符号化復号処理アルゴリズムのなかから一つを選択するために必要な制御情報を前記画像符号化復号装置の第１回路に設定する。

【００２６】

〔１３〕項１１のデータ処理システムは例えば携帯電話器に搭載される。

【００２７】

２．実施の形態の詳細

実施の形態について更に詳述する。以下、本発明を実施するための形態を図面に基づいて詳細に説明する。なお、発明を実施するための形態を説明するための全図において、同一の機能を有する要素には同一の符号を付して、その繰り返しの説明を省略する。

【００２８】

図１には本発明に係る画像符号化復号装置の一例が示される。画像符号化復号装置１０１はバス１０８に共通接続されたＣＰＵ（中央処理装置）１０６及び記憶装置１０７を備えたデータ処理システムに設けられたアクセラレータ若しくは周辺回路モジュールとして位置付けられる。前記バス１０８は、特に制限されないが、スプリットトランザクションバスとルータにより構成され、イニシエータからのリクエストパケットがターゲットに転送され、ターゲットは必要に応じてレスポンスパケットを転送元のイニシエータに返すという、データ転送プロトコルによるバス制御を行う。ここではＣＰＵ１０６と制御装置１０３がイニシエータ、即ちバスマスタとなり得る。

【００２９】

画像符号化複合装置１０１は複数の画像処理モジュール１０４、制御装置１０３および信号処理装置１０２を備え、それらは内部バス１０５に共通接続される。信号処理装置１０２は画像処理モジュール１０４のレジスタや記憶装置にデータやプログラムの初期設定を行う。制御装置１０３はＣＰＵ１０６からの指示に従って画像符号化復号装置を全体的に制御し、例えば、信号処理装置１０２による前記初期設定に必要な情報をＣＰＵ１０６から受取って前記初期設定動作を信号処理装置１０２にさせ、また、初期設定が終った画像処理モジュール１０４に対する起動制御等を行う。

【００３０】

記憶装置１０７は初期設定データ、画像データ及び符号化データ等の格納に利用される。複数の画像処理モジュール１０４は、例えば画像データを符号化するための直交変換処理（ＤＣＴ）、量子化および可変長符号化等の処理をそれぞれ担う複数の回路モジュールと、符号化データを復号するための可変長復号、逆量子化、及び逆ＤＣＴ等の処理をそれぞれ担う複数の回路モジュールとされる。また、それら画像処理モジュールは初期設定されるプログラムや制御データに応じて、ＭＰＥＧ２、ＭＰＥＧ４、Ｈ．２６４等の規格に準拠した処理が選択可能にされる。したがって、デジタルスチルカメラ用処理、ビデオカメラ用処理、及びテレビ電話用画像処理のそれぞれに選択的に対応するという、例えば携帯電話器用途等を想定する場合には、複数の画像処理モジュール１０４に対する比較的設計データ量の多い初期設定を頻繁に行うことが予想される。画像符号化復号装置１０１においては画像処理モジュール１０４に対する初期設定の効率化について考慮されている。以下、その点について詳述する。

【００３１】

図２は画像符号化復号装置１０１を使用して画像符号化、もしくは復号処理を行う際の起動処理（初期設定と初期設定後の画像処理モジュールの起動）のフローチャートである

10

20

30

40

50

。まずステップS 2 0 1において初期設定に必要なデータやプログラム等の所在を特定するための初期設定値起点アドレス、及びエンディアンモードの初期設定値等の初期設定値リードに必要な初期値データがCPU 1 0 6によって制御装置1 0 3にセットされ、セット後に、信号処理装置1 0 2に、セットされた初期値データに従った画像処理モジュール1 0 4への初期設定データのリード動作が起動される。これによって、ステップS 2 0 2では、信号処理装置1 0 2による記憶装置1 0 7からの初期値データのリード動作が行われる。例えば初期値データは、図3に例示されるように、内部モジュールID（画像処理モジュールにID）、フラグE、内部モジュール内アドレス及びデータを有するパケットとして構成される。フラグEが“ 0 ”であればデータは初期設定データで在って、後続のパケットがあることを意味する。フラグEが“ 1 ”であれば其れが終端パケットであることを意味し、そのデータ部には制御装置内の終端コード受取りアドレス等が格納されている。ステップS 2 0 2のリード動作は終端パケット（E = 1）が検出されるまで繰り返し行われ、終端パケットを検出するとステップS 2 0 4で初期設定値データのリード動作が停止される。リードされた初期設定値データは信号処理装置1 0 2の制御により、パケットの内部モジュールIDとモジュール内アドレスで示される画像処理モジュール1 0 4のレジスタ及び記憶装置に内部転送されて初期設定される。ステップS 2 0 5では更に別の格納アドレスから初期設定値データのリードを行う必要があるかを制御装置1 0 3が判定し、継続する場合には制御装置1 0 3は信号処理装置1 0 2にステップS 2 0 1からステップS 2 0 5までの処理を繰り返えさせる。すべての初期設定値データのリードが完了した後、ステップS 2 0 6で制御装置1 0 3により画像処理モジュール1 0 4に対する画像処理の開始が指示される。尚、エンディアンモードとはバス1 0 8における転送形態がビッグエンディアンであるのかリトルエンディアンであるかを示す。

【 0 0 3 2 】

図4および図5には信号処理装置1 0 2と制御装置1 0 3の具体例が示され、特に図4には制御装置1 0 3の詳細が示され、図5には信号処理装置1 0 2の詳細が示される。

【 0 0 3 3 】

図4において制御装置1 0 3はレジスタ回路3 1 0、外部バスインタフェース（EXBIF）3 1 1、終端コード受取りモジュール3 1 2、制御モジュール3 1 3、及び内部バスインタフェース（INBIF）3 1 4を有する。レジスタ回路3 1 0は、起動設定、エンディアンモード、複数の初期設定値基点アドレスの各レジスタ3 1 0 A、3 1 0 B、3 1 0 C...を有する。

【 0 0 3 4 】

図4において信号処理装置1 0 2はリクエスト生成装置3 0 1、レジスタ回路3 0 2、レスポンス処理装置3 0 8、外部バスインタフェース（EXBIF）3 0 5、及び内部バスインタフェース（INBIF）3 0 9を備える。レジスタ回路3 0 2は、起動、エンディアンモード、初期設定値基点アドレスの各レジスタ3 0 2 A、3 0 2 B、3 0 2 Cを有する。リクエスト生成装置3 0 1はアドレス生成回路3 0 4とパケット生成回路3 0 3を有する。

【 0 0 3 5 】

図4を参照しながら、初期設定値データのリード機能について説明する。初期設定値リードを行う信号処理装置1 0 2は制御装置1 0 3によりその動作が起動される。初期設定値リードを行う場合、まずCPU 1 0 6から外部バス1 0 8、外部バスインタフェース3 1 1を経由して制御装置1 0 3内のレジスタ回路3 1 0にデータ設定が行われる。CPU 1 0 6がレジスタ回路3 1 0に設定するデータは、初期設定値データが格納されている記憶装置1 0 7上の初期設定値起点アドレス、外部バス1 0 8のエンディアンモード、および起動設定である。起動設定は、初期設定値起点アドレス及びエンディアンモード等の設定が完了した後に設定される。この起動設定により制御装置1 0 3に初期設定値リード動作が起動される。初期設定値リード動作の完了後に、制御モジュール3 1 3が画像処理モジュール1 0 4を続けて起動する。または初期設定値リードが既に終了している状態で画像処理モジュール1 0 4のみを起動するというような、起動単位を選択して起動すること

も可能とされる。

【 0 0 3 6 】

起動設定により初期設定値リード動作の起動が指示されると、制御装置 1 0 3 は内部バス 1 0 5 を経由して初期設定値データリードの動作を行なう信号処理装置 1 0 2 内のレジスタ回路 3 0 2 に設定データを転送する。転送される設定データは CPU 1 0 6 によりレジスタ回路 3 1 0 にセットされたエンディアンモードと一つの初期設定値基点アドレスを含む。信号処理装置 1 0 2 内のレジスタ回路 3 0 2 に初期設定値起点アドレス、エンディアンモードなどの初期設定値リードに必要なレジスタデータが転送された後に、制御装置 1 0 3 が起動レジスタにイネーブルデータをセットすることにより信号処理装置 1 0 2 による初期設定値リード動作が起動される。初期設定値リード動作の起動が指示されると、リクエスト生成装置 3 0 1 は初期設定値起点アドレスをレジスタから読み出し、アドレス生成回路 3 0 4 でその初期設定値起点アドレスに対応する外部バス 1 0 8 上のアドレス計算を行う。パケット生成回路 3 0 3 はバスコマンドを生成する。アドレス生成回路 3 0 4 で生成されたアドレスと、パケット生成回路 3 0 3 で生成したバスコマンドなどは外部バスインタフェース回路 3 0 5 で外部バスプロトコルに変換されて外部バス 1 0 8 へ出力される。このバスコマンドに従って記憶装置 1 0 7 から初期設定値データが読み出され、読み出された初期設定値データがレスポンスとして外部バスインタフェース回路 3 0 5 からレスポンス処理装置 3 0 8 に供給される。リクエスト生成回路 3 0 1 はレスポンス処理装置 3 0 8 から停止信号 3 0 6 が入力されるまでリクエストパケットを生成し続け、停止信号 3 0 6 が入力されるとリクエストの生成を停止して次の起動を待つ。リクエストの生成停止は図 2 のステップ S 2 0 4 に相当する。リクエストの生成停止は図 3 の前記 E = 1 によって示される終端コードによって検出される。

【 0 0 3 7 】

ここで図 3 に基づいて外部の記憶装置 1 0 7 に格納される初期設定データの例を更に詳述する。外部の記憶装置 1 0 7 に格納される初期設定データは、扱うデータ量やデータの種類、内部モジュール数（内部モジュールの ID のビット数）や内部モジュールのアドレスのビット数などにより、1 パケットを何ビットで構成するかは自由に選択可能である。ここでは、1 2 8 ビットのデータを 1 パケットとして扱う場合について説明を行う。最初の 3 2 ビットは内部モジュール（画像処理モジュール 1 0 4 ）の ID と終端パケットを示すビット E を格納する。次の 3 2 ビットは内部モジュール内のアドレスを格納するビット列として使用される。次の 6 4 ビットには内部モジュールへ転送するデータを格納するビット列として使用される。この 1 2 8 ビットを 1 パケットとして扱う。終端パケットについては、終端パケットを示すビット E はイネーブルにされ（E = 1）、内部モジュール ID は制御装置 1 0 3 の ID、内部モジュール内アドレスは制御装置 1 0 3 内の終端コードを受け取る専用のアドレス（終端コード受け付けモジュール 3 1 2 の内部）を格納する。初期設定データの最初のパケットから終端パケットまでのデータは、初期設定起点アドレスから連続した領域に格納される。

【 0 0 3 8 】

次に、図 5 を参照しながらレスポンス処理装置による初期設定値データの内部転送機能について説明する。リクエスト生成装置 3 0 1 から外部バス 1 0 8 に対して出力されたリクエストに対するレスポンスは外部バスインタフェース 3 0 5 を経由してレスポンス処理装置 3 0 8 に入力される。レスポンス処理装置 3 0 8 では、入力されたレスポンスに対し、まずエンディアン変換装置 5 0 1 で、レジスタ 3 0 2 B に設定されたエンディアンモードによりエンディアン変換を行う。次にレスポンスデータが情報部分（図 3 の設定データ例の場合は内部モジュール ID、終端パケットを示すビット E、内部モジュール内アドレス部分）であるか、データ部分（図 3 の設定データ例の場合はデータ部分）であるかを判定し、情報部分である場合は情報処理部 5 0 3 へ、データ部分である場合はデータ処理部 5 0 4 へデータを送る。情報処理部 5 0 3 では内部モジュール ID 及び内部モジュール内アドレスを解析し、内部バス 1 0 5 のアドレス信号やモジュール ID 信号等を生成し、各信号を内部バスパケット生成部 5 0 5 に送る。データ処理部 5 0 4 では内部バスのデータ

信号を生成し、内部バスケット生成部 505 に送る。また、終端コード検出処理部 502 では、情報部分データの終端パケットコード E を監視し、終端コード (E = 1) を検出した場合にはリクエスト生成装置 301 へリクエスト停止信号 306 を出力し、リクエストの生成を停止させる。内部バスケット生成部 505 では、情報処理部 503 及びデータ処理部 504 から入力された信号から内部バスケットを生成し、内部バスインタフェース 309 を経由して内部バス 105 へパケットを送出する。画像処理モジュール 104 は、自分宛のパケットを受け取ると、内部モジュール内アドレスに従って初期設定データを内部のレジスタや記憶装置に格納する。終端パケットは制御装置 103 の終端コード受け取りモジュール 312 宛に転送される。終端コード受け取りモジュール 312 は内部バスインタフェース 314 を経由して終端パケットを受け取ると、一連のパケット転送で初期設定値が所要の画像処理モジュール 104 に設定されたと判断する。終端コード受け取りモジュール 312 は、終端パケットを受け取ると、画像処理モジュール 104 へ起動信号 315 を送信し、画像処理を開始させる。図 2 のステップ S205 に例示されるように、初期設定値データリードを継続する必要がある場合には、全ての初期設定値データリードを完了してから画像処理を起動する。初期設定値データリードを継続する必要があるか否かは、CPU 106 によってレジスタ 310C に設定された全ての初期設定値基点アドレスに基づく初期設定動作を完了したか否かによって判別することができる。例えば CPU 106 によるレジスタ 310C の書き込み個数と、制御装置 103 によるレジスタ 310C の読み出す個数とが一致するか否かによって判定すればよい。

【0039】

制御装置の初期設定データリード起動のレジスタ 310A と画像処理起動のレジスタ (終端コード受け付けモジュール 312 内) とを分けることにより、初期設定データリードの開始と画像処理の開始を別々に起動することも可能である。また、初期設定起点アドレスを更新し、再度初期データリードを起動することにより、初期設定データを外部記憶装置の複数箇所に配置することも可能である。

【0040】

以上説明した信号処理装置 102 と制御装置 103 によれば、CPU 106 からは制御装置 103 へ初期設定起点アドレス、エンディアンモード等の最低限の設定だけを行うことによって、その設定に基づいて信号処理装置 102 が自動的に初期設定値データを外部の記憶装置 107 から読み出して、内部の画像処理モジュール 104 にデータやプログラム等の初期設定を行って、画像処理を開始することができる。これにより、CPU が全ての初期設定値データをセットして初期設定を行う場合に比べて大量のレジスタ設定を行う必要がない。このため、CPU 負荷を大幅に削減することができる。例えば CPU が全てのレジスタ設定を直接行う場合には図 7 のように、設定される側の状態やバスの状態に応じて CPU はバスアクセスのリクエストに対してアクノリッジが返されるまで待たなければならない (Ack のローレベル期間)、設定データが大量の場合には、CPU の動作時間だけでなく待ち時間も長くなり、CPU の負荷が大幅に増大する。これに対して本実施の形態のように CPU 106 による設定がレジスタ回路 310A だけで良い場合には、図 8 に例示されるようにアクノリッジが返されるまでの待ち時間 (Ack のローレベル期間) は発生するが、設定データ量が格段に少ないから、図 7 の場合に比べて CPU 106 の負荷は大幅に軽減される。

【0041】

初期設定データのための起動も可能であるため、バスの負荷が軽い期間に初期設定データを転送しておくこともできるため、バス負荷を低減することができる。

【0042】

また、制御装置 103 の外部バスインタフェース回路 311 側はスレーブポートであるが、信号処理装置 102 の外部バスインタフェース 305 側はマスタポートとして機能される。従って、このマスタポートを使用して初期設定を行うため、外部バスの仕様によっては、スレーブポートからレジスタ設定する場合よりも高速化を図ることができる。例えば図 9 に例示されるように、バースト転送等を利用して連続的にデータを読み込むことも

可能である。

【 0 0 4 3 】

図 6 には本発明に係る別の画像符号化復号装置 1 0 1 m d f が例示される。図 4 , 5 の画像符号化復号装置 1 0 1 とは、信号処理装置 1 0 2 m d f におけるデータリードの停止制御形態が相違される。例えば、信号処理装置 1 0 2 m d f は終端コードを検出せず、リクエスト生成装置 3 0 1 m d f にデータリード停止制御回路 6 0 1 が設けられ、レジスタ回路 3 0 2 m d f には停止設定のレジスタ 3 0 2 D が追加される。停止設定レジスタ 3 0 2 D は C P U 1 0 6 からの指示値が制御装置 1 0 3 によってセットされる。停止設定レジスタ 3 0 2 D には、例えばリクエスト発行回数、リードデータ量、外部記憶装置のリード終了アドレスなどリクエスト発行を停止するための条件が設定される。リクエスト生成装置 3 0 1 m d f はレジスタ 3 0 2 D から停止設定を受け取り、停止する条件に達したらパケット生成回路 3 0 3 へリクエスト発行の停止を指示する。

10

【 0 0 4 4 】

図 4 , 5 の画像符号化復号装置 1 0 1 では外部バス 1 0 8 からのレスポンスを確認し、終端パケットである場合にリクエスト停止処理を行う。このため、終端パケットを読み出すまでに既に発行されたリクエストは無駄読みとなる。図 6 の例では予め停止条件が設定されるので、無駄読みを無くすることができる。

【 0 0 4 5 】

図 1 0 には画像符号化復号装置を携帯電話システムに適用した例が示される。ベースバンド部 6 0 8 には図示を省略するアナログフロントエンドを介して高周波部が接続され、携帯電話の送受信が可能にされる。6 1 0 はアプリケーションプロセッサである。アプリケーションプロセッサ 6 1 0 は、本発明に係る画像符号化復号装置 6 0 0、書換え可能な不揮発性メモリとしてのフラッシュメモリ (F L A S H) 6 1 1、C P U 1 0 6、メモリコントローラ 6 0 1、画像処理装置 6 0 2、映像出力インタフェース 6 0 3、カメラ入力インタフェース 6 0 4、及びストリームデータ入出力回路 6 0 5 を備え、それらはバス 1 0 8 に共通接続される。ストリームデータ入出力回路 6 0 5 にはベースバンド部 6 0 8 とチューナ 6 0 7 が接続され、携帯電話ネットワークからダウンロードしたストリームデータやチューナ 6 0 7 で受信したストリームデータを入力可能にされる。画像符号化復号装置 6 0 0 は図 4 , 5 又は図 6 で説明した回路構成を備える。フラッシュメモリ 6 1 1 は、特に制限されないが、C P U 1 0 6 の動作プログラムと共に画像符号化復号装置 6 0 0 の画像処理モジュール 1 0 4 に初期設定されるプログラムやデータが初期的に格納されている。それら初期設定用のプログラムやデータはアプリケーションプロセッサ 6 1 0 のパワーオンリセット処理でメモリ 1 0 7 の所定の領域に転送され、あるいは適宜ネットワークを介してダウンロードされてメモリ 1 0 7 の所定の領域に格納される。そのようにしてメモリ 1 0 7 に予め格納される初期設定用のプログラムおよびデータは例えば M P R G 2、M P E G 4、又は H . 2 6 4 の符号化復号処理アルゴリズムを実現するものである。C P U 1 0 6 は、動作プログラムに従って、M P R G 2、M P E G 4、又は H . 2 6 4 の符号化復号処理アルゴリズムのなかから一つを選択するために必要な制御情報 (初期設定値基点アドレス、エンディアンモード) を前記画像符号化復号装置のレジスタ回路 3 1 0 に設定する。これによって画像符号化復号装置 1 0 1 は M P R G 2、M P E G 4、又は H . 2 6 4 に準拠した符号化復号処理を選択的に実行することができる。

20

30

40

【 0 0 4 6 】

図 1 1 には画像符号化復号装置 6 0 0 における動画像に対する符号化エレメント 6 2 0 と復号エレメント 6 3 0 の基本的な機能ブロックダイアグラムが例示される。符号化エレメント 6 2 0 は、入力画像に対して、動き補償、D C T、量子化、可変長符号化、逆量子化、逆 D C T の各機能を備える。復号エレメント 6 3 0 は符号化データに対する可変長復号、逆量子化、逆 D C T、及び動き補償の各機能を備える。前記符号化エレメント 6 2 0 及び復号エレメント 6 3 0 は複数の画像処理モジュール 1 0 4 によって実現される。

【 0 0 4 7 】

図 1 2 には図 1 1 の符号化エレメント 6 2 0 と復号エレメント 6 3 0 の機能をパイプラ

50

インで処理する場合に好適な画像処理モジュールの例が示される。図 12 ではマルチプロセッサシステムが採用され、複数のプロセッサユニット 700 ~ 709 が設けられ、プロセッサユニット 700 ~ 703 には RAM 800 ~ 803 が接続され、プロセッサユニット 705 ~ 708 には RAM 805 ~ 808 が接続される。プロセッサユニット 700 は動き補償、プロセッサユニット 701 は DCT 及び逆 DCT、プロセッサユニット 702 は量子化及び逆量子化、プロセッサユニット 703 は可変長符号化及び復号に割当てられ、プロセッサユニット 704 はプロセッサユニット 700 ~ 703 の制御機能を執する。RAM 800 ~ 803 にはそれぞれ対応するプロセッサユニットの機能を実現するためのプログラムやデータの保持に利用される。もう一組のプロセッサユニット 705 ~ 709 及び RAM 805 ~ 808 についても同様である。

10

【0048】

図 12 の画像処理モジュール構成においては複数のプロセッサユニット 700 ~ 703、705 ~ 708 で並列処理が行なわれるから、その並列処理数分だけプロセッサユニットのレジスタに対する初期設定や RAM に対するプログラムやデータの初期設定量が増加する。したがって、並列数の多い符号化復号処理を行なう画像処理モジュールが採用される場合に図 4、5 や図 6 の構成を採用すれば、CPU の負担軽減、初期設定動作の高速化という効果が更に顕在化される。

【0049】

以上説明した画像符号化復号装置によれば、CPU 106 が制御装置 103 に設定値や設定先の場所を示す情報を格納した外部の記憶装置 107 の先頭格納アドレス情報を設定し起動をかけると、信号処理装置 102 が自動的に設定されたアドレス位置から設定値と設定先の場所を示す情報を読み出し、設定先の場所を示す情報に従って複数の画像処理モジュール 104 に対する初期設定が行われる。すなわち、CPU 106 が外部の記憶装置 107 に初期設定データを格納し、格納場所の先頭位置のアドレス情報を制御装置 103 に設定し起動すると、信号処理装置 102 が初期設定データを自動的に読み出して画像処理モジュール 104 に対する初期設定が行なわれる。

20

【0050】

記憶装置 107 が保持する初期設定用情報の中に画像処理モジュールを特定する情報を埋め込むことにより、CPU 106 は画像処理モジュールのアドレスを制御装置 103 にセットすることを要しない。

30

【0051】

初期設定データの終端を示すデータパケットを初期設定データの最後に配置することにより、自動的に信号処理装置による外部の記憶装置 107 に対するリードリクエストの発行を停止させることができる。信号処理装置にその停止条件を設定する場合には、外部記憶装置から読み出されたレスポンスデータのパケットフラグ (E) を解析することなく前記リードリクエストの停止を制御することができる。

【0052】

信号処理装置 102 は 1 コマンドで複数のデータをリードするバーストアクセス等によって連続アクセスが可能であるから、従来の初期設定などを行っていたスレーブアクセスと比較して、高速に処理を行うことが可能である。

40

【0053】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。本発明は画像符号化復号装置だけでなく並列動作される複数のプロセッサユニットを有するデータ処理装置にも広く適用することができる。画像処理モジュールに代えてプロセッサユニットが初期設定の対象にされる。

【図面の簡単な説明】

【0054】

【図 1】図 1 は本発明に係る画像符号化復号装置の一例を示すブロックダイアグラムである。

50

【図 2】図 2 は画像符号化復号装置を使用して画像符号化、もしくは復号処理を行う際の起動処理を示すフローチャートである。

【図 3】図 3 は初期設定に用いられ初期値データの packets 構成を例示するデータフォーマット図である。

【図 4】図 4 は制御装置の詳細と共に信号処理装置の具体例を示すブロックダイアグラムである。

【図 5】図 5 は信号処理装置の詳細と共に制御装置の具体例を示すブロックダイアグラムである。

【図 6】図 6 は本発明に係る別の画像符号化復号装置を例示するブロックダイアグラムである。

10

【図 7】図 7 は CPU が全てのレジスタ設定を直接行う場合のデータ転送動作を比較例として示すタイミングチャートである。

【図 8】図 8 は CPU が制御装置のスレーブポートを介して内部レジスタを設定する動作を図 7 との比較用に示したタイミングチャートである。

【図 9】図 9 は信号処理装置のマスタポートを使用して初期設定値データをリードする動作を例示するタイミングチャートである。

【図 10】図 10 は画像符号化復号装置を携帯電話システムに適用した例を示すブロックダイアグラムである。

【図 11】図 11 は画像符号化復号装置における動画像に対する符号化エレメントと復号エレメントの基本的な機能ブロックダイアグラムである。

20

【図 12】図 12 は図 11 の符号化エレメントと復号エレメントの機能をパイプラインで処理する場合に好適な複数の画像処理モジュールのブロックダイアグラムである。

【符号の説明】

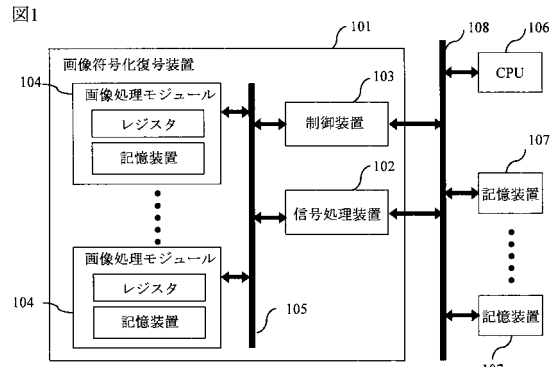
【0055】

- 101 画像符号化復号装置
- 108 バス
- 106 CPU (中央処理装置)
- 107 記憶装置
- 104 画像処理モジュール
- 103 制御装置
- 102 信号処理装置
- 310 レジスタ回路
- 311 外部バスインタフェース (EXBIF)
- 312 終端コード受取りモジュール
- 313 制御モジュール
- 314 内部バスインタフェース (INBIF)
- 301 リクエスト生成装置
- 302 レジスタ回路
- 308 レスポンス処理装置
- 305 外部バスインタフェース (EXBIF)
- 309 内部バスインタフェース (INBIF)
- 101 m d f 画像符号化復号装置
- 102 m f d 信号処理装置
- 301 m f d リクエスト生成装置
- 302 m d f レジスタ回路
- 600 画像符号化復号装置
- 620 符号化エレメント
- 630 復号エレメント
- 700 ~ 709 プロセッサユニット

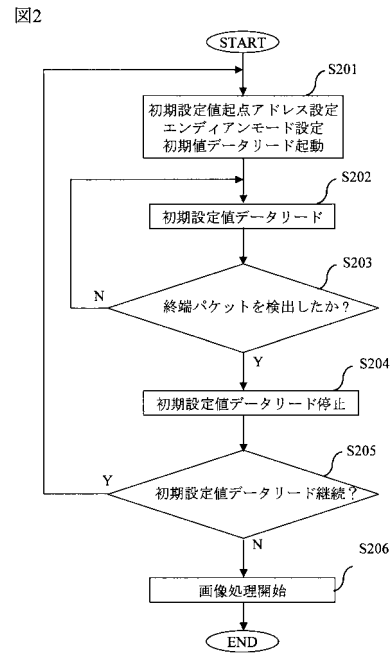
30

40

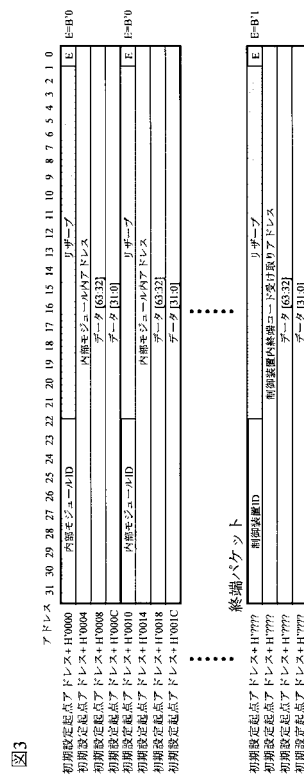
【 図 1 】



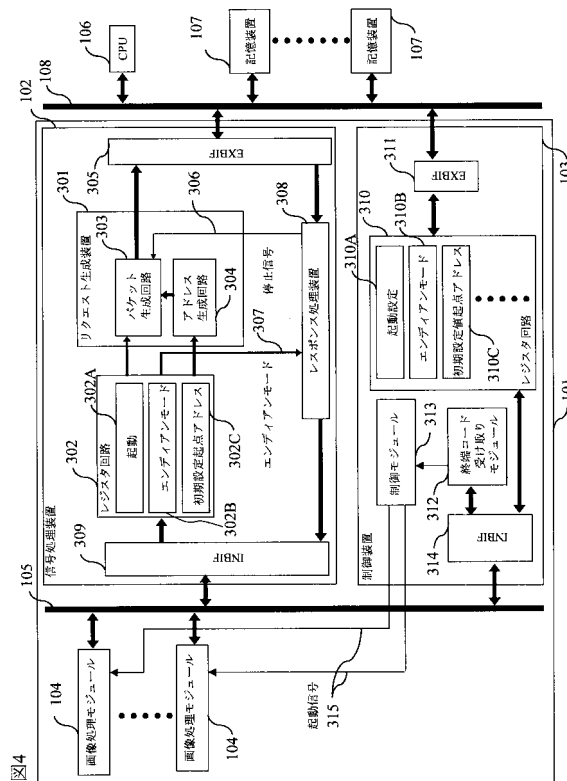
【 図 2 】



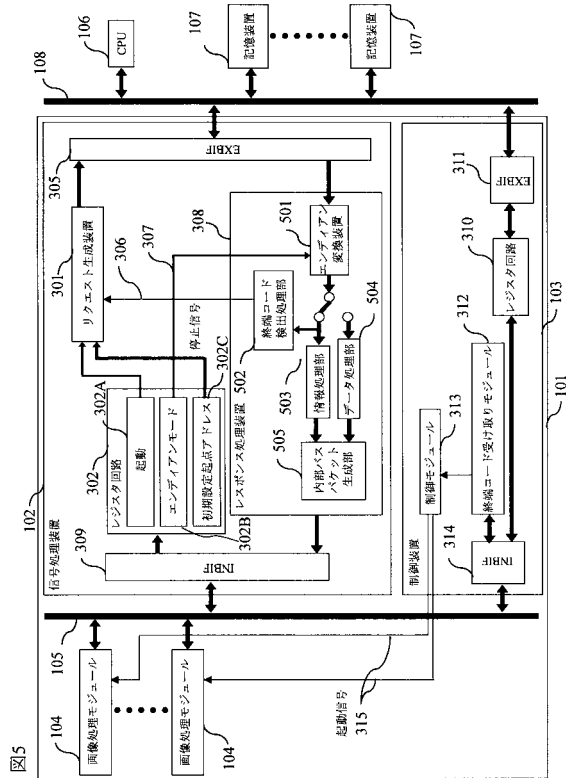
【 図 3 】



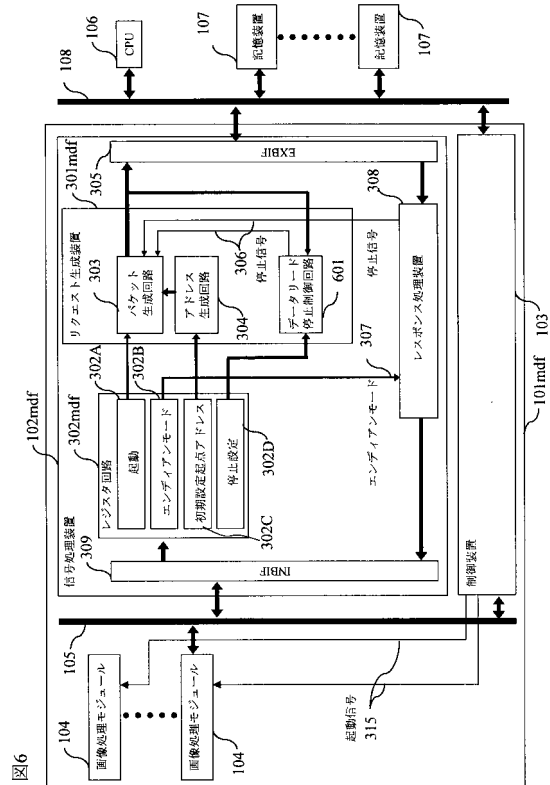
【 図 4 】



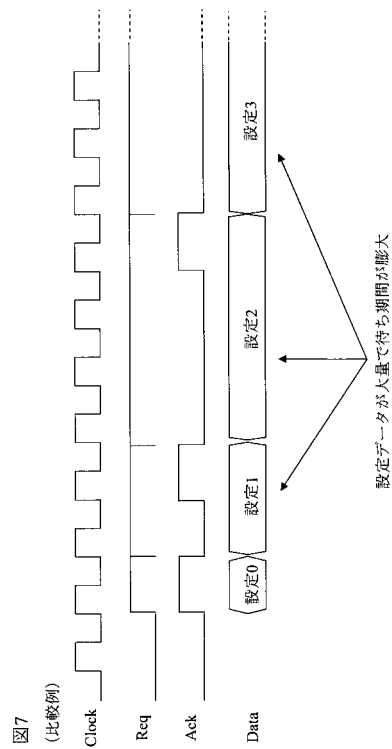
【 図 5 】



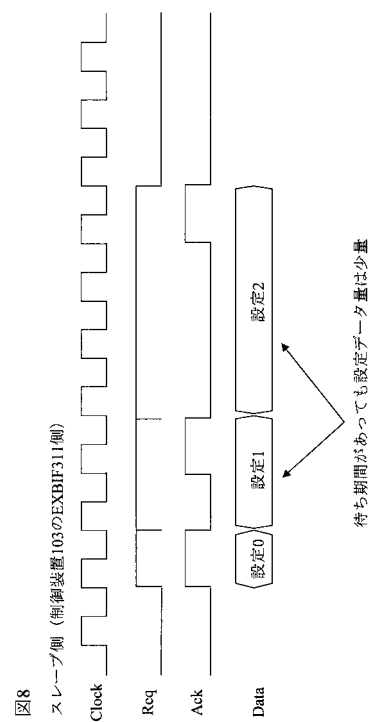
【 図 6 】



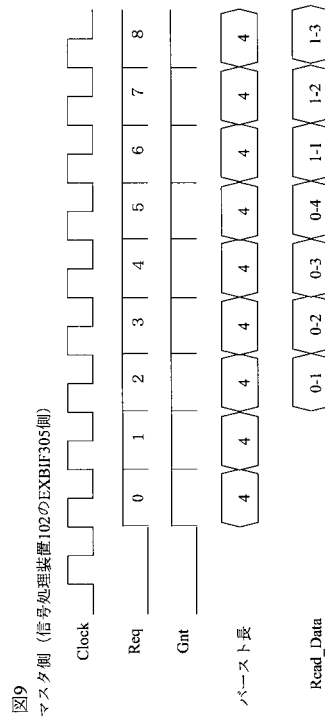
【 図 7 】



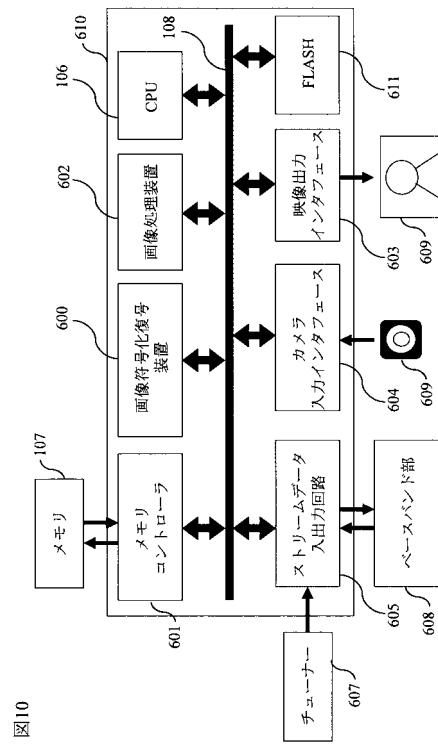
【 図 8 】



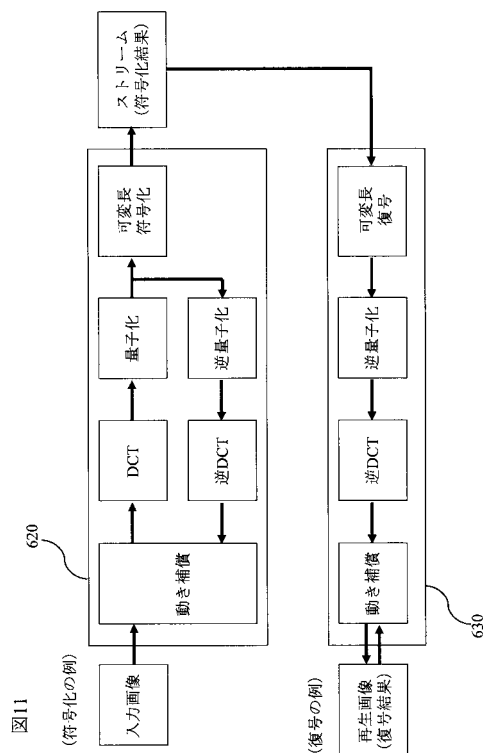
【図 9】



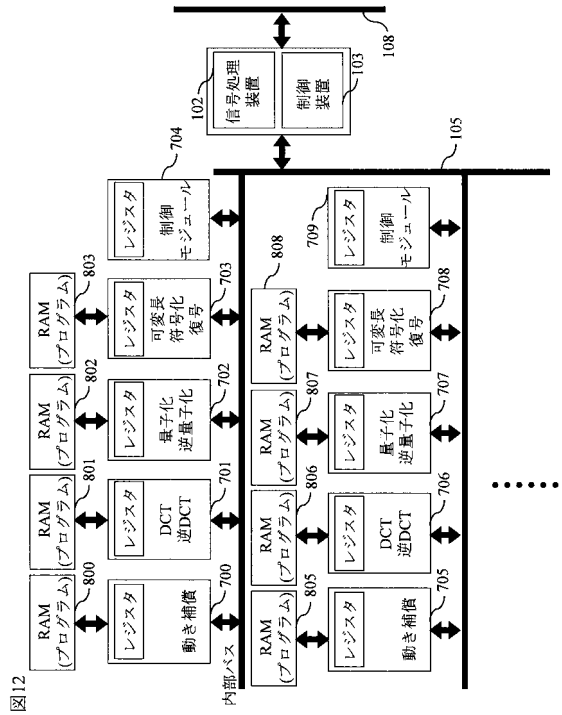
【図 10】



【図 11】



【図 12】



フロントページの続き

審査官 鈴木 修治

(56)参考文献 特開2005-122759(JP,A)
特開2008-048130(JP,A)
特開平11-252549(JP,A)
特開平09-128323(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 9/50
H04N 7/26