



(12)发明专利

(10)授权公告号 CN 102376329 B

(45)授权公告日 2016.09.14

(21)申请号 201110092822.3

(51)Int.Cl.

(22)申请日 2011.04.14

G11B 20/18(2006.01)

(65)同一申请的已公布的文献号

审查员 周湘竹

申请公布号 CN 102376329 A

(43)申请公布日 2012.03.14

(30)优先权数据

12/851,475 2010.08.05 US

(73)专利权人 安华高科技通用IP(新加坡)公司

地址 新加坡新加坡市

(72)发明人 V·安那姆皮杜

(74)专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 王田

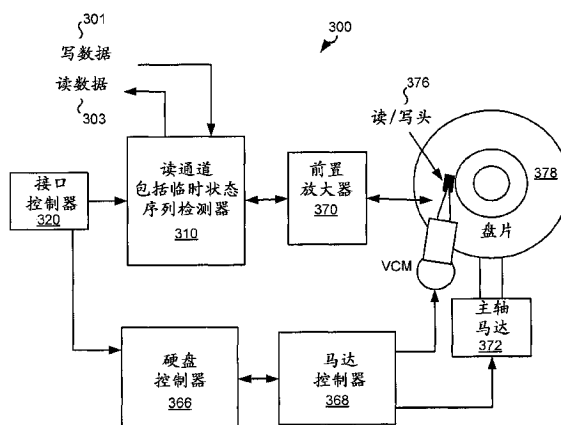
权利要求书3页 说明书11页 附图5页

(54)发明名称

用于数据处理中的序列检测的系统和方法

(57)摘要

本发明涉及用于数据处理中的序列检测的系统和方法。本发明的各种实施例提供了用于序列检测的系统和方法。作为示例,公开了用于数据检测的方法,其包括:在检测器电路处接收数据采样系列;使数据采样系列的一部分乘以与第一二进制变换对应的第一相关器值以产生第一值;使数据采样系列的所述部分乘以与第二二进制变换对应的第二相关器值以产生第二值;将第一值与在先状态值相加以产生第一临时值;将第二值与在先状态值相加以产生第二临时值;以及选择第一临时值和第二临时值中的较大者以产生幸存临时值。



1. 一种用于数据检测的方法,所述方法包括:
在检测器电路处接收数据采样系列;
将所述数据采样系列的一部分乘以与第一二进制变换对应的第一相关器值以产生第一值;
将所述数据采样系列的所述部分乘以与第二二进制变换对应的第二相关器值以产生第二值;
将所述第一值与第一在先状态值相加以产生第一临时值;
将所述第二值与第二在先状态值相加以产生第二临时值;选择所述第一临时值和所述第二临时值中的较大者以产生第一幸存临时值;
将所述数据采样系列的所述部分乘以与第三二进制变换对应的第三相关器值以产生第三值;
将所述数据采样系列的所述部分乘以与第四二进制变换对应的第四相关器值以产生第四值;
将所述第三值与第二在先状态值相加以产生第三临时值;
将所述第四值与所述第二在先状态值相加以产生第四临时值;以及
选择所述第三临时值和所述第四临时值中的较大者以产生第二幸存临时值。
2. 根据权利要求1所述的方法,其中所述方法进一步包括:
将所述第一幸存临时值存储为所述在先状态值。
3. 根据权利要求1所述的方法,其中所述方法进一步包括:
将所述第二幸存临时值存储为所述第二在先状态值。
4. 根据权利要求1所述的方法,其中所述方法进一步包括:
选择所述第一幸存临时值和所述第二幸存临时值中的较大者以产生幸存状态值,其中所述幸存状态值与幸存状态关联;以及
将所述幸存状态选择作为比特序列中的最新近的比特。
5. 根据权利要求4所述的方法,其中所述方法进一步包括:
选择与在计算所述第一幸存临时值和所述第二幸存临时值中的选定的一个时使用的所述第一在先状态值和所述第二在先状态值中的一个对应的在先状态,作为所述比特序列中的最新近的比特之前的比特。
6. 根据权利要求1所述的方法,其中所述第一在先状态值对应于零状态,并且其中所述第二在先状态值对应于一状态。
7. 根据权利要求1所述的方法,其中所述第三二进制变换是零状态到一状态的变换;以及其中所述第四二进制变换是一状态到一状态的变换。
8. 根据权利要求7所述的方法,其中所述第一二进制变换是一状态到零状态的变换;以及其中所述第二二进制变换是零状态到零状态的变换。
9. 根据权利要求8所述的方法,其中所述第一相关器值是阵列1,0,-1,-1;其中所述第二相关器值是阵列0,1,0,-1;其中所述第三相关器值是阵列-1,0,1,1;以及其中所述第四相关器值是阵列0,-1,0,1。
10. 一种序列检测器电路,所述电路包括:
第一乘法器电路,其可操作用于将数字采样系列与对应于一状态到一状态的变换的第

一相关器值相乘以产生第一值；

第二乘法器电路，其可操作用于将所述数字采样系列与对应于零状态到一状态的变换的第二相关器值相乘以产生第二值；

第三乘法器电路，其可操作用于将所述数字采样系列与对应于一状态到零状态的变换的第三相关器值相乘以产生第三值；

第四乘法器电路，其可操作用于将所述数字采样系列与对应于零状态到零状态的变换的第四相关器值相乘以产生第四值；

第一加法器电路，其可操作用于对所述第一值和第一在先一状态值求和以产生第一临时状态值；

第二加法器电路，其可操作用于对所述第二值和第二在先一状态值求和以产生第二临时状态值；

第一选择器电路，其可操作用于选择所述第一临时状态值和所述第二临时状态值中的较大者以产生第一幸存临时状态值；

第三加法器电路，其可操作用于对所述第三值和第一在先零状态值求和以产生第三临时状态值；

第四加法器电路，其可操作用于对所述第四值和第二在先零状态值求和以产生第四临时状态值；以及

第二选择器电路，其可操作用于选择所述第三临时状态值和所述第四临时状态值中的较大者以产生第二幸存临时状态值。

11. 根据权利要求10所述的电路，其中所述电路进一步包括：

在先一状态存储器，其可操作用于存储所述第一幸存临时状态值作为所述在先一状态值；以及

在先零状态存储器，其可操作用于存储所述第二幸存临时状态值作为所述在先零状态值。

12. 根据权利要求11所述的电路，其中所述电路进一步包括：

第三选择器电路，其中所述第三选择器电路可操作用于选择所述第一幸存临时状态值和所述第二幸存临时状态值中的较大者以产生幸存状态值；以及

状态电路，其中所述状态电路可操作用于将与所述幸存状态值关联的状态识别作为比特序列中的最新近的比特。

13. 根据权利要求12所述的电路，其中所述状态电路进一步可操作用于识别用于计算所述幸存状态值的路径中的一个或多个先前状态的系列。

14. 根据权利要求12所述的电路，其中所述状态电路进一步可操作用于将与所述在先零状态值和所述在先一状态值中的在计算所述幸存状态值时使用的一个对应的状态识别作为所述比特序列中的最新近的比特之前的比特。

15. 根据权利要求10所述的电路，其中所述第一相关器值是阵列0, -1, 0, 1；其中所述第二相关器值是阵列-1, 0, 1, 1；其中所述第三相关器值是阵列1, 0, -1, -1；以及其中所述第四相关器值是阵列0, 1, 0, -1。

16. 一种存储设备，所述存储设备包括：

检测器电路，其可操作用于经由读/写头组件接收保持在存储介质上的信息，并且其中

所述检测器电路包括：

第一乘法器电路，其可操作用于将数字采样系列与对应于一状态到一状态的变换的第一相关器值相乘以产生第一值；

第二乘法器电路，其可操作用于将所述数字采样系列与对应于零状态到一状态的变换的第二相关器值相乘以产生第二值；

第三乘法器电路，其可操作用于将所述数字采样系列与对应于一状态到零状态的变换的第三相关器值相乘以产生第三值；

第四乘法器电路，其可操作用于将所述数字采样系列与对应于零状态到零状态的变换的第四相关器值相乘以产生第四值；

第一加法器电路，其可操作用于对所述第一值和第一在先一状态值求和以产生第一临时状态值；

第二加法器电路，其可操作用于对所述第二值和第二在先一状态值求和以产生第二临时状态值；

第一选择器电路，其可操作用于选择所述第一临时状态值和所述第二临时状态值中的较大者以产生第一幸存临时状态值；

第三加法器电路，其可操作用于对所述第三值和第一在先零状态值求和以产生第三临时状态值；

第四加法器电路，其可操作用于对所述第四值和第二在先零状态值求和以产生第四临时状态值；以及

第二选择器电路，其可操作用于选择所述第三临时状态值和所述第四临时状态值中的较大者以产生第二幸存临时状态值。

17. 根据权利要求16所述的存储设备，其中所述存储设备进一步包括：

在先一状态存储器，其可操作用于存储所述第一幸存临时状态值作为所述在先一状态值；以及

在先零状态存储器，其可操作用于存储所述第二幸存临时状态值作为所述在先零状态值。

18. 根据权利要求17所述的存储设备，其中所述存储设备进一步包括：

第三选择器电路，其中所述第三选择器电路可操作用于选择所述第一幸存临时状态值和所述第二幸存临时状态值中的较大者以产生幸存状态值；以及

状态电路，其中所述状态电路可操作用于将与所述幸存状态值关联的状态识别作为比特序列中的最新近的比特。

19. 根据权利要求18所述的存储设备，其中所述状态电路进一步可操作用于将与所述在先零状态值和所述在先一状态值中的、在计算所述幸存状态值时使用的一个对应的状态识别作为所述比特序列中的所述最新近的比特之前的比特。

用于数据处理中的序列检测的系统和方法

技术领域

[0001] 本发明涉及用于数据处理的系统和方法,更具体地,涉及用于检测数据序列的系统和方法。

背景技术

[0002] 典型的数据处理系统接收模拟输入信号,该模拟输入信号被采样以产生一系列数字采样。所述数据常常包括用于数据同步和/或其他目的的数据序列。各种现有的数据处理系统利用例如维特比(Viterbi)序列检测电路。该电路在接收到的模拟输入信号的数字采样准确地与目标响应均衡并且应用准确的定时和增益控制的情况下操作良好。在某些情况下,难以实现足够的准确性,导致序列检测的性能劣化。其他方法依赖于阈值检测处理,其在低噪声环境中工作得相当好,但是随着通道比特密度增加,噪声的影响增加,致使这种阈值方法不太有效。

[0003] 因此,至少出于上述原因,在本领域中需要更先进的用于数据序列检测的系统和方法。

发明内容

[0004] 本发明涉及用于数据处理的系统和方法,更具体地,涉及用于检测数据序列的系统和方法。

[0005] 本发明的多种实施例提供了用于数据检测的方法,其包括:在检测器电路处接收数据采样系列;将数据采样系列的一部分乘以与第一二进制变换对应的第一相关器值以产生第一值;将数据采样系列的所述部分乘以与第二二进制变换对应的第二相关器值以产生第二值;将第一值与在先状态值相加以产生第一临时值;将第二值与所述在先状态值相加以产生第二临时值;以及选择第一临时值和第二临时值中的较大者以产生幸存临时值。在某些情况下,这种方法进一步包括将所述幸存临时值存储作为在先状态值。

[0006] 在上述实施例的多种实例中,幸存临时值是第一幸存临时值,并且在先状态是第一在先状态。在这些实例中,所述方法进一步包括将数据采样系列的所述部分乘以与第三二进制变换对应的第三相关器值以产生第三值;将数据采样系列的所述部分乘以与第四二进制变换对应的第四相关器值以产生第四值;将第三值与第二在先状态值相加以产生第三临时值;将第四值与第二在先状态值相加以产生第四临时值;以及选择第三临时值和第四临时值中的较大者以产生第二幸存临时值。在上述实施例的某些实例中,所述方法进一步包括将第二幸存临时值存储作为所述第二在先状态值。

[0007] 在上述实施例的多种实例中,所述方法进一步包括选择第一幸存临时值和第二幸存临时值中的较大者以产生幸存状态值,其中所述幸存状态值与幸存状态关联。在这些情况下,幸存状态被选择作为比特序列中的最新近的比特。在某些情况下,所述方法进一步包括选择与第一在先状态值和第二在先状态值中的在计算第一幸存临时值和第二幸存临时值中的选定的一个时被使用的一个在先状态值对应的在先状态,作为比特序列中的在所述

最新近的比特之前的比特。

[0008] 在上述实施例的一个或更多个实例中,第一在先状态值对应于零状态,并且第二在先状态值对应于一状态。在某些情况下,第一二进制变换是一状态到零状态的变换,第二二进制变换是零状态到零状态的变换,第三二进制变换是零状态到一状态的变换,并且第四二进制变换是一状态到一状态的变换。在一个特定情况下,第一相关器值是阵列1,0,-1,-1;第二相关器值是阵列0,1,0,-1;第三相关器值是阵列-1,0,1,1;并且第四相关器值是阵列0,-1,0,1。

[0009] 本发明的其他实施例提供了序列检测器电路,其包括第一、第二、第三和第四乘法器电路,第一、第二、第三和第四加法器电路,以及第一和第二选择器电路。第一乘法器电路可操作用于将数字采样系列与对应于一状态到一状态的变换的第一相关器值相乘以产生第一值。第二乘法器电路可操作用于将所述数字采样系列与对应于零状态到一状态的变换的第二相关器值相乘以产生第二值。第三乘法器电路可操作用于将所述数字采样系列与对应于一状态到零状态的变换的第三相关器值相乘以产生第三值。第四乘法器电路可操作用于将所述数字采样系列与对应于零状态到零状态的变换的第四相关器值相乘以产生第四值。第一加法器电路可操作用于对第一值和在先的一状态值求和以产生第一临时状态值。第二加法器电路可操作用于对第二值和在先的一状态值求和以产生第二临时状态值。第三加法器电路可操作用于对第三值和在先的零状态值求和以产生第三临时状态值。第四加法器电路可操作用于对第四值和在先的零状态值求和以产生第四临时状态值。第一选择器电路可操作用于选择第一临时状态值和第二临时状态值中的较大者以产生第一幸存临时状态值,并且第二选择器电路可操作用于选择第三临时状态值和第四临时状态值中的较大者以产生第二幸存临时状态值。

[0010] 该发明内容仅提供了本发明的某些实施例的一般概述。通过下面的详细描述、所附权利要求和附图,本发明的许多其他的目的、特征、优点和其他实施例将变得更加全面明显。

附图说明

[0011] 通过参照在说明书的剩余部分中描述的附图,可以实现对本发明的各种实施例的进一步的理解。在附图中,在若干个附图中使用相同的附图标记表示相似的部件。在某些实例中,由小写字母构成的下标与附图标记关联以表示多个类似部件中的一个。当在没有指明现有下标的情况下引用附图标记时,其意在表示所有这些多个类似的部件。

[0012] 图1是已知的磁存储介质和扇区数据方案的框图;

[0013] 图2示出了根据本发明的一个或更多个实施例的数据序列检测器电路;

[0014] 图3是示出了根据本发明的多种实施例的序列检测处理的流程图;

[0015] 图4a-4c示出了对应于图3的流程图中描述的处理和/或图2中示出的电路的示例状态变换图;以及

[0016] 图5示出了根据本发明的某些实施例的包括具有临时状态序列检测的读通道电路的存储系统。

具体实施方式

[0017] 本发明涉及用于数据处理的系统和方法,更具体地,涉及用于检测数据序列的系统和方法。

[0018] 转到图1,示出了具有如虚线指示的两个示例性轨道20、22的存储介质1。这些轨道通过写在楔形区(wedge)19、18中的伺服数据隔离。这些楔形区包括伺服数据10,其用于读/写头组件在存储介质1上的期望位置上的控制和同步。特别地,该伺服数据通常包括前导码码型11,其后是伺服地址标记12(SAM)。伺服地址标记12后面是格雷码13,并且格雷码13后面是猝发信息14。应当注意,尽管示出了两个轨道和两个楔形区,但是在给定的存储介质上典型地将包括数百个轨道和楔形区。此外,应当注意,伺服数据集可以具有两个或更多个猝发信息的字段。此外,应当注意,在伺服字段中可以包括不同的信息,诸如例如,可以在猝发信息14之后出现的可重复的完退(run-out)信息。在伺服数据比特码型10a和10b之间,设置用户数据区域16。

[0019] 在操作中,存储介质1相对于从存储介质感测信息的传感器旋转。在读操作中,传感器将感测来自楔形区19的伺服数据(即,在伺服数据周期期间),接着感测来自楔形区19和楔形区18之间的用户数据区域的用户数据(即,在用户数据周期期间),并且随后感测来自楔形区18的伺服数据。在写操作中,传感器将感测来自楔形区19的伺服数据,随后将数据写入楔形区19和楔形区18之间的用户数据区域。随后,传感器将切换来感测用户数据区域的剩余部分,接着感测来自楔形区18的伺服数据。

[0020] 本发明的多种实施例提供了用于序列检测的系统和方法,其依赖于对目标响应的粗略均衡化以及随后进行的与接收到的数字采样相关的数据依赖性匹配滤波(data dependent match filtering)。使用该信息,可以确定如下经历(traverse)序列的数据路径,其使数据依赖性匹配滤波的输出最大化以产生最可能的数据序列。不同于具有表示数目为 $N-1$ (其中 N 是部分响应的长度)个状态的通道存储器的标准的维特比序列检测器,本发明的一个或更多个实施例利用两个不同的状态来检测二进制数据。这些系统和方法提供了在本发明的不同实施例中可以具有的多种优点。例如,在某些情况下,可以允许没有标准维特比检测处理所要求的那么精确的均衡、定时和增益控制。在这种情况下,由于分配用于均衡化测试的时间量减少,因此可以实现提高依赖于数据检测电路的产品的制造效率。作为另一示例,在某些情况下,较之基于阈值的序列检测系统,可以实现增强的噪声免疫性。基于这里提供的公开,本领域普通技术人员将认识到可以替代地实现的或者除了上述优点之外还可以实现的、可以通过本发明不同实施例的实现方案实现的多种其他优点。

[0021] 转到图2,示出了根据本发明的一个或更多个实施例的数据序列检测器电路100。数据序列检测器电路100包括模数转换器电路110,其接收模拟输入信号105,并且提供表示模拟输入信号105的一系列数字采样115。使数字采样115与 $4T$ 采样时钟107同步。模数转换器电路110可以是本领域中已知的任何能够将连续信号转换为数字采样系列的电路或系统。模拟输入信号107是表示许多比特周期的连续信号。比特周期以 T 的周期性重现,并且 $4T$ 采样时钟使模数转换器电路110对于每个周期 T 生成模拟输入信号105的四个采样。应当注意,尽管本实施例被描述为利用每个周期四个采样,但是本发明的其他实施例可以使用更低的采样频率,诸如例如, $2T$ 时钟,或者可以使用更高的采样频率,诸如例如, $8T$ 时钟或 $16T$ 时钟。基于这里提供的公开,本领域普通技术人员将认识到可以结合本发明的不同实施例使用的多种采样频率和相应的比特周期。模拟输入信号105可以得自多种源。例如,模拟输

入信号可以接收自与存储介质相关地安置的读/写头组件。作为另一示例,模拟输入信号可以得自正在接收无线传送的接收器电路。基于这里提供的公开,本领域普通技术人员将认识到模拟输入信号105的多种其他源。

[0022] 数字采样115被并行地提供给乘法器电路的块,每个乘法器电路将接收到的数字采样乘以表示特定变换路径的阵列。在其中从任何给定在先状态存在两个可能的接下来的状态的情况下,使用四个乘法器电路。具体地,乘法器电路121将数字采样115乘以表示从在先零状态到下一零状态的变换的相关器值122。乘法器电路123将数字采样115乘以表示从在先一状态到接下来的零状态的变换的相关器值124。乘法器电路125将数字采样115乘以表示从在先零状态到接下来的一状态的变换的相关器值126。乘法器电路127将数字采样115乘以表示从在先一状态到接下来的一状态的变换的相关器值128。从乘法器电路121、123、125、127得到的积被提供给相应的加法器电路。

[0023] 加法器电路131执行来自乘法器电路121的积与在先零状态量度132的符号求和以产生和136,并且加法器电路135执行来自乘法器电路123的积与同一在先零状态量度132的符号求和以产生和139。加法器电路133执行来自乘法器电路123的积与在先一状态量度134的符号求和以产生和138,并且加法器电路137执行来自乘法器电路127的积与同一在先一状态量度134的符号求和以产生和199。在先零状态量度132是在数字采样115的前面的四个采样的处理期间针对接下来的零状态计算的,并且可从零状态存储器172获得。类似地,在先一状态量度134是在数字采样115的前面的四个采样的处理期间针对接下来的一状态计算的,并且可从一状态存储器174获得。

[0024] 临时状态量度选择器电路142确定和136与和138中的哪个较大,并提供较大的值作为临时输出146。类似地,临时状态量度选择器电路144确定和139与和199中的哪个较大,并提供较大的值作为临时输出148。临时输出146被提供给零状态存储器172,在这里该临时输出146被存储并且保持作为在先零状态量度132,以用于在处理数字采样115的接下来的四个采样时使用。临时输出148被提供给一状态存储器174,在这里该临时输出148被存储并且保持作为在先一状态量度134,用于在处理数字采样115的接下来的四个采样时使用。

[0025] 临时输出146和临时输出148两者均被提供给幸存状态量度选择器电路152,其将临时值146和临时值148中的较大者选择作为幸存状态的值。对应于较大的值的状态是幸存状态,并且幸存状态的指示被传递到状态存储器和修剪(pruning)电路162。状态存储器和修剪电路162确定状态到状态的路径,其从所识别的幸存状态向后延伸并且导致由幸存状态量度选择器电路152选择的值。在这样做时,状态存储器和修剪电路162依赖于先前计算并存储的和值(即,和136、138、139、199)以及对于在先周期T的在先乘法积(即,来自乘法器121、123、125、127的积)。

[0026] 在操作中,模拟输入信号105被提供给模数转换器110。模拟输入信号105表示若干数字数据比特。在某些情况下,由模拟输入信号表示的数据在写入到存储介质或者经由传输系统传输之前被宽双相编码。在这种编码中,逻辑零由如下的数字采样系列“1100”表示,而逻辑一由如下的数字采样系列“0011”表示。作为示例,比特序列“1 0 0 1 1”在转换到模拟信号域之前被编码为“00111100110000110011”,其中“10 0 1 1”比特码型的每个比特对应于1T周期并且每个编码比特值对应于1T/4周期。

[0027] 在使用[5 5 -5 -5]的目标(target)的情况下,当从存储介质或传输介质取回模

拟信号时,前面的示例将理想地导致如下的数字采样115:“20 10 0 -10 -20 0 20 0 -20 -10 0 10 20 0 -20 0 20”。如可以看到的,在从逻辑一到逻辑零的变换中,数字采样115从20变换到10,到0,到-10。在该情况下,其中使用相关器电路(例如,乘法器123),其将采样“10 0 -10 -20”乘以阵列[1 0 -1 -1](即,1→0相关器值124),产生+40的输出值(即, $[1*10]+[0*0]+[-1*-10]+[-1*-20]=40$)。类似地,在从逻辑零到逻辑零的变换中,相关器电路(即,乘法器121)使用阵列(即,0→0相关器值122)[0 1 0 -1]。在从逻辑零到逻辑一的变换中,相关器电路(即,乘法器125)使用阵列(即,0→1相关器值126)[-1 0 1 1]。最后,在从逻辑一到逻辑一的变换中,相关器电路(即,乘法器127)使用阵列(即,1→1相关器值128)[0 -1 0 1]。应当注意,可以结合本发明的不同实施例使用其他编码方法和/或相关器值。

[0028] 噪声和定时误差导致不同于理想采样值的某些值被提供作为来自模数转换器10的数字采样115。作为示例,假设与4T采样时钟107同步地接收到如下数字采样115:

[0029] [...124][51,-35,-102,-112][-16,28,48,13][-76,-42,70,52][42,56,-12,99]。

[0030] 在前面的采样系列中,四采样的块被编组,每个组中的最后的采样是在已经使用了简单的阈值检测器电路替代数据序列检测器电路100的情况下已经被用作单个采样的采样。注意,在使用这种简单的阈值检测方法的情况下,数字采样115“124,-112,13,52,99”将产生检测序列“1 0 1 1 1”。如下文所示,数据序列检测器电路100产生正确的序列“1 0 1 1 1”,因为其不像简单的阈值检测器电路那样易受噪声影响。

[0031] 使用上述系列的数字采样115并且参照图4a的格图990,进一步描述数据了序列检测器电路100的示例操作。假设对于比特周期901(4T周期X-4),一状态是由状态量度选择器电路152选择的具有“124”的状态值的幸存状态(即,1状态920);并且对于比特周期902(4T周期X-3),零状态是由状态量度选择器电路152选择的具有“389”的状态值的幸存状态(即,0状态910),并且和138对应于具有“265”的值的一到零变换路径931。如下通过乘法器123的1→0相关器值124(即,[1 0 -1 -1])与数字采样“51,-35,-102,-112”的先前乘法,得到了值“265”:

[0032] 路径931的值 $= (1*51) + (0*-35) + (-1*-102) + (-1*-112) = 265$ 。

[0033] 路径931的值(即,“265”)被加到1状态920的值(即,“124”)以产生0状态910的值“389”。注意,对于比特周期903(4T周期X-2),所检测的序列的结束状态是1状态921。

[0034] 示出了从0状态910的两个可能的路径:零到一变换路径932和零到零变换路径951。计算零到一变换路径932的值,其中乘法器125如下将接下来的四个采样的系列(即,“-16,28,48,13”)乘以0→1相关器值126(即,[-1 0 1 1]):

[0035] 路径932的值 $= (-1*-16) + (0*28) + (1*48) + (1*13) = 77$ 。

[0036] 类似地,计算零到零变换路径951的值,其中乘法器121如下将接下来的四个采样的系列(即,“-16,28,48,13”)乘以0→0相关器值122(即,[0 1 0 -1]):

[0037] 路径951的值 $= (0*-16) + (1*28) + (0*48) + (-1*13) = 15$ 。

[0038] 加法器135根据下式将从乘法器125得到的路径931的值与在先零状态的值(即,0状态910的值,其在该示例中是“389”)相加以产生和139:

[0039] 和139 $= 389 + 77 = 466$ 。

[0040] 加法器131根据下式将从乘法器121得到的路径951的值与在先零状态的值(即,0

状态910的值,其在该示例中是“389”)相加以产生和136:

[0041] 和136=389+15=404。

[0042] 此时,已形成了足以完成对数据序列检测器电路100的操作的描述的历史数据,其中该历史数据被存储到状态存储器和修剪电路162,允许通过由格图990表示的状态选项回溯路径以确定检测到的数据比特序列。

[0043] 接收接下来的数据采样115的四个实例的系列,为“-76,-42,70,52”。将这些数据采样乘以相应的相关器值以产生对于从零到零、从零到一、从一到零和从一到一的变换的路径值。具体地,接收到的数据采样被提供给乘法器121,其中根据下式将它们乘以0→0相关器值122[0 1 0 -1]以产生路径值952:

[0044] 路径值952=(0*-76)+(1*-42)+(0*70)+(-1*52)=-94。

[0045] 接收到的数据采样还被提供给乘法器123,其中根据下式将它们乘以1→0相关器值124[1 0 -1 -1]以产生路径值941:

[0046] 路径值941=(1*-76)+(0*-42)+(-1*70)+(-1*52)=-198。

[0047] 接收到的数据采样还被提供给乘法器125,其中根据下式将它们乘以0→1相关器值126[-1 0 1 1]以产生路径值933:

[0048] 路径值933=(-1*-76)+(0*-42)+(1*70)+(1*52)=198。

[0049] 此外,接收到的数据采样被提供给乘法器127,其中根据下式将它们乘以1→1相关器值128[0 -1 0 1]以产生路径值961:

[0050] 路径值961=(0*-76)+(-1*-42)+(0*70)+(1*52)=94。

[0051] 先前计算的路径值被加到相应的从其开始的状态以产生相应的和。具体地,路径值952被提供给加法器131,其中根据下式将它与在先零状态量度132(即,0状态911的值,其在该示例中是“404”)相加以产生和136:

[0052] 和136=404-94=310。

[0053] 路径值941被提供给加法器133,其中根据下式将它与在先一状态量度134(即,1状态921的值,其在该示例中是“466”)相加以产生和138:

[0054] 和138=466-198=268。

[0055] 路径值933被提供给加法器135,其中根据下式将它与在先零状态量度132(即,0状态911的值,其在该示例中是“404”)相加以产生和139:

[0056] 和139=404+198=602。

[0057] 路径值961被提供给加法器137,其中根据下式将它与在先一状态量度134(即,1状态921的值,其在该示例中是“466”)相加以产生和199:

[0058] 和199=466+94=560。

[0059] 临时状态量度选择器电路142选择和136与和138中的较大者,并使所选择的值写入到零状态存储器172。零状态存储器172输出所存储的值作为在先零状态量度132。在该情况下,相比和138选择和136,并且较大的值(即,310)被作为临时输出146提供给幸存状态量度选择器电路152。类似地,临时状态量度选择器电路144选择和139与和199中的较大者,并使所选择的值写入到一状态存储器174。一状态存储器174输出所存储的值作为在先一状态量度134。在该情况下,相比和199选择和139,并且较大的值(即,602)被作为临时输出148提供给幸存状态量度选择器电路152。幸存状态量度选择器电路152又选择临时输出146和

临时输出148中的较大者。在该情况下,幸存状态被选择为1状态922,因为其与最大的临时输出“602”关联。因此,对于比特周期904(4T周期X-1),所检测的序列的结束状态是1状态922。

[0060] 1状态922的选择被提供给状态存储器和修剪电路162。状态存储器和修剪电路162又追踪被经历而导致所选择的1状态922的各状态。在该情况下,如下的状态序列被经历以产生1状态922:

[0061] 序列输出170=[1状态920,0状态910,0状态911,1状态922]=“1 0 0 1”。

[0062] 应当注意,根据预期序列中的比特数目,序列输出170可以包括比示例的四个比特更多或更少的比特。较长的序列可以包括状态存储器和修剪电路162的较多的临时路径和状态值的存储。相反地,较短的序列可以利用状态存储器和修剪电路162的较少的临时路径和状态值的存储。在仅检测到四比特序列的情况下,从状态存储器和修剪电路162去除存储1状态920的值的存储器以及去除相应的信息(即,被修剪)。

[0063] 接收接下来的采样系列作为数字采样115。在该示例中,接下来的四个采样是“42, 56, -12, 99”。将这些数据采样乘以相应的相关器值以产生对于从零到零、从零到一、从一到零和从一到一的变换的路径值。具体地,接收到的数据采样被提供给乘法器121,其中根据下式将它们乘以0→0相关器值122[0 1 0 -1]以产生路径值953:

[0064] 路径值953=(0*42)+(1*56)+(0*-12)+(-1*99)=-43。

[0065] 接收到的数据采样还被提供给乘法器123,其中根据下式将它们乘以1→0相关器值124[1 0 -1 -1]以产生路径值942:

[0066] 路径值942=(1*42)+(0*56)+(-1*-12)+(-1*99)=-45。

[0067] 接收到的数据采样还被提供给乘法器125,其中根据下式将它们乘以0→1相关器值126[-1 0 1 1]以产生路径值934:

[0068] 路径值934=(-1*42)+(0*56)+(1*-12)+(1*99)=45。

[0069] 此外,接收到的数据采样被提供给乘法器127,其中根据下式将它们乘以1→1相关器值128[0 -1 0 1]以产生路径值962:

[0070] 路径值962=(0*42)+(-1*56)+(0*-12)+(1*99)=43。

[0071] 先前计算的路径值被加到相应从其开始的状态以产生相应的和。具体地,路径值953被提供给加法器131,其中根据下式将它与在先零状态量度132(即,0状态912的值,其在该示例中是“310”)相加以产生和136:

[0072] 和136=310-43=267。

[0073] 路径值942被提供给加法器133,其中根据下式将它与在先一状态量度134(即,1状态922的值,其在该示例中是“602”)相加以产生和138:

[0074] 和138=602-45=557。

[0075] 路径值934被提供给加法器135,其中根据下式将它与在先零状态量度132(即,0状态912的值,其在该示例中是“310”)相加以产生和139:

[0076] 和139=310+45=355。

[0077] 路径值962被提供给加法器137,其中根据下式将它与在先一状态量度134(即,1状态922的值,其在该示例中是“602”)相加以产生和199:

[0078] 和199=602+43=645。

[0079] 临时状态量度选择器电路142选择和136与和138中的较大者,并使所选择的值写入到零状态存储器172。零状态存储器172输出所存储的值作为在先零状态量度132。在该情况下,相比和136选择和138,并且较大的值(即,557)被作为临时输出146提供给幸存状态量度选择器电路152。类似地,临时状态量度选择器电路144选择和139与和199中的较大者,并使所选择的值写入到一状态存储器174。一状态存储器174输出所存储的值作为在先一状态量度134。在该情况下,相比和139选择和199,并且较大的值(即,645)被作为临时输出148提供给幸存状态量度选择器电路152。幸存状态量度选择器电路152又选择临时输出146和临时输出148中的较大者。在该情况下,幸存状态被选择为1状态923,因为其与最大的临时输出“645”关联。因此,对于比特周期905(4T周期X),所检测的序列的结束状态是1状态923。

[0080] 1状态923的选择被提供给状态存储器和修剪电路162。接下来,状态存储器和修剪电路162又追踪被经历而导致所选择的1状态923的各状态。在该情况下,如下的状态序列被经历以产生1状态923:

[0081] 序列输出170=[0状态910,0状态911,1状态922,1状态923] = “0 0 1 1”。

[0082] 再次地,如图4b的格图991中所示,在仅检测到四比特序列的情况下,从状态存储器和修剪电路162去除存储0状态910的值和从0状态910延伸的路径的值的存储器(即,被剪除)。

[0083] 转到图4b,接收接下来的采样系列作为数字采样115。在该示例中,假设接下来的四个采样是“-34,1,14,64”。将这些数据采样乘以相应的相关器值以产生对于从零到零、从零到一、从一到零和从一到一的变换的路径值。具体地,接收到的数据采样被提供给乘法器121,其中根据下式将它们乘以0→0相关器值122[0 1 0 -1]以产生路径值954:

[0084] 路径值954=(0*-34)+(1*1)+(0*14)+(-1*64)=-63。

[0085] 接收到的数据采样还被提供给乘法器123,其中根据下式将它们乘以1→0相关器值124[1 0 -1 -1]以产生路径值943:

[0086] 路径值943=(1*-34)+(0*1)+(-1*14)+(-1*64)=-112。

[0087] 接收到的数据采样还被提供给乘法器125,其中根据下式将它们乘以0→1相关器值126[-1 0 1 1]以产生路径值935:

[0088] 路径值935=(-1*-34)+(0*1)+(1*14)+(1*64)=112。

[0089] 此外,接收到的数据采样被提供给乘法器127,其中根据下式将它们乘以1→1相关器值128[0 -1 0 1]以产生路径值963:

[0090] 路径值963=(0*-34)+(-1*1)+(0*14)+(1*64)=63。

[0091] 先前计算的路径值被加到相应的从其开始的状态以产生相应的和。具体地,路径值954被提供给加法器131,其中根据下式将它与在先零状态量度132(即,0状态913的值,其在该示例中是“355”)相加以产生和136:

[0092] 和136=366-63=292。

[0093] 路径值943被提供给加法器133,其中根据下式将它与在先一状态量度134(即,1状态923的值,其在该示例中是“645”)相加以产生和138:

[0094] 和138=645-112=533。

[0095] 路径值935被提供给加法器135,其中根据下式将它与在先零状态量度132(即,0状态913的值,其在该示例中是“355”)相加以产生和139:

[0096] 和 $139=355+63=418$ 。

[0097] 路径值963被提供给加法器137,其中根据下式将它与在先一状态量度134(即,1状态923的值,其在该示例中是“645”)相加以产生和199:

[0098] 和 $199=645+112=757$ 。

[0099] 临时状态量度选择器电路142选择和136与和138中的较大者,并将所选择的值写入到零状态存储器172。零状态存储器172输出所存储的值作为在先零状态量度132。在该情况下,相比和136选择和138,并且较大的值(即,533)被作为临时输出146提供给幸存状态量度选择器电路152。类似地,临时状态量度选择器电路144选择和139与和199中的较大者,并使所选择的值写入到一状态存储器174。一状态存储器174输出所存储的值作为在先一状态量度134。在该情况下,相比和139选择和199,并且较大的值(即,757)被作为临时输出148提供给幸存状态量度选择器电路152。接下来,幸存状态量度选择器电路152又选择临时输出146和临时输出148中的较大者。在该情况下,幸存状态被选择为1状态924,因为其最大的临时输出“757”关联。因此,对于比特周期906(4T周期X+1),所检测的序列的结束状态是1状态924。

[0100] 1状态924的选择被提供给状态存储器和修剪电路162。接下来,状态存储器和修剪电路162追踪被经历以导致所选择的1状态924的各状态。在该情况下,如下状态序列被经历以产生1状态924:

[0101] 序列输出170=[0状态911,1状态922,1状态923,1状态924]=“0 1 1 1”。

[0102] 再次地,如图4c的格图992中所示,在仅检测到四比特的序列的情况下,从状态存储器和修剪电路162去除存储0状态911的值和从0状态911延伸的路径的值的存储器(即,被剪除)。当接收到另外的数据比特系列时,该过程继续。

[0103] 转到图3,流程图200示出了根据本发明多种实施例的序列检测处理。遵循流程图200,确定是否已接收到4T采样(框210)。如先前描述的,4T采样暗示了对于每个比特变换四个采样。应当注意,可以结合本发明的不同实施例使用每个比特变换更多或更少的采样。一旦已接收到规定数目的采样(框210),则将接收到的采样乘以相应的相关器值以产生对于从零到零、从零到一、从一到零和从一到一的变换的路径值。作为示例,四个采样是:51、-35、-102、-112。在先零状态值是“12”并且在先一状态值是“124”。具体地,使用对应于零到一变换的相关器值(“-1 0 1 1”)计算零到一变换的分支量度(框222)。使用上述示例输入,根据下式计算该分支量度:

[0104] 分支量度 $=(-1*51)+(0*-35)+(1*-102)+(1*-112)=-265$ 。

[0105] 类似地,使用对应于一到一变换的相关器值(“0 -1 0 -1”)计算一到一变换的分支量度(框224)。使用上述示例输入,根据下式计算该分支量度:

[0106] 分支量度 $=(0*51)+(-1*-35)+(0*-102)+(1*-112)=-77$ 。

[0107] 使用对应于一到零变换的相关器值(“1 0 -1 -1”)计算一到零变换的分支量度(框226)。使用上述示例输入,根据下式计算该分支量度:

[0108] 分支量度 $=(1*51)+(0*-35)+(-1*-102)+(-1*-112)=265$ 。

[0109] 此外,使用对应于零到零变换的相关器值(“0 1 0 -1”)计算零到零变换的分支量度(框228)。使用上述示例输入,根据下式计算该分支量度:

[0110] 分支量度 $=(0*51)+(1*-35)+(0*-102)+(-1*-112)=77$ 。

[0111] 一旦分支量度可用,则将分支量度添与从其得到该分支量度的状态值相加。具体地,计算对于零到一变换状态的状态量度以产生第一临时状态(框232)。使用上述示例输入,根据下式计算第一临时状态值:

[0112] 第一临时值=在先零状态值+0 $\rightarrow$ 1分支量度=12-265=-253。

[0113] 计算对于一到一变换状态的状态量度以产生第二临时状态(框234)。使用上述示例输入,根据下式计算第二临时状态值:

[0114] 第二临时值=在先一状态值+1 $\rightarrow$ 1分支量度=124-77=47。

[0115] 计算对于一到零变换状态的状态量度以产生第三临时状态(框236)。使用上述示例输入,根据下式计算第三临时状态值:

[0116] 第三临时值=在先一状态值+1 $\rightarrow$ 0分支量度=124+265=389。

[0117] 此外,计算对于零到零变换状态的状态量度以产生第四临时状态(框238)。使用上述示例输入,根据下式计算第四临时状态值:

[0118] 第四临时值=在先零状态值+0 $\rightarrow$ 0分支量度=12+77=89。

[0119] 在先前计算的第一临时值和第二临时值之间选择第一幸存状态量度(框242)。这是通过选择第一临时值和第二临时值中的较大者(在该示例中是“47”)来进行的。该值被存储作为在乘接下来的数据采样系列时使用的在先一状态量度(例如,在框222、224、226、228中)。此外,在先前计算的第三临时值和第四临时值之间选择第二幸存状态量度(框244)。这是通过选择第三临时值和第四临时值中的较大者(在该示例中是“389”)来进行的。该值被存储作为在乘接下来的数据采样系列时使用的在先零状态量度(例如,在框222、224、226、228中)。基于先前确定的第一幸存临时状态和第二幸存临时状态,选择幸存状态量度(框252)。这是通过选择第一幸存临时状态和第二幸存临时状态中的较大者(在该示例中是“389”)来进行的。该情况下的幸存状态量度是零状态。该幸存状态量度对应于所检测的序列中的最新近的比特,并且用于在时间上回溯以在期望数目的比特上产生检测的比特序列(框262)。这是通过确定最终导致幸存状态量度的值的计算的路径中的在先状态量度来进行的。随后作为输出提供所识别的比特序列(框272),并且对于接收到的接下来的数字采样系列重复该过程(框210)。

[0120] 转到图5,示出了根据本发明多种实施例的包括具有临时状态序列检测的读通道电路310的存储系统300。存储系统300可以是例如,硬盘驱动器。低延时回路恢复包括数据检测器电路,该数据检测器电路可以是本领域中已知的任何数据检测器。存储系统300还包括前置放大器370、接口控制器320、硬盘控制器366、马达控制器368、主轴马达372、硬盘盘片378和读/写头376。接口控制器320控制去往/来自硬盘盘片378的数据的寻址和定时。硬盘盘片378上的数据由磁信号组构成,当读/写头组件376被适当地安置在硬盘盘片378上时,可以由该组件检测这些磁信号。在一个实施例中,硬盘盘片378包括根据纵向或垂直记录方案记录的磁信号。

[0121] 在典型的读操作中,读/写头组件376由马达控制器368准确地安置在硬盘盘片378上的期望的数据轨道上。马达控制器368与硬盘盘片378相关地安置读/写头组件376,并且通过在硬盘控制器366的引导下将读/写头组件移动到硬盘盘片378上的适当的数据轨道来驱动主轴马达372。主轴马达372使硬盘盘片378以确定的旋转速率(RPM)旋转。一旦读/写头组件378被安置为与适当的数据轨道相邻,当主轴马达372使硬盘盘片378旋转时,由读/写

头组件376感测表示硬盘盘片378上的数据的磁信号。感测到的磁信号被提供作为表示硬盘盘片378上的磁数据的连续的微小模拟信号。该微小模拟信号从读/写头组件376经由前置放大器370被传输到读通道模块364。前置放大器370可操作用于放大从硬盘盘片378获取的微小模拟信号。接下来,读通道电路310又对接收到的模拟信号解码和数字化,以重建原始写入硬盘盘片378的信息。该数据作为读数据303被提供给接收电路。作为对接收到的信息解码的一部分,读通道电路310执行数据序列检测处理以识别各种信息标志,其包括但不限于,伺服数据集中的用于确定读/写头组件376相对于硬盘盘片378的位置的前导码。该数据序列检测可以使用上文就图2描述的电路和/或上文就图3讨论的方法执行。写操作基本上与前面的读操作相反,写数据301被提供给读通道电路310。该数据随后被编码并且写入到硬盘盘片378。

[0122] 总之,本发明提供了用于执行数据处理的新型的系统、设备、方法和布置。尽管上文已给出了本发明的一个或更多个实施例的详细描述,但是各种替选方案、修改方案和等同方案对于本领域的技术人员将是明显的而不偏离本发明的精神。因此,以上描述不应被视为限制由所附权利要求限定的本发明的范围。

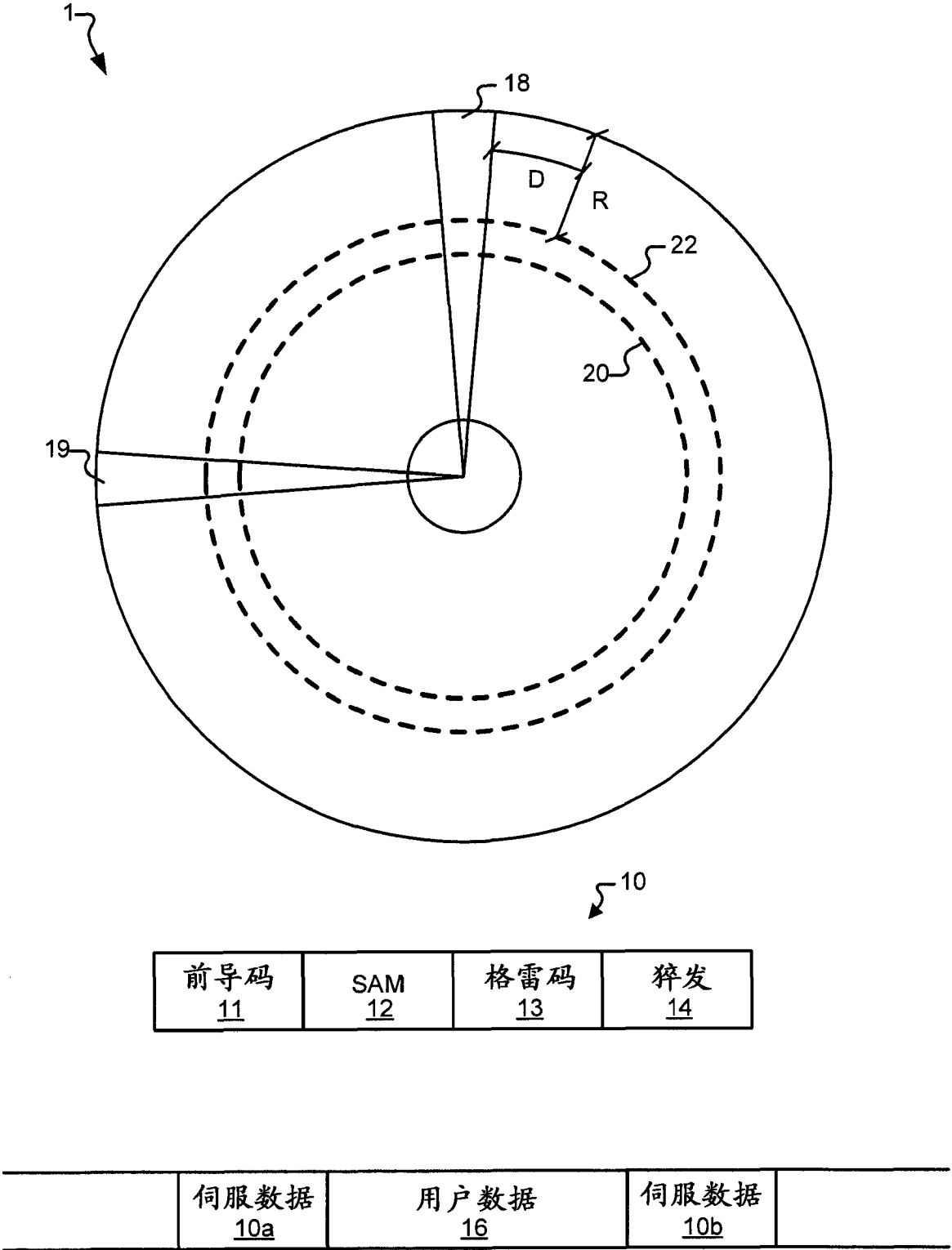


图1(现有技术)

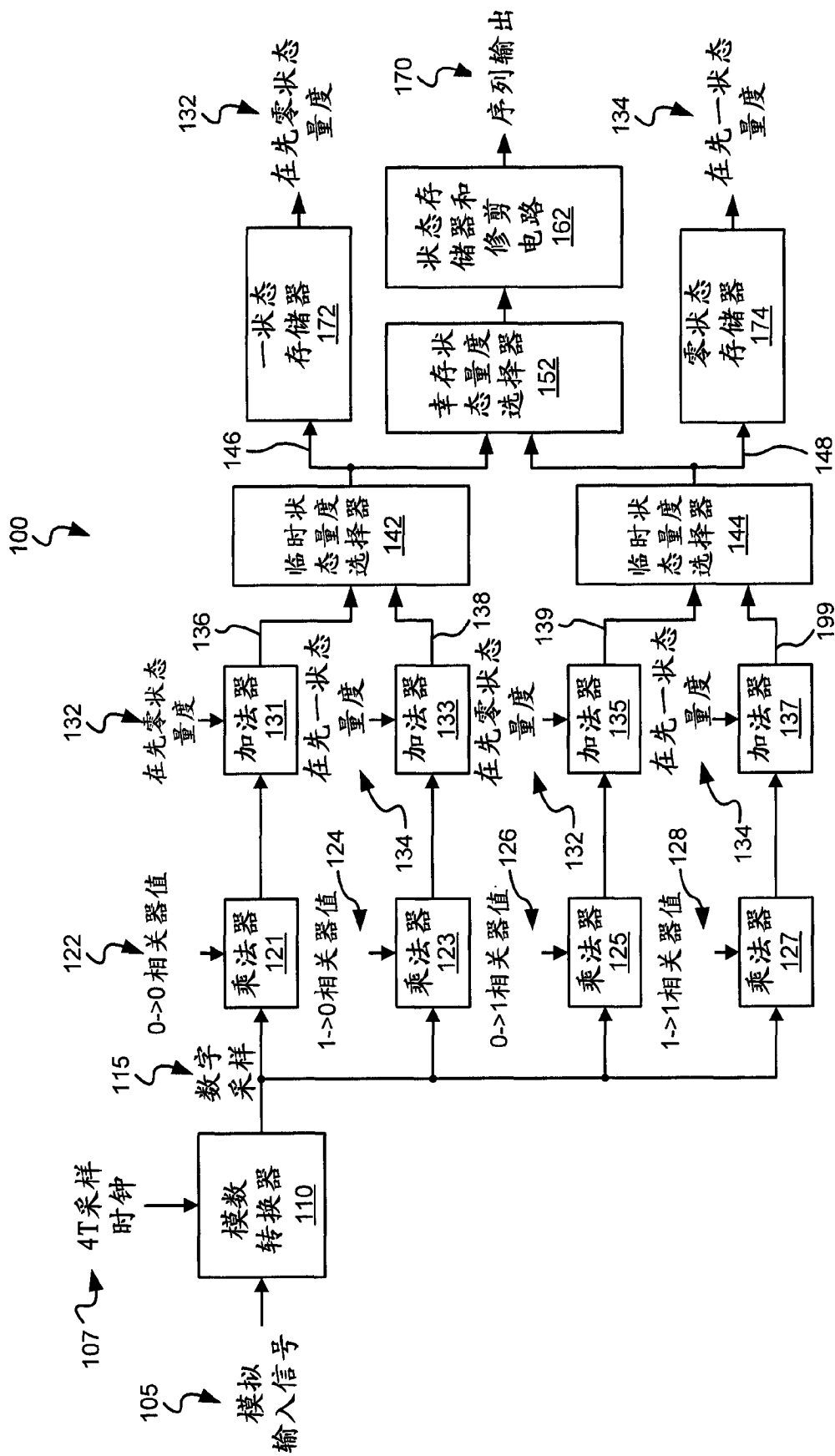


图2

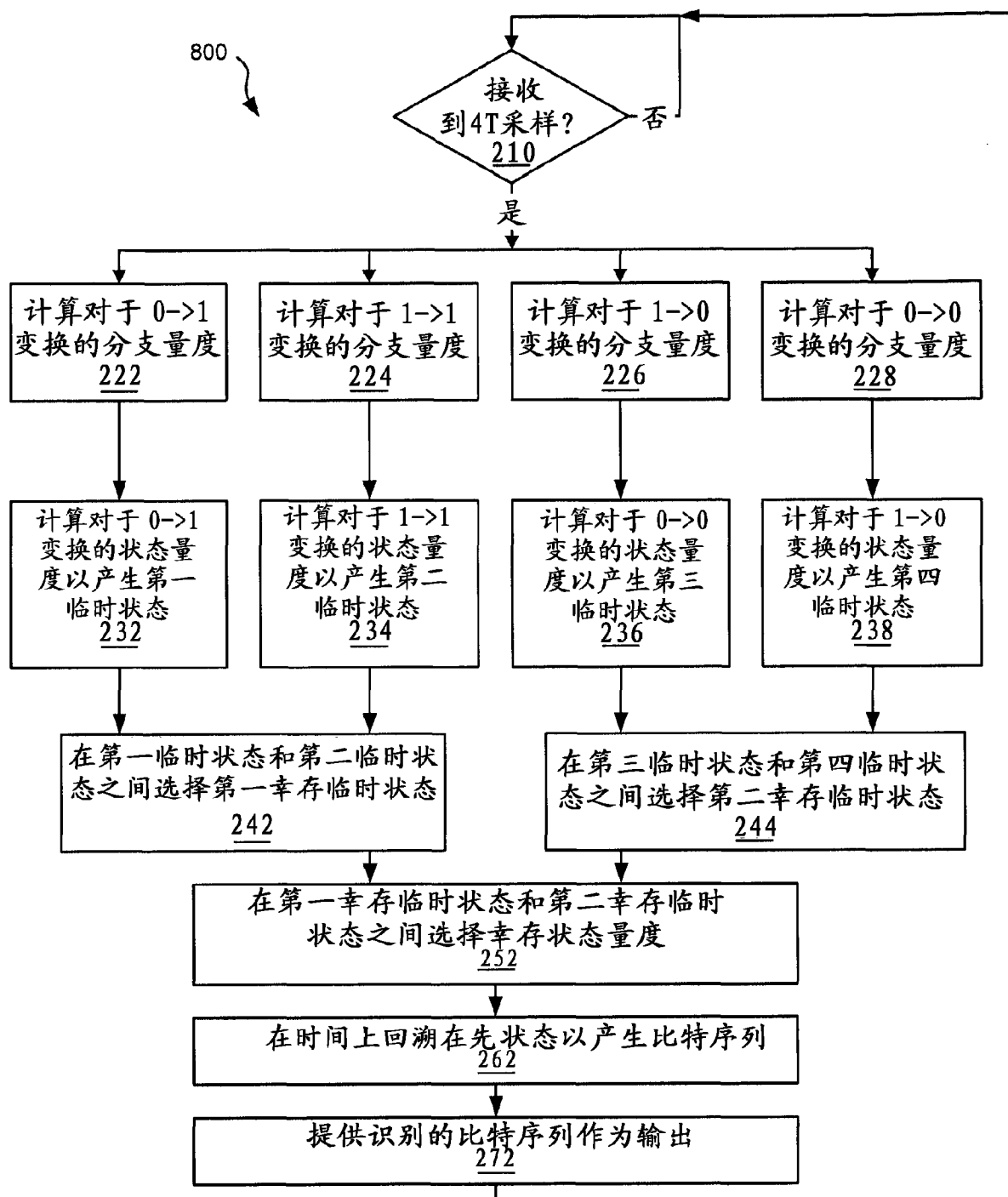


图3

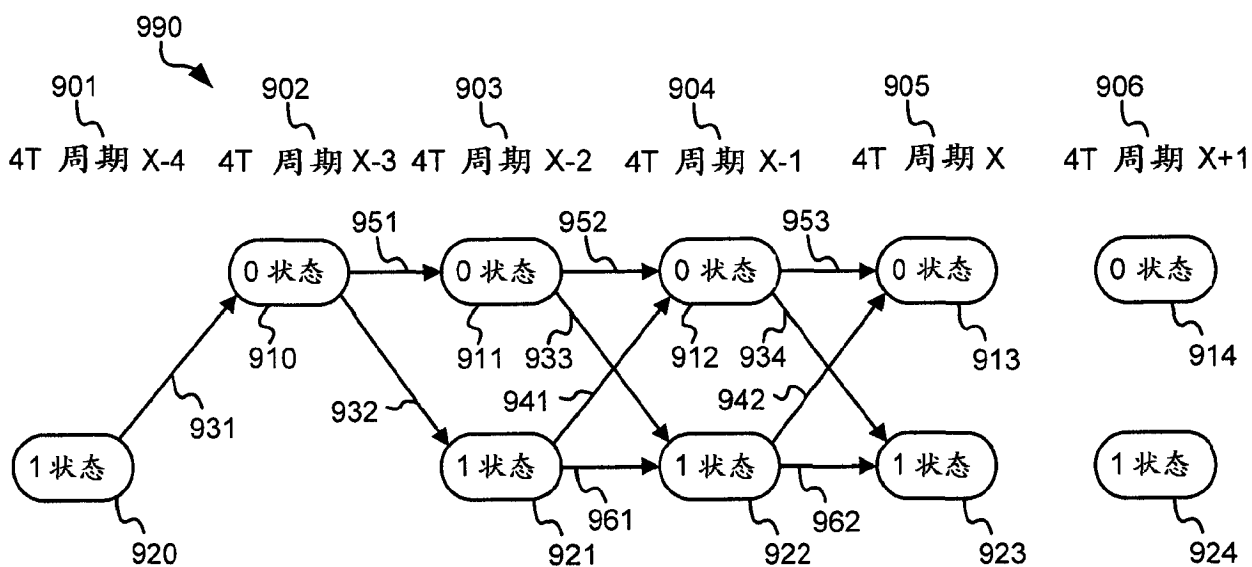


图4a

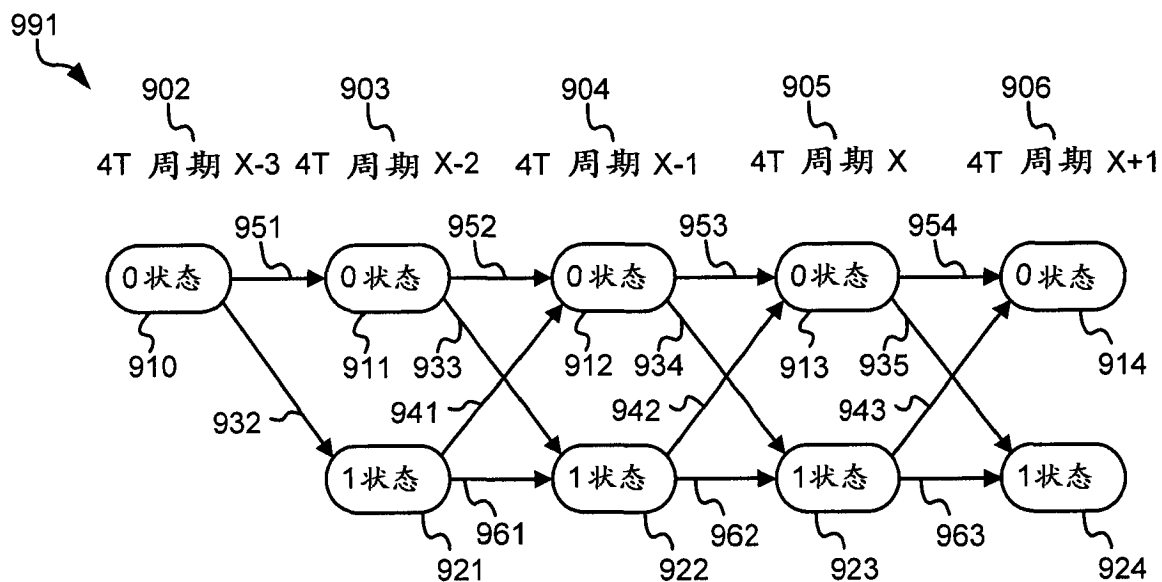


图4b

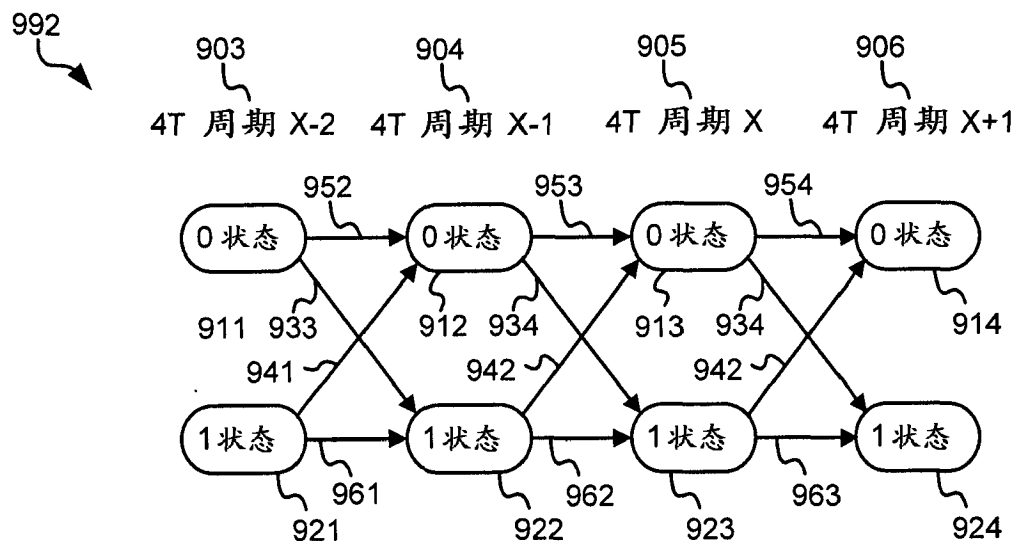


图4c

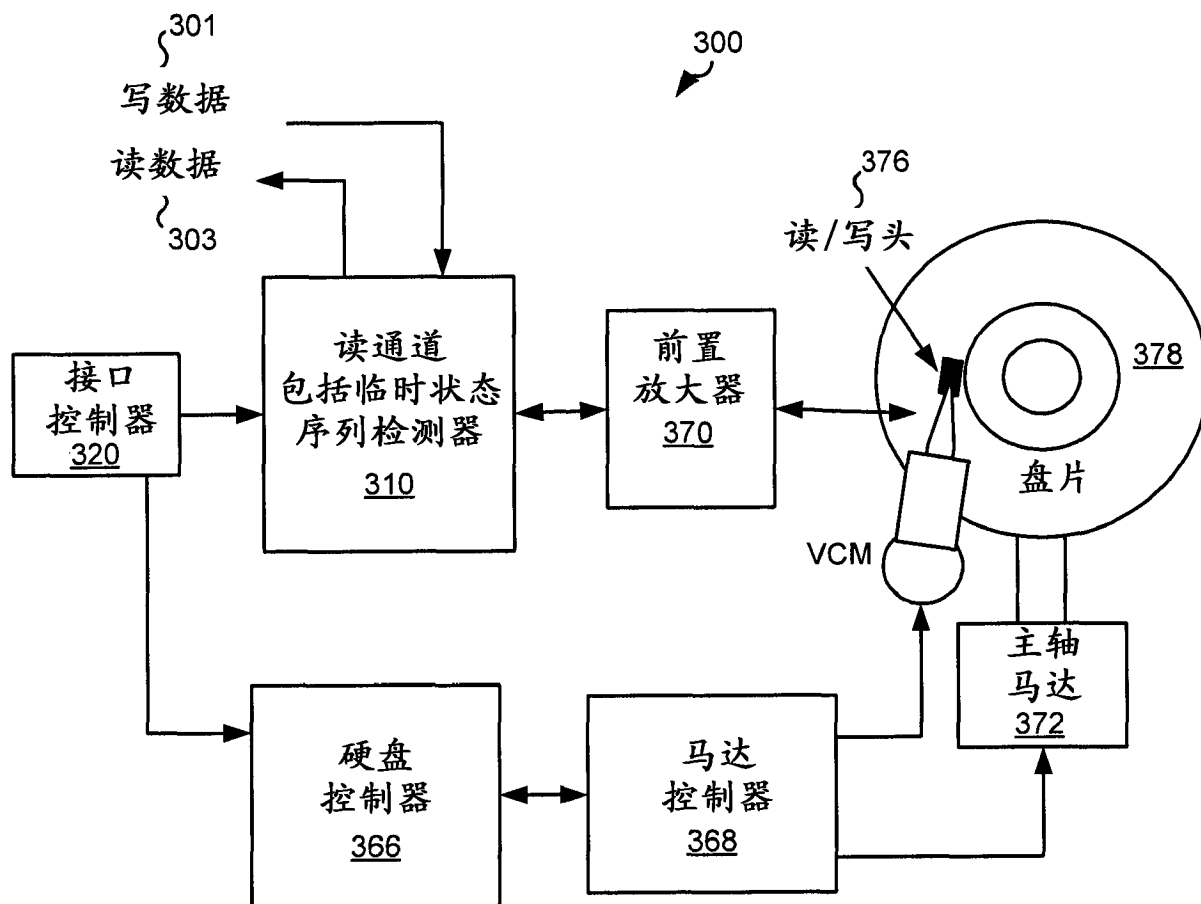


图5