



# [12] 发明专利说明书

专利号 ZL 02141918.3

[45] 授权公告日 2006 年 10 月 18 日

[11] 授权公告号 CN 1280701C

[22] 申请日 2002.8.27 [21] 申请号 02141918.3

[30] 优先权

[32] 2002. 4. 9 [33] JP [31] 106262/2002

[71] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 田中勝也 藤本和久

审查员 赵 强

[74] 专利代理机构 中国国际贸易促进委员会专利

商标事务所

代理人 吴丽丽

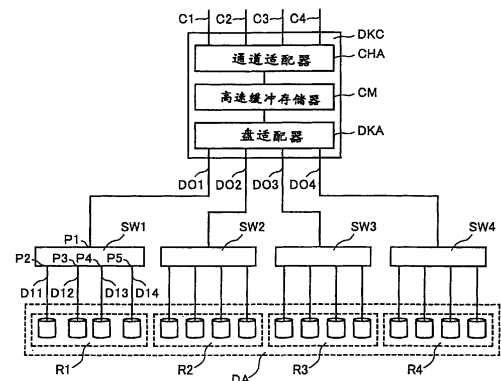
权利要求书 5 页 说明书 21 页 附图 11 页

## [54] 发明名称

经由开关连接盘适配器和盘阵列的盘装置

## [57] 摘要

本发明提供经由开关连接盘适配器和盘阵列的盘装置，以提供一种盘控制器的盘适配器与盘阵列间的吞吐量高的盘装置。经由开关(SW1、SW2、SW3、SW4)连接盘控制器(DKC)的盘适配器(DKA)与盘阵列(DA)。在开关(SW1)中对开关(SW1)与 RAID 组(R1)间的通道(D11、D12、D13、D14)上的数据进行多路化并传送到开关(SW1)与盘适配器(DKA)间的通道(D01)，在开关(SW1)中对开关(SW1)与盘适配器(DKA)间的通道(D01)上的数据进行去多路化并传送到开关(SW1)与 RAID 组(R1)间的通道(D11、D12、D13、D14)。把盘适配器(DKA)与开关(SW1)间的通道(D01)上的数据传送速度取为高于通道(D11、D12、D13、D14)的数据传送速度。



1. 一种盘装置，包括盘控制器和存储从该盘控制器传送的帧的盘阵列，其特征在于：

前述盘控制器包括盘适配器，

前述盘装置包括开关，

前述开关包括：与前述盘适配器连接的第1端口；与前述盘阵列连接的多个第2端口；存储从前述第1端口或者前述多个第2端口的某一方输入的帧的缓冲存储器；与前述第1端口和前述多个第2端口连接的纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述纵横开关的开关控制器，

设定前述缓冲存储器，使前述盘适配器和前述开关之间的每个通道数据传送速度大于前述开关和前述盘阵列之间的每个通道数据传送速度，

前述开关控制器通过针对所输入的每一帧切换纵横开关，以切换前述第1端口和前述多个第2端口的某一方的连接。

2. 一种盘装置，包括盘控制器和存储从该盘控制器传送的帧的多个盘阵列，其特征在于：

前述盘阵列包括环状连接的多个盘驱动器，

前述盘控制器包括盘适配器，

前述盘装置包括开关，

前述开关包括：与前述盘适配器连接的第1端口；与前述多个盘阵列连接的多个第2端口；存储从前述第1端口或者前述多个第2端口的某一方输入的帧的缓冲存储器；与前述第1端口和前述多个第2端口连接的纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述纵横开关的开关控制器，

设定前述缓冲存储器，使前述盘适配器和前述开关之间的每个通道数据传送速度大于前述开关和前述多个盘阵列之间的每个通道数据

传送速度，

前述开关控制器通过针对所输入的每一帧切换纵横开关，以切换前述第 1 端口和前述多个第 2 端口的某一方的连接。

3. 一种盘装置，包括盘控制器和存储从该盘控制器传送的帧的盘阵列，其特征在于：

由连接于同一开关的盘驱动器的组合来构成 RAID 组，

前述盘控制器包括盘适配器，

前述盘装置包括开关，

前述开关包括：与前述盘适配器连接的第 1 端口；与前述构成 RAID 组的盘驱动器连接的多个第 2 端口；存储从前述第 1 端口或者前述多个第 2 端口的某一方输入的帧的缓冲存储器；与前述第 1 端口和前述多个第 2 端口连接的纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述纵横开关的开关控制器，

设定前述缓冲存储器，使前述盘适配器和前述开关之间的每个通道数据传送速度大于前述开关和前述盘阵列之间的每个通道数据传送速度，

前述开关控制器通过针对所输入的每一帧切换纵横开关，以切换前述第 1 端口和前述多个第 2 端口的某一方的连接。

4. 一种盘装置，包括第 1 盘控制器、第 2 盘控制器、存储从该第 1 盘控制器和该第 2 盘控制器传送的帧的多个盘阵列，其特征在于：

前述第 1 盘控制器包括第 1 盘适配器，

前述第 2 盘控制器包括第 2 盘适配器，

前述盘装置包括第 1 开关和第 2 开关，

前述第 1 开关包括：与前述第 1 盘适配器连接的第 1 端口；与前述多个盘阵列连接的多个第 2 端口；存储从前述第 1 端口或者前述多个第 2 端口的某一方输入的帧的第 1 缓冲存储器；与前述第 1 端口和前述多个第 2 端口连接的第 1 纵横开关；基于前述所输入的帧内的发

送目的地信息，切换前述第1纵横开关的第1开关控制器，

前述第2开关包括：与前述第2盘适配器连接的第3端口；与前述多个盘阵列连接的多个第4端口；存储从前述第3端口或者前述多个第4端口的某一方输入的帧的第2缓冲存储器；与前述第3端口和前述多个第4端口连接的第2纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述第2纵横开关的第2开关控制器，

进而前述第1开关和前述第2盘适配器连接，前述第2开关和前述第1盘适配器连接，

设定前述第1缓冲存储器，使前述第1盘适配器和前述第1开关之间以及前述第2盘适配器和前述第1开关之间的每个通道数据传送速度大于前述第1开关和前述多个盘阵列之间的每个通道数据传送速度，

设定前述第2缓冲存储器，使前述第2盘适配器和前述第2开关之间以及前述第1盘适配器和前述第2开关之间的每个通道数据传送速度大于前述第2开关和前述多个盘阵列之间的每个通道数据传送速度，

前述第1开关控制器通过针对所输入的每一帧切换第1纵横开关，以切换前述第1端口和前述多个第2端口的某一方的连接，

前述第2开关控制器通过针对所输入的每一帧切换第2纵横开关，以切换前述第3端口和前述第4端口的某一方的连接。

5. 一种盘装置，包括第1盘控制器、第2盘控制器、存储从该第1盘控制器和该第2盘控制器传送的帧的多个盘阵列，其特征在于：

所述第1盘控制器包括第1盘适配器，

所述第2盘控制器包括第2盘适配器，

前述盘装置包括第1开关和第2开关，

前述第1开关包括：与前述第1盘适配器连接的第1端口；与前述多个盘阵列连接的多个第2端口；存储从前述第1端口或者前述多个第2端口的某一方输入的帧的第1缓冲存储器；与前述第1端口和

前述多个第2端口连接的第1纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述第1纵横开关的第1开关控制器，

前述第2开关包括：与前述第2盘适配器连接的第3端口；与前述多个盘阵列连接的多个第4端口；存储从前述第3端口或者前述多个第4端口的某一方输入的帧的第2缓冲存储器；与前述第3端口和前述多个第4端口连接的第2纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述第2纵横开关的第2开关控制器，

进而前述第1开关和前述第2盘适配器连接，前述第2开关和前述第1盘适配器连接，

设定前述第1缓冲存储器，使前述第1盘适配器和前述第1开关之间以及前述第2盘适配器和前述第1开关之间的每个通道数据传送速度大于前述第1开关和前述多个盘阵列之间的每个通道数据传送速度，

设定前述第2缓冲存储器，使前述第2盘适配器和前述第2开关之间以及前述第1盘适配器和前述第2开关之间的每个通道数据传送速度大于前述第2开关和前述多个盘阵列之间的每个通道数据传送速度，

经由具有与将前述第1盘适配器和前述第2开关之间连接起来的通道同等的数据传送速度的通道、以及具有与将前述第2盘适配器和前述第1开关之间连接起来的通道同等的数据传送速度的通道将第1开关和第2开关连接，

前述第1开关控制器通过针对所输入的每一帧切换第1纵横开关，以切换前述第1端口和前述多个第2端口的某一方的连接，

前述第2开关控制器通过针对所输入的每一帧切换第2纵横开关，以切换前述第3端口和前述第4端口的某一方的连接。

6. 权利要求1至权利要求5中的任何一项所述的盘装置，其特征在于：在从前述盘阵列读出数据时，前述开关将从前述盘阵列经由前述多个第2端口输入的数据由前述第1端口输出，传送给前述盘适配

器，

在向前述盘阵列写入数据时，前述开关将从前述盘适配器经由前述第1端口输入的数据分配输出给前述多个第2端口，传送给前述盘阵列。

7. 权利要求1至权利要求5中的任何一项所述的盘装置，其特征在于：

在从盘适配器向盘阵列写入数据时，前述盘适配器在送出的帧中设定发送目的地信息，以便周期地进行前述端口间的连接的切换，

在从盘阵列向盘适配器读出数据时，前述开关通过轮转方式来切换前述端口间的连接。

8. 权利要求7所述的盘装置，其特征在于：

把周期地切换的端口数与位于盘适配器和开关之间的数据传送速度之积、与位于开关和盘阵列之间的端口数与数据传送速度之积设定为同一程度。

9. 权利要求1至权利要求5中的任何一项所述的盘装置，其特征在于：

用光纤缆将前述盘适配器与前述开关之间连接，用金属缆将前述开关与前述盘阵列之间连接。

## 经由开关连接盘适配器和盘阵列的盘装置

### 技术领域

本发明涉及计算机系统二次存储装置，特别是涉及输入输出数据传送性能高的盘装置。

### 背景技术

在现在的计算机系统中，CPU（中央处理装置）所需要的数据保存在二次存储装置中，根据CPU等需要时对二次存储装置进行数据的写入和读出。

作为此一二次存储装置，一般使用非易失存储媒体，作为典型者有磁盘、光盘等盘装置。

近年来随着高度信息化，在计算机系统中，要求这种二次存储装置的高性能化。

图9中示出现有技术的盘装置的方框图。

在图9中，盘装置由盘控制器DKC和盘阵列DA来构成。

盘控制器DKC由连接上位侧CPU（未画出）和盘装置的通道适配器CHA，暂时保存对盘阵列DA进行读写的数据的高速缓冲存储器CM，以及连接盘控制器DKC和盘阵列DA的盘适配器DKA组成。

通道适配器CHA和高速缓冲存储器CM和盘适配器DKA靠总线或开关相互连接。

通道适配器CHA靠C1、C2、C3、C4等4条通道与CPU连接。

盘适配器DKA靠D1、D2、D3、D4等4条通道与盘阵列连接。

这里盘阵列DA由盘组R1、R2、R3、R4组成。

在盘阵列DA中构筑RAID系统的场合，R1、R2、R3、R4分别构成RAID组。

从通道C1、C2、C3、C4所输入的写入数据在把该数据写入高速

缓冲存储器 CM 的同时，把该数据以块为单位进行分割，把分割成块单位的数据通过通道 D1、D2、D3、D4 之内的 3 个通道，把根据前述分割数据计算的奇偶位通过其余 1 个通道，从盘适配器 DKA 向盘阵列 DA 发送。

在读出数据时，首先调查高速缓冲存储器 CM 内有没有合适的数据。

在有的场合，从高速缓冲存储器 CM 经由通道适配器 CHA 从高速缓冲存储器内读出数据向 CPU 发送。

在高速缓冲存储器 CM 内没有的场合，盘适配器 DKA 经由 D1、D2、D3、D4 从盘阵列 DA 读出分割成块单位的数据，经由通道适配器 CHA 把读出数据向 CPU 发送。把这种现有技术称为第 1 现有技术。

作为第 1 现有技术相关的盘装置，有例如日经 BP 公司刊物《日经计算机别册主机'98》（1998 年）第 144 页至 153 页中所述的盘装置。

把盘适配器和盘阵列经由开关连接的盘装置，在特开平 5 - 173722 号的“多通道数据和奇偶位的交换装置”中公开了。

以下把该公报中所述的现有技术称为第 2 现有技术。

如果用第 2 现有技术，则与盘阵列相关的总线条数和与盘适配器相关的总线条数可以独立地设定。

把盘适配器和盘阵列经由缓冲控制块连接的盘装置，在特开平 6 - 19627 号的“旋转型存储装置”中公开了。

以下把该公报中所述的现有技术称为第 3 现有技术。

如果用第 3 现有技术，则可以任意设定盘适配器与盘阵列间的数据传送速度，可以降低盘的旋转等待的影响。

## 发明内容

随着网络技术的进步，每 1 通道的数据传送速度年年增加。

例如盘装置中所使用的光纤通道中，虽然当前每个通道的数据传送速度为 1 Gbps 到 2 Gbps，但是可以预计不久的将来向 4 Gbps 到 10



## Gbps 高速化。

CPU 与通道适配器间（以下称为前端）的吞吐量估计会跟上此一高速化。

可是，盘适配器与盘阵列间（以下称为后端）的吞吐量出于以下理由估计不会像前端那么高速化。

第 1 个理由是，由于盘驱动器包括机械零件，所以与仅电子元件、光元件容易进行高速化的前端相比高速化是困难的。

第 2 个理由是，例如即使盘驱动器高速化了，所有的盘驱动器每个都搭载高速接口，也招致有多个盘驱动器的盘装置的高成本化。

在第 1 现有技术中，存在着即使提高通道适配器的每个通道的数据传送速度，也因前端与后端的吞吐量背离，不能提高盘装置的性能这样的问题。

此外，虽然为了提高后端的吞吐量也可以考虑在盘适配器中设置多个低速端口，但是盘适配器的端口数增加使控制复杂。

在第 2 现有技术中，虽然通过在盘适配器与盘阵列之间运用开关可以增加盘增设端口数，但是由于每个通道的数据传送速度限制于盘阵列的数据传送速度，所以存在着盘适配器与盘阵列间的吞吐量成为性能瓶颈这样的问题。

第 3 现有技术是能够降低盘的旋转等待时间的影响的技术，存在着不能降低前端与后端的吞吐量背离这样的问题。

本发明的目的在于提供一种盘适配器与盘阵列间的吞吐量高的盘装置。

本发明的另一个目的在于提供一种盘适配器与盘阵列间的吞吐量高，且盘驱动器连接台数多的盘装置。

本发明的又一个目的在于提供一种有可靠性高的盘阵列的盘装置。

本发明的又一个目的在于提供一种有可靠性高的盘适配器与盘阵列间网络的盘装置。

本发明的又一个目的在于提供一种有可靠性和吞吐量高的盘适配

器与盘阵列间网络的盘装置。

本发明的又一个目的在于提供一种能够使从盘的读出和向盘的写入高吞吐量化的盘装置。

本发明的又一个目的在于提供一种能够维持高吞吐量的盘装置。

本发明的又一个目的在于提供一种高吞吐量且低成本的盘装置。

为了实现上述目的，本发明提供一种盘装置，包括盘控制器和存储从该盘控制器传送的帧的盘阵列，其特征在于：前述盘控制器包括盘适配器，前述盘装置包括开关，前述开关包括：与前述盘适配器连接的第1端口；与前述盘阵列连接的多个第2端口；存储从前述第1端口或者前述多个第2端口的某一方输入的帧的缓冲存储器；与前述第1端口和前述多个第2端口连接的纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述纵横开关的开关控制器，设定前述缓冲存储器，使前述盘适配器和前述开关之间的每个通道数据传送速度大于前述开关和前述盘阵列之间的每个通道数据传送速度，前述开关控制器通过针对所输入的每一帧切换纵横开关，以切换前述第1端口和前述多个第2端口的某一方的连接。

本发明提供一种盘装置，包括盘控制器和存储从该盘控制器传送的帧的多个盘阵列，其特征在于：前述盘阵列包括环状连接的多个盘驱动器，前述盘控制器包括盘适配器，前述盘装置包括开关，前述开关包括：与前述盘适配器连接的第1端口；与前述多个盘阵列连接的多个第2端口；存储从前述第1端口或者前述多个第2端口的某一方输入的帧的缓冲存储器；与前述第1端口和前述多个第2端口连接的纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述纵横开关的开关控制器，设定前述缓冲存储器，使前述盘适配器和前述开关之间的每个通道数据传送速度大于前述开关和前述多个盘阵列之间的每个通道数据传送速度，前述开关控制器通过针对所输入的每一帧切换纵横开关，以切换前述第1端口和前述多个第2端口的某一方的连接。

本发明提供一种盘装置，包括盘控制器和存储从该盘控制器传送

的帧的盘阵列，其特征在于：由连接于同一开关的盘驱动器的组合来构成 RAID 组，前述盘控制器包括盘适配器，前述盘装置包括开关，前述开关包括：与前述盘适配器连接的第 1 端口；与前述构成 RAID 组的盘驱动器连接的多个第 2 端口；存储从前述第 1 端口或者前述多个第 2 端口的某一方输入的帧的缓冲存储器；与前述第 1 端口和前述多个第 2 端口连接的纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述纵横开关的开关控制器，设定前述缓冲存储器，使前述盘适配器和前述开关之间的每个通道数据传送速度大于前述开关和前述盘阵列之间的每个通道数据传送速度，前述开关控制器通过针对所输入的每一帧切换纵横开关，以切换前述第 1 端口和前述多个第 2 端口的某一方的连接。

本发明提供一种盘装置，包括第 1 盘控制器、第 2 盘控制器、存储从该第 1 盘控制器和该第 2 盘控制器传送的帧的多个盘阵列，其特征在于：前述第 1 盘控制器包括第 1 盘适配器，前述第 2 盘控制器包括第 2 盘适配器，前述盘装置包括第 1 开关和第 2 开关，前述第 1 开关包括：与前述第 1 盘适配器连接的第 1 端口；与前述多个盘阵列连接的多个第 2 端口；存储从前述第 1 端口或者前述多个第 2 端口的某一方输入的帧的第 1 缓冲存储器；与前述第 1 端口和前述多个第 2 端口连接的第 1 纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述第 1 纵横开关的第 1 开关控制器，前述第 2 开关包括：与前述第 2 盘适配器连接的第 3 端口；与前述多个盘阵列连接的多个第 4 端口；存储从前述第 3 端口或者前述多个第 4 端口的某一方输入的帧的第 2 缓冲存储器；与前述第 3 端口和前述多个第 4 端口连接的第 2 纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述第 2 纵横开关的第 2 开关控制器，进而前述第 1 开关和前述第 2 盘适配器连接，前述第 2 开关和前述第 1 盘适配器连接，设定前述第 1 缓冲存储器，使前述第 1 盘适配器和前述第 1 开关之间以及前述第 2 盘适配器和前述第 1 开关之间的每个通道数据传送速度大于前述第 1 开关和前述多个盘阵列之间的每个通道数据传送速度，设定前述第 2 缓冲存

存储器，使前述第2盘适配器和前述第2开关之间以及前述第1盘适配器和前述第2开关之间的每个通道数据传送速度大于前述第2开关和前述多个盘阵列之间的每个通道数据传送速度，前述第1开关控制器通过针对所输入的每一帧切换第1纵横开关，以切换前述第1端口和前述多个第2端口的某一方的连接，前述第2开关控制器通过针对所输入的每一帧切换第2纵横开关，以切换前述第3端口和前述多个第4端口的某一方的连接。

本发明提供一种盘装置，包括第1盘控制器、第2盘控制器、存储从该第1盘控制器和该第2盘控制器传送的帧的多个盘阵列，其特征在于：所述第1盘控制器包括第1盘适配器，所述第2盘控制器包括第2盘适配器，前述盘装置包括第1开关和第2开关，前述第1开关包括：与前述第1盘适配器连接的第1端口；与前述多个盘阵列连接的多个第2端口；存储从前述第1端口或者前述多个第2端口的某一方输入的帧的第1缓冲存储器；与前述第1端口和前述多个第2端口连接的第1纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述第1纵横开关的第1开关控制器，前述第2开关包括：与前述第2盘适配器连接的第3端口；与前述多个盘阵列连接的多个第4端口；存储从前述第3端口或者前述多个第4端口的某一方输入的帧的第2缓冲存储器；与前述第3端口和前述多个第4端口连接的第2纵横开关；基于前述所输入的帧内的发送目的地信息，切换前述第2纵横开关的第2开关控制器，进而前述第1开关和前述第2盘适配器连接，前述第2开关和前述第1盘适配器连接，设定前述第1缓冲存储器，使前述第1盘适配器和前述第1开关之间以及前述第2盘适配器和前述第1开关之间的每个通道数据传送速度大于前述第1开关和前述多个盘阵列之间的每个通道数据传送速度，设定前述第2缓冲存储器，使前述第2盘适配器和前述第2开关之间以及前述第1盘适配器和前述第2开关之间的每个通道数据传送速度大于前述第2开关和前述多个盘阵列之间的每个通道数据传送速度，经由具有与将前述第1盘适配器和前述第2开关之间连接起来的通道同等的数据传送速度

的通道、以及具有与将前述第2盘适配器和前述第1开关之间连接起来的通道同等的数据传送速度的通道将第1开关和第2开关连接，前述第1开关控制器通过针对所输入的每一帧切换第1纵横开关，以切换前述第1端口和前述多个第2端口的某一方的连接，前述第2开关控制器通过针对所输入的每一帧切换第2纵横开关，以切换前述第3端口和前述第4端口的某一方的连接。

此外，在从前述盘阵列读出数据时，前述开关将从前述盘阵列经由前述多个第2端口输入的数据由前述第1端口输出，传送给前述盘适配器，在向前述盘阵列写入数据时，前述开关将从前述盘适配器经由前述第1端口输入的数据分配输出给前述多个第2端口，传送给前述盘阵列。此外，在从前述盘适配器向前述盘阵列的数据写入时，前述盘适配器在送出的帧中设定发送目的地信息，以便周期地进行前述端口间的连接切换，在从前述盘阵列向前述盘适配器的数据读出时，前述开关通过轮转方式来切换前述端口间的连接。

此外，把周期地切换的端口数与位于盘适配器和开关之间的数据传送速度之积、与位于开关和盘阵列之间的端口数与数据传送速度之积设定为同一程度。

此外，靠光纤缆来连接前述盘适配器与前述开关间，靠金属缆来连接前述开关与前述盘阵列间。

#### 附图说明

图1是表示本发明的第1实施例的盘装置的图。

图2是表示本发明中用的开关的构成的图。

图3是表示本发明中用的开关的构成的图。

图4是表示本发明中用的开关的动作的图。

图5是表示本发明中用的开关的动作的图。

图6是表示对本发明的第1实施例增设盘驱动器的方法的图。

图7是表示本发明的第2实施例的盘装置的图。

图8是表示本发明的第3实施例的盘装置的图。

图 9 是表示现有技术的盘装置的图。

图 10 是说明根据 FC - AL 的连接形态的图。

图 11 是说明根据 FC - AL 的连接形态的图。

图 12 是表示本发明的第 4 实施例的盘装置的图。

### 具体实施方式

下面，参照附图详细说明本发明的实施例。

图 1 示出作为本发明的第 1 实施例的盘装置的构成。

本实施例的盘装置由盘控制器 DKC 和盘阵列 DA 组成。

盘控制器 DKC 由通道适配器 CHA、高速缓冲存储器 CM、和盘适配器 DKA 组成。

通道适配器 CHA 进行在上位 CPU（未画出）和盘控制器 DKC 发送接收数据之际的控制。

C1、C2、C3 和 C4 是通道适配器 CHA 与 CPU 通信的通道。

高速缓冲存储器 CM 是暂时保存本实施例的盘装置输入输出数据的存储器。

盘适配器 DKA 进行在盘控制器 DKC 和盘阵列 DA 发送接收数据之际的控制。

盘适配器 DKA 经由通道 D01、D02、D03、D04 与盘阵列 DA 连接。

盘适配器 DKA 和盘阵列 DA 能够在通道 D01、D02、D03、D04 上全二路复用通信。

这里，本实施例的盘装置，其特征在于，经由开关 SW1、SW2、SW3、SW4 来连接盘适配器 DKA 和盘阵列 DA 这一点。

盘阵列 DA 由盘组 R1、R2、R3、R4 组成。

盘组 R1 经由开关 SW1 与盘适配器 DKA 连接。

同样，盘组 R2 经由开关 SW2，盘组 R3 经由开关 SW3，盘组 R4 经由开关 SW4 分别与盘适配器 DKA 连接。

在本实施例的盘装置中，在构筑 RAID 系统的场合，分别把盘组

**R1、R2、R3、R4 作为 RAID 组。**

虽然在本实施例中，由 4 个盘驱动器来构成 RAID 组，但是构成 RAID 组的驱动器数不限于 4 个。

以盘组 R1 为例来描述向各盘组的数据读出或数据写入时的数据的流动。这里 R1 是 RAID 等级 5 的 RAID 组。

为了从通道 C1、C2、C3、C4 向盘组 R1 写入，从 CPU 所发送的数据在盘适配器 DKA 中分割成块单位，同时根据该分割成块单位的数据生成奇偶位。

该分割成块单位的数据和所生成的奇偶位通过通道 D01 输入到开关 SW1。

开关 SW1 随着 RAID 控制而选择路径，把该分割成块单位的数据和所生成的奇偶位向通道 D11、D12、D13、D14 分配。

读出数据时，盘适配器 DKA 经由 D11、D12、D13、D14 从盘组 R1 读出分割成块单位的数据，靠开关 SW1 进行串行化，经由通道 D01 接收读出数据。

在图 9 中所示的现有技术的盘装置中，在连接于盘适配器 DKA 的通道 D1、D2、D3、D4 上，已经向盘阵列写入数据和奇偶位向各个通道分配。

与此相反，在本实施例的盘装置中，在通过开关 SW1 后向各个通道分配这一点上与现有技术不同。

接下来，以开关 SW1 为例来说明作为本实施例的盘装置的特征的开关的动作。SW2~SW4 的动作也与 SW1 的动作相同。

如图 1 中所示，开关 SW1 有输入输出端口 P1、P2、P3、P4、P5。端口 P1、P2、P3、P4、P5 是能够全二路复用通信的输入输出端口，每个端口有缓冲存储器。

开关 SW1 的内部构成示于图 2 和图 3。

为了简单，按数据的进行方向分别说明开关动作。

此外，通道 D11、D12、D13、D14 上流过的数据按帧单位发送接

收，且数据按 8B10B 变换来编码。

图 2 示出从端口 P1 输入块内的帧，从端口 P2、P3、P4、P5 输出的场合。

这相当于向盘阵列写入时的开关动作。

开关 SW1 如图 2 中所示，由纵横开关 XSW 和开关控制器 CTL 组成。

纵横开关 XSW 是 5×5 的纵横开关，有输入端口 in1、in2、in3、in4、in5，和输出端口 out1、out2、out3、out4、out5。

从端口 P1 输入的帧经由串行并行变换装置 SP1、缓冲存储器 BM1、8B10B 变换解码器 DEC1，向开关控制器 CTL 和输入端口 in1 输入。

在开关控制器 CTL 中，解读写在输入帧的标题部分的发送目的地地址，切换纵横开关 XSW。

例如，在端口 P2 选为输出目的地的场合，输入的帧经由输出端口 out2、8B10B 变换编码器 ENC2、缓冲存储器 BM2、并行串行变换装置 PS2，从端口 P2 输出。

这里，缓冲存储器 BM1、BM2 是 FIFO（先入先出）存储器。

串行并行变换装置 SP1 把 8B10B 编码的串行数据变换成 10 bit 宽的并行数据，同步于端口 P1 中的数据传送速度的 1/10 的速度写入缓冲存储器 BM1。

8B10B 解码器 DEC1 同步于纵横开关 XSW 的动作速度从缓冲存储器 BM1 读出 10 bit 并行数据，进行 8B10B 解码，变换成 8 bit 并行数据。

8B10B 编码器 ENC2 把由纵横开关 XSW 所切换的 8 bit 并行数据再次进行 8B10B 编码，变换成 10 bit 并行数据后，同步于纵横开关 XSW 的动作速度地写入缓冲存储器 BM2。

并行串行变换装置 PS2 同步于端口 P2 中的数据传送速度的 1/10 的速度地从缓冲存储器 BM2 读出 10 bit 并行数据，进行串行化，从端口 P2 输出。



通过以上，开关 SW1 从端口 P1 中的数据传送速度向端口 P2 中的数据传送速度进行速度变换。

图 4 是表示输入到端口 P1 的帧，和从端口 P2、P3、P4、P5 所输出的帧的图。

波形的凸表示帧存在的时间，凹表示帧不存在的时间。

虽然帧随着传送的数据容量其帧长变化，但是这里进行对盘阵列的顺序访问，帧长是恒定的。

在图 4 中，输入端口 P1 处的数据传送速度为输出端口 P2、P3、P4、P5 中的数据传送速度的  $m$  倍。

因而，端口 P1 中的帧 Fb2 的时间  $T1$  在从端口 P2 输出时延长为  $T3$ 。

这里， $T3 = m \times T1$ 。

在输入的数据传送速度快，而且输出的数据传送速度慢的场合，如果不周期地切换开关，则输出端口的缓冲存储器溢出，吞吐量降低。

为要帧没有吞吐量降低地通过开关，有必要像图 4 那样周期地切换输出端口。

如令开关切换端口数为  $n$ ，则开关切换周期为  $T2 \approx n \times T1$ （没有帧的时间忽略不计）。

如果  $T2 \geq T3$ ，则没有帧的冲突，不引起吞吐量的降低。

$T2 \geq T3$  等同于  $n \geq m$ 。

也就是说，向盘阵列写入数据时，在开关中不引起吞吐量降低用的条件是把周期地切换的开关端口数  $n$  设定成超过盘适配器与开关间的每个通道数据传送速度对开关与盘阵列间的每个通道数据传送速度之比  $m$ 。

如果保持此一条件，则开关 SW1 在缓冲存储器中对从端口 P1 输入的数据进行速度变换，通过按帧单位周期地切换来进行去多路化，向端口 P2、P3、P4、P5 分配而输出。

周期地切换开关的方法之一是把连接于开关的盘组取为 RAID 组。

根据 RAID 的条状控制，则开关周期地切换。

图 3 示出从端口 P2、P3、P4、P5 输入帧，从端口 P1 输出的场合。这相当于从盘阵列读出时的开关动作。

例如，从端口 P2 输入的帧经由串行并行变换装置 SP2、缓冲存储器 BM2、8B10B 变换解码器 DEC2，向开关控制器 CTL 和输入端口 in2 输入。

在开关控制器 CTL 中解读写在输入帧的标题部分的发送目的地地址，切换纵横开关 XSW。

在图 3 的场合，按轮转方式切换纵横开关 XSW，依次从端口 P2、P3、P4、P5 所输入的数据全都向端口 P1 输出。也就是说，在读出时，帧同时到达多个输入端口（P2、P3、P4、P5）。这些多个输入帧没有必要同步到达输入端口。开关通过循环地切换输入输出端口间连接逐帧地向输出端口（P1）传送这些多个输入帧。把像这样循环地切换开关的方式称为轮转（Round Robin）方式。按轮转方式，最终成为周期地切换开关。再者，在读出时开关一定按帧内发送目的地信息来切换。

帧经由输出端口 out1、8B10B 变换编码器 ENC1、缓冲存储器 BM1、并行串行变换装置 PS1，从端口 P1 输出。

串行并行变换装置 SP2 把 8B10B 编码了的串行数据变换成 10 bit 宽的并行数据，同步于端口 P2 中的数据传送速度的  $1/10$  的速度地写入缓冲存储器 BM2。

8B10B 解码器 DEC2 同步于纵横开关 XSW 的动作速度地，从缓冲存储器 BM2 读出 10 bit 并行数据，进行 8B10B 解码，变换成 8 bit 并行数据。

8B10B 编码器 ENC1 对靠纵横开关 XSW 切换的 8 bit 并行数据再次进行 8B10B 编码，变换成 10 bit 并行数据后，同步于纵横开关 XSW 的动作速度地写入缓冲存储器 BM1。

并行串行变换装置 PS1 同步于端口 P1 中的数据传送速度的  $1/10$  的速度地，从缓冲存储器 BM1 读出 10 bit 并行数据，进行串行化，从

端口 P1 输出。

通过以上，开关 SW1 从端口 P2 中的数据传送速度向端口 P1 中的数据传送速度进行速度变换。

图 5 是表示向端口 P2、P3、P4、P5 输入的帧，和从端口 P1 输出的帧的图。

波形的凸表示帧存在的时间，凹表示帧不存在的时间。

虽然帧随着传送的数据容量其帧长变化，但是这里进行对盘阵列的顺序访问，帧长是恒定的。

在图 5 中，输入端口 P1 处的数据传送速度为输出端口 P2、P3、P4、P5 中的数据传送速度的  $m$  倍。

因而，端口 P5 中的帧 Fe5 的时间  $T4$  在从端口 P1 输出时缩短为  $T5$ 。

这里， $T4 = m \times T5$ 。

令从端口 P1 输出帧 Fe2、Fe3、Fe4、Fe5 所需的时间为  $T6$ 。

如今开关切换端口数为  $n$ ，则  $T6 \approx n \times T5$ （没有帧的时间忽略不计）。

在开关中为了防止凑在一起引起的吞吐量降低，有必要使  $T6 \leq T4$ 。  
 $T6 \leq T4$  等同于  $n \leq m$ 。

也就是说，在从盘阵列读出数据时，在开关中不引起吞吐量降低的条件是把周期地切换的开关端口数  $n$  设定成不大于于盘适配器与开关间的每个通道数据传送速度对开关与盘阵列间的每个通道数据传送速度之比  $m$ 。

如果保持此一条件，则开关 SW1 在缓冲存储器中对从端口 P2、P3、P4、P5 输入的数据进行速度变换，通过按帧单位周期地切换来进行多路化，向端口 P1 输出。

由此说明了为了把向盘阵列的写入和从盘阵列的读出高吞吐量化，使  $n \approx m$ ，也就是，把周期地切换的端口数设定成盘适配器与开关间的每个通道数据传送速度对开关与盘阵列间的每个通道数据传送速度之比同一程度就可以了。

例如，盘适配器与开关间用 4 Gbps 的 1 条通道连接，开关与盘阵

列间用 1 Gbps 的 4 条通道连接。

此外，盘适配器与开关间用 10 Gbps 的 1 条通道连接，开关与盘阵列间用 2 Gbps 的 4 条通道连接。

在此一场合，由于在开关输入输出端口间没有取吞吐量的平衡，所以实际吞吐量为  $2 \text{ Gbps} \times 4 = 8 \text{ Gbps}$ 。

根据以上，由于在开关 SW1 中进行速度变换和多路化、去多路化，所以即使通道 D11、D12、D13、D14 上的数据传送速度为低速，通道 D01、D02、D03、D04 上的数据传送速度也可以高速。

也就是说，盘适配器 DKA 与盘阵列 DA 间的吞吐量可以提高。

作为本实施例的盘装置中的数据传送方式，可以使用光纤通道或无限带宽（InfiniBand）。

图 6 是表示在第 1 实施例的盘装置中，盘驱动器的增设方法的图。在图 6 中相对于图 1 增设了盘驱动器 R5 和 R6。

为了增设盘驱动器，作为开关 SW1 和 SW2 使用端口数多的开关。

如果增设盘驱动器，则由于开关的盘阵列一侧的吞吐量增加，与盘适配器一侧的吞吐量平衡被打破，所以存在着不能有效地发挥开关的速度变换功能的可能性。

因此在开关 SW1 中，在与盘适配器 DKA 之间，增设新的通道 D05。

此外，在开关 SW2 的场合不增设新的通道，而是增加通道 D02 的信号传送速度，借此取盘适配器一侧与盘阵列一侧的吞吐量平衡。

例如在开关 SW1 中，开关与盘阵列间用 1 Gbps 的 8 条通道连接，盘适配器与开关间用 4 Gbps 的 2 条通道连接。

在开关 SW2 中，开关与盘适配器间用 1 Gbps 的 8 条通道连接，盘适配器与开关间用 10 Gbps 的 1 条通道连接。

这样一来，本实施例的盘装置根据开关的端口数来增设盘驱动器是可能的。

此一盘驱动器增设方法可以运用于增设能够连接于每个端口的驱动器数少的 ATA（AT 连接）方式盘驱动器。

图 7 中示出作为本发明的第 2 实施例的盘装置的构成。

本实施例的盘装置相对于第 1 实施例的盘装置，盘阵列部分的构成方法不同。

本实施例的盘装置由盘控制器 DKC 和 4 个盘阵列 DA1、DA2、DA3、DA4 组成。

盘控制器 DKC 由通道适配器 CHA、高速缓冲存储器 CM、盘适配器 DKA 组成。

盘阵列 DA1 与盘适配器 DKA 经由通道 D01 和开关 SW1 连接。

同样，盘阵列 DA2 经由通道 D02 和开关 SW2，盘阵列 DA3 经由通道 D03 和开关 SW3，盘阵列 DA4 经由通道 D04 和开关 SW4，分别与盘适配器 DKA 连接。

开关 SW1、SW2、SW3、SW4 与第 1 实施例同样作为进行速度变换和多路化、去多路化的开关发挥功能。

本实施例中的盘适配器 DKA，开关 SW1、SW2、SW3、SW4，和盘阵列 DA1、DA2、DA3、DA4 之间的数据传送方式使用光纤通道。

开关 SW1、SW2、SW3、SW4 是光纤通道开关。

以盘阵列 DA1 为例来描述本实施例中的盘阵列的构成。

盘阵列 DA1、DA2、DA3、DA4 是同样的驱动器构成。

盘阵列 DA1 由连接于通道 D11 上的 4 个盘组成的盘阵列，连接于通道 D12 上的 4 个盘组成的盘阵列，连接于通道 D13 上的 4 个盘组成的盘阵列，以及连接于通道 D14 上的 4 个盘组成的盘阵列，组成。

以通道 D11 为例，盘驱动器 DK1、DK2、DK3、DK4 连接于通道 D11 上。

作为像这样把多个驱动器连接于一个通道上而访问盘驱动器的方法有光纤通道仲裁环（以下称为 FC-AL）。

图 10 中以盘驱动器 DK1、DK2、DK3、DK4 的连接形态为例示出 FC-AL 的连接形态。

各盘驱动器的输入输出端口和开关 SW1 的输入输出端口有发送机 Tx 和接收机 Rx。

FC - AL 的连接形态例如如图 10 中所示,是把各驱动器的输入输出端口和开关的输入输出端口环状连接的结构。

各驱动器的输入输出端口作为光纤通道的 NL(节点环)端口发挥功能。

所谓 NL 端口是进行环动作的装置(这里是盘驱动器)的端口。

开关 SW1 的盘阵列 DA1 连接侧输入输出端口作为光纤通道的 FL(结构环)端口发挥功能。

所谓 FL 端口是能够连接 FC - AL 的开关的端口。

由于有 FL 端口的环作为光纤通道的混合环发挥功能,所以通道 D11 形成的 FC - AL 成为混合环。

所谓混合环是环上的盘驱动器能够经由开关与环外的端口通信的环。

由此,盘驱动器 DK1、DK2、DK3、DK4 能够经由开关 SW1 和通道 D01 与盘适配器 DKA 通信。

虽然以上以通道 D11 的连接形态为例进行了说明,但是通道 D12、D13、D14 也是同样的。

在本实施例的盘装置中在构筑 RAID 系统的场合,分别以盘组 R1、R2、R3、R4 作为 RAID 组。虽然在本实施例中,由 4 个盘驱动器构成 RAID 组,但是构成 RAID 组的驱动器数不限于 4 个。

在本实施例中,在通道 D11、D12、D13、D14 中分别用 FC - AL 来连接盘驱动器。

根据 FC - AL 的规格,在通道 D11、D12、D13、D14 上可以分别连接最多到 126 台盘驱动器。

此外,作为通道 D01、D02、D03、D04 的媒体用光纤缆,作为通道 D11、D12、D13、D14 的媒体用金属缆。

像以上说明的这样,在本实施例的盘装置中,由于用 FC - AL 来连接盘驱动器,所以能够连接于开关的每个端口的驱动器台数可以增加。

也就是说,具有使每个盘装置的存储容量增加的效果。

此外，由于通过用金属缆来连接盘驱动器，没有必要在每个盘驱动器上装备高价的光纤接口，所以具有降低盘驱动器成本的效果。

图 8 中示出作为本发明的第 3 实施例的盘装置的构成。

本实施例的盘装置，其特征在于对盘控制器和开关进行二路复用这一点。

在本实施例中，盘适配器 DKA1、DKA2，开关 SW1、SW2，与盘阵列 DA1 之间的数据传送方式使用光纤通道。

本实施例的盘装置由盘控制器 DKC1、DKC2，开关 SW1、SW2，以及盘阵列 DA1 组成。

开关 SW1 和 SW2 与第 1 实施例同样作为进行速度变换和多路化、去多路化的开关发挥功能。

盘控制器 DKC1 由通道适配器 CHA1、高速缓冲存储器 CM1、和盘适配器 DKA1 组成。

盘控制器 DKC2 由通道适配器 CHA2、高速缓冲存储器 CM2、和盘适配器 DKA2 组成。

盘适配器 DKA1 和开关 SW1 靠通道 D1a 来连接，盘适配器 DKA2 和开关 SW2 靠通道 D2a 来连接，盘适配器 DKA1 和开关 SW2 靠通道 D1b 来连接，盘适配器 DKA2 和开关 SW1 靠通道 D2b 来连接。

构成盘阵列 DA1 的盘驱动器有 2 个输入输出端口。

例如，盘驱动器 DK1、DK2、DK3、DK4 与通道 D11 和 D21 两个通道连接。

盘阵列 DA1 由连接于通道 D11 和 D21 的 4 个盘组成的盘阵列，连接于通道 D12 和 D22 的 4 个盘组成的盘阵列，连接于通道 D13 和 D23 的 4 个盘组成的盘阵列，以及连接于通道 D14 和 D24 的 4 个盘组成的盘阵列，组成。

通道 D11、D12、D13、D14、D21、D22、D23、D24 靠 FC - AL 来连接盘驱动器。

图 11 中以盘驱动器 DK1、DK2、DK3、DK4 的连接形态为例示出本实施例中的 FC - AL 的连接形态。

各盘驱动器分别有 2 个 NL 端口。

各盘驱动器的输入输出端口和开关 SW1、SW2 的输入输出端口有发送机 Tx 和接收机 Rx。

开关 SW1、SW2 的盘阵列 DA1 连接侧输入输出端口是 FL 端口。

靠通道 D11 把开关 SW1，盘驱动器 DK1、DK2、DK3、DK4 环状连接。

同样，靠通道 D21 把开关 SW2，盘驱动器 DK1、DK2、DK3、DK4 环状连接。

这两个环是光纤通道的混合环，盘驱动器 DK1、DK2、DK3、DK4 可以经由开关 SW1 或 SW2 与盘适配器 DKA1 或 DKA2 通信。

虽然以上以通道 D11、D21 的连接形态为例进行了说明，但是通道 D12、D13、D14、D22、D23、D24 也是同样的。

在本实施例的盘装置中在构筑 RAID 系统的场合，分别以盘组 R1、R2、R3、R4 作为 RAID 组。虽然在本实施例中，由 4 个盘驱动器来构成 RAID 组，但是构成 RAID 组的驱动器数不限于 4 个。

盘阵列 DA1 内的所有盘驱动器都可以从盘适配器 DKA1 和 DKA2 的某一个来访问。

本实施例的盘装置把通道 D1b、D2b 作为开关 SW1、SW2 出故障时的迂回路径来使用。

例如即使在开关 SW1 出故障的场合，盘适配器 DK1 也可以经由通道 D1b 和开关 SW2 来访问盘阵列 DA1。

相反，由于在开关 SW2 出故障的场合，盘适配器 DKA2 可以经由通道 D2b 和开关 SW1 来访问盘阵列 DA1，所以可以实现可靠性高的盘装置。

图 12 中示出作为本发明的第 4 实施例的盘装置的构成。

在本实施例的盘装置中，相对于第 3 实施例的盘装置，其特征在于设置连接开关 SW1、SW2 的通道 D3a、D3b 这一点。

在本实施例中，盘适配器 DKA1、DKA2，开关 SW1、SW2，和盘阵列 DA1 之间的数据传送方式使用光纤通道。



本实施例的盘装置由盘控制器 DKC1、DKC2, 开关 SW1、SW2, 以及盘阵列 DA1 组成。

开关 SW1 和 SW2 与第 1 实施例同样作为进行速度变换和多路化、去多路化的开关发挥功能。

盘控制器 DKC1 由通道适配器 CHA1、高速缓冲存储器 CM1、和盘适配器 DKA1 组成。

盘控制器 DKC2 由通道适配器 CHA2、高速缓冲存储器 CM2、和盘适配器 DKA2 组成。

盘适配器 DKA1 和开关 SW1 靠通道 D1a 来连接, 盘适配器 DKA2 和开关 SW2 靠通道 D2a 来连接, 盘适配器 DKA1 和开关 SW2 靠通道 D1b 来连接, 盘适配器 DKA2 和开关 SW1 靠 D2b 来连接。

进而, 开关 SW1 和 SW2 靠通道 D3a、D3b 来连接。

构成盘阵列 DA1 的盘驱动器有 2 个输入输出端口。

例如, 盘驱动器 DK1、DK2、DK3、DK4 与通道 D11 和 D21 两个通道连接。

盘阵列 DA1 由连接于通道 D11 和 D21 的 4 个盘组成的盘阵列, 连接于通道 D12 和 D22 的 4 个盘组成的盘阵列, 连接于通道 D13 和 D23 的 4 个盘组成的盘阵列, 以及连接于通道 D14 和 D24 的 4 个盘组成的盘阵列, 组成。

通道 D11、D12、D13、D14、D21、D22、D23、D24 如图 11 中所示靠 FC-AL 来连接盘驱动器。

盘阵列 DA1 内的所有盘驱动器都可以从盘适配器 DKA1 和 DKA2 的某一个来访问。

在本实施例的盘装置中在构筑 RAID 系统的场合, 分别以盘组 R1、R2、R3、R4 作为 RAID 组。虽然在本实施例中, 由 4 个盘驱动器来构成 RAID 组, 但是构成 RAID 组的驱动器数不限于 4 个。

关于盘适配器 DKA1、DKA2 与盘阵列 DA1 的访问路径, 首先就定常时 (开关未出故障的场合) 进行说明。

盘适配器 DKA1 有经由通道 D1a 和开关 SW1 访问盘阵列 DA1 的

路径(路径 1), 和经由通道 D1b 和开关 SW2 和通道 D3a 和开关 SW1 访问盘阵列 DA1 的路径(路径 2)。

同样, 盘适配器 DKA2 有经由通道 D2a 和开关 SW2 访问盘阵列 DA1 的路径(路径 3), 和经由通道 D2b 和开关 SW1 和通道 D3b 和开关 SW2 访问盘阵列 DA1 的路径(路径 4)。

另一方面, 在开关出故障时, 把通道 D1b、D2b 作为迂回路径来使用。

例如即使在开关 SW1 出故障的场合, 盘适配器 DKA1 也可以经由通道 D1b 和开关 SW2 来访问盘阵列 DA1。

相反, 在开关 SW2 出故障的场合, 盘适配器 DKA2 可以经由通道 D2b 和开关 SW1 来访问盘阵列 DA1。

接下来, 就本实施例中的盘适配器 - 盘阵列间的吞吐量进行说明。

例如, 令通道 D1a、D1b、D2a、D2b、D3a、D3b 上的数据传送速度为每个通道 2 Gbps, 令通道 D11、D12、D13、D14、D21、D22、D23、D24 上的数据传送速度为每个通道 1 Gbps。

此时, 开关 SW1 与盘阵列 DA1 间的总吞吐量为 4 Gbps。

盘适配器 DKA1 与开关 SW1 间, 通过靠上述路径 1 和路径 2 来访问, 总吞吐量成为 4 Gbps。

由于开关 SW1 的盘适配器 DKA1 一侧, 和盘阵列 DA1 一侧的吞吐量共计为 4 Gbps, 所以盘适配器 DKA1 与盘阵列 DA1 间的吞吐量成为 4 Gbps。

同样, 开关 SW2 与盘阵列 DA1 间的总吞吐量为 4 Gbps。

盘适配器 DKA2 与开关 SW2 间, 通过靠上述路径 3 和路径 4 来访问, 总吞吐量成为 4 Gbps。

由于开关 SW2 的盘适配器 DKA2 一侧, 和盘阵列 DA1 一侧的吞吐量共计为 4 Gbps, 所以盘适配器 DKA2 与盘阵列 DA1 间的吞吐量成为 4 Gbps。

在第 3 实施例(图 8)中, 如果运用上述每个通道吞吐量值, 则由于把通道 D1a、D1b 仅作为出故障时的迂回路径使用, 所以盘适配

器 DKA1 与盘阵列 DA1 间的吞吐量限制于通道 D1a 上的吞吐量，成为 2 Gbps。

同样，盘适配器 DKA2 与盘阵列 DA1 间的吞吐量限制于通道 D2a 上的吞吐量，成为 2 Gbps。

在第 3 实施例中，为了把盘适配器 - 盘阵列间吞吐量弄成 4 Gbps，有必要分别把通道 D1a 和 D2a 的数据传送速度提高到 4 Gbps。

根据以上，如果用本实施例，则即使盘适配器 - 开关间的每个通道数据传送速度低，也可以实现盘适配器 - 盘阵列间的总吞吐量高的盘装置。

像以上说明的这样，如果用本发明则有以下效果。

可以提供一种盘适配器与盘阵列间的吞吐量高的盘装置。

此外，可以提供一种盘适配器与盘阵列间的吞吐量高，且盘驱动器连接台数多的盘装置。

此外，可以提供一种有可靠性高的盘阵列的盘装置。

此外，可以提供一种有可靠性高的盘适配器与盘阵列间网络的盘装置。

此外，可以提供一种有可靠性和吞吐量高的盘适配器与盘阵列间网络的盘装置。

此外，可以提供一种能够使从盘的读出和向盘的写入高吞吐量的盘装置。

此外，可以提供一种能够维持高吞吐量的盘装置。

此外，可以提供一种盘适配器与盘阵列间的吞吐量高而成本低的盘装置。

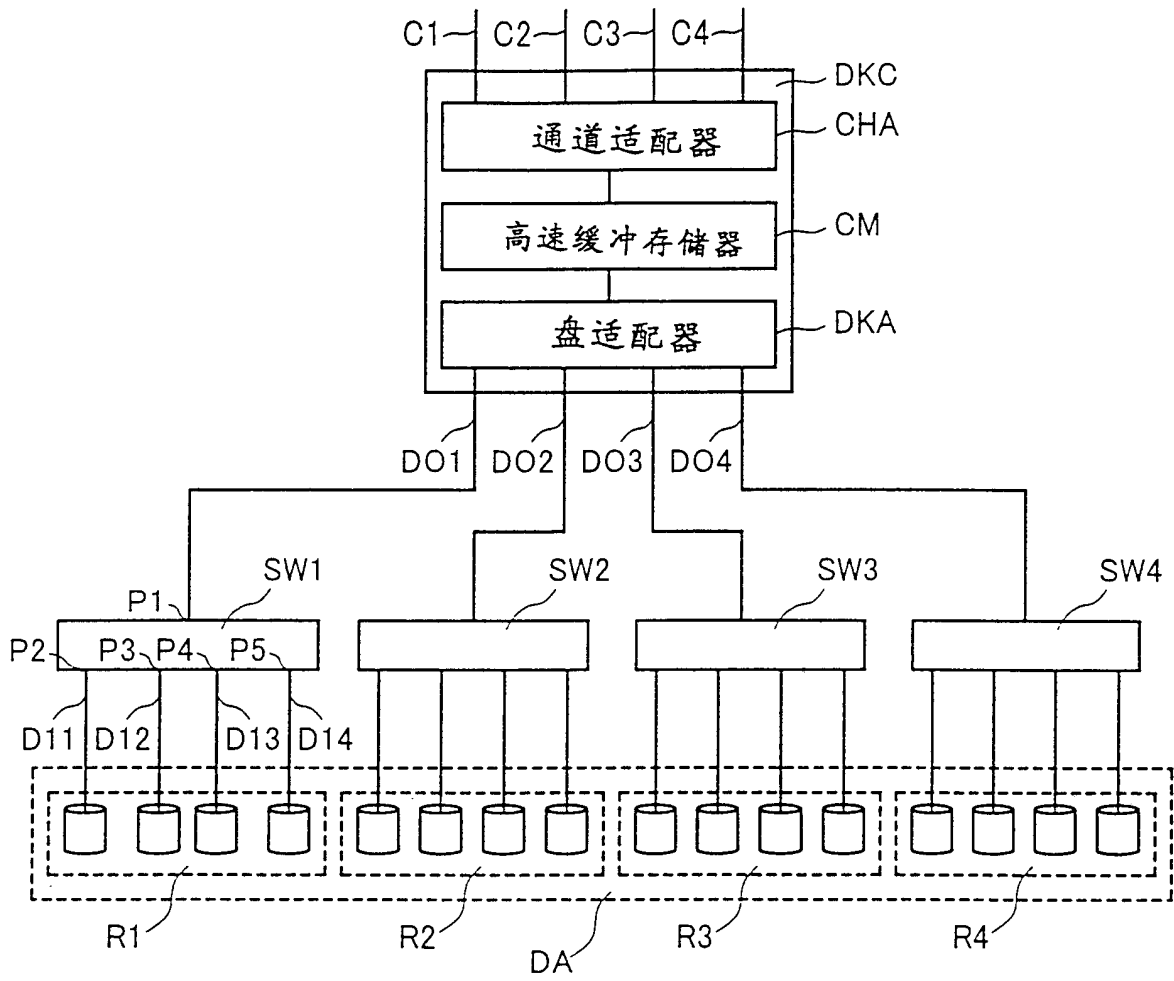


图 1

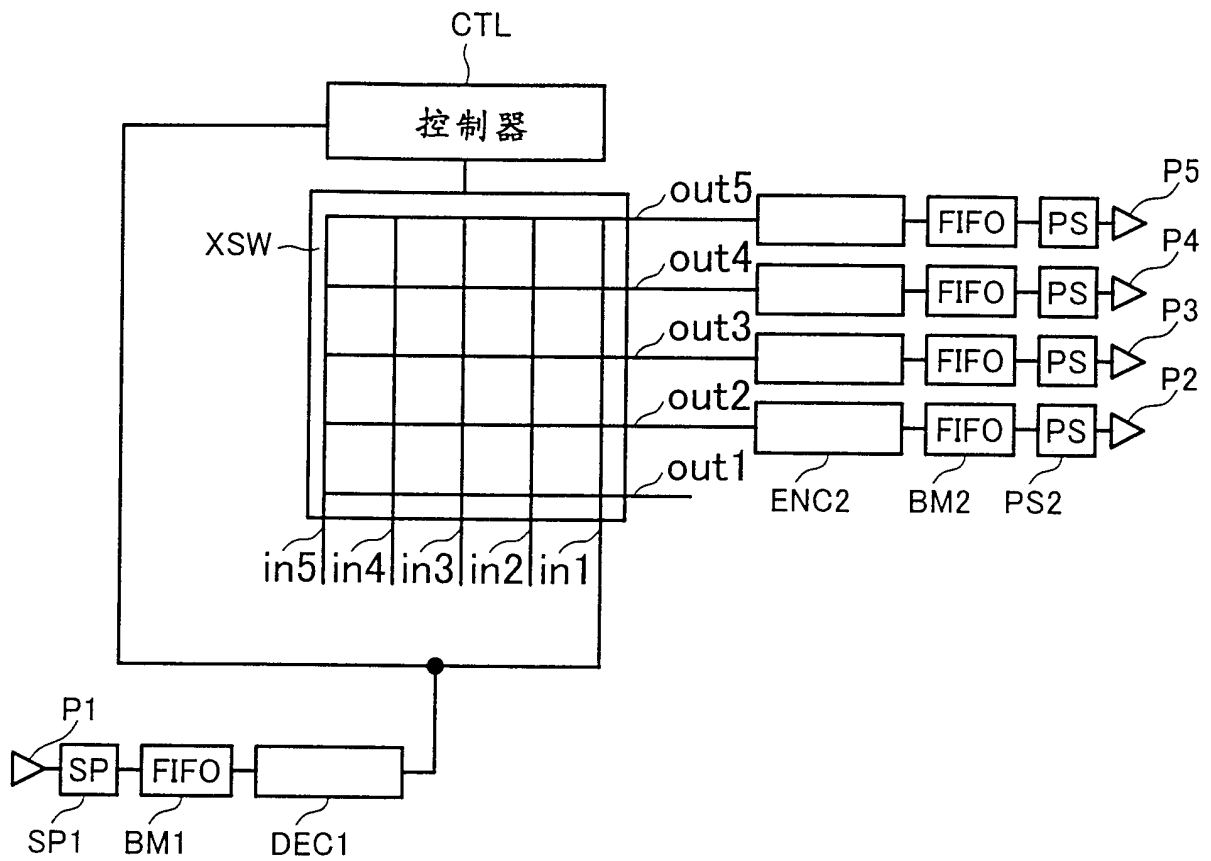


图 2

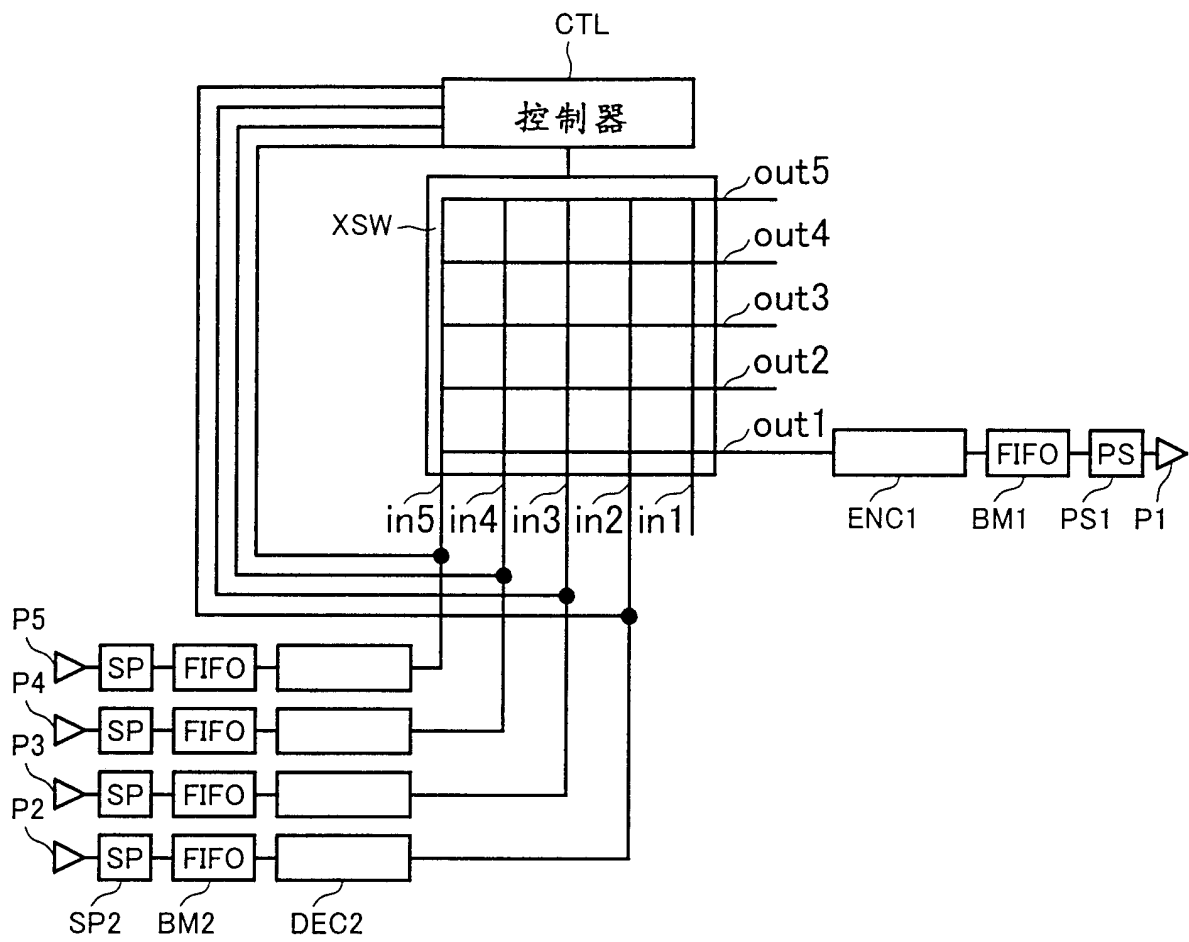


图 3

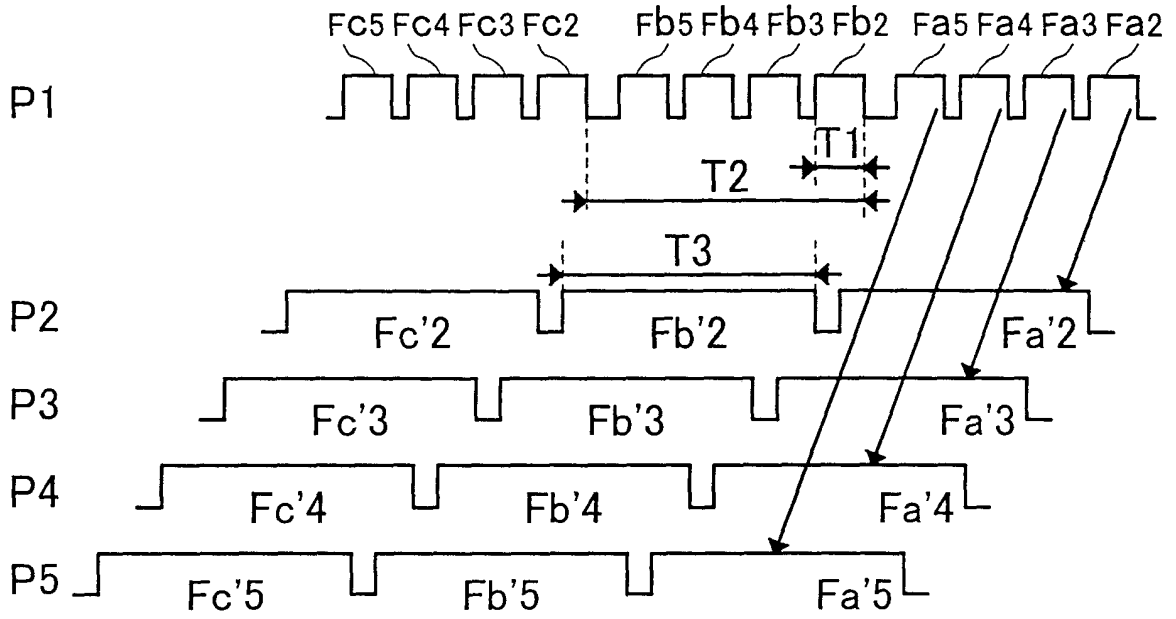


图 4

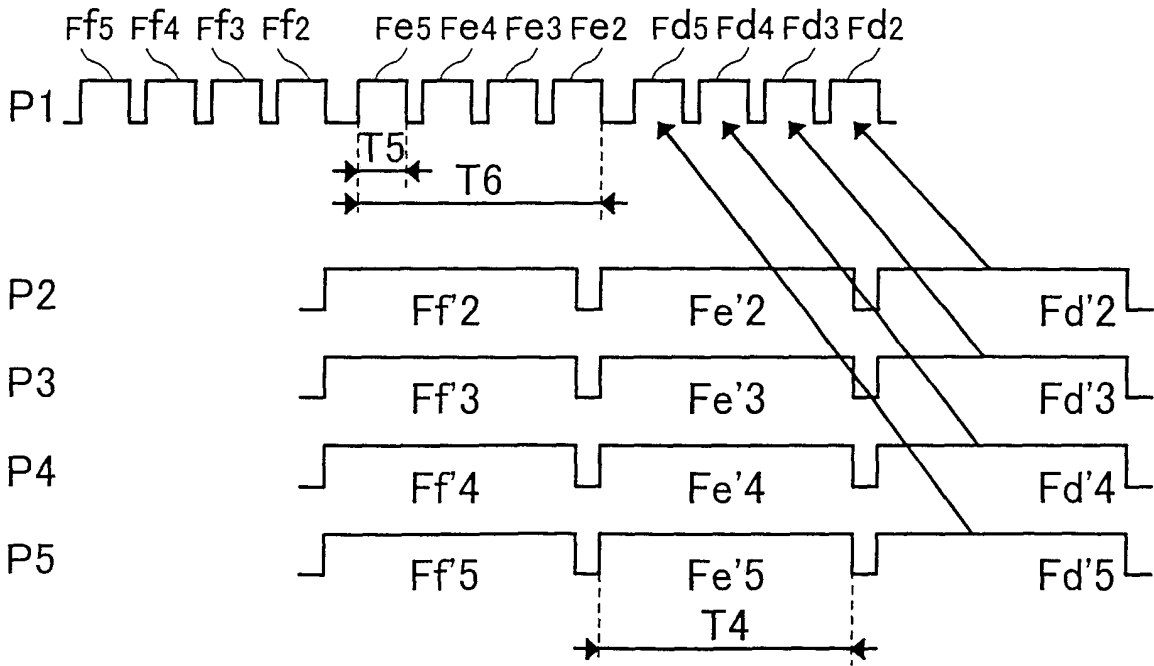


图 5

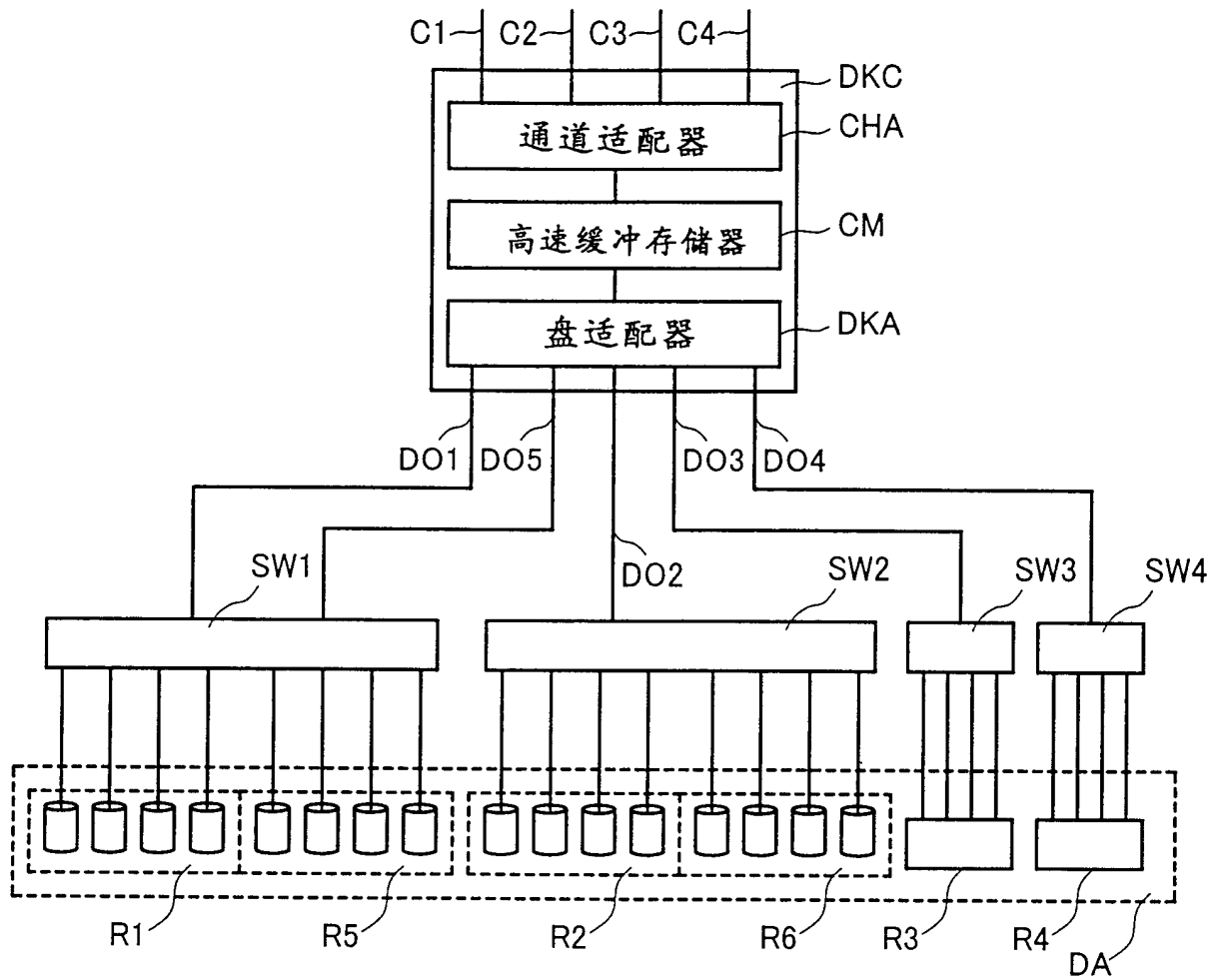


图 6



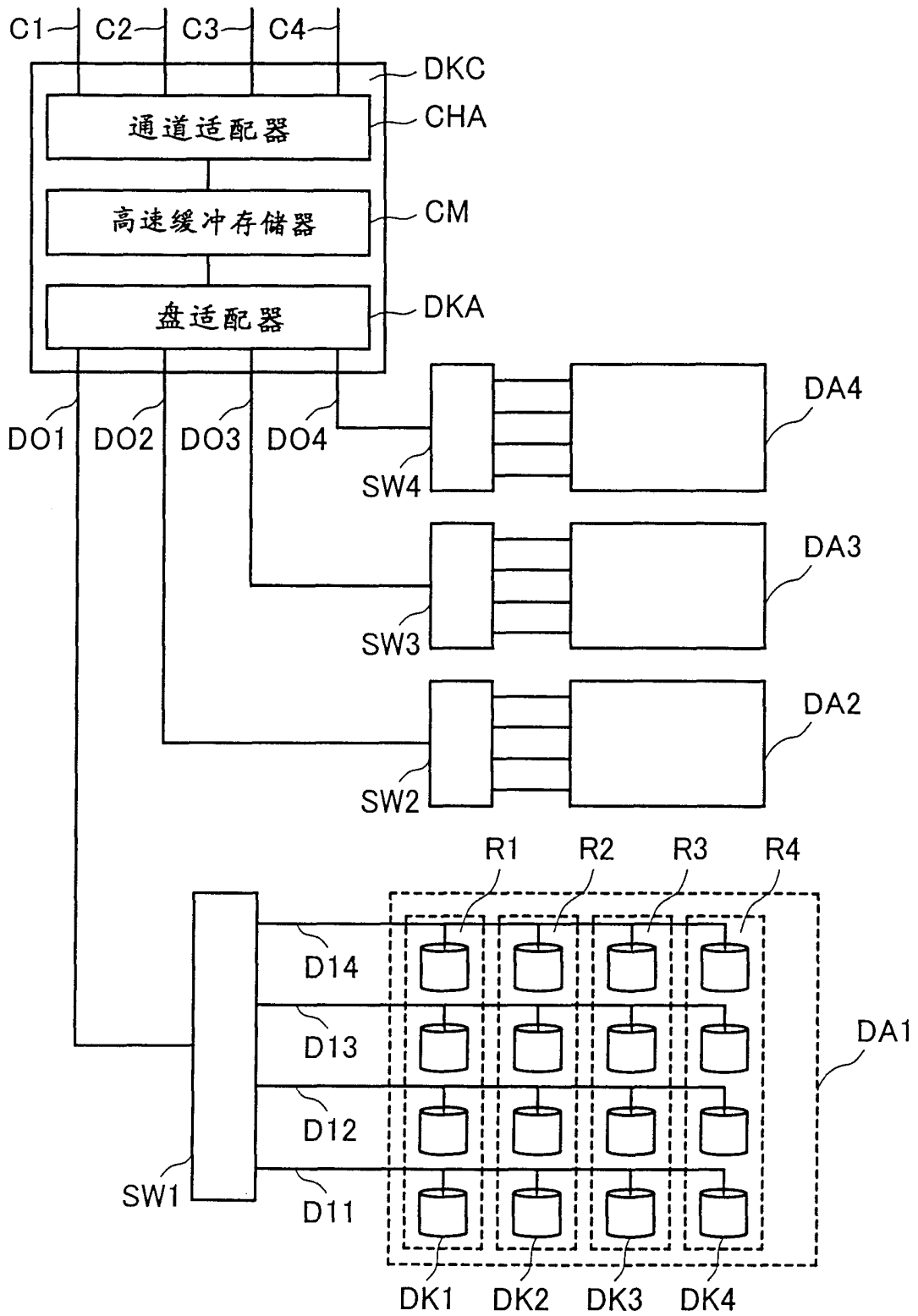


图 7

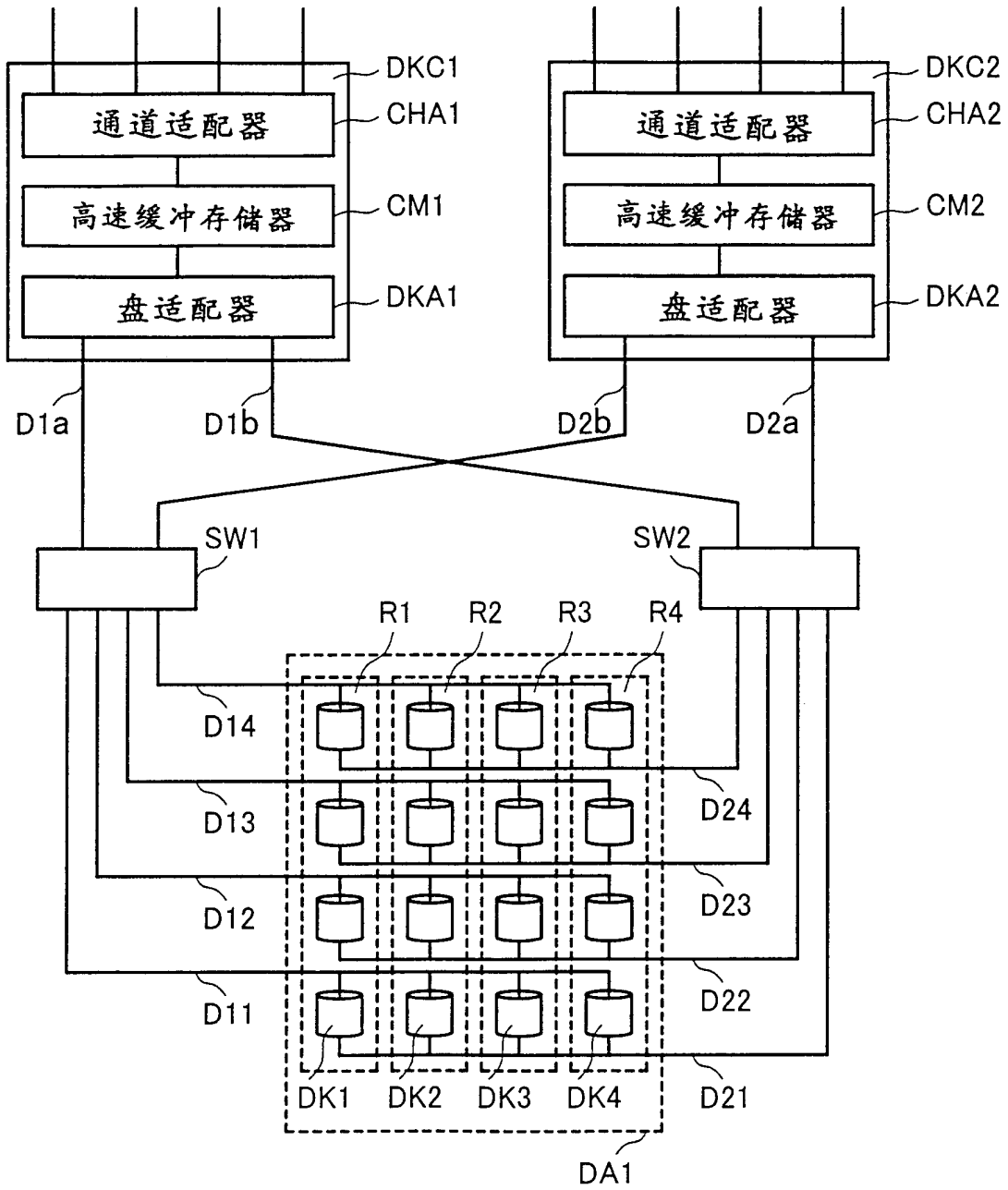


图 8

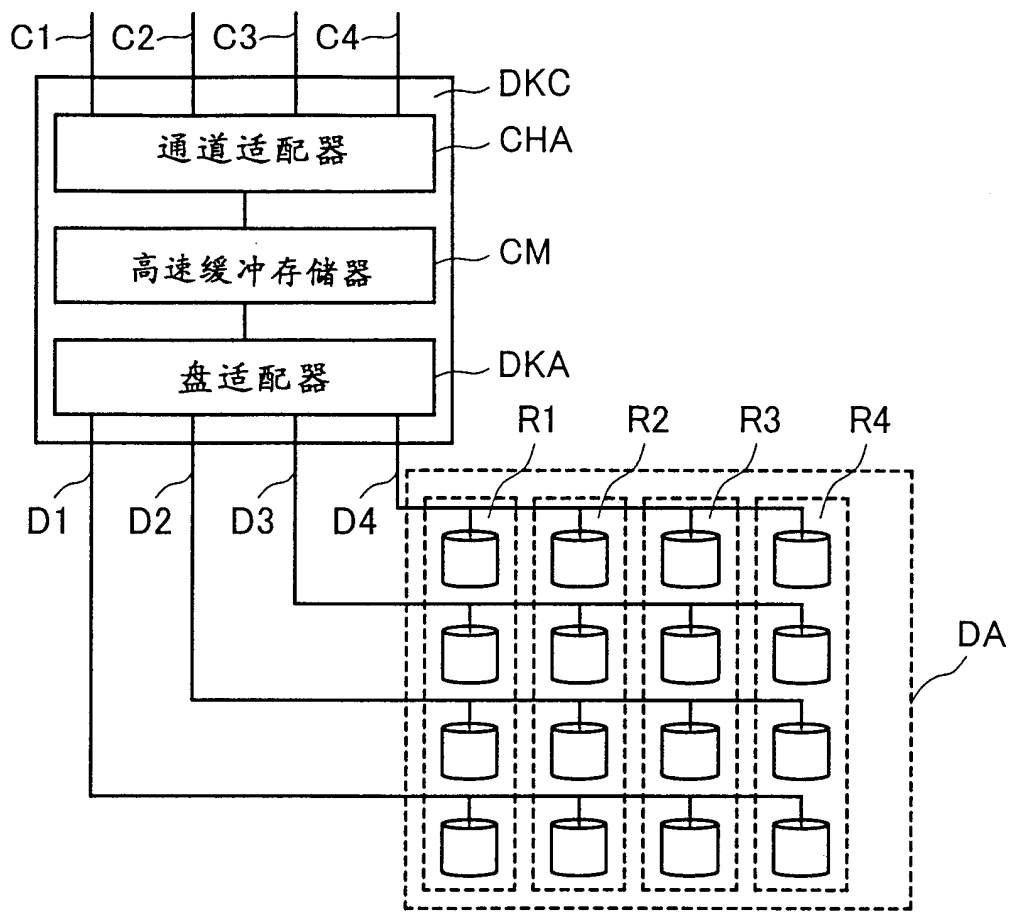


图 9

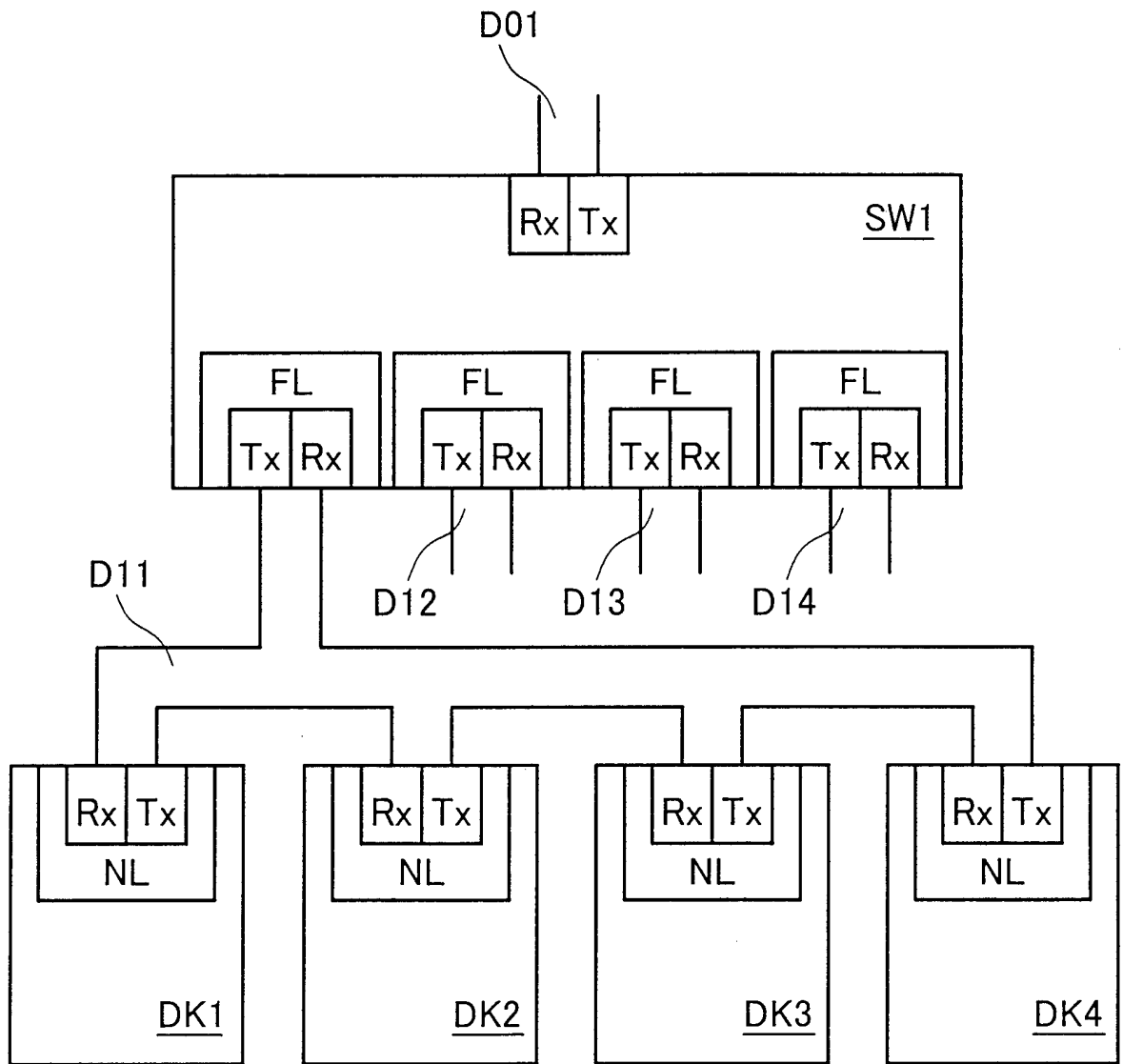


图 10

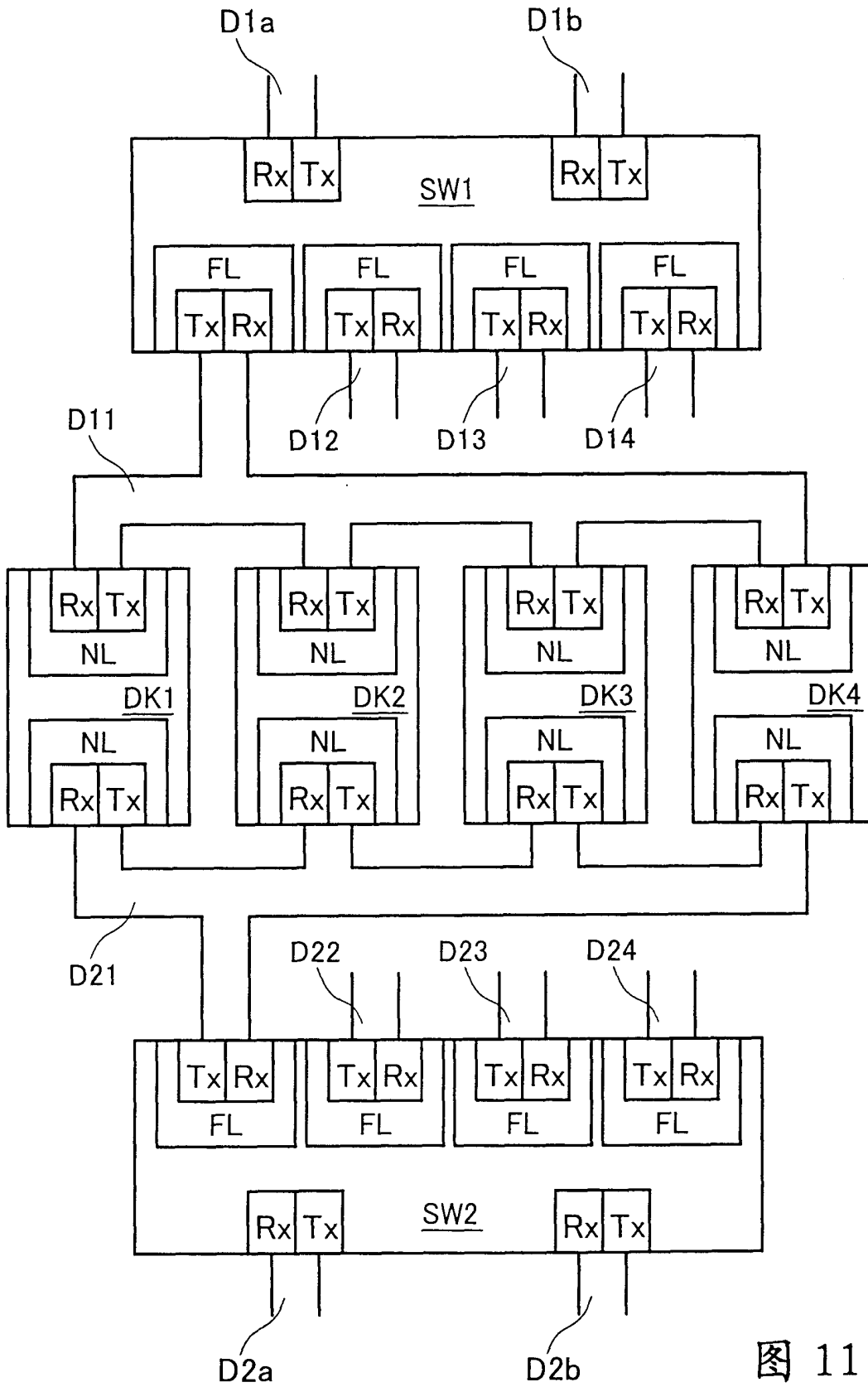


图 11

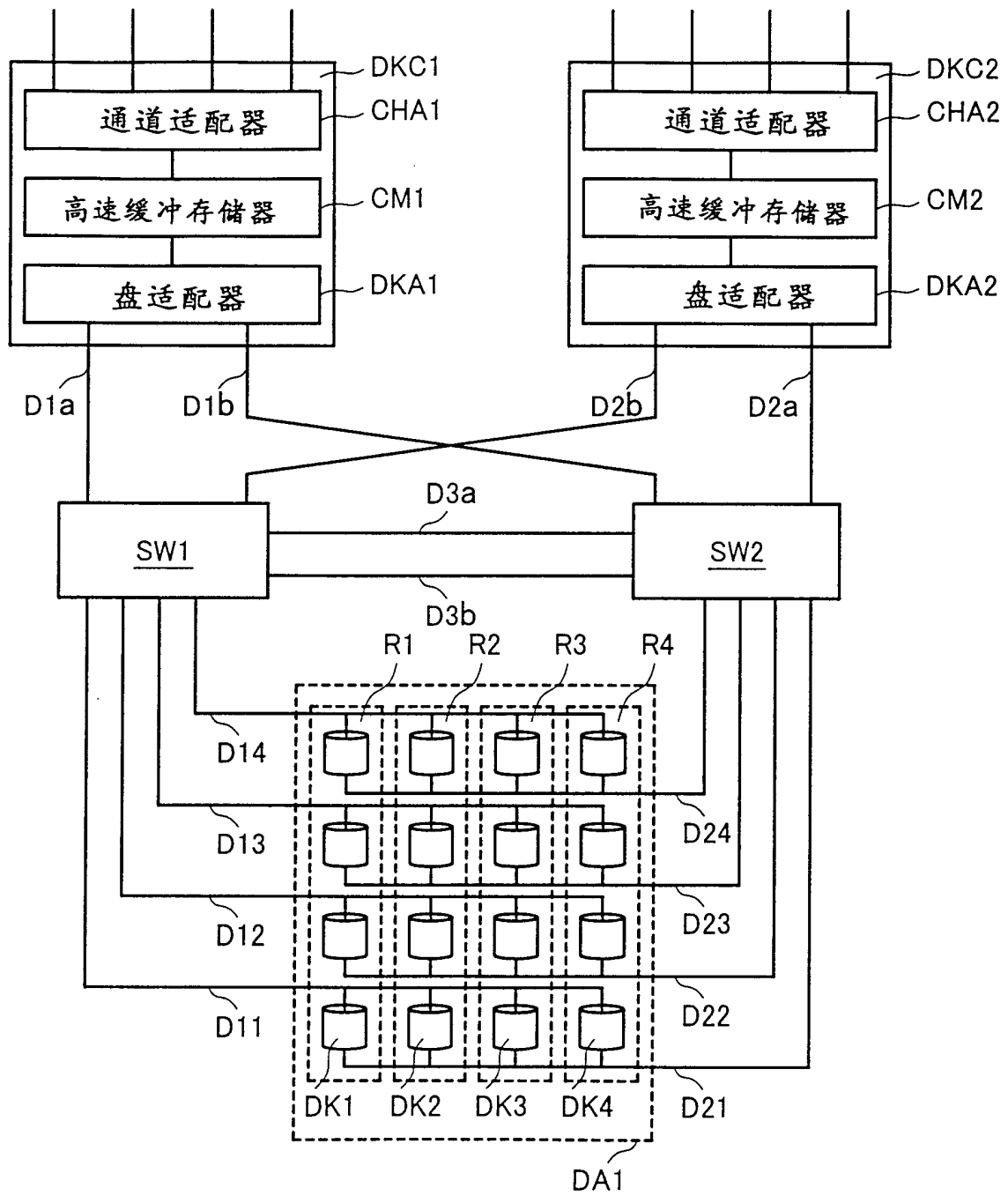


图 12