

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
3. August 2017 (03.08.2017)



(10) Internationale Veröffentlichungsnummer
WO 2017/129698 A1

(51) Internationale Patentklassifikation:

H01L 25/075 (2006.01) H01L 33/62 (2010.01)
H01L 33/00 (2010.01) H01L 33/50 (2010.01)
H01L 33/44 (2010.01) H01L 33/52 (2010.01)
H01L 33/48 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2017/051681

(22) Internationales Anmeldedatum:
26. Januar 2017 (26.01.2017)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2016 101 526.1
28. Januar 2016 (28.01.2016) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **ZITZLSPERGER, Michael;**
Schattenhofergasse 4, 93047 Regensburg (DE). **GEBUHR,**
Tobias; Lappersdorferstr. 74, 93047 Regensburg (DE).
EICHER, Stephan; Hofgartenweg 3 a, 94424 Arnstorf
(DE).

(74) Anwalt: **PATENTANWALTSKANZLEI WILHELM &
BECK;** Prinzenstr. 13, 80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO,
RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,
SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG,
KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH,
CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,
IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

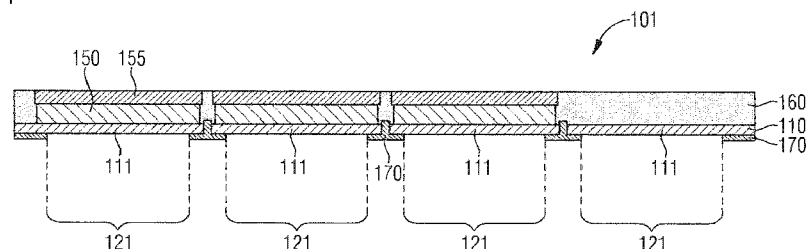
Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

(54) Title: PRODUCTION OF A MULTI-CHIP COMPONENT

(54) Bezeichnung : HERSTELLUNG EINES MULTICHIP-BAUELEMENTS

FIG 4



(57) Abstract: The invention relates to a method for producing a surface-mountable multi-chip component (101; 102; 103; 104; 105). The method comprises the step of providing a chip assembly. The chip assembly has an exposed metallic conductive structure (110) on a rear side, several semiconductor chips (150) and a housing material (160). The method also consists of a step of forming a solder stop layer (170) on the rear side of the provided chip assembly. Said solder stop layer (170) separates connection areas (121) of the conductor structure (110). The invention also relates to a surface-mountable multi-chip-component (101; 102; 103; 104; 105).

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements (101; 102; 103; 104; 105). Das Verfahren umfasst ein Bereitstellen einer Chipanordnung. Die Chipanordnung weist eine an einer Rückseite freiliegende metallische Leiterstruktur (110), mehrere Halbleiterchips (150) und ein Gehäusematerial (160) auf. Das Verfahren umfasst ferner ein Ausbilden einer Lötstoppschichtung (170) auf der Rückseite der bereitgestellten Chipanordnung. Die Lötstoppschichtung (170) trennt Anschlussbereiche (121) der Leiterstruktur (110). Die Erfindung betrifft des Weiteren ein oberflächenmontierbares Multichip-Bauelement (101; 102; 103; 104; 105).



WO 2017/129698 A1

HERSTELLUNG EINES MULTICHIP-BAUELEMENTS

BESCHREIBUNG

5 Die Erfindung betrifft ein Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements. Die Erfindung betrifft des Weiteren ein oberflächenmontierbares Multichip-Bauelement.

10 Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2016 101 526.1, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Ein elektronisches Bauelement wie zum Beispiel ein optoelektronisches Bauelement zum Erzeugen von Lichtstrahlung kann in Form eines Multichip-Bauelements mit mehreren Halbleiterchips verwirklicht sein. Das Bauelement kann ein QFN-Bauelement (Quad Flat No Leads) sein, welches zur Oberflächenmontage durch Löten geeignet ist. Bei dieser Bauform kann das Bauelement eine Leiterstruktur mit mehreren Leiterabschnitten aufweisen, auf welcher die Halbleiterchips und ein Gehäusematerial angeordnet sind. Rückseitig kann die Leiterstruktur lötfähige Anschlussflächen (Solder Pads) aufweisen.

25 Die Leiterstruktur kann durch einen Leiterraahmen (Leadframe) gebildet sein, welcher durch beidseitiges Ätzen einer metallischen Ausgangsschicht hergestellt werden kann. Hierbei können durch unterschiedliche vorder- und rückseitige Halbätzungen Geometrien von Montage- und Anschlussflächen (Chip Pads) an der zum Anordnen und Anschließen von Halbleiterchips vorgesehenen Vorderseite und von Anschlussflächen an der zum Löten vorgesehenen Rückseite festgelegt werden. Durch eine vollständige Durchätzung können Teile des Leiterraahmens voneinander getrennt werden, so dass diese zum Beispiel als Kathode und Anode dienen können.

Je nach Anforderung kann der Leiterraahmen mit einer unterschiedlichen Dicke ausgeführt sein. Eine große Dicke des Lei-

terr Rahmens erleichtert zum Beispiel das Wärmemanagement im Betrieb des Multichip-Bauelements. Bei einer solchen Ausgestaltung werden beim Strukturieren der zugrundeliegenden Ausgangsschicht tiefe und breite Ätzgräben erzeugt. Dies hat zur Folge, dass die Halbleiterchips lediglich mit großen Abständen zueinander angeordnet werden können. Um demgegenüber ein nahes Platzieren der Halbleiterchips zu ermöglichen, ist ein dünner Leiterraum erforderlich. Die Dicke des Leiterraums bzw. der Ausgangsschicht definiert die minimale Breite von Ätzgräben, und damit den minimal möglichen Abstand zwischen den vorderseitigen Montageflächen und den hierauf angeordneten Halbleiterchips.

Die Verwendung eines dünnen Leiterraums beeinträchtigt jedoch dessen Handhabung in einem Herstellungsverfahren. Eine weitere Anforderung besteht darin, den Abstand der rückseitigen Anschlussflächen im Gegensatz zu den vorderseitigen Montageflächen möglichst groß zu gestalten, so dass ein Kurzschluss bei einer Oberflächenmontage vermieden wird. Ein großflächiges Unterätzen der Montageflächen, was zu diesem Zweck vorgesehen sein kann, erschwert die Chipmontage.

Die Aufgabe der vorliegenden Erfindung besteht darin, ein verbessertes Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements anzugeben. Es ist weiterhin Aufgabe der Erfindung, ein verbessertes oberflächenmontierbares Multichip-Bauelement bereitzustellen.

Diese Aufgabe wird durch die Merkmale der unabhängigen Patentansprüche gelöst. Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Gemäß einem Aspekt der Erfindung wird ein Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements vorgeschlagen. Das Verfahren umfasst ein Bereitstellen einer Chipanordnung. Die Chipanordnung weist eine an einer Rückseite freiliegende metallische Leiterstruktur, mehrere Halbleiterchips und ein Gehäusematerial auf. Das Verfahren um-

fasst ferner ein Ausbilden einer Lötstoppbeschichtung auf der Rückseite der bereitgestellten Chipanordnung. Die Lötstoppbeschichtung trennt Anschlussbereiche der Leiterstruktur.

5 Das mit Hilfe des Verfahrens hergestellte Multichip-Bauelement kann ein QFN-Bauelement (Quad Flat No Leads) sein. Die Lötstoppbeschichtung, welche an der zur Oberflächenmontage vorgesehenen Rückseite des Bauelements ausgebildet wird, kann eine elektrische Isolation zwischen den an der Rückseite
10 vorhandenen und durch die Leiterstruktur gebildeten Anschlussbereichen bewirken. Die Anschlussbereiche, bei denen es sich um freiliegende Oberflächenbereiche der Leiterstruktur handeln kann, können aufgrund der Lötstoppbeschichtung einen relativ großen Abstand zueinander aufweisen. Daher kann
15 bei einer Oberflächenmontage des Bauelements durch Löten verhindert werden, dass mehrere der rückseitigen Anschlussbereiche in gemeinsamer Weise mit einem Lotmittel bedeckt bzw. benetzt und dadurch kurzgeschlossen werden. Die Halbleiterchips, welche wie das Gehäusematerial auf der Leiterstruktur
20 angeordnet sein können, können in einem kleineren bzw. in einem relativ kleinen Abstand zueinander positioniert sein.

Im Folgenden werden weitere mögliche Ausführungsformen und Details beschrieben, welche für das Verfahren und für das ge-
25 mäß dem Verfahren hergestellte Multichip-Bauelement in Betracht kommen können.

In einer Ausführungsform wird das Multichip-Bauelement zusammen mit weiteren baugleich ausgeführten Multichip-
30 Bauelementen im Verbund hergestellt. Hierbei kann die Chipanordnung mit entsprechenden Abmessungen und Anzahlen von Komponenten der mehreren verbundweise gefertigten Bauelemente bereitgestellt werden. Die anschließend auf der Rückseite der Chipanordnung ausgebildete Lötstoppbeschichtung kann die An-
35 schlussbereiche von sämtlichen Bauelementen trennen. Nachfolgend kann der auf diese Weise gebildete und die Lötstoppbeschichtung aufweisende Bauelementverbund in separate Bauelemente vereinzelt werden. Die folgende und sich hauptsächlich

auf die Herstellung eines einzelnen Multichip-Bauelements beziehende Beschreibung kann für sämtliche in gemeinsamer Weise im Verbund hergestellten Bauelemente zur Anwendung kommen.

- 5 In einer weiteren Ausführungsform wird die Leiterstruktur bei dem Ausbilden der Lötstoppbeschichtung zum Teil mit der Lötstoppbeschichtung bedeckt. In dieser Ausführungsform können mit Hilfe der Lötstoppbeschichtung Abstände und/oder Abmes-
- 10 Bauelements definiert werden. Hierdurch können auf einfache Weise große Abstände zwischen den Anschlussbereichen verwirklicht werden, um ein Auftreten eines Kurzschlusses bei einer Oberflächenmontage des Bauelements zu verhindern.
- 15 In diesem Zusammenhang kann ferner folgende Ausführungsform in Betracht kommen, in welcher die Lötstoppbeschichtung, bezogen auf eine Rückseitenansicht, mit einer die Anschlussbereiche umschließenden Form ausgebildet wird. Beispielsweise kann die Lötstoppbeschichtung mit einer Gitterform erzeugt
- 20 werden. Auch auf diese Weise lassen sich große Abstände zwischen den rückseitigen Anschlussbereichen verwirklichen.

Das Multichip-Bauelement kann zum Beispiel derart hergestellt werden, dass die rückseitigen Anschlussbereiche einen Abstand

25 von mehr als 100µm, beispielsweise einen Abstand von mehreren 100µm aufweisen. Ein mögliches Ausführungsbeispiel ist ein Abstand von 300µm. Diese Ausgestaltung begünstigt eine zuverlässige Oberflächenmontage des Bauelements ohne Auftreten eines Kurzschlusses. Für die Halbleiterchips kann ein Abstand

30 von weniger als 100µm, beispielsweise von 50µm, vorgesehen sein.

Die Leiterstruktur der bereitgestellten Chipanordnung kann, wie weiter unten noch näher erläutert wird, entsprechende

35 Leiterabschnitte aufweisen. Die Leiterabschnitte, welche bei dem Ausbilden der Lötstoppbeschichtung zum Teil mit der Lötstoppbeschichtung bedeckt werden können, können die rückseitigen Anschlussbereiche bilden.

Die Lötstopppbeschichtung kann ein Material aufweisen, welches nicht mit einem Lotmittel benetzbar ist. Auf diese Weise können Stellen, welche mit der Lötstopppbeschichtung bedeckt sind, vor einer Benetzung mit einem Lotmittel geschützt werden. Diese Eigenschaft begünstigt eine zuverlässige Oberflächenmontage des Multichip-Bauelements ohne Auftreten eines Kurzschlusses.

Die Lötstopppbeschichtung kann ein Kunststoffmaterial aufweisen. In einer Ausgestaltung weist die Lötstopppbeschichtung einen Lötstopplack (Solder Resist) auf. Der Lötstopplack kann zum Beispiel ein Epoxidharz sein bzw. ein Epoxidharz aufweisen. Die Lötstopppbeschichtung kann auch ein anderes Kunststoffmaterial wie zum Beispiel ein Silikonmaterial oder Polyimid aufweisen.

In einer weiteren Ausführungsform umfasst das Ausbilden der Lötstopppbeschichtung ein Aufdrucken von Material der Lötstopppbeschichtung auf der Rückseite der bereitgestellten Chipanordnung. Hierbei kann das Material der Lötstopppbeschichtung in einer für die Lötstopppbeschichtung vorgegebenen Struktur aufgedruckt werden. Durch das Aufdrucken, was bei einer Ausgestaltung der Lötstopppbeschichtung aus zum Beispiel einem Lötstopplack in Betracht kommen kann, lässt sich das Verfahren einfach und kostengünstig durchführen. Möglich ist zum Beispiel das Durchführen eines Siebdruckverfahrens oder eines Schablonendruckverfahrens.

In einer weiteren Ausführungsform umfasst das Ausbilden der Lötstopppbeschichtung ein flächiges Aufbringen von Material der Lötstopppbeschichtung auf der Rückseite der bereitgestellten Chipanordnung und ein nachfolgendes Strukturieren, so dass die Lötstopppbeschichtung mit einer vorgegebenen Struktur erzeugt wird. Hierbei kann eine Ausgestaltung der Lötstopppbeschichtung aus einem photosensitiven bzw. photostrukturierbaren Material wie zum Beispiel einem Lötstopplack in Betracht kommen. Das Material bzw. der Lötstopplack kann flächig auf-

gebracht werden, zum Beispiel durch Aufdrucken, und nachfolgend durch selektives Belichten und anschließendes Entwickeln strukturiert werden. Ein Strukturieren kann auch auf andere Art und Weise, zum Beispiel durch Ätzen unter Verwendung einer geeigneten Ätz- bzw. Photolackmaske, durchgeführt werden.

Darüber hinaus kann das Ausbilden der Lötstoppbeschichtung derart erfolgen, dass die Lötstoppbeschichtung bzw. Material der Lötstoppbeschichtung in Form einer Folie auf der Rückseite der bereitgestellten Chipanordnung aufgebracht wird. Möglich ist zum Beispiel ein Laminieren der Folie. Die Folie kann eines der oben genannten Materialien aufweisen. Des Weiteren kann die Folie mit einer für die Lötstoppbeschichtung vorgegebenen Struktur und Form bereitgestellt werden, oder unstrukturiert bereitgestellt und vor dem Aufbringen auf der Chipanordnung in eine solche Form gebracht werden. Möglich ist auch ein Aufbringen einer unstrukturierten Folie gefolgt von einem Strukturieren der Folie nach dem Aufbringen. Bei einer möglichen Ausgestaltung der Folie aus zum Beispiel einem photosensitiven bzw. photostrukturierbaren Material kann das Strukturieren, wie oben angegeben, durch selektives Belichten und anschließendes Entwickeln durchgeführt werden. Möglich ist auch ein Strukturieren auf andere Art und Weise, zum Beispiel durch Ätzen mit Hilfe einer Ätzmaske.

In einer weiteren Ausführungsform ist das mit Hilfe des Verfahrens hergestellte Multichip-Bauelement ein optoelektronisches Bauelement. In dieser Ausführungsform sind die Halbleiterchips der bereitgestellten Chipanordnung optoelektronische Halbleiterchips. Die optoelektronischen Halbleiterchips können zum Erzeugen von elektromagnetischer Strahlung bzw. Lichtstrahlung ausgebildet sein. Als strahlungsemitierende Halbleiterchips können zum Beispiel Leuchtdiodenchips bzw. LED-Chips (Light Emitting Diode) eingesetzt werden.

Bei Verwendung von strahlungsemitierenden Halbleiterchips bietet das nahe Positionieren der Halbleiterchips die Möglichkeit, Strahlung im Betrieb des Multichip-Bauelements mit

einer hohen Homogenität abzugeben. Dies ist zum Beispiel der Fall bei dem oben genannten Chip-zu-Chip-Abstand von kleiner als 100µm.

5 Die Halbleiterchips können einen Vorderseitenkontakt und einen Rückseitenkontakt aufweisen. Hierbei kann die Chipanordnung derart bereitgestellt werden, dass die Halbleiterchips mit Hilfe des Rückseitenkontakts auf der Leiterstruktur angeordnet, und an dieser Stelle über ein elektrisch leitfähiges
10 Verbindungsmaterial, zum Beispiel einen elektrisch leitfähigen Klebstoff oder ein Lotmittel, mit der Leiterstruktur verbunden sind. Der Vorderseitenkontakt der Halbleiterchips kann über einen Bonddraht an die Leiterstruktur angeschlossen sein.

15 Bei einer Ausgestaltung des Multichip-Bauelements als strahlungsemittierendes Bauelement kann es in Betracht kommen, die von den Halbleiterchips abgegebene Strahlung wenigstens teilweise zu konvertieren. Hierdurch kann eine Lichtstrahlung mit
20 einer vorgegebenen Farbe und einem vorgegebenen Farbort, zum Beispiel eine weiße Lichtstrahlung, erzeugt werden. Zu diesem Zweck kann die Chipanordnung mit einem geeigneten Konversionsmaterial bereitgestellt werden.

25 Die Chipanordnung kann zum Beispiel derart bereitgestellt werden, dass auf den Halbleiterchips jeweils ein Konversionselement zur Strahlungskonversion angeordnet ist. In dieser Ausführungsform weist die bereitgestellte Chipanordnung somit mehrere und auf der Leiterstruktur angeordnete Chipstapel umfassend jeweils einen Halbleiterchip und ein hierauf angeordnetes
30 Konversionselement auf.

In einer weiteren Ausführungsform erfolgt das Bereitstellen der Chipanordnung derart, dass das Gehäusematerial auf der
35 Leiterstruktur angeordnet ist und an die Halbleiterchips angrenzt. Sofern die Chipanordnung Chipstapel aus einem Halbleiterchip und einem Konversionselement aufweist, kann das Gehäusematerial an die Chipstapel angrenzend ausgebildet wer-

den. Das Gehäusematerial kann ferner derart ausgebildet werden, dass das Gehäusematerial die Halbleiterchips bzw. Chipstapel seitlich umschließt. Auch kann das Gehäusematerial bis zu Vorderseiten der Halbleiterchips bzw. Chipstapel reichend
5 ausgebildet werden, so dass die Vorderseiten freiliegen und zur Strahlungsabgabe genutzt werden können. Durch das Gehäusematerial kann das Multichip-Bauelement eine hohe mechanische Stabilität aufweisen.

10 Das Gehäusematerial kann ein Kunststoffmaterial sein bzw. ein Kunststoffmaterial aufweisen. Mögliche Beispiele sind ein Epoxidmaterial oder ein Silikonmaterial. Darin eingebettet kann das Gehäusematerial des Weiteren zum Beispiel Streupartikel und/oder einen weiteren Füllstoff aufweisen. Aufgrund
15 der Streupartikel kann das Gehäusematerial eine weiße Farbe aufweisen.

In einer weiteren Ausführungsform umfasst das Bereitstellen der Chipanordnung ein Bereitstellen einer metallischen Ausgangsschicht, ein Anordnen der Halbleiterchips auf der Aus-
20 gangsschicht und ein Aufbringen des Gehäusematerials auf der Ausgangsschicht. Weiter vorgesehen ist ein Ausbilden der Leiterstruktur, indem Aussparungen erzeugt werden, welche die Ausgangsschicht durchtrennen. Das Ausbilden der Leiterstruktur
25 wird nach dem Anordnen der Halbleiterchips und dem Aufbringen des Gehäusematerials durchgeführt. Die auf diese Weise gebildete Leiterstruktur kann Leiterabschnitte aufweisen, zwischen welchen die Aussparungen vorhanden sind.

30 Die vorgenannten Verfahrensschritte können in der angegebenen Reihenfolge durchgeführt werden. Das Anordnen der Halbleiterchips auf der Ausgangsschicht kann neben einem Montieren bzw. Befestigen der Halbleiterchips auf der Ausgangsschicht, was zum Beispiel durch Aufkleben oder Löten erfolgen kann, ein
35 Anschließen von Bonddrähten an Vorderseitenkontakte der Halbleiterchips und an die Ausgangsschicht umfassen. Sofern vorgesehen, können ferner Konversionselemente auf den Halbleiterchips angeordnet bzw. aufgeklebt werden, so dass ent-

sprechende Chipstapel auf der Ausgangsschicht bereitgestellt werden. Das anschließende Aufbringen des Gehäusematerials auf der Ausgangsschicht kann derart erfolgen, dass das Gehäusematerial wie oben angegeben angrenzend an die Halbleiterchips bzw. Chipstapel ausgebildet wird. Dies kann wie folgt verwirklicht werden.

Beispielsweise kann das Aufbringen des Gehäusematerials auf der mit den Halbleiterchips bzw. Chipstapeln versehenen Ausgangsschicht mit Hilfe eines Formprozesses (Molding), auch als Moldprozess bezeichnet, durchgeführt werden. In dieser Ausführungsform kann das Gehäusematerial als Formmasse (Mold Compound) bezeichnet werden. Der Formprozess kann mit Hilfe eines Form- bzw. Moldwerkzeugs durchgeführt werden, welches eine geeignete Hohlraumstruktur aufweist. Für den Formprozess kann die mit den Halbleiterchips bzw. Chipstapeln versehene Ausgangsschicht in dem Formwerkzeug aufgenommen werden, und kann die Formmasse mit Hilfe der Hohlraumstruktur mit einer vorgegebenen Form auf der Ausgangsschicht aufgebracht werden.

In einer weiteren Ausführungsform ist der Formprozess ein Spritzpressprozess (Transfer Molding). Hierbei kommt ein Spritzpresswerkzeug zum Einsatz. Beim Spritzpressen kann die Formmasse mit Hilfe eines Kolbens in die Hohlraumstruktur des Spritzpresswerkzeugs eingepresst werden.

Möglich ist zum Beispiel das Durchführen eines folienunterstützten Spritzpressprozesses (FAM, Film Assisted Transfer Molding). Hierbei kann auf einem Werkzeugteil des Spritzpresswerkzeugs eine Folie aus einem Kunststoffmaterial angeordnet sein. In dem Spritzpressprozess kann das betreffende Werkzeugteil mit der Folie an Vorderseiten der Halbleiterchips bzw. Chipstapel angedrückt sein. Auf diese Weise kann die Formmasse an die Halbleiterchips bzw. Chipstapel herreichend ausgebildet werden, und kann ein Bedecken von deren Vorderseiten mit der Formmasse zuverlässig vermieden werden.

In einer weiteren Ausführungsform wird das Aufbringen des Gehäusematerials auf der mit den Halbleiterchips bzw. Chipstapeln versehenen Ausgangsschicht durch Vergießen durchgeführt. In dieser Ausführungsform kann das Gehäusematerial als Vergussmaterial bezeichnet werden. Hierbei kann vor oder nach dem Anordnen der Halbleiterchips ein auch als Damm bezeichneter Rahmen auf der Ausgangsschicht ausgebildet werden, und kann der von dem Rahmen umschlossene Bereich mit dem Vergussmaterial verfüllt werden. Auf diese Weise kann das Vergussmaterial an die Halbleiterchips bzw. Chipstapel heranreichend ausgebildet werden. Auch hierbei kann ein Bedecken von deren Vorderseiten vermieden werden. Der Rahmen kann zum Beispiel mit Hilfe eines Form- bzw. Spritzpressprozesses auf der Ausgangsschicht ausgebildet werden. Möglich ist es auch, den Rahmen separat zu fertigen und auf der Ausgangsschicht anzuordnen.

Das oben genannte Ausbilden von Aussparungen in der Ausgangsschicht zum Ausbilden der Leiterstruktur kann auf unterschiedliche Art und Weise durchgeführt werden. Möglich ist zum Beispiel ein Ätzen, was mit Hilfe einer zuvor auf der Ausgangsschicht erzeugten Ätz- bzw. Photolackmaske erfolgen kann. Weitere Prozesse sind ein mechanisches Strukturieren durch zum Beispiel Sägen oder auch ein Laserschneiden. Je nach Prozess kann nicht nur die Ausgangsschicht durchtrennt werden, sondern kann gegebenenfalls auch ein Teil des Gehäusematerials im Bereich der Ausgangsschicht durchtrennt bzw. entfernt werden.

Die durch das Erzeugen der Aussparungen gebildete und die Halbleiterchips tragende Leiterstruktur weist entsprechende Leiterabschnitte auf. Hierbei kann es sich um separate Leiterabschnitte handeln. In Bezug auf eine verbundweise Fertigung von mehreren Multichip-Bauelementen können in entsprechender Weise durch Erzeugen der die Ausgangsschicht durchtrennenden Aussparungen separate und lediglich den jeweiligen Bauelementen zugeordnete Leiterabschnitte ausgebildet werden.

Eine weitere Verfahrensvariante, welche für die verbundweise Fertigung von mehreren Multichip-Bauelementen in Betracht kommen kann, besteht darin, dass durch Erzeugen der die Ausgangsschicht durchtrennenden Aussparungen Leiterabschnitte ausgebildet werden, welche mehreren Bauelementen zugeordnet sind. Im Rahmen des Vereinzelns des Bauelementverbunds können die Leiterabschnitte durchtrennt werden, und erst dadurch die für die einzelnen Multichip-Bauelemente vorgesehene Form erhalten.

Die Verwendung der metallischen Ausgangsschicht, welche nach dem Anordnen von Halbleiterchips und dem Aufbringen des Gehäusematerials durch das Erzeugen von Aussparungen in die Leiterstruktur strukturiert wird, bietet folgende Vorteile.

Die Ausgangsschicht kann bei dem Aufbringen des Gehäusematerials im Bereich der Halbleiterchips geschlossen sein. Hierdurch kann vermieden werden, dass das als Formmasse oder Vergussmaterial aufgebrachte Gehäusematerial zur Rückseite der Ausgangsschicht gelangen, und damit die Ausgangsschicht sowie die Anschlussbereiche verunreinigen kann. Derartige, bei einer Verwendung eines Leiterrahmens gegebenenfalls auftretende und auch als Mold Compound Bleed oder Seepage bezeichnete Rückseitenverunreinigungen können somit vermieden werden.

Des Weiteren können die Halbleiterchips auf der unstrukturierten Ausgangsschicht und damit auf Vollmaterial angeordnet werden. Dadurch ist eine zuverlässige Chipmontage möglich.

Die Vorgehensweise, die Ausgangsschicht erst nach dem Anordnen der Halbleiterchips und dem Aufbringen des Gehäusematerials zu strukturieren, macht es ferner möglich, die Ausgangsschicht mit einer relativ kleinen Dicke bereitzustellen. Bei einem Erzeugen der die Ausgangsschicht durchtrennenden Aussparungen mittels eines Ätzprozesses ist auf diese Weise die Möglichkeit gegeben, die Aussparungen mit einer kleinen Breite auszubilden.

Ein weiterer Vorteil einer kleinen Dicke der Ausgangsschicht besteht darin, dass der auf unterschiedlichen Wärmeausdehnungskoeffizienten beruhende mechanische Stress bei einem Auflöten von Halbleiterchips auf der Ausgangsschicht wesentlich geringer sein kann als bei einem Auflöten von Halbleiterchips auf einem Leiterrahmen mit großer Dicke. In gleicher Weise kann eine kleinere Durchbiegung der Halbleiterchips (Chip Warpage) auftreten, wodurch das Risiko eines Ablösens von auf den Halbleiterchips angeordneten Konversionselementen (sofern vorhanden) und einer hiermit einhergehenden Farbortverschiebung (Colour Shift) verringert werden kann.

Die vorgenannten Vorteile können in einer weiteren Ausführungsform deutlich zutage treten, in welcher die bereitgestellte Ausgangsschicht eine Dicke von weniger als 150µm aufweist. Die Ausgangsschicht kann zum Beispiel eine Dicke von 100µm oder auch darunter aufweisen.

In einer weiteren Ausführungsform wird die Rückseite der Chipanordnung bei dem Ausbilden der Lötstopppbeschichtung wenigstens im Bereich der Aussparungen mit der Lötstopppbeschichtung bedeckt. Diese Ausführungsform, in welcher die Aussparungen mit der Lötstopppbeschichtung verfüllt werden können, begünstigt eine zuverlässige elektrische Isolation zwischen den rückseitigen Anschlussbereichen.

In einer weiteren Ausführungsform weist die bereitgestellte Ausgangsschicht Vertiefungen an einer Vorderseite oder an einer Rückseite auf. Die Vertiefungen können durch einen Ätzprozess hergestellt sein. Bei den Vertiefungen kann es sich um Halbätzungen handeln. Die Aussparungen zum Ausbilden der Leiterstruktur können im Bereich solcher Vertiefungen ausgebildet werden. Auf diese Weise kann ein einfaches und schnelles Ausbilden der Aussparungen ermöglicht werden.

In einer weiteren Ausführungsform werden Rückseiten von Halbleiterchips in einem Teilbereich durch das Erzeugen der die Ausgangsschicht durchtrennenden Aussparungen freigestellt und

nachfolgend mit der Lötstoppbeschichtung bedeckt. Die Lötstoppbeschichtung kann zu diesem Zweck in die Aussparungen eingebracht werden. Auch in dieser Ausführungsform können die Halbleiterchips in einem kleinen Abstand zueinander positioniert sein. Mit Hilfe der Aussparungen, welche relativ breit ausgeführt sein können, können demgegenüber große Abstände zwischen den Leiterabschnitten und damit zwischen den rückseitigen Anschlussbereichen verwirklicht werden.

10 In einer weiteren Ausführungsform umfasst das Bereitstellen der Chipanordnung ein Bereitstellen eines metallischen Leiterrahmens (Leadframe), welcher die Leiterstruktur bildet, ein Anordnen der Halbleiterchips auf dem Leiterraahmen und ein Aufbringen des Gehäusematerials auf dem Leiterraahmen. Diese
15 Verfahrensschritte können in der angegebenen Reihenfolge durchgeführt werden. Für das Anordnen der Halbleiterchips und das Aufbringen des Gehäusematerials auf dem Leiterraahmen können Details, welche oben in Zusammenhang mit der Verwendung einer metallischen Ausgangsschicht erläutert wurden, in entsprechender Weise zur Anwendung kommen.
20

Beispielsweise kann das Anordnen der Halbleiterchips neben einem Montieren bzw. Befestigen der Halbleiterchips auf dem Leiterraahmen, was zum Beispiel mittels Aufkleben oder Löten
25 erfolgen kann, ein Anschließen von Bonddrähten an Vorderseitenkontakte der Halbleiterchips und an den Leiterraahmen umfassen. Sofern vorgesehen, können Konversionselemente auf den Halbleiterchips angeordnet bzw. aufgeklebt werden, so dass entsprechende Chipstapel auf dem Leiterraahmen bereitgestellt
30 werden.

Das nachfolgende Aufbringen des Gehäusematerials auf dem Leiterraahmen, bei welchem das Gehäusematerial wie oben angegeben an die Halbleiterchips bzw. Chipstapel angrenzend ausgebildet
35 werden kann, kann zum Beispiel mit Hilfe eines Formprozesses, beispielsweise eines Spritzpressprozesses durchgeführt werden. Hierbei kann der mit den Halbleiterchips bzw. Chipstapeln versehene Leiterraahmen in einem Formwerkzeug aufgenommen

werden, und kann die Formmasse mit einer vorgegebenen Form auf dem Leiterrahmen aufgebracht werden. Ferner kann ein folienunterstützter Spritzpressprozess durchgeführt werden. Hierbei kann auf einem Werkzeugteil des Spritzpresswerkzeugs
5 eine Folie aus einem Kunststoffmaterial angeordnet sein, mit welcher das betreffende Werkzeugteil an Vorderseiten der Halbleiterchips bzw. Chipstapel angedrückt sein kann.

Der Leiterrahmen kann mehrere Leiterabschnitte und die Leiterabschnitte verbindende Verbindungsstege aufweisen. In Bezug auf eine verbundweise Fertigung mehrerer Multichip-Bauelemente können lediglich die Leiterabschnitte verschiedener Bauelemente über die Verbindungsstege verbunden sein. Im Rahmen des Vereinzelns des Bauelementverbunds können die Verbindungsstege durchtrennt werden, so dass die Leiterabschnitte der einzelnen Bauelemente nicht mehr durch Material des Leiterrahmens verbunden und dadurch nicht mehr kurzgeschlossen sind.
10
15

Die Lötstoppbeschichtung kann in Form einer zusammenhängenden Beschichtung auf der Rückseite der bereitgestellten Chipanordnung ausgebildet werden. Hierbei kann die Lötstoppbeschichtung, wie oben angegeben, mit einer die Anschlussbereiche umschließenden Form, zum Beispiel mit einer Gitterform
20 ausgebildet werden. Dies gilt auch für eine verbundweise Herstellung mehrerer Multichip-Bauelemente. Beim Vereinzelns kann die Lötstoppbeschichtung derart durchtrennt werden, dass die Lötstoppbeschichtung bei den einzelnen Bauelemente weiterhin eine zusammenhängende bzw. die Anschlussbereiche umschließende, zum Beispiel gitterförmige Struktur aufweist.
25
30

Möglich ist es auch, eine nicht zusammenhängende Lötstoppbeschichtung auf der Rückseite der bereitgestellten Chipanordnung auszubilden, welche mehrere separate Teilabschnitte aufweist. Beim Vereinzelns können die Teilabschnitte durchtrennt werden. Ein auf diese Weise gebildetes Multichip-Bauelement kann eine in separate Teilabschnitte unterteilte Lötstoppbeschichtung aufweisen, wobei die Teilabschnitte der Lötstopp-
35

beschichtung zwischen rückseitigen Anschlussbereichen angeordnet sein können und diese trennen können. Eine solche Ausgestaltung lässt sich auch dadurch verwirklichen, indem eine zunächst zusammenhängend ausgebildete Lötstoppbeschichtung beim Vereinzeln derart durchtrennt wird, dass ein Multichip-Bauelement eine separate Teilabschnitte umfassende Lötstoppbeschichtung aufweist.

Gemäß einem weiteren Aspekt der Erfindung wird ein oberflächenmontierbares Multichip-Bauelement vorgeschlagen. Das Bauelement weist eine an einer Rückseite zugängliche Leiterstruktur, mehrere Halbleiterchips, ein Gehäusematerial und eine an der Rückseite ausgebildete Lötstoppbeschichtung auf. Die Lötstoppbeschichtung trennt Anschlussbereiche der Leiterstruktur.

Das Multichip-Bauelement kann gemäß dem oben erläuterten Verfahren bzw. gemäß einer oder mehrerer der oben beschriebenen Ausführungsformen des Verfahrens hergestellt sein. Für das Bauelement können dieselben Ausgestaltungen denkbar sein und können dieselben Vorteile in Betracht kommen, wie sie oben mit Bezug auf das Verfahren erläutert wurden.

Beispielsweise kann die Lötstoppbeschichtung eine elektrische Isolation zwischen den rückseitigen Anschlussbereichen bewirken, und können die Anschlussbereiche aufgrund der Lötstoppbeschichtung einen relativ großen Abstand zueinander aufweisen. Infolgedessen kann eine Oberflächenmontage des Bauelements ohne einen Kurzschluss von Anschlussbereichen durchgeführt werden. Die Halbleiterchips, welche wie das Gehäusematerial auf der Leiterstruktur angeordnet sein können, können relativ nahe zueinander positioniert sein.

Des Weiteren können zum Beispiel einzelne oder mehrere der folgenden Ausgestaltungen vorliegen. Die Leiterstruktur des Multichip-Bauelements kann mehrere separate Leiterabschnitte aufweisen. Zwischen den Leiterabschnitten können sich Aussparungen befinden. Die Aussparungen können im Bereich von Ver-

tiefungen der Leiterstruktur ausgebildet sein. Die Lötstoppbeschichtung kann die Leiterstruktur bzw. die Leiterabschnitte zum Teil bedecken. Die Lötstoppbeschichtung kann eine die Anschlussbereiche umschließende Form aufweisen. Die Lötstoppbeschichtung kann einen Lötstopplack aufweisen. Das Multichip-Bauelement kann ein optoelektronisches Bauelement, und die Halbleiterchips können optoelektronische und zum Beispiel zur Strahlungserzeugung ausgebildete Halbleiterchips sein. Auf den Halbleiterchips kann jeweils ein Konversionselement zur Strahlungskonversion angeordnet sein, wodurch das Multichip-Bauelement entsprechende Chipstapel aus einem Halbleiterchip und einem Konversionselement aufweisen kann. Die Halbleiterchips können elektrisch in Reihe verbunden sein. Die Halbleiterchips können auf der Leiterstruktur angeordnet sein. Das Gehäusematerial kann auf der Leiterstruktur angeordnet sein und an die Halbleiterchips bzw. Chipstapel angrenzen. Hierbei können Vorderseiten der Halbleiterchips bzw. Chipstapel freiliegen. Die Anschlussbereiche können einen Abstand von mehr als 100µm, und die Halbleiterchips können einen Abstand von weniger als 100µm aufweisen.

Die vorstehend erläuterten und/oder in den Unteransprüchen wiedergegebenen vorteilhaften Aus- und Weiterbildungen der Erfindung können - außer zum Beispiel in Fällen eindeutiger Abhängigkeiten oder unvereinbarer Alternativen - einzeln oder aber auch in beliebiger Kombination miteinander zur Anwendung kommen.

Die oben beschriebenen Eigenschaften, Merkmale und Vorteile dieser Erfindung, sowie die Art und Weise, wie diese erreicht werden, werden klarer und deutlicher verständlich in Zusammenhang mit der folgenden Beschreibung von Ausführungsbeispielen, die im Zusammenhang mit den schematischen Zeichnungen näher erläutert werden. Es zeigen:

Figuren 1 bis 4 einen möglichen Verfahrensablauf zur Herstellung eines Multichip-Bauelements anhand von seitlichen Schnittdarstellungen, wobei Halbleiterchips auf einer metal-

lischen Ausgangsschicht angeordnet werden, ein Gehäusematerial auf der Ausgangsschicht aufgebracht wird, Aussparungen in der Ausgangsschicht erzeugt werden, um eine Leiterstruktur auszubilden, und rückseitig eine Lötstoppbeschichtung ausgebildet wird, welche Anschlussbereiche der Leiterstruktur trennt;

Figuren 5 bis 7 Schritte des Verfahrensablaufs in einer Vorderseitenansicht;

Figuren 8 und 9 Schritte des Verfahrensablaufs in einer Rückseitenansicht;

Figuren 10 bis 12 einen weiteren Verfahrensablauf zur Herstellung eines Multichip-Bauelements anhand von seitlichen Schnittdarstellungen, wobei eine metallische Ausgangsschicht mit rückseitigen Vertiefungen eingesetzt wird;

Figuren 13 bis 15 einen weiteren Verfahrensablauf zur Herstellung eines Multichip-Bauelements anhand von seitlichen Schnittdarstellungen, wobei eine metallische Ausgangsschicht mit vorderseitigen Vertiefungen eingesetzt wird;

Figuren 16 und 17 einen weiteren Verfahrensablauf zur Herstellung eines Multichip-Bauelements anhand von seitlichen Schnittdarstellungen, wobei ein Leiterrahmen eingesetzt wird; und

Figuren 18 und 19 einen weiteren Verfahrensablauf zur Herstellung eines Multichip-Bauelements anhand von seitlichen Schnittdarstellungen, wobei eine metallische Ausgangsschicht eingesetzt wird und Aussparungen in der Ausgangsschicht erzeugt werden, durch welche Halbleiterchips an einer Rückseite freigestellt werden.

Anhand der folgenden schematischen Figuren werden mögliche Ausgestaltungen eines Verfahrens zum Herstellen eines oberflächenmontierbaren und in Form eines QFN-Packages (Quad Flat

No Leads) verwirklichten Multichip-Bauelements beschrieben. Bei dem Verfahren können aus der Halbleitertechnik und aus der Fertigung elektronischer Bauelemente bekannte Prozesse durchgeführt werden und können in diesen Gebieten übliche Ma-
5 terialien zum Einsatz kommen, so dass hierauf nur teilweise eingegangen wird. In gleicher Weise können zusätzlich zu gezeigten und beschriebenen Prozessen weitere Prozesse durchgeführt werden und können die Bauelemente zusätzlich zu gezeigten und beschriebenen Komponenten mit weiteren Komponenten
10 und Strukturen gefertigt werden. Es wird ferner darauf hingewiesen, dass die Figuren lediglich schematischer Natur sind und nicht maßstabsgetreu sind. In diesem Sinne können in den Figuren gezeigte Komponenten und Strukturen zum besseren Verständnis übertrieben groß oder verkleinert dargestellt sein.

15 Das Verfahren wird zur parallelen Herstellung einer Vielzahl baugleicher Multichip-Bauelemente eingesetzt. Hierbei wird ein zusammenhängender Bauelementverbund gefertigt und nachfolgend in separate Bauelemente vereinzelt. In diesem Sinne
20 zeigt ein Teil der Figuren einen Ausschnitt des Fertigungsverbunds im Bereich von einem der hergestellten Bauelemente, und liegen hier gezeigte Gegebenheiten sich vielfach wiederholend in dem Verbund vor. Die folgende Beschreibung trifft auf sämtliche der verbundweise gefertigten Bauelemente zu.

25 Die Figuren 1 bis 4 zeigen anhand von seitlichen Schnittdarstellungen ein mögliches Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements 101, welches mehrere Halbleiterchips 150 aufweist. Ergänzend sind in den Figuren
30 5 bis 7 Gegebenheiten in einer Vorderseitenansicht, und in den Figuren 8 und 9 in einer Rückseitenansicht dargestellt. Bei dem Multichip-Bauelement 101 handelt es sich um ein optoelektronisches Bauelement zur Abgabe von Lichtstrahlung. Dementsprechend sind die Halbleiterchips 150 optoelektronische und zur Strahlungserzeugung ausgebildete Halbleiter-
35 chips.

Im Laufe des Verfahrens wird eine in Figur 3 gezeigte Chipanordnung mit einer an einer Rückseite freiliegenden metallischen Leiterstruktur 110 bereitgestellt, und wird anschließend eine Lötstoppbeschichtung 170 auf der Rückseite ausgebildet, wie in Figur 4 gezeigt ist. Die Leiterstruktur 110 wird vorliegend durch Strukturieren einer metallischen Ausgangsschicht 130 ausgebildet, wie im Folgenden näher erläutert wird.

10 Zu Beginn des Verfahrens wird eine metallische Ausgangsschicht 130 bereitgestellt, auf welcher, wie in Figur 1 im Querschnitt und in Figur 5 in einer Vorderseitenansicht dargestellt ist, vorderseitig mehrere Halbleiterchips 150 angeordnet werden. Die Halbleiterchips 150 können eine Dicke von
15 120µm aufweisen. In der hier gezeigten Ausgestaltung wird das Multichip-Bauelement 101 mit drei Halbleiterchips 150 hergestellt. Die Halbleiterchips 150 werden ferner in einer Reihe nebeneinander und mit relativ kleinen Abständen zueinander positioniert. Der Abstand zwischen zwei benachbarten Halbleiterchips 150 kann weniger als 100µm, beispielsweise 50µm,
20 betragen.

Die metallische Ausgangsschicht 130 kann zum Beispiel eine Kupferschicht sein. Des Weiteren kann die Ausgangsschicht 130
25 eine nicht gezeigte metallische Beschichtung aufweisen, wodurch die Ausgangsschicht 130 lötfähig und zum Anschließen von Bonddrähten 157 geeignet ist. Die Ausgangsschicht 130 ist zumindest im Bereich der Halbleiterchips 150 unstrukturiert, so dass die Halbleiterchips 150 auf Vollmaterial der Ausgangsschicht 130 angeordnet werden. Auf diese Weise ist eine
30 zuverlässige Chipmontage möglich.

Wie oben angegeben wurde, handelt es sich bei den Halbleiterchips 150 um optoelektronische strahlungsemittierende Halbleiterchips. Möglich ist zum Beispiel eine Ausgestaltung in
35 Form von Leuchtdiodenchips bzw. LED-Chips (Light Emitting Diode).

Die Halbleiterchips 150 weisen einen Vorderseitenkontakt und einen Rückseitenkontakt auf (nicht dargestellt). Beim Anordnen der Halbleiterchips 150 auf der Ausgangsschicht 130 werden die Halbleiterchips 150 über den Rückseitenkontakt und
5 eine nicht gezeigte elektrisch leitende Verbindungsschicht, zum Beispiel eine Lotschicht oder eine Schicht eines elektrisch leitfähigen Klebstoffs, elektrisch und mechanisch mit der Ausgangsschicht 130 verbunden. Anschließend werden die Vorderseitenkontakte der Halbleiterchips 150, wie in Fi-
10 gur 5 gezeigt ist, über Bonddrähte 157 mit der Ausgangsschicht 130 verbunden.

Auf jedem Halbleiterchip 150 ist ferner, wie in den Figuren 1 und 5 dargestellt ist, ein plättchenförmiges Konversionsele-
15 ment 155 zur Strahlungskonversion vorgesehen, so dass mehrere bzw. drei Chipstapel umfassend jeweils einen Halbleiterchip 150 und ein Konversionselement 155 auf der Ausgangsschicht 130 bereitgestellt werden. Die Konversionselemente 155 sind dazu ausgebildet, eine von den Halbleiterchips 150 erzeugte
20 primäre Lichtstrahlung wenigstens teilweise in eine oder mehrere sekundäre Lichtstrahlungen umzuwandeln. Auf diese Weise kann zum Beispiel eine weiße Lichtstrahlung erzeugt werden. Die Konversionselemente 155 können unter Verwendung eines nicht gezeigten transparenten Klebstoffs auf Vorderseiten der
25 Halbleiterchips 150 befestigt werden. Das Anordnen der Konversionselemente 155 auf den Halbleiterchips 150 kann vor oder nach dem Anschließen der Bonddrähte 157 durchgeführt werden.

30 Die Konversionselemente 155 weisen solche Abmessungen auf bzw. werden derart auf den Halbleiterchips 150 angeordnet, dass die Vorderseitenkontakte der Halbleiterchips 150 nicht von den Konversionselementen 155 abgedeckt werden.

35 In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente 101 erfolgt die Chipmontage in der hier gezeigten Ausgestaltung derart, dass für jedes Bauelement 101 drei Chipstapel umfassend einen Halbleiterchip 150 und ein Konver-

sionselement 155 entsprechend den Figuren 1 und 5 auf der metallischen Ausgangsschicht 130 bereitgestellt werden.

Nachfolgend wird, wie in Figur 2 im Querschnitt und in Figur 5 6 in einer Vorderseitenansicht gezeigt ist, ein Gehäusematerial 160 auf der mit den Chipstapeln bestückten Ausgangsschicht 130 aufgebracht. Das Gehäusematerial 160 umschließt die Chipstapel und reicht bis zu Vorderseiten der Chipstapel, welche vorliegend durch die Konversionselemente 155 gebildet sind. Hierdurch können die Vorderseiten der Chipstapel weiterhin zur Strahlungsabgabe genutzt werden. Die Bonddrähte 157 können, wie in Figur 6 angedeutet ist, vollständig in dem Gehäusematerial 160 eingebettet werden.

15 Das Aufbringen des Gehäusematerials 160 kann zum Beispiel ein Durchführen eines Spritzpressprozesses (Transfer Molding) umfassen, bei welchem ein nicht gezeigtes Spritzpresswerkzeug mit einer geeigneten Hohlraumstruktur verwendet wird. Hierbei kann das Gehäusematerial 160 als Formmasse (Mold Compound) 20 bezeichnet werden. Für diesen Prozess wird die mit den Chipstapeln versehene Ausgangsschicht 130 in dem Formwerkzeug aufgenommen, und wird das Gehäusematerial 160 mit Hilfe eines Kolbens in die Hohlraumstruktur eingespritzt.

25 Der Spritzpressprozess kann ein folienunterstützter Spritzpressprozess (FAM, Film Assisted Transfer Molding) sein. Hierbei ist auf einem Werkzeugteil des Spritzpresswerkzeugs eine Folie zur Abdichtung angeordnet. In dem Spritzpressprozess wird dieses Werkzeugteil mit der Folie an die Chipstapel 30 bzw. an die vorderseitigen Konversionselemente 155 angedrückt. Hierdurch kann zuverlässig erreicht werden, dass das Gehäusematerial 160 ohne Abdecken der Vorderseiten der Chipstapel auf der Ausgangsschicht 130 aufgebracht wird.

35 Das Gehäusematerial 160 kann ein Kunststoffmaterial, zum Beispiel ein Epoxidmaterial oder Silikonmaterial, aufweisen. Des Weiteren kann das Gehäusematerial 160 wenigstens ein weiteres in dem Kunststoffmaterial enthaltenes Material, zum Beispiel

ein anorganisches Füllmaterial, aufweisen (nicht dargestellt). Hierbei kann es sich um Streupartikel zum Beispiel aus TiO_2 handeln, wodurch das Gehäusematerial 160 eine weiße Farbe besitzen kann. In dem Kunststoffmaterial kann gegebenenfalls auch wenigstens ein Farbstoff enthalten sein, wodurch das Gehäusematerial eine andere Farbe besitzen kann. Möglich ist zum Beispiel die Verwendung von Ruß, um eine schwarze Farbe bereitzustellen.

10 In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente 101 erstreckt sich das auf der Ausgangsschicht 130 aufgebrachte Gehäusematerial 160 über die Bereiche von sämtlichen der im Verbund hergestellten Bauelemente 101.

15 Nachfolgend werden an der Rückseite der nach dem Aufbringen des Gehäusematerials 160 vorliegenden Chipanordnung, wie in Figur 3 gezeigt ist und auch in Figur 6 angedeutet ist, linienförmige Aussparungen 135 erzeugt, welche die metallische Ausgangsschicht 130 durchtrennen. Auf diese Weise wird eine
20 Leiterstruktur 110 mit mehreren Leiterabschnitten 111 bereitgestellt, zwischen welchen sich die Aussparungen 135 befinden. In der Vorder- bzw. Rückseitenansicht verlaufen die Aussparungen 135 in einer Richtung parallel zueinander und in Bereichen neben bzw. zwischen den Halbleiterchips 150.

25 Das Erzeugen der Aussparungen 135 kann auf mechanische Art und Weise, zum Beispiel durch Sägen, durchgeführt werden. Eine weitere mögliche Vorgehensweise ist ein Durchtrennen der Ausgangsschicht 130 mit Hilfe eines Lasers. Bei Anwendung
30 solcher Prozesse können sich die erzeugten Aussparungen 135 zum Teil in das Gehäusematerial 160 hinein erstrecken, wie in Figur 3 angedeutet ist. Alternativ können die Aussparungen 135 durch rückseitiges Ätzen unter Verwendung einer zuvor auf der Ausgangsschicht 130 ausgebildeten Ätz- bzw. Photolackmaske
35 erzeugt werden. Auf diese Weise kann abweichend von Figur 3 lediglich die Ausgangsschicht 130 durchtrennt werden.

In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente 101 sind in Figur 6 ergänzend Trennlinien 190 angedeutet, entlang welchen der Bauelementverbund am Ende des Verfahrens vereinzelt und damit das gezeigte Multichip-Bauelement 101 von anderen Bauelementen 101 separiert wird. Es ist ferner eine Ausgestaltung angedeutet, in welcher die Aussparungen 135 nicht auf den geometrischen Bereich eines Bauelements 101 begrenzt sind, sondern sich über mehrere Bauelemente 101 erstrecken. Daher sind auch die Leiterabschnitte 111 zunächst noch mehreren Bauelementen 101 zugeordnet. Im Rahmen des Vereinzelns des Bauelementverbunds werden die Leiterabschnitte 111 durchtrennt, und erhalten damit erst ihre endgültige und bei den Bauelementen 101 vorgesehene geometrische Form.

Die nach dem Erzeugen der Aussparungen 135 vorliegende und die Leiterstruktur 110 aufweisende Chipanordnung wird anschließend auf der Rückseite, wie in Figur 4 im Querschnitt und in Figur 8 in einer Rückseitenansicht gezeigt ist, mit einer Lötstopppbeschichtung 170 versehen. Die Lötstopppbeschichtung 170 weist eine Gitterform auf. Hierbei wird ein Teil der Leiterstruktur 110 mit der Lötstopppbeschichtung 170 bedeckt, während rückseitige Oberflächenbereiche 121 der Leiterabschnitte 111 der Leiterstruktur 110, welche in der Rückseitenansicht von der Lötstopppbeschichtung 170 umschlossen sind, freigestellt sind. Die Lötstopppbeschichtung 170 wird im Bereich der Aussparungen 135 ausgebildet, so dass die Aussparungen 135 mit der Lötstopppbeschichtung 170 verfüllt werden und die Lötstopppbeschichtung 170 die Leiterstruktur 110 seitlich der Aussparungen 135 bedeckt. Die Lötstopppbeschichtung 170 wird aufgrund der Gitterform ferner in anderen Bereichen außerhalb und zwischen der Aussparungen 135 auf der Leiterstruktur 110 ausgebildet.

Die freiliegenden Bereiche 121, mit deren Hilfe eine Oberflächenmontage des fertigen Multichip-Bauelements 101 erfolgen kann, werden im Folgenden als Anschlussbereiche 121 bzw. Anschlussflächen 121 bezeichnet. Für das gezeigte Multichip-

Bauelement 101 ist eine Ausgestaltung mit vier, und entsprechend den Halbleiterchips 150 auf der entgegen gesetzten Seite, in einer Reihe nebeneinander angeordneten Anschlussbereichen 121 vorgesehen.

5

Die lateralen Formen und Abmessungen, sowie auch die Abstände der rückseitigen Anschlussbereiche 121 des Multichip-Bauelements 101, werden bei dem vorliegenden Verfahrensablauf mit Hilfe der die Leiterstruktur 110 teilweise bedeckenden
10 Lötstoppbeschichtung 170 definiert. Dadurch können, wie in Figur 4 gezeigt ist, Abstände zwischen den Anschlussbereichen 121 verwirklicht werden, welche größer sind als Abstände zwischen den Halbleiterchips 150. Beispielsweise können benachbarte Anschlussbereiche 121 einen Abstand von mehr als 100µm,
15 zum Beispiel einen Abstand von 300µm, aufweisen.

Die Lötstoppbeschichtung 170 ist aus einem Material ausgebildet, welches nicht mit einem Lotmittel benetzbar ist. Auf diese Weise kann an Stellen, welche mit der Lötstoppbeschichtung 170 maskiert sind, eine Benetzung mit einem Lotmittel
20 verhindert werden. In diesem Zusammenhang kann zum Beispiel eine Ausgestaltung der Lötstoppbeschichtung 170 aus einem Lötstopplack in Betracht kommen. Dieser kann ein Epoxidharz sein bzw. einen Epoxidharz aufweisen.

25

Die Lötstoppbeschichtung 170 kann auch aus einem anderen Material bzw. Kunststoffmaterial ausgebildet sein. Hierunter fällt zum Beispiel ein Silikonmaterial oder Polyimid.

30 Das Aufbringen der Lötstoppbeschichtung 170 auf der Unterseite der Chipanordnung kann zum Beispiel ein Durchführen eines Druckverfahrens umfassen. Hierbei kann die Lötstoppbeschichtung 170 mit der in den Figuren 4 und 8 gezeigten Struktur aufgedruckt werden. Möglich ist zum Beispiel das Durchführen
35 eines Siebdruckverfahrens oder eines Schablonendruckverfahrens.

Eine weitere mögliche Vorgehensweise zum Ausbilden der Lötstoppbeschichtung 170 besteht darin, Material der Lötstoppbeschichtung 170 zunächst großflächig auf der Rückseite der Chipanordnung aufzubringen, beispielsweise mittels Drucken, und nachfolgend zu strukturieren. In diesem Zusammenhang kann zum Beispiel ein photosensitiver Lötstopplack zum Einsatz kommen, und kann das Strukturieren zum Bereitstellen der gewünschten Form der Lötstoppbeschichtung 170 durch selektives Belichten und anschließendes Entwickeln durchgeführt werden.

Abhängig von dem verwendeten Material der Lötstoppbeschichtung 170 kann das Strukturieren auch auf andere Art und Weise durchgeführt werden. Möglich ist zum Beispiel ein Ätzen unter Verwendung einer geeigneten Ätz- bzw. Photolackmaske.

Des Weiteren kann es in Betracht kommen, die Lötstoppbeschichtung 170 bzw. Material der Lötstoppbeschichtung 170 in Form einer Folie auf der Rückseite der Chipanordnung aufzubringen, zum Beispiel durch Laminieren. Die Folie kann aus einem der oben genannten Materialien ausgebildet sein. Die Folie kann derart bereitgestellt werden, dass die Folie bereits vor dem Aufbringen auf der Chipanordnung eine den Figuren 4 und 8 entsprechende Struktur aufweist. Ferner kann eine unstrukturierte Folie aufgebracht werden, welche nachfolgend strukturiert wird, um die gewünschte Form der Lötstoppbeschichtung 170 bereitzustellen. Hierbei kann eine der vorgenannten Vorgehensweisen, zum Beispiel Belichten und Entwickeln, zur Anwendung kommen.

In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente 101 wird die Lötstoppbeschichtung 170 derart ausgebildet, dass sich die Gitterform über den in Figur 8 dargestellten Bereich hinaus fortsetzt, und somit jedes Bauelement 101 die gezeigte Ausgestaltung mit vier und in einer Reihe nebeneinander angeordneten Anschlussbereichen 121 erhält.

Der nach dem Aufbringen der Lötstoppbeschichtung 170 vorliegende Bauelementverbund wird anschließend vereinzelt. Bei

diesem Prozess erfolgt ein Durchtrennen des Gehäusematerials 160, der Leiterstruktur 110 und der Lötstoppbeschichtung 170 entlang von Trennlinien 190, wie in den Figuren 6 und 8 angedeutet ist. Das Durchtrennen kann zum Beispiel mit Hilfe eines Sägeprozesses durchgeführt werden. Hierdurch werden separate Multichip-Bauelemente 101 bereitgestellt, welche im Querschnitt den in Figur 4 gezeigten Aufbau besitzen. Ergänzend sind in Figur 7 eine Vorderseitenansicht, und in Figur 9 eine Rückseitenansicht eines vereinzelter Bauelements 101 dargestellt. Die in dem Verbund noch mehreren Bauelementen 101 zugeordneten Leiterabschnitte 111 werden bei dem Vereinzelnd durchtrennt, und erhalten dadurch ihre endgültige, in den Figuren 7 und 9 gezeigte Form.

Das in dieser Art und Weise hergestellte Multichip-Bauelement 101 weist drei Halbleiterchips 150 und eine Leiterstruktur 110 umfassend vier separate Leiterabschnitte 111 mit jeweils einer rückseitigen Anschlussfläche 121 auf. Auf drei Leiterabschnitten 111 ist jeweils ein Halbleiterchip 150 bzw. Chipstapel aus Halbleiterchip 150 und Konversionselement 155 angeordnet. Mit Hilfe der Leiterabschnitte 111 und der Bonddrähte 157, welche jeweils an einen Vorderseitenkontakt eines Halbleiterchips 150 und an einen benachbarten Leiterabschnitt 111 angeschlossen sind, sind die Halbleiterchips 150 elektrisch in Reihe verbunden. Ein in Bezug auf die Reihe der Leiterabschnitte 111 außen liegender, in den Figuren 4 und 7 rechts angeordneter Leiterabschnitt 111 trägt keinen Halbleiterchip 150, und ist über einen Bonddraht 157 an einen Vorderseitenkontakt eines auf einem benachbarten Leiterabschnitt 111 angeordneten Halbleiterchips 150 angeschlossen.

Das Multichip-Bauelement 101 ist für eine Oberflächenmontage (SMT, Surface Mounting Technology) durch Löten geeignet. Hierbei können die vier Anschlussflächen 121 des Bauelements 101 über ein Lotmittel elektrisch mit Anschlussflächen einer weiteren Vorrichtung, zum Beispiel einer Leiterplatte, verbunden werden (nicht dargestellt).

Über die beiden äußeren Anschlussflächen 121 kann dem Multichip-Bauelement 101 und damit den Halbleiterchips 150 elektrische Energie zur Strahlungserzeugung zugeführt werden. Wie oben angegeben wurde, kann die Primärstrahlung der Halbleiterchips 150 wenigstens teilweise mit Hilfe der Konversionselemente 155 konvertiert werden. Die konvertierte Strahlung einschließlich eines gegebenenfalls vorhandenen nicht konvertierten Strahlungsanteils kann von den freiliegenden Vorderseiten der Konversionselemente 155 emittiert werden. Die beiden innen liegenden Anschlussflächen 121 können zur mechanischen Befestigung und Entwärmung des Bauelements 101 genutzt werden.

Die Lötstoppbeschichtung 170 sorgt für eine Trennung und damit für eine zuverlässige elektrische Isolation der Anschlussflächen 121, welche aufgrund der Lötstoppbeschichtung 170 einen relativ großen Abstand zueinander aufweisen können. Wie oben angegeben wurde, kann der Abstand im Bereich von 300µm liegen. Infolgedessen kann bei einer Oberflächenmontage des Multichip-Bauelements 101 zuverlässig verhindert werden, dass mehrere Anschlussflächen 121 in gemeinsamer Weise mit einem Lotmittel benetzt und dadurch kurzgeschlossen werden.

Die Halbleiterchips 150 weisen im Gegensatz dazu einen kleineren Abstand, zum Beispiel wie oben angegeben im Bereich von 50µm auf. Dies gilt daher in entsprechender Weise für die auf den Halbleiterchips 150 angeordneten Konversionselemente 155, von deren Vorderseiten die Strahlung im Betrieb des Bauelements 101 abgegeben wird. Aufgrund der kleinen Abstände ist eine Strahlungsemission mit einer hohen Homogenität möglich.

Weitere Vorteile ergeben sich aufgrund der Verwendung der metallischen Ausgangsschicht 130, welche erst nach der Chipmontage und dem Aufbringen des Gehäusematerials 160 in die Leiterstruktur 110 strukturiert wird. Auf diese Weise ist eine zuverlässige Chipmontage möglich, und kann eine rückseitige Verunreinigung der Anschlussflächen 121 mit Gehäusematerial 160 beim Aufbringen desselben vermieden werden.

Darüber hinaus ist die Möglichkeit gegeben, eine Ausgangsschicht 130 mit einer relativ kleinen Schichtdicke einzusetzen. Denkbar ist zum Beispiel eine Dicke von weniger als 150µm, zum Beispiel von 100µm. Hierbei kann die Ausgangsschicht 130 eine Folie sein. Bei einem Anordnen der Halbleiterchips 150 auf der Ausgangsschicht 130 durch Löten kann mit Hilfe der kleinen Schichtdicke ein Auftreten von mechanischem Stress, bedingt durch unterschiedliche Wärmeausdehnungskoeffizienten der Halbleiterchips 150 und der Ausgangsschicht 130, klein gehalten werden. Auf diese Weise kann eine nach dem Lötprozess gegebenenfalls vorliegende Durchbiegung der Halbleiterchips 150 (Chip Warpage) möglichst klein bzw. vernachlässigbar sein. Infolgedessen besteht nur eine geringe Gefahr eines Ablösens der Konversionselemente 155 von den Halbleiterchips 150 und einer hiermit verbundenen Farbortverschiebung (Colour Shift).

Im Folgenden werden mögliche Varianten und Abwandlungen des anhand der Figuren 1 bis 9 erläuterten Verfahrens beschrieben. Übereinstimmende Verfahrensschritte und Merkmale sowie gleiche und gleich wirkende Komponenten werden im Folgenden nicht erneut detailliert beschrieben. Für Details hierzu wird stattdessen auf die vorstehende Beschreibung Bezug genommen. Des Weiteren können Aspekte und Details, welche in Bezug auf eine Verfahrensvariante genannt werden, auch in Bezug auf eine andere Verfahrensvariante zur Anwendung kommen und können Merkmale von zwei oder mehreren Ausgestaltungen miteinander kombiniert werden.

Eine mögliche Abwandlung besteht zum Beispiel darin, durch das Erzeugen der die Ausgangsschicht 130 durchtrennenden Aussparungen 135 separate Leiterabschnitte 111 auszubilden, welche in Bezug auf die verbundweise Fertigung von mehreren Multichip-Bauelementen 101 nicht mehreren Bauelementen 101, sondern lediglich den einzelnen Bauelementen 101 zugeordnet sind. Hierbei können die Aussparungen 135 in Form einer zusammenhängenden Gitterstruktur in Bereichen neben bzw. zwi-

schen den Halbleiterchips 150 erzeugt werden. Die Lötstoppbeschichtung 170 kann hierauf abgestimmt im Bereich der Aussparungen 135 auf der Rückseite der betreffenden Chipanordnung ausgebildet werden.

5

In einer weiteren Abwandlung kann ein Multichip-Bauelement mit einer anderen Anzahl an Halbleiterchips 150 bzw. Chipstapeln gefertigt werden. Dies ist zum Beispiel der Fall bei den anhand der folgenden Figuren erläuterten Verfahrensabläufen, bei welchen Multichip-Bauelemente mit zwei statt drei Halbleiterchips 150 hergestellt werden. Die hier beschriebenen Verfahren können ferner derart durchgeführt werden, dass Multichip-Bauelemente mit einer größeren Anzahl an Halbleiterchips 150 ausgebildet werden.

15

In einer weiteren Abwandlung kommt eine strukturierte metallische Ausgangsschicht 130 mit Vertiefungen zum Einsatz. Ein in diesem Sinne durchgeführter Verfahrensablauf zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements 102 ist anhand von seitlichen Schnittdarstellungen in den Figuren 10 bis 12 gezeigt. Hierbei wird eine Ausgangsschicht 130 mit rückseitigen Vertiefungen 131 bereitgestellt, und wird die Ausgangsschicht 130 anschließend, wie in Figur 10 gezeigt ist, vorderseitig mit Chipstapeln umfassend einen Halbleiterchip 150 und ein Konversionselement 155 sowie mit einem die Chipstapel umschließenden Gehäusematerial 160 versehen.

Die Vertiefungen 131 können durch einen Ätzprozess unter Verwendung einer auf der Ausgangsschicht 130 ausgebildeten Ätz- bzw. Photolackmaske hergestellt werden. Die Vertiefungen 131 können eine Tiefe etwa halb so groß wie eine Dicke der Ausgangsschicht 130 aufweisen, und somit Halbätzungen darstellen. Bei einer Dicke der Ausgangsschicht 130 von 100µm kann die Ausgangsschicht 130 im Bereich der Vertiefungen 131 eine Materialstärke von ca. 50µm aufweisen.

Die Vertiefungen 131 können, wie später erzeugte Aussparungen 135, in einer Richtung parallel zueinander verlaufend ausge-

bildet werden, also senkrecht zur Zeichenebene der Figuren 10 bis 12. In Bezug auf eine verbundweise Herstellung mehrerer Multichip-Bauelemente 102 können sich die Vertiefungen 131, wie auch die später ausgebildeten Aussparungen 135, über die Bereiche von mehreren der herzustellenden Bauelemente 102 erstrecken.

Die Chipmontage auf der mit den Vertiefungen 131 bereitgestellten Ausgangsschicht 130 erfolgt derart, dass die Ausgangsschicht 130 in Bereichen zwischen Vertiefungen 131 mit den Halbleiterchips 150 bestückt wird. Wie in Figur 10 gezeigt ist, können die Halbleiterchips 150 die betreffenden Vertiefungen 131 am Rand zum Teil überlappen. Ferner werden nicht gezeigte Bonddrähte an die Ausgangsschicht 130 und an Vorderseitenkontakte der Halbleiterchips 150 angeschlossen. Nach der Chipmontage kann, von oben betrachtet, eine zu Figur 5 vergleichbare Anordnung mit zwei Chipstapeln vorliegen.

In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente 102 werden für jedes Bauelement 102 zwei Chipstapel auf der Ausgangsschicht 130 bereitgestellt. Anschließend wird das für sämtliche Bauelemente 102 vorgesehene Gehäusematerial 160 auf der Ausgangsschicht 130 aufgebracht.

Nach dem Aufbringen des Gehäusematerials 160 werden an der Rückseite der betreffenden Chipanordnung, wie in Figur 11 gezeigt ist, Aussparungen 135 erzeugt, welche die Ausgangsschicht 130 durchtrennen. Auf diese Weise wird eine Leiterstruktur 110 mit mehreren Leiterabschnitten 111 bereitgestellt. Die Aussparungen 135 können in einer Richtung parallel zueinander und in Bereichen neben bzw. zwischen den Halbleiterchips 150 verlaufen. Das Ausbilden der Aussparungen 135 erfolgt im Bereich von Vertiefungen 131 der Ausgangsschicht 130, wodurch sich dieser Schritt einfach und schnell durchführen lässt. Die Aussparungen 135 werden mit einer gegenüber den Vertiefungen 131 geringeren Breite ausgebildet. Auch können die Aussparungen 135, wie in Figur 11 gezeigt ist, jeweils in der Mitte der zugehörigen Vertiefungen 131 ausgebil-

det werden. Die durch das Erzeugen der Aussparungen 131 gebildeten Leiterabschnitte 111 können zunächst noch mehreren Bauelementen 102 zugeordnet sein.

5 Die nach dem Erzeugen der Aussparungen 135 vorliegende Chipanordnung wird anschließend auf der Rückseite, wie in Figur 12 gezeigt ist, mit einer Lötstoppbeschichtung 170 versehen. Die Lötstoppbeschichtung 170 kann eine Gitterform aufweisen, und in einer Rückseitenansicht freiliegende Anschlussbereiche
10 121 der Leiterabschnitte 111 der Leiterstruktur 110 umschließen. Für das Multichip-Bauelement 102 ist eine Ausgestaltung mit drei und in einer Reihe nebeneinander angeordneten Anschlussbereichen 121 vorgesehen. Von unten betrachtet kann in diesem Sinne eine zu Figur 8 vergleichbare Struktur mit drei
15 Anschlussbereichen 121 vorliegen.

Die Lötstoppbeschichtung 170 wird im Bereich der Vertiefungen 131 und Aussparungen 135 ausgebildet, so dass diese, wie in Figur 12 gezeigt ist, mit der Lötstoppbeschichtung 170 ver-
20 füllt werden. An diesen Stellen kann die Lötstoppbeschichtung 170 bündig mit den Anschlussflächen 121 abschließen. Aufgrund der Gitterform kann ein Aufbringen der Lötstoppbeschichtung 170 auf der Leiterstruktur 110 auch in anderen Bereichen außerhalb und zwischen den Vertiefungen 131 und Aussparungen
25 135 erfolgen. Die Lötstoppbeschichtung 170 bedeckt einen Teil der Leiterstruktur 110, so dass mit Hilfe der Lötstoppbeschichtung 170 Formen und Abstände der rückseitigen Anschlussbereiche 121 festgelegt werden. Wie in Figur 12 gezeigt ist, können Abstände zwischen den Anschlussbereichen
30 121 verwirklicht werden, welche größer sind als Abstände zwischen den Halbleiterchips 150.

In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente 102 kann die Lötstoppbeschichtung 170 sich über
35 sämtliche herzustellenden Bauelemente 102 erstreckend ausgebildet werden, so dass jedes Bauelement 102 eine Ausgestaltung mit drei Anschlussbereichen 121 erhält. Des Weiteren wird der nach dem Aufbringen der Lötstoppbeschichtung 170

vorliegende Bauelementverbund vereinzelt, wodurch separate Multichip-Bauelemente 102 mit dem in Figur 12 gezeigten Aufbau bereitgestellt werden. Die in dem Verbund noch mehreren Bauelementen 102 zugeordneten Leiterabschnitte 111 können bei
5 dem Vereinzeln durchtrennt werden.

Das auf diese Weise hergestellte Multichip-Bauelement 102 weist zwei Halbleiterchips 150 und eine Leiterstruktur 110 umfassend drei separate Leiterabschnitte 111 mit jeweils einer rückseitigen Anschlussfläche 121 auf. Von oben betrachtet kann eine zu Figur 7, und von unten betrachtet eine zu Figur 9 vergleichbare Struktur vorliegen. Bei dem Bauelement 102 ist auf zwei Leiterabschnitten 111 jeweils ein Halbleiterchip 150 bzw. Chipstapel angeordnet. Mit Hilfe der Leiterabschnitte 111 und der in Figur 12 nicht gezeigten Bonddrähte, welche
10 jeweils an einen Vorderseitenkontakt eines Halbleiterchips 150 und an einen benachbarten Leiterabschnitt 111 angeschlossen sind, sind die Halbleiterchips 150 elektrisch in Reihe geschaltet. Ein außen liegender, in Figur 12 rechts angeordneter Leiterabschnitt 111 trägt keinen Halbleiterchip 150 und
15 ist über einen Bonddraht an einen Vorderseitenkontakt eines auf einem benachbarten Leiterabschnitt 111 angeordneten Halbleiterchips 150 angeschlossen.

25 In einer Abwandlung des zuvor erläuterten Verfahrensablaufs kann die Lötstoppbeschichtung 170 derart ausgebildet werden, dass sich die Lötstoppbeschichtung 170 im Bereich der Vertiefungen 131 abweichend von Figur 12 auch seitlich der Vertiefungen 131 auf der Leiterstruktur 110 befindet.

30 Eine weitere Abwandlung besteht darin, die Aussparungen 135 in Form einer zusammenhängenden Gitterstruktur zu erzeugen, so dass in Bezug auf die verbundweise Fertigung von mehreren Multichip-Bauelementen 102 separate und den einzelnen Bauelementen 102 zugeordnete Leiterabschnitte 111 gebildet werden.
35 Für die Vertiefungen 131 kann eine Ausgestaltung in Form einer entsprechenden Gitterstruktur vorgesehen werden, wodurch die Aussparungen 135 auf einfache Weise im Bereich von Ver-

tiefungen 131 erzeugt werden können. Die Lötstoppbeschichtung 170 kann hierauf abgestimmt im Bereich der Vertiefungen 131 und Aussparungen 135 auf der Rückseite der betreffenden Chipanordnung ausgebildet werden.

5

Die Figuren 13 bis 15 zeigen anhand von seitlichen Schnittdarstellungen einen weiteren Verfahrensablauf zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements 103. Hierbei wird eine metallische Ausgangsschicht 130 mit vorderseitigen Vertiefungen 132 bereitgestellt, und wird die Ausgangsschicht 130 nachfolgend, wie in Figur 13 gezeigt ist, vorderseitig mit Chipstapeln umfassend einen Halbleiterchip 150 und ein Konversionselement 155 sowie mit einem die Chipstapel umschließenden Gehäusematerial 160 versehen.

10

15

Die vorderseitigen Vertiefungen 132 können durch einen Ätzprozess unter Verwendung einer auf der Ausgangsschicht 130 ausgebildeten Ätzmaske hergestellt werden, und können Halbätzungen sein. Bei einer Dicke der Ausgangsschicht 130 von 100µm kann die Ausgangsschicht 130 im Bereich der Vertiefungen 132 eine Materialstärke von 50µm aufweisen. Ferner können die Vertiefungen 132, wie später erzeugte Aussparungen 135, in einer Richtung parallel zueinander verlaufend ausgebildet werden, also senkrecht zur Zeichenebene der Figuren 13 bis 15. In Bezug auf eine verbundweise Herstellung mehrerer Multichip-Bauelemente 103 können sich die Vertiefungen 132, wie auch die später ausgebildeten Aussparungen 135, über die Bereiche von mehreren der herzustellenden Bauelemente 103 erstrecken.

20

25

30

Die Chipmontage auf der Ausgangsschicht 130 mit den Vertiefungen 132 erfolgt derart, dass die Ausgangsschicht 130 in Bereichen zwischen Vertiefungen 132 mit den Halbleiterchips 150 bestückt wird. Wie in Figur 13 gezeigt ist, können die Halbleiterchips 150 die betreffenden Vertiefungen 132 am Rand zum Teil überlappen. Ferner werden nicht gezeigte Bonddrähte an die Ausgangsschicht 130 und an Vorderseitenkontakte der Halbleiterchips 150 angeschlossen. Nach der Chipmontage kann,

35

von oben betrachtet, eine zu Figur 5 vergleichbare Anordnung mit zwei Chipstapeln vorliegen.

5 In Bezug auf die verbundweise Fertigung werden vor dem Aufbringen des Gehäusematerials 160 für jedes herzustellende Bauelement 103 zwei Chipstapel auf der Ausgangsschicht 130 bereitgestellt.

10 Nachfolgend werden an der Rückseite der Chipanordnung, wie in Figur 14 gezeigt ist, Aussparungen 135 erzeugt, welche die Ausgangsschicht 130 durchtrennen. Auf diese Weise wird eine Leiterstruktur 110 mit mehreren Leiterabschnitten 111 bereitgestellt. Die Aussparungen 135 können in einer Richtung parallel zueinander und in Bereichen neben bzw. zwischen den
15 Halbleiterchips 150 verlaufen. Die Aussparungen 135 werden auf einfache Weise im Bereich von Vertiefungen 132 der Ausgangsschicht 130, und mit einer gegenüber den Vertiefungen 132 geringeren Breite ausgebildet. Die Aussparungen 135 können mit einer Breite gefertigt werden, welche den Chip-zu-
20 Chip-Abstand übersteigt. Auch können die Aussparungen 135, wie in Figur 11 gezeigt ist, mittig in Bezug auf die zugehörigen Vertiefungen 132 ausgebildet werden. Die durch das Erzeugen der Aussparungen 135 gebildeten Leiterabschnitte 111 können zunächst noch mehreren Bauelementen 103 zugeordnet
25 sein.

Anschließend wird auf der Rückseite der Chipanordnung, wie in Figur 15 gezeigt ist, eine Lötstoppbeschichtung 170 ausgebildet. Die Lötstoppbeschichtung 170 kann eine Gitterform auf-
30 weisen, und in einer Rückseitenansicht freiliegende Anschlussbereiche 121 der Leiterabschnitte 111 der Leiterstruktur 110 umschließen. Für das Multichip-Bauelement 103 ist eine Ausgestaltung mit drei und in einer Reihe nebeneinander angeordneten Anschlussbereichen 121 vorgesehen. Von unten be-
35 trachtet kann in diesem Sinne eine zu Figur 8 vergleichbare Struktur mit drei Anschlussbereichen 121 vorliegen.

Die Lötstoppbeschichtung 170 wird im Bereich der Aussparungen 135 ausgebildet, so dass diese mit der Lötstoppbeschichtung 170 verfüllt werden. Die Leiterstruktur 110 wird auch seitlich der Aussparungen 135, sowie in Bereichen außerhalb und
5 zwischen den Aussparungen 135, mit der Lötstoppbeschichtung 170 bedeckt. Mit Hilfe der die Leiterstruktur 110 zum Teil bedeckenden Lötstoppbeschichtung 170 werden Formen und Abstände der rückseitigen Anschlussbereiche 121 festgelegt. Wie in Figur 15 gezeigt ist, können Abstände zwischen den An-
10 schlussbereichen 121 verwirklicht werden, welche größer sind als Abstände zwischen den Halbleiterchips 150.

In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente 103 kann die Lötstoppbeschichtung 170 sich über
15 sämtliche herzustellenden Bauelemente 103 erstreckend ausgebildet werden. Anschließend wird der Bauelementverbund einzeln, wodurch separate Multichip-Bauelemente 103 mit dem in Figur 15 gezeigten Aufbau bereitgestellt werden. Die in dem Verbund noch mehreren Bauelementen 103 zugeordneten Leiterabschnitte 111 können bei diesem Vorgang durchtrennt werden.
20

Das auf diese Weise hergestellte Multichip-Bauelement 103 weist wie das zuvor erläuterte Bauelement 102 zwei Halb-
25 leiterchips 150 und eine Leiterstruktur 110 umfassend drei separate Leiterabschnitte 111 mit jeweils einer rückseitigen Anschlussfläche 121 auf. Von oben betrachtet kann eine zu Figur 7, und von unten betrachtet eine zu Figur 9 vergleichbare Struktur vorliegen. Die Halbleiterchips 150 sind mit Hilfe
30 der Leiterabschnitte 111 und der in Figur 15 nicht gezeigten Bonddrähte elektrisch in Reihe geschaltet.

Eine mögliche Abwandlung des zuvor erläuterten Verfahrensablaufs besteht darin, die Aussparungen 135 in Form einer zusammenhängenden Gitterstruktur zu erzeugen, so dass in Bezug
35 auf die verbundweise Fertigung von mehreren Multichip-Bauelementen 103 separate und den einzelnen Bauelementen 103 zugeordnete Leiterabschnitte 111 gebildet werden. Für die

Vertiefungen 132 kann eine Ausgestaltung in Form einer entsprechenden Gitterstruktur vorgesehen werden, wodurch die Aussparungen 135 im Bereich von Vertiefungen 132 erzeugt werden können. Die Lötstopppbeschichtung 170 kann hierauf abgestimmt im Bereich der Aussparungen 135 auf der Rückseite der betreffenden Chipanordnung ausgebildet werden.

Die Figuren 16 und 17 zeigen anhand von seitlichen Schnittdarstellungen einen weiteren Verfahrensablauf zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements 104. Hierbei wird ein strukturierter metallischer Leiterraahmen 140 bereitgestellt, welcher anschließend, wie in Figur 16 gezeigt ist, vorderseitig mit Chipstapeln umfassend einen Halbleiterchip 150 und ein Konversionselement 155 und mit einem die Chipstapel umschließenden Gehäusematerial 160 versehen wird.

Der Leiterraahmen 140 bildet bereits eine entsprechende Leiterstruktur 110 der in Figur 16 gezeigten Chipanordnung. Der Leiterraahmen 140 weist Leiterabschnitte 111 und die Leiterabschnitte 111 verbindende Verbindungsstege 115 auf. In Bezug auf eine verbundweise Herstellung mehrerer Multichip-Bauelemente 104 weist der Leiterraahmen 140 für jedes Bauelement 104 drei und in einer Reihe nebeneinander angeordnete Leiterabschnitte 111 auf, wobei jeweils zwei der Leiterabschnitte 111 mit einem Chipstapel bestückt werden. Lediglich die Leiterabschnitte 111 verschiedener zu fertigender Bauelemente 104 sind über die Verbindungsstege 115 verbunden.

Im Rahmen der Chipmontage werden Halbleiterchips 150 mit deren Rückseitenkontakten auf Leiterabschnitten 111 angeordnet, zum Beispiel durch Löten oder Aufkleben. Ferner erfolgt ein Anschließen von nicht dargestellten Bonddrähten an Vorderseitenkontakte der Halbleiterchips 150 und an Leiterabschnitte 111 benachbart zu den die Halbleiterchips 150 tragenden Leiterabschnitten 111, so dass für jedes Bauelement 104 eine zu Figur 7 vergleichbare Reihenverbindung von zwei Halbleiterchips 150 verwirklicht werden kann. Vor oder nach dem An-

schließen der Bonddrähte werden Konversionselemente 155 auf den Halbleiterchips 150 angeordnet.

Das nachfolgende Aufbringen des Gehäusematerials 160 kann durch einen Spritzpressprozess durchgeführt werden. Hierbei wird der mit den Chipstapeln versehene Leiterrahmen 140 in einem entsprechenden Spritzpresswerkzeug aufgenommen und mit dem Gehäusematerial 160 derart umspritzt, dass das Gehäusematerial 160 die Chipstapel bis zu deren Vorderseiten reichend umschließt. Das Gehäusematerial 160 wird auch in Bereichen seitlich der Leiterabschnitte 111 und zwischen den Leiterabschnitten 111 angeordnet. Es kann ein folienunterstützter Spritzpressprozess durchgeführt werden, bei welchem ein Werkzeugteil mit einer Folie an die Chipstapel angedrückt wird.

Die nach dem Aufbringen des Gehäusematerials 160 vorliegende Chipanordnung wird anschließend auf der Rückseite, wie in Figur 17 gezeigt ist, mit einer Lötstoppbeschichtung 170 versehen. Dies erfolgt derart, dass der Leiterrahmen 140 bzw. die Leiterabschnitte 111 zum Teil mit der Lötstoppbeschichtung 170 bedeckt werden. Die Lötstoppbeschichtung 170 kann eine Gitterform aufweisen und in einer Rückseitenansicht jeweils einen freiliegenden Anschlussbereich 121 von jedem der Leiterabschnitte 111 umschließen. Für das Multichip-Bauelement 104 ist eine Ausgestaltung mit drei und in einer Reihe nebeneinander angeordneten Anschlussbereichen 121 vorgesehen.

Die Lötstoppbeschichtung 170 bedeckt einen Teil des Leiterrahmens 140, so dass mit Hilfe der Lötstoppbeschichtung 170 Formen und Abstände der rückseitigen Anschlussbereiche 121 festgelegt werden. Wie in Figur 17 gezeigt ist, können Abstände zwischen den Anschlussbereichen 121 verwirklicht werden, welche größer sind als Abstände zwischen den Halbleiterchips 150.

In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente 104 kann die Lötstoppbeschichtung 170 sich über sämtliche herzustellenden Bauelemente 104 erstreckend ausge-

bildet werden, so dass jedes Bauelement 104 eine Ausgestaltung mit drei Anschlussbereichen 121 erhält. Des Weiteren wird der nach dem Aufbringen der Lötstoppbeschichtung 170 vorliegende Bauelementverbund vereinzelt, wodurch separate
5 Multichip-Bauelemente 104 mit dem in Figur 17 gezeigten Aufbau bereitgestellt werden. Im Rahmen des Vereinzeln des Bauelementverbunds werden die Verbindungsstege 115 des Leiterrahmens 140 durchtrennt, so dass die Leiterabschnitte 111 der einzelnen Bauelemente 104 nicht mehr durch Material des Leiterrahmens 140 verbunden und dadurch nicht mehr kurzgeschlossen
10 sind.

Das auf diese Weise hergestellte Multichip-Bauelement 104 weist vergleichbar zu den zuvor erläuterten Bauelementen 102,
15 103 zwei Halbleiterchips 150 und drei separate Leiterabschnitte 111 mit jeweils einer rückseitigen Anschlussfläche 121 auf, wobei auf zwei Leiterabschnitten 111 jeweils ein Halbleiterchip 150 angeordnet ist. Mit Hilfe der Leiterabschnitte 111 und der in Figur 17 nicht gezeigten Bonddrähte,
20 welche jeweils an einen Vorderseitenkontakt eines Halbleiterchips 150 und an einen benachbarten Leiterabschnitt 111 angeschlossen sind, sind die Halbleiterchips 150 elektrisch in Reihe verbunden.

25 Die Figuren 18 und 19 zeigen anhand von seitlichen Schnittdarstellungen einen weiteren Verfahrensablauf zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements 105. Hierbei wird, vergleichbar zu dem Verfahrensablauf der Figuren 1 bis 4, eine metallische Ausgangsschicht 130 bereitgestellt, welche anschließend, wie in Figur 18 gezeigt ist,
30 vorderseitig mit Chipstapeln umfassend einen Halbleiterchip 150 und ein Konversionselement 155 und mit einem die Chipstapel umschließenden Gehäusematerial 160 versehen wird. Im Rahmen der Chipmontage werden nicht gezeigte Bonddrähte an die
35 Ausgangsschicht 130 und an Vorderseitenkontakte der Halbleiterchips 150 angeschlossen. Nach der Chipmontage kann, von oben betrachtet, eine zu Figur 5 vergleichbare Anordnung mit zwei Chipstapeln vorliegen. In Bezug auf eine verbindungsweise

Fertigung mehrere Multichip-Bauelemente 105 werden für jedes Bauelement 105 zwei Chipstapel auf der Ausgangsschicht 130 bereitgestellt.

5 Nachfolgend werden an der Rückseite, wie ebenfalls in Figur 18 gezeigt ist, Aussparungen 136 ausgebildet, welche die Ausgangsschicht 130 durchtrennen. Auf diese Weise wird eine Leiterstruktur 110 mit mehreren Leiterabschnitten 111 bereitgestellt. Die Aussparungen 136 können in einer Richtung parallel zueinander und in Bereichen neben bzw. zwischen den Halbleiterchips 150 verlaufen. Die Aussparungen 136 können durch rückseitiges Ätzen unter Verwendung einer zuvor auf der Ausgangsschicht 130 ausgebildeten Ätzmaske erzeugt werden. Die durch das Erzeugen der Aussparungen 136 gebildeten Leiterabschnitte 111 können zunächst noch mehreren Bauelementen 103 zugeordnet sein.

Die Aussparungen 136 werden mit einer gegenüber den Aussparungen 135 größeren Breite ausgebildet. Auch erfolgt dieser Schritt derart, dass die Rückseiten von Halbleiterchips 150, wie in Figur 16 gezeigt ist, am Rand zum Teil freigestellt werden.

Anschließend wird auf der Rückseite der Chipanordnung, wie in Figur 19 gezeigt ist, eine Lötstoppbeschichtung 170 ausgebildet. Die Lötstoppbeschichtung 170 wird im Bereich der Aussparungen 136 ausgebildet, so dass die Aussparungen 136 mit der Lötstoppbeschichtung 170 verfüllt und die zuvor freiliegenden rückseitigen Teilbereiche der Halbleiterchips 150 abgedeckt werden. Die Lötstoppbeschichtung 170 bewirkt eine Trennung von rückseitigen Anschlussbereichen 121 der Leiterabschnitte 111 der Leiterstruktur 110. Hierbei können die Abstände der Anschlussbereiche 121, zumindest in dem in Figur 19 gezeigten Querschnitt, in welchem die Lötstoppbeschichtung 170 lediglich innerhalb der Aussparungen 136 angeordnet ist, durch die rückgeätzten Aussparungen 136 definiert sein.

Die Lötstoppbeschichtung 170 kann eine Gitterform aufweisen, so dass die Anschlussbereiche 121 in einer Rückseitenansicht von der Lötstoppbeschichtung 170 umschlossen sein können.

Hierbei kann die Lötstoppbeschichtung 170 stellenweise auch außerhalb der Aussparungen 136 auf der Leiterstruktur 110 angeordnet sein. Für das Multichip-Bauelement 105 ist eine Ausgestaltung mit drei und in einer Reihe nebeneinander angeordneten Anschlussbereichen 121 vorgesehen. In diesem Sinne kann von unten betrachtet eine zu Figur 8 vergleichbare Struktur vorliegen.

In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente 105 kann die Lötstoppbeschichtung 170 sich über sämtliche herzustellenden Bauelemente 105 erstreckend ausgebildet werden. Anschließend wird der Bauelementverbund vereinzelt, wodurch separate Multichip-Bauelemente 105 mit dem in Figur 19 gezeigten Aufbau bereitgestellt werden. Die in dem Verbund noch mehreren Bauelementen 105 zugeordneten Leiterabschnitte 111 können bei diesem Vorgang durchtrennt werden.

Das auf diese Weise hergestellte Multichip-Bauelement 105 weist zwei Halbleiterchips 150 und eine Leiterstruktur 110 umfassend drei separate Leiterabschnitte 111 mit jeweils einer rückseitigen Anschlussfläche 121 auf. Von oben betrachtet kann eine zu Figur 7, und von unten betrachtet eine zu Figur 9 vergleichbare Struktur vorliegen. Die Halbleiterchips 150 sind mit Hilfe der Leiterabschnitte 111 und der in Figur 19 nicht gezeigten Bonddrähte elektrisch in Reihe geschaltet.

Eine mögliche Abwandlung des zuvor erläuterten Verfahrensablaufs besteht darin, die Aussparungen 136 in Form einer zusammenhängenden Gitterstruktur zu erzeugen, so dass in Bezug auf die verbundweise Fertigung von mehreren Multichip-Bauelementen 105 separate und den einzelnen Bauelementen 105 zugeordnete Leiterabschnitte 111 gebildet werden. Die Lötstoppbeschichtung 170 kann hierauf abgestimmt im Bereich der Aussparungen 136 bzw. lediglich innerhalb der Aussparungen

136 auf der Rückseite der betreffenden Chipanordnung ausgebildet werden.

Die anhand der Figuren erläuterten Ausführungsformen stellen
5 bevorzugte bzw. beispielhafte Ausführungsformen der Erfindung dar. Neben den beschriebenen und abgebildeten Ausführungsformen sind weitere Ausführungsformen vorstellbar, welche weitere Abwandlungen und/oder Kombinationen von Merkmalen umfassen können. Es ist zum Beispiel möglich, anstelle der oben angegebenen Materialien andere Materialien zu verwenden.
10

Eine weitere Variante besteht zum Beispiel darin, anstelle einer gitterförmigen Lötstoppbeschichtung 170 eine Lötstoppbeschichtung 170 auf der Rückseite einer bereitgestellten
15 Chipanordnung auszubilden, welche mehrere separate Teilabschnitte aufweist. In Bezug auf den anhand der Figuren 1 bis 9 erläuterten Verfahrensablauf kann die Lötstoppbeschichtung 170 zum Beispiel in Form von streifenförmigen und in einer Richtung parallel zueinander verlaufenden Teilabschnitten
20 verwirklicht werden. Die Teilabschnitte der Lötstoppbeschichtung 170 können, abgestimmt auf die parallel verlaufenden Aussparungen 135, im Bereich der Aussparungen 135 ausgebildet werden. In Bezug auf eine verbundweise Herstellung mehrerer Multichip-Bauelemente können sich die Teilabschnitte der Lötstoppbeschichtung 170 über mehrere Bauelemente erstrecken,
25 und können die Teilabschnitte beim Vereinzeln durchtrennt werden. Ein auf diese Weise hergestelltes Multichip-Bauelement kann eine separate Teilabschnitte umfassende Lötstoppbeschichtung 170 aufweisen, wobei die Teilabschnitte der
30 Lötstoppbeschichtung 170 zwischen rückseitigen Anschlussbereichen 121 angeordnet sind und diese trennen.

Die vorgenannte Abwandlung kann in entsprechender Weise für die anhand der anderen Figuren erläuterten Verfahrensabläufe
35 zur Anwendung kommen. In Bezug auf das Verfahren der Figuren 18 und 19 können solche Teilabschnitte der Lötstoppbeschichtung 170 lediglich innerhalb der Aussparungen 136 ausgebildet werden, um die Aussparungen 136 zu verfüllen.

In einer weiteren Variante kann ein Aufbringen eines Gehäusematerials 160 auf einer mit Chipstapeln versehenen Ausgangsschicht 130 durch Vergießen erfolgen. In dieser Ausgestaltung
5 kann das Gehäusematerial 160 als Vergussmaterial 160 bezeichnet werden. Hierbei kann vor oder nach der Chipmontage ein Rahmen auf der Ausgangsschicht 130 ausgebildet werden, und kann der von dem Rahmen umschlossene Bereich durch Vergießen mit dem Vergussmaterial 160 verfüllt werden. Auf diese Weise
10 kann das Vergussmaterial 160 angrenzend an die Chipstapel und bis zu deren Vorderseiten reichend ausgebildet werden.

Des Weiteren können Multichip-Bauelemente mit von den Figuren und der vorhergehenden Beschreibung abweichenden Anzahlen,
15 geometrischen Anordnungen und/oder Formen von Anschlussbereichen 121 und Halbleiterchips 150 gefertigt werden.

Anstelle von Halbleiterchips 150 mit einem Vorderseitenkontakt und einem Rückseitenkontakt können andere Bauformen von
20 Halbleiterchips eingesetzt werden. Hierzu gehören Halbleiterchips mit lediglich Vorderseitenkontakten oder Halbleiterchips mit lediglich Rückseitenkontakten. Bei Verwendung solcher Halbleiterchips können hieran angepasste Leiterstrukturen 110 eingesetzt bzw. hergestellt werden.

25 Des Weiteren können neben strahlungsemittierenden Halbleiterchips andere Halbleiterchips, zum Beispiel strahlungsempfangende Halbleiterchips, verwendet werden. Auch ist es möglich, nicht nur optoelektronische Halbleiterchips, sondern andere
30 Typen von Halbleiterchips zu verwenden.

Eine weitere Variante ist eine Herstellung von Multichip-Bauelementen mit verschiedenen Chiptypen. Beispielsweise kann ein hybrides Multichip-Bauelement gefertigt werden, welches
35 (wenigstens) einen strahlungsemittierenden Halbleiterchip und (wenigstens) einen strahlungsempfangenden Halbleiterchip aufweist.

Obwohl die Erfindung im Detail durch bevorzugte Ausführungsbeispiele näher illustriert und beschrieben wurde, so ist die Erfindung nicht durch die offenbarten Beispiele eingeschränkt und andere Variationen können vom Fachmann hieraus abgeleitet werden, ohne den Schutzzumfang der Erfindung zu verlassen.

5

BEZUGSZEICHENLISTE

	101, 102	Bauelement
	103, 104	Bauelement
5	105	Bauelement
	110	Leiterstruktur
	111	Leiterabschnitt
	115	Verbindungssteg
	121	Anschlussbereich
10	130	Ausgangsschicht
	131, 132	Vertiefung
	135, 136	Aussparung
	140	Leiterrahmen
	150	Halbleiterchip
15	155	Konversionselement
	157	Bonddraht
	160	Gehäusematerial
	170	Lötstoppbeschichtung
	190	Trennlinie
20		

PATENTANSPRÜCHE

1. Verfahren zum Herstellen eines oberflächenmontierbaren
Multichip-Bauelements (101, 102, 103, 104, 105), umfas-
send:

Bereitstellen einer Chipanordnung, wobei die Chipanord-
nung eine an einer Rückseite freiliegende metallische
Leiterstruktur (110), mehrere Halbleiterchips (150) und
ein Gehäusematerial (160) aufweist; und

Ausbilden einer Lötstopppbeschichtung (170) auf der Rück-
seite der bereitgestellten Chipanordnung, wobei die Löt-
stopppbeschichtung (170) Anschlussbereiche (121) der Lei-
terstruktur (110) trennt.

2. Verfahren nach Anspruch 1,
wobei das Bereitstellen der Chipanordnung Folgendes um-
fasst:

Bereitstellen einer metallischen Ausgangsschicht (130);

Anordnen der Halbleiterchips (150) auf der Ausgangs-
schicht (130);

Aufbringen des Gehäusematerials (160) auf der Ausgangs-
schicht (130); und

Ausbilden der Leiterstruktur (110) nach dem Anordnen der
Halbleiterchips (150) und dem Aufbringen des Gehäusema-
terials (160) durch Erzeugen von die Ausgangsschicht
(130) durchtrennenden Aussparungen (135, 136).

3. Verfahren nach Anspruch 2,
wobei die bereitgestellte Ausgangsschicht (130) eine Di-
cke von weniger als 150µm aufweist.

4. Verfahren nach einem der Ansprüche 2 oder 3,
wobei die Rückseite der Chipanordnung bei dem Ausbilden
der Lötstoppbeschichtung (170) wenigstens im Bereich der
Aussparungen (135, 136) mit der Lötstoppbeschichtung
5 (170) bedeckt wird.
5. Verfahren nach einem der Ansprüche 2 bis 4,
wobei die bereitgestellte Ausgangsschicht (130) Vertiefungen (131, 132) an einer Vorderseite oder an einer
10 Rückseite aufweist.
6. Verfahren nach einem der Ansprüche 2 bis 5,
wobei Rückseiten von Halbleiterchips (150) in einem
Teilbereich durch das Erzeugen der Aussparungen (136)
15 freigestellt und nachfolgend mit der Lötstoppbeschichtung (170) bedeckt werden.
7. Verfahren nach Anspruch 1,
wobei das Bereitstellen der Chipanordnung Folgendes umfasst:
20 Bereitstellen eines metallischen Leiterrahmens (140),
welcher die Leiterstruktur (110) bildet;
- 25 Anordnen der Halbleiterchips (150) auf dem Leiterrahmen (140); und
- Aufbringen des Gehäusematerials (160) auf dem Leiterrahmen (140).
30
8. Verfahren nach einem der vorhergehenden Ansprüche,
wobei die Leiterstruktur (110) bei dem Ausbilden der
Lötstoppbeschichtung (170) zum Teil mit der Lötstoppbeschichtung (170) bedeckt wird.
35
9. Verfahren nach einem der vorhergehenden Ansprüche,
wobei die Lötstoppbeschichtung (170) mit einer die Anschlussbereiche (121) umschließenden Form ausgebildet

wird.

10. Verfahren nach einem der vorhergehenden Ansprüche,
wobei die Halbleiterchips (150) optoelektronische Halb-
5 leiterchips sind.
11. Verfahren nach einem der vorhergehenden Ansprüche,
wobei das Bereitstellen der Chipanordnung derart er-
folgt, dass das Gehäusematerial (160) auf der Lei-
10 terstruktur (110) angeordnet ist und an die Halbleiter-
chips (150) angrenzt.
12. Verfahren nach Anspruch 5,
wobei die Aussparungen (135, 136) zum Ausbilden der Lei-
15 terstruktur (110) im Bereich der Vertiefungen (131, 132)
erzeugt werden.
13. Verfahren nach einem der vorhergehenden Ansprüche,
wobei das Multichip-Bauelement derart hergestellt wird,
20 dass die Anschlussbereiche (121) einen Abstand von mehr
als 100µm und die Halbleiterchips (150) einen Abstand
von weniger als 100µm aufweisen.
14. Oberflächenmontierbares Multichip-Bauelement (101, 102,
25 103, 104, 105), aufweisend eine an einer Rückseite zu-
gängliche Leiterstruktur (110), mehrere Halbleiterchips
(150), ein Gehäusematerial (160) und eine an der Rück-
seite ausgebildete Lötstoppbeschichtung (170), wobei die
Lötstoppbeschichtung (170) Anschlussbereiche (121) der
30 Leiterstruktur (110) trennt.
15. Oberflächenmontierbares Multichip-Bauelement nach An-
spruch 14,
wobei die Anschlussbereiche (121) einen Abstand von mehr
35 als 100µm und die Halbleiterchips (150) einen Abstand
von weniger als 100µm aufweisen.

16. Oberflächenmontierbares Multichip-Bauelement nach einem der Ansprüche 14 oder 15,
wobei die Leiterstruktur (110) separate Leiterabschnitte (111) aufweist, zwischen welchen sich Aussparungen (135, 136) befinden, und wobei die Aussparungen (135, 136) im Bereich von Vertiefungen (131, 132) der Leiterstruktur (110) ausgebildet sind.

10

15

20

FIG 1

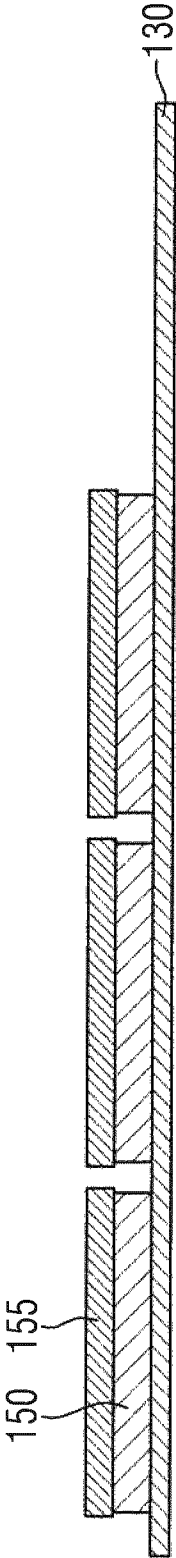


FIG 2

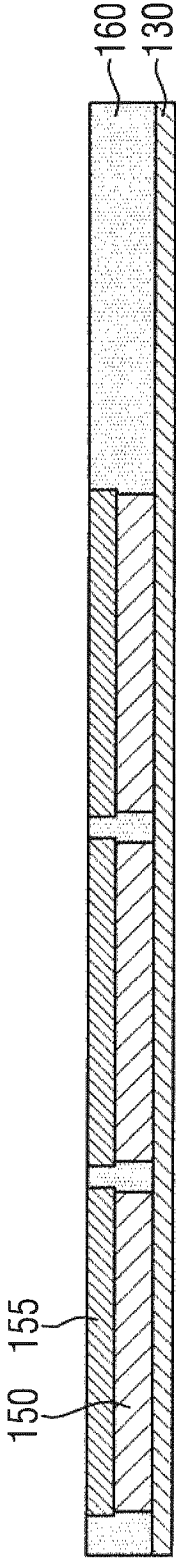


FIG 3

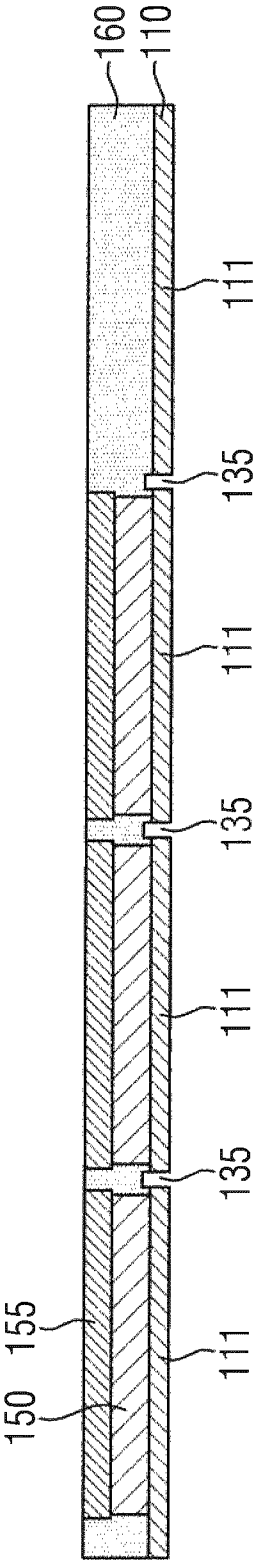


FIG 4

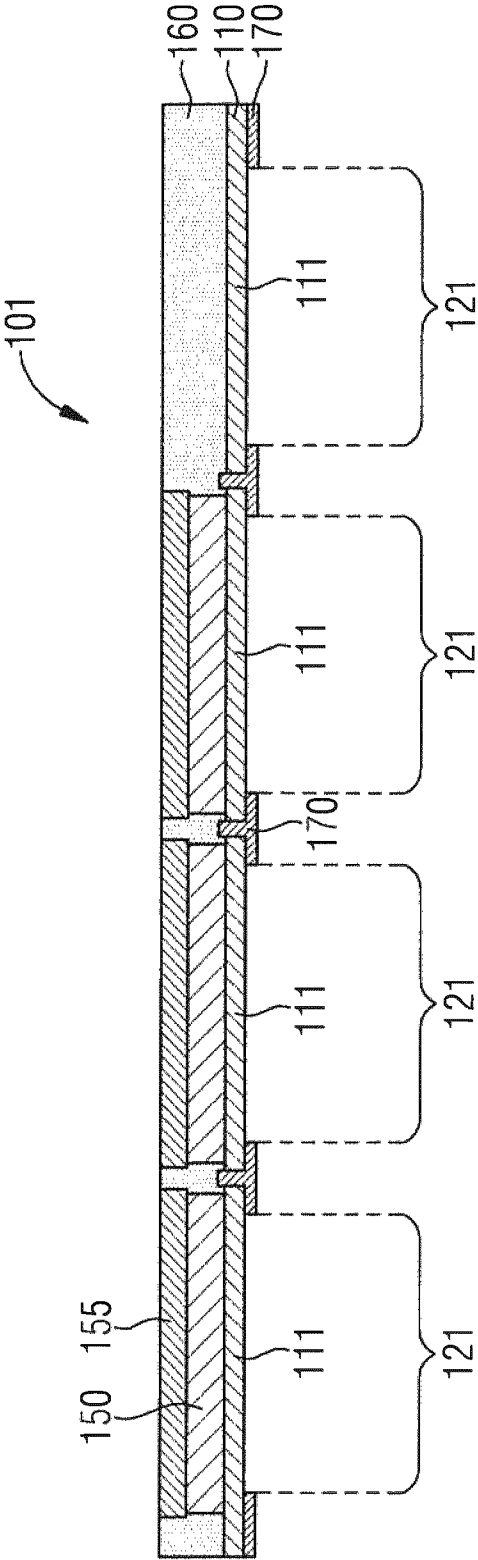


FIG 5

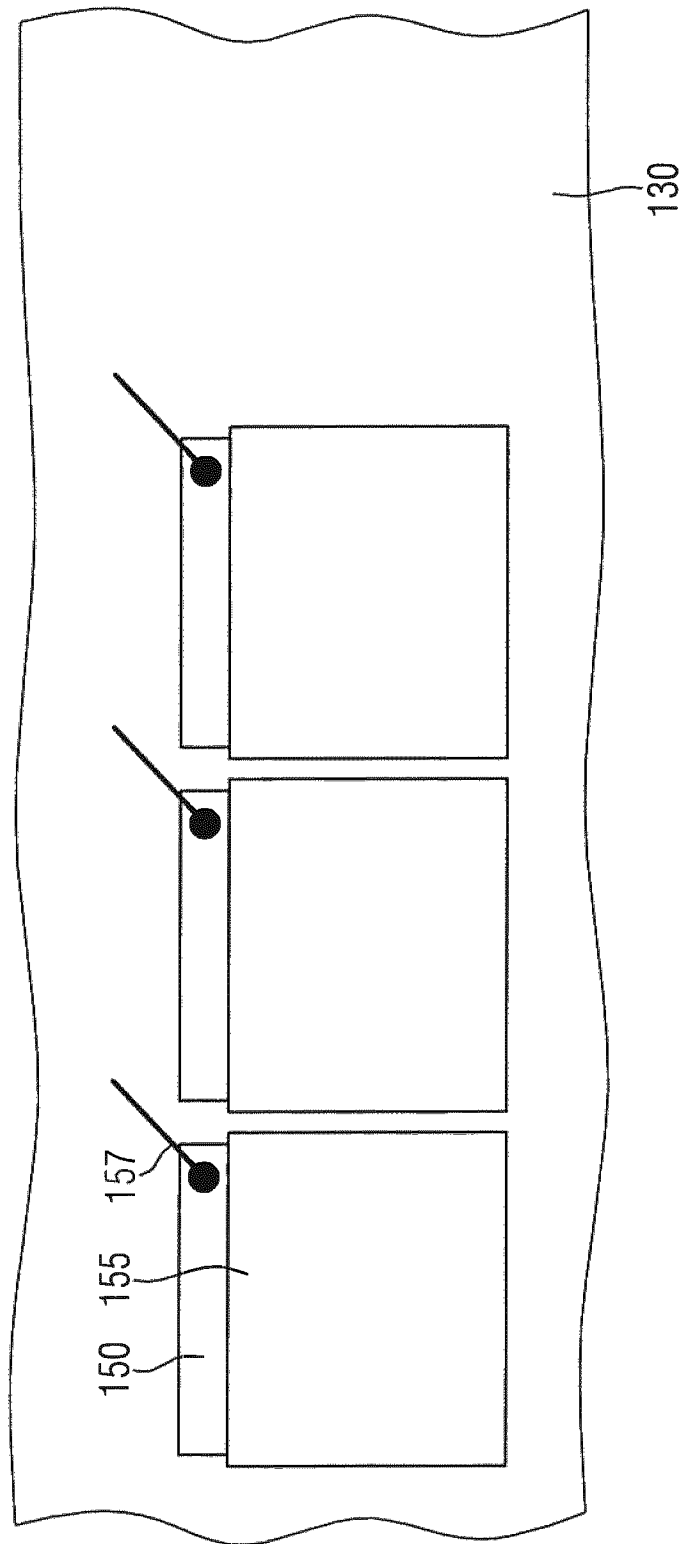


FIG 6

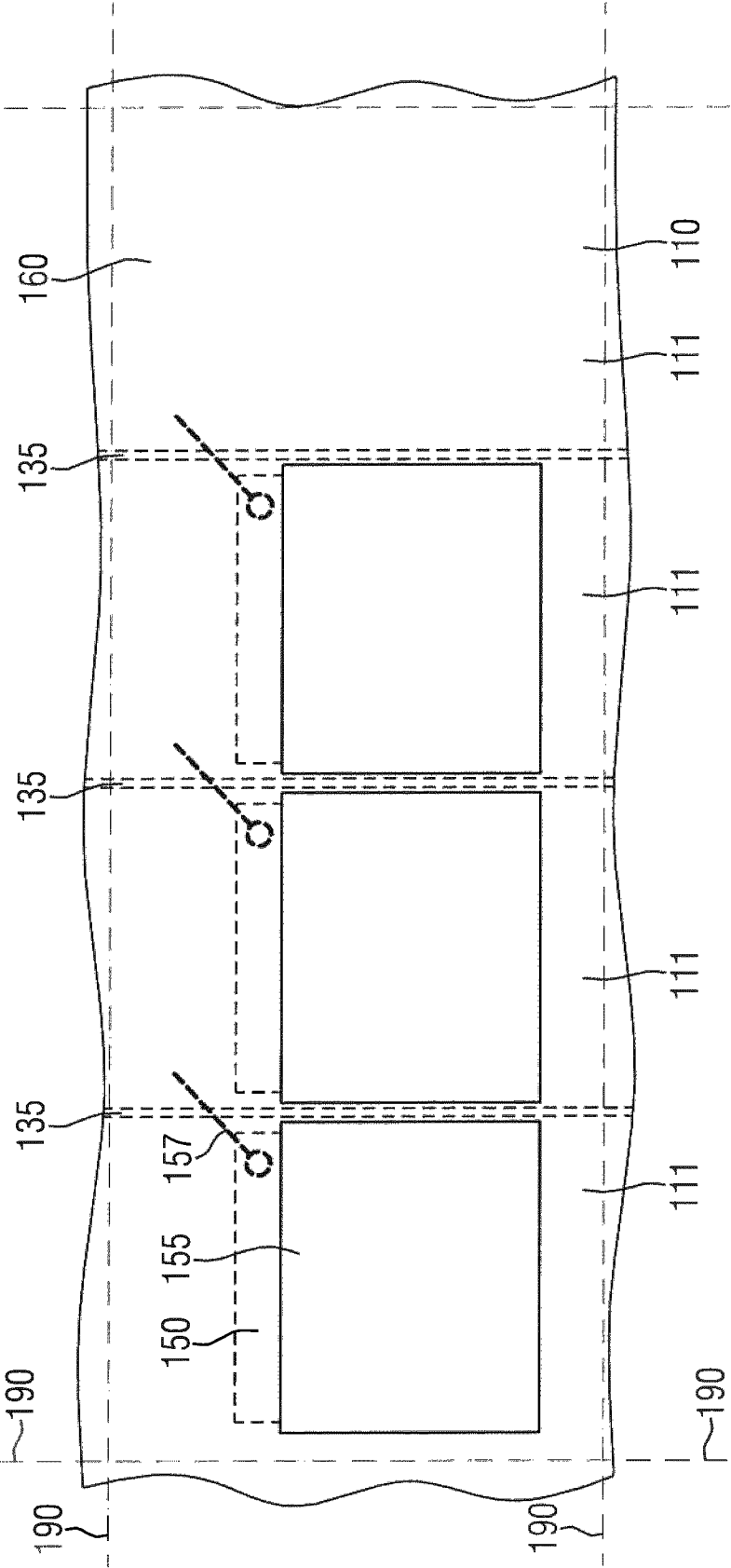


FIG 7

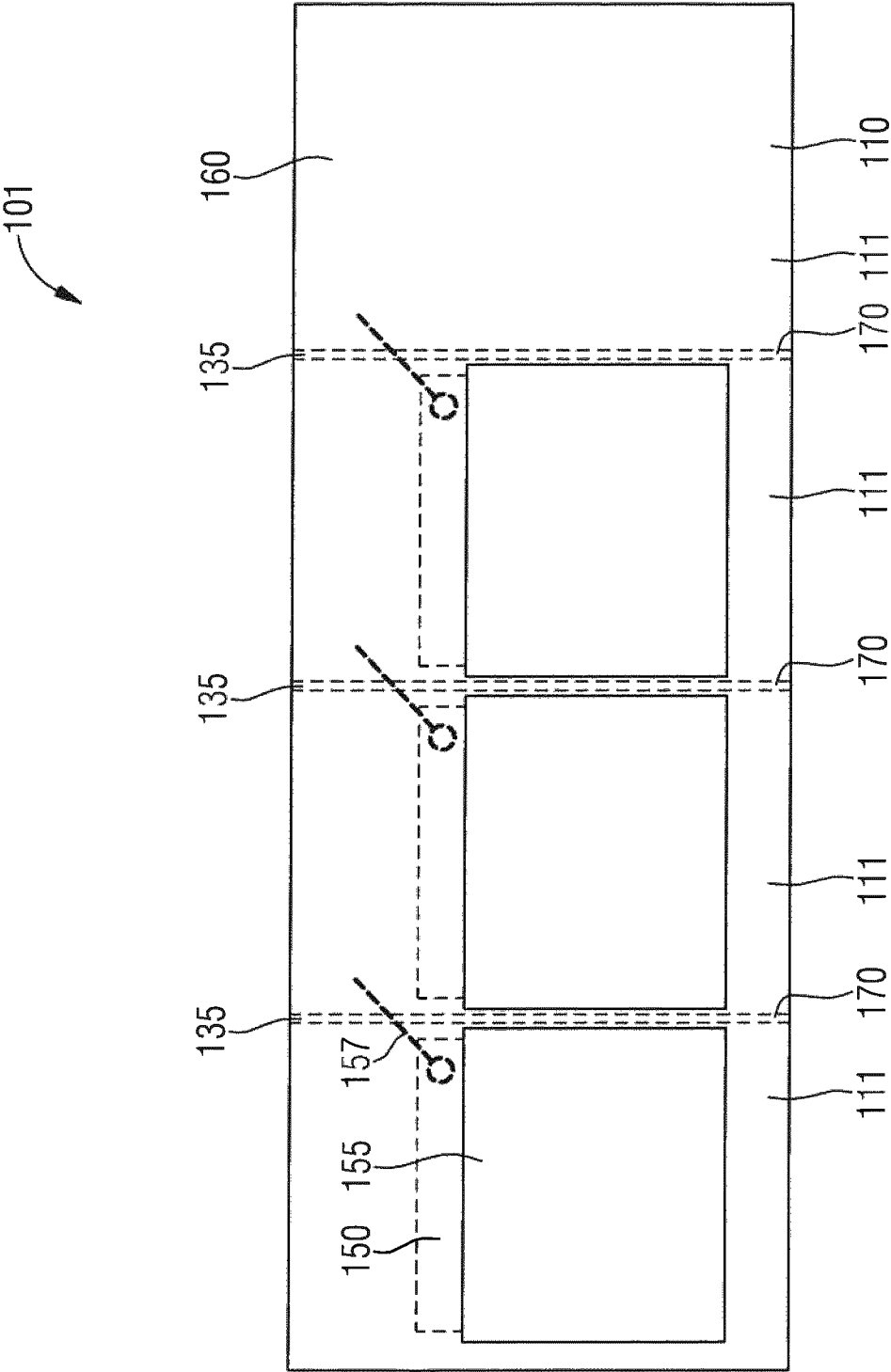


FIG 8

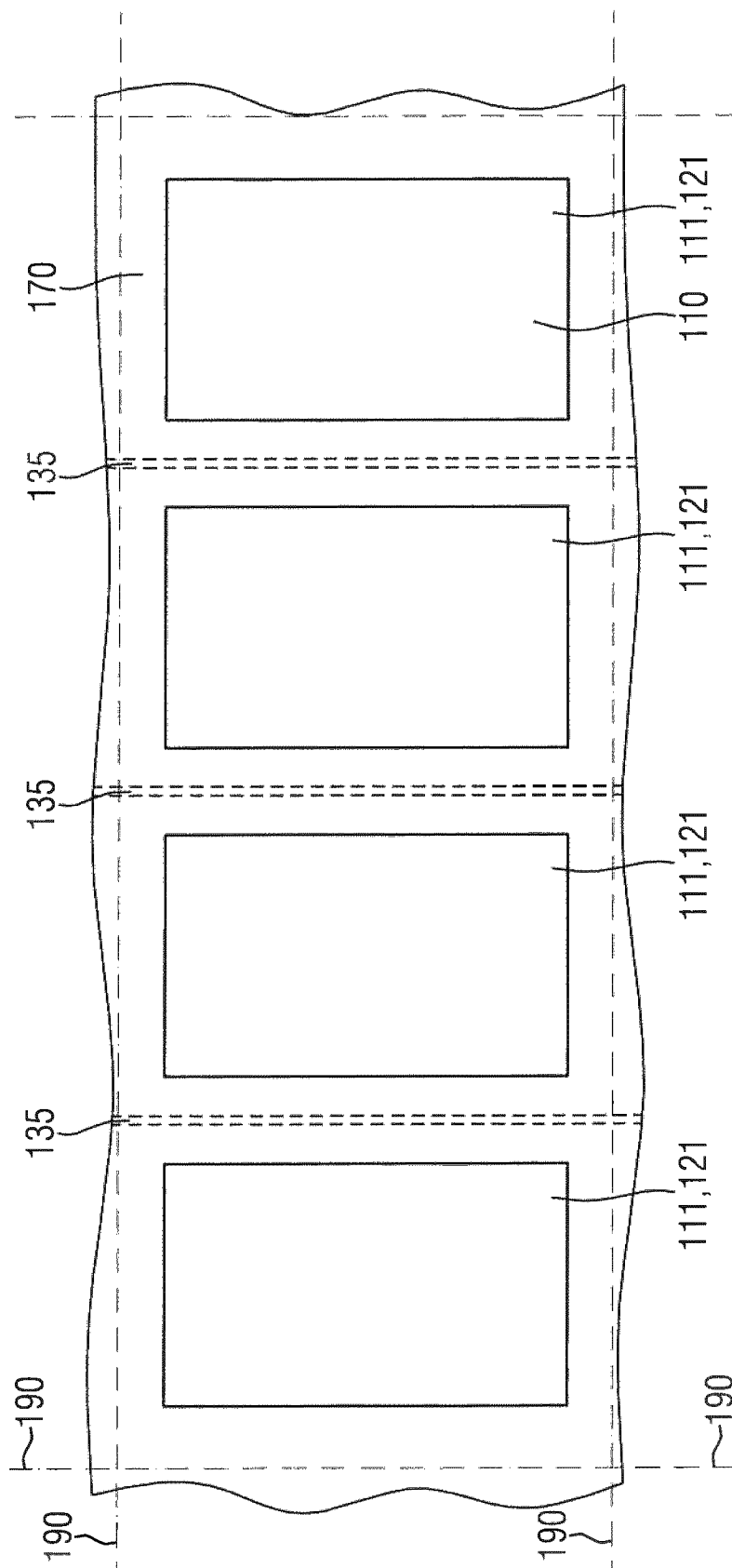


FIG 9

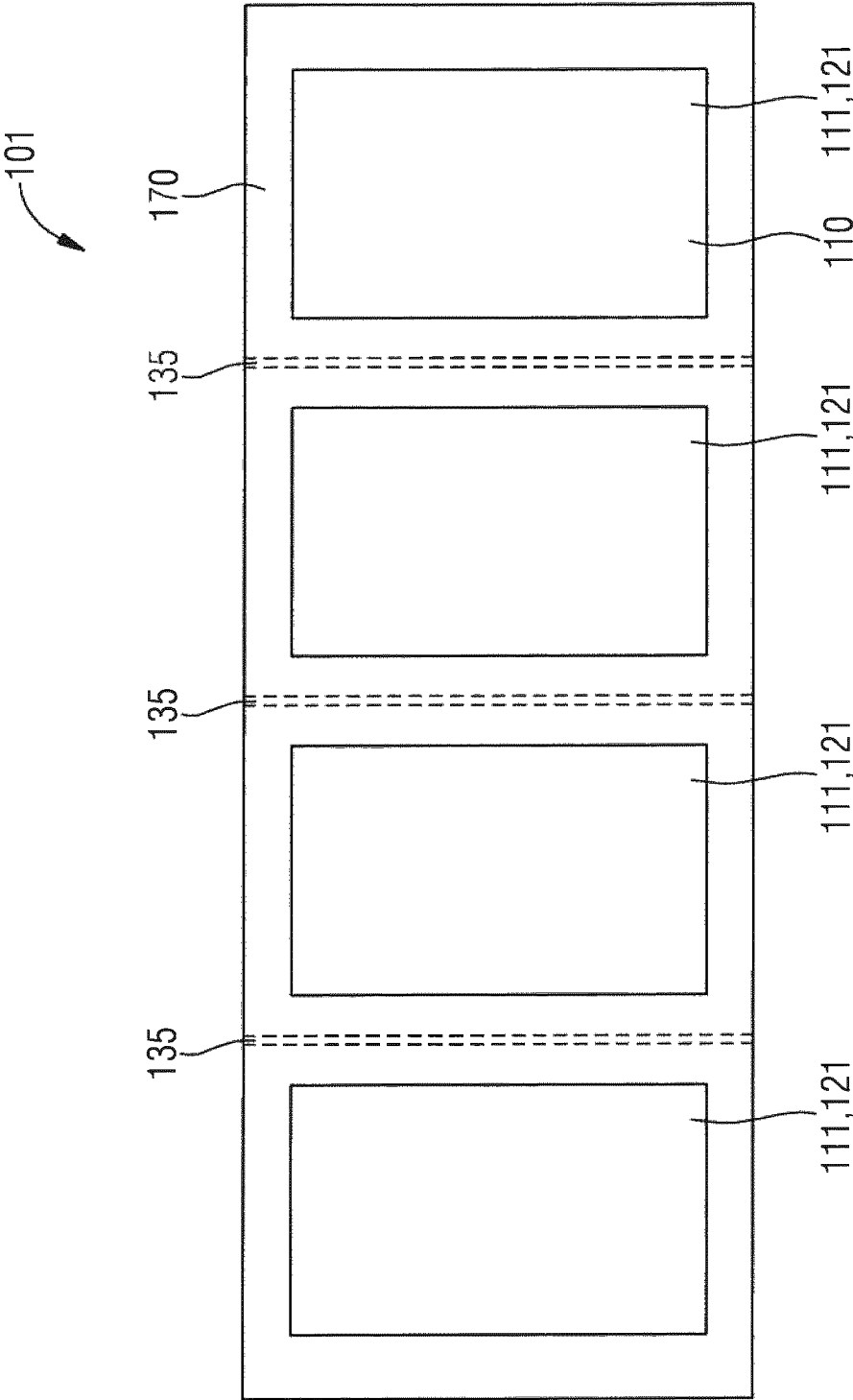


FIG 10

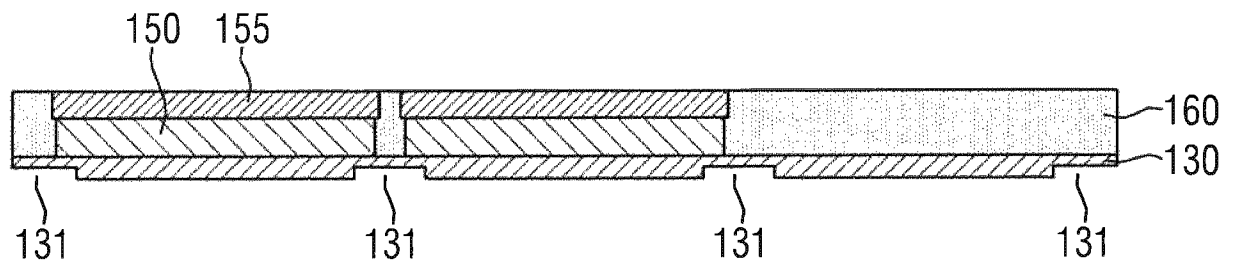


FIG 11

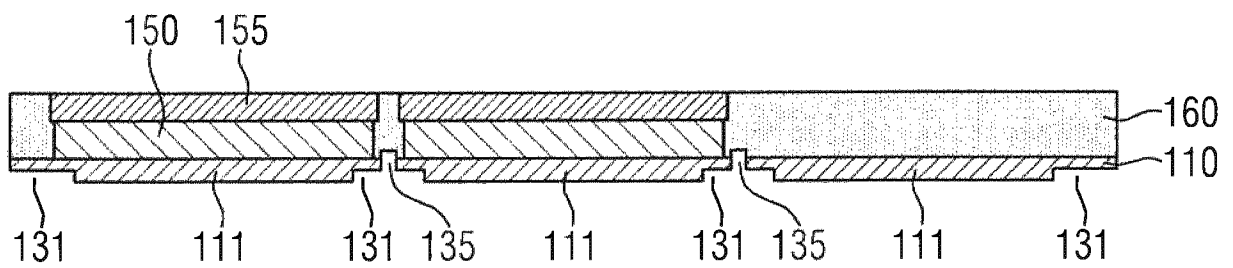


FIG 12

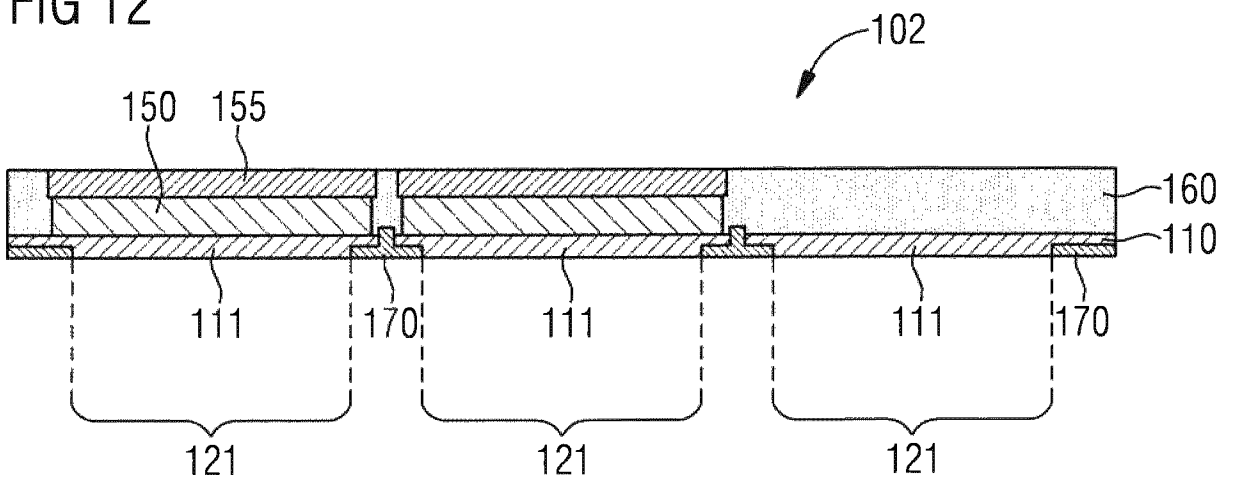


FIG 13

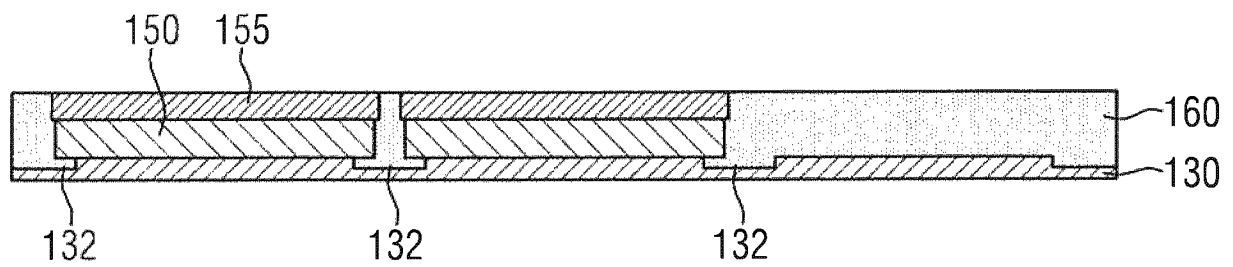


FIG 14

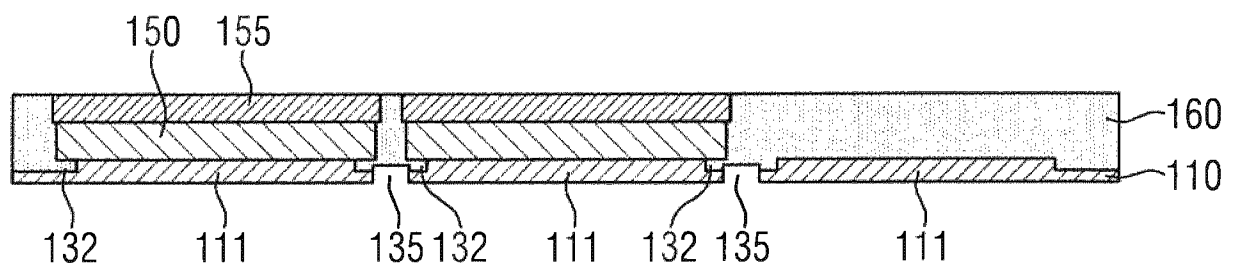


FIG 15

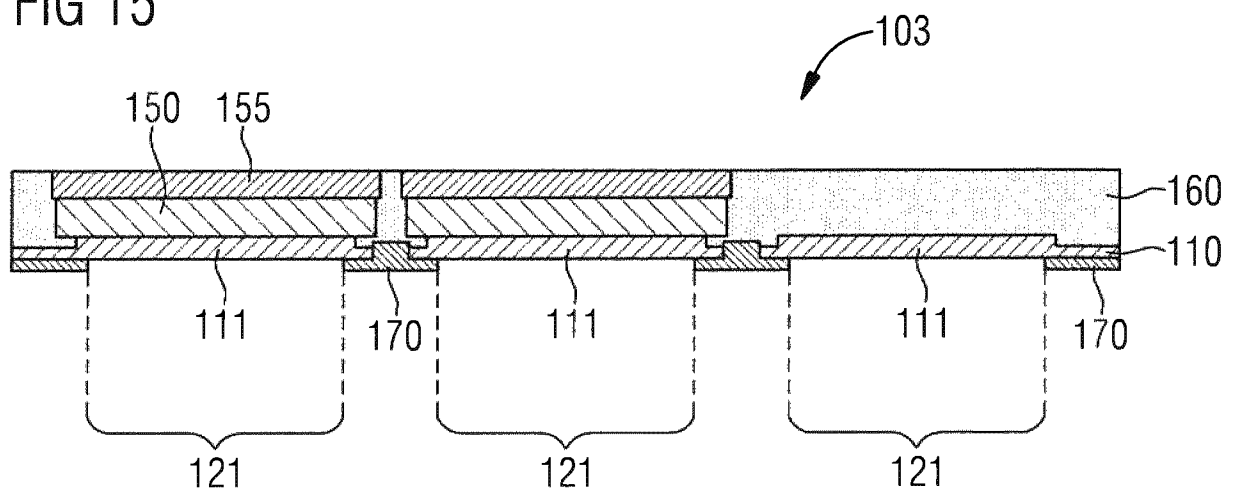


FIG 18

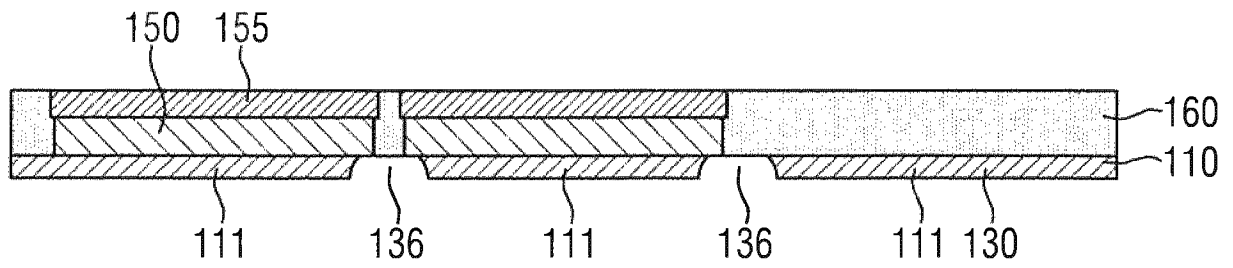
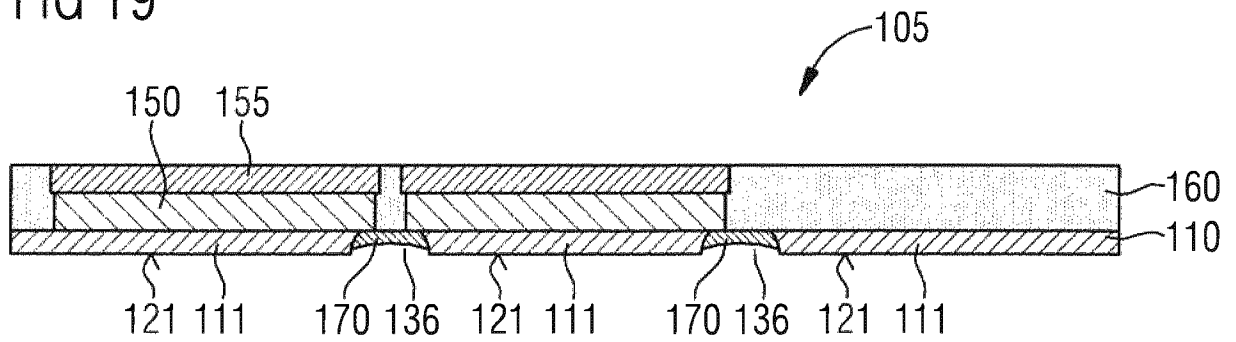


FIG 19



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/051681

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L25/075 H01L33/00 H01L33/44 H01L33/48 H01L33/62 ADD. H01L33/50 H01L33/52														
According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X A</td> <td> US 2015/214129 A1 (KAWAKITA KOJI [JP] ET AL) 30 July 2015 (2015-07-30) abstract figures 1-14 paragraph [0007] - paragraph [0015] paragraph [0053] - paragraph [0159] ----- </td> <td> 1,8-11, 14,16 2-6,12 </td> </tr> <tr> <td>X A</td> <td> DE 10 2014 101556 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 13 August 2015 (2015-08-13) abstract figures 1-2 paragraph [0003] - paragraph [0019] paragraph [0023] - paragraph [0046] ----- </td> <td> 1,7,8, 10,14 4,13,15, 16 </td> </tr> <tr> <td>A</td> <td> US 2013/119426 A1 (KATOH MASAOKI [JP] ET AL) 16 May 2013 (2013-05-16) the whole document ----- </td> <td>1-16</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X A	US 2015/214129 A1 (KAWAKITA KOJI [JP] ET AL) 30 July 2015 (2015-07-30) abstract figures 1-14 paragraph [0007] - paragraph [0015] paragraph [0053] - paragraph [0159] -----	1,8-11, 14,16 2-6,12	X A	DE 10 2014 101556 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 13 August 2015 (2015-08-13) abstract figures 1-2 paragraph [0003] - paragraph [0019] paragraph [0023] - paragraph [0046] -----	1,7,8, 10,14 4,13,15, 16	A	US 2013/119426 A1 (KATOH MASAOKI [JP] ET AL) 16 May 2013 (2013-05-16) the whole document -----	1-16
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X A	US 2015/214129 A1 (KAWAKITA KOJI [JP] ET AL) 30 July 2015 (2015-07-30) abstract figures 1-14 paragraph [0007] - paragraph [0015] paragraph [0053] - paragraph [0159] -----	1,8-11, 14,16 2-6,12												
X A	DE 10 2014 101556 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 13 August 2015 (2015-08-13) abstract figures 1-2 paragraph [0003] - paragraph [0019] paragraph [0023] - paragraph [0046] -----	1,7,8, 10,14 4,13,15, 16												
A	US 2013/119426 A1 (KATOH MASAOKI [JP] ET AL) 16 May 2013 (2013-05-16) the whole document -----	1-16												
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.														
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
Date of the actual completion of the international search		Date of mailing of the international search report												
22 March 2017		03/04/2017												
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer De Kroon, Arnoud												

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/051681

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2015214129 A1	30-07-2015	CN 104603932 A	06-05-2015
		JP 5624700 B1	12-11-2014
		JP WO2014097641 A1	12-01-2017
		US 2015214129 A1	30-07-2015
		WO 2014097641 A1	26-06-2014

DE 102014101556 A1	13-08-2015	CN 105960715 A	21-09-2016
		DE 102014101556 A1	13-08-2015
		WO 2015117947 A1	13-08-2015

US 2013119426 A1	16-05-2013	CN 102959747 A	06-03-2013
		JP 5756803 B2	29-07-2015
		TW 201208154 A	16-02-2012
		US 2013119426 A1	16-05-2013
		WO 2012011363 A1	26-01-2012

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES		
INV.	H01L25/075	H01L33/00 H01L33/44 H01L33/48 H01L33/62
ADD.	H01L33/50	H01L33/52
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)		
H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)		
EPO-Internal		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X A	US 2015/214129 A1 (KAWAKITA KOJI [JP] ET AL) 30. Juli 2015 (2015-07-30) Zusammenfassung Abbildungen 1-14 Absatz [0007] - Absatz [0015] Absatz [0053] - Absatz [0159] -----	1,8-11, 14,16 2-6,12
X A	DE 10 2014 101556 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 13. August 2015 (2015-08-13) Zusammenfassung Abbildungen 1-2 Absatz [0003] - Absatz [0019] Absatz [0023] - Absatz [0046] -----	1,7,8, 10,14 4,13,15, 16
A	US 2013/119426 A1 (KATOH MASAOKI [JP] ET AL) 16. Mai 2013 (2013-05-16) das ganze Dokument -----	1-16
☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
22. März 2017		03/04/2017
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter De Kroon, Arnoud

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2017/051681

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2015214129 A1	30-07-2015	CN 104603932 A	06-05-2015
		JP 5624700 B1	12-11-2014
		JP WO2014097641 A1	12-01-2017
		US 2015214129 A1	30-07-2015
		WO 2014097641 A1	26-06-2014

DE 102014101556 A1	13-08-2015	CN 105960715 A	21-09-2016
		DE 102014101556 A1	13-08-2015
		WO 2015117947 A1	13-08-2015

US 2013119426 A1	16-05-2013	CN 102959747 A	06-03-2013
		JP 5756803 B2	29-07-2015
		TW 201208154 A	16-02-2012
		US 2013119426 A1	16-05-2013
		WO 2012011363 A1	26-01-2012
