

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6068748号
(P6068748)

(45) 発行日 平成29年1月25日 (2017. 1. 25)

(24) 登録日 平成29年1月6日 (2017. 1. 6)

(51) Int. Cl.	F I
H03K 19/0944 (2006.01)	H03K 19/094 A
H01L 29/786 (2006.01)	H01L 29/78 613Z

請求項の数 4 (全 28 頁)

(21) 出願番号	特願2013-49833 (P2013-49833)	(73) 特許権者	000153878
(22) 出願日	平成25年3月13日 (2013. 3. 13)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2014-176041 (P2014-176041A)		神奈川県厚木市長谷398番地
(43) 公開日	平成26年9月22日 (2014. 9. 22)	(72) 発明者	上杉 航
審査請求日	平成27年12月16日 (2015. 12. 16)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		審査官	▲高▼橋 義昭

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1の容量素子と、第2の容量素子と、を有し、

前記第1のトランジスタは、第1の酸化物半導体層にチャンネル形成領域を有し、

前記第3のトランジスタは、第2の酸化物半導体層にチャンネル形成領域を有し、

前記第2のトランジスタのゲートは前記第1のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第4のトランジスタのゲートは前記第3のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第1の容量素子の一对の電極のうちの一方は前記第2のトランジスタのゲートと電気的に接続され、

前記第2の容量素子の一对の電極のうちの一方は前記第4のトランジスタのゲートと電気的に接続され、

前記第1の容量素子の一对の電極のうちの他方は前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第2の容量素子の一对の電極のうちの他方は前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は前記第4のトランジスタのソース又はドレインの他方と電気的に接続され、

10

20

前記第1のトランジスタがオフ状態となることによって、前記第2のトランジスタのゲートが浮遊状態となり、

前記第3のトランジスタがオフ状態となることによって、前記第4のトランジスタのゲートが浮遊状態となることを特徴とする半導体装置。

【請求項2】

第1のトランジスタ、第2のトランジスタ、及び第1の容量素子を有する第1の回路と、第3のトランジスタ、第4のトランジスタ、及び第2の容量素子を有する第2の回路と、を有し、

前記第1のトランジスタは、第1の酸化物半導体層にチャネル形成領域を有し、

前記第3のトランジスタは、第2の酸化物半導体層にチャネル形成領域を有し、

前記第2のトランジスタのゲートには前記第1のトランジスタを介して第1の信号又は第2の信号が入力され、

前記第4のトランジスタのゲートには前記第3のトランジスタを介して第3の信号又は第4の信号が入力され、

前記第1の容量素子の一对の電極のうちの一方は前記第2のトランジスタのゲートと電氣的に接続され、

前記第2の容量素子の一对の電極のうちの一方は前記第4のトランジスタのゲートと電氣的に接続され、

前記第1の容量素子の一对の電極のうちの他方は前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第2の容量素子の一对の電極のうちの他方は前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの他方は前記第4のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第1のトランジスタがオフ状態となることによって、前記第2のトランジスタのゲートが浮遊状態となり、

前記第3のトランジスタがオフ状態となることによって、前記第4のトランジスタのゲートが浮遊状態となり、

前記第1の信号が入力されると、前記第1の回路はダイオードとして機能し、

前記第2の信号が入力されると、前記第1の回路は抵抗又は導線として機能し、

前記第3の信号が入力されると、前記第2の回路はダイオードとして機能し、

前記第4の信号が入力されると、前記第2の回路は抵抗又は導線として機能することを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、

前記第1の酸化物半導体層及び前記第2の酸化物半導体層の少なくとも一は、第1の金属酸化物膜と、前記第1の金属酸化物膜上の第2の金属酸化物膜と、前記第2の金属酸化物膜上の第3の金属酸化物膜と、を有し、

前記第1の金属酸化物膜は、前記第2の金属酸化物膜を構成する金属元素の少なくとも一を構成要素として含み、

前記第3の金属酸化物膜は、前記第2の金属酸化物膜を構成する金属元素の少なくとも一を構成要素として含み、

前記第2の金属酸化物膜はインジウムを含むことを特徴とする半導体装置。

【請求項4】

請求項3において、

前記第1の金属酸化物膜の伝導帯下端のエネルギーは、前記第2の金属酸化物膜の伝導帯下端のエネルギーよりも、0.05 eV以上、2 eV以下の範囲で真空準位に近く、

前記第3の金属酸化物膜の伝導帯下端のエネルギーは、前記第2の金属酸化物膜の伝導帯下端のエネルギーよりも、0.05 eV以上、2 eV以下の範囲で真空準位に近いことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明は、例えば、半導体装置、表示装置、発光装置、蓄電装置、それらの駆動方法、または、それらの製造方法に関する。特に、本発明は、例えば、酸化物半導体を有する半導体装置、表示装置、または、発光装置に関する。

【0002】

または、本発明は、ハードウェアの構成を変更することができるプログラマブルロジックデバイスに関する。

10

【背景技術】

【0003】

プログラマブルロジックデバイス（Programmable Logic Device（PLD））は、製造後にユーザーが内部回路構成を変更可能なデバイスである。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2003-198361号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0005】

PLD等において、ノードAとノードBとの間を、ダイオードを介した電氣的接続とする場合と、抵抗を介した電氣的接続とする場合とを選択可能な回路構成として、図11（A）の回路構成を用いることができる。

【0006】

図11（A）に示す回路8100は、記憶手段8108と、トランジスタ8101と、トランジスタ8102nを有する。トランジスタ8102nはnチャネル型トランジスタとする。トランジスタ8101のソース又はドレインの一方はノードAに電氣的に接続され、ソース又はドレインの他方はノードBに電氣的に接続されている。トランジスタ8102nのソース又はドレインの一方はノードAに電氣的に接続され、ソース又はドレインの他方はノードBに電氣的に接続されている。トランジスタ8102nのゲートは、トランジスタ8102nのソース又はドレインの一方と電氣的に接続されている。トランジスタ8101のゲートには記憶手段8108からの信号が入力される。

30

【0007】

記憶手段8108からの信号によって、トランジスタ8101のオフ状態が選択されるとき、回路8100は、図11（B）に示すようなダイオード8110のように動作させることができる。記憶手段8108からの信号によって、トランジスタ8101のオン状態が選択されるとき、回路8100は、図11（C）に示すような抵抗8111のように動作させることができる。なお、抵抗の値が小さい場合には、図11（D）のように導線8112として動作させることができる。

40

【0008】

このように、図11（A）の回路構成によって、ノードAとノードBとの間を、ダイオードを介した電氣的接続とする場合と、抵抗を介した電氣的接続とする場合とを選択することができる。

【0009】

しかしながら、図11（A）に示すような回路では、少なくとも2つのトランジスタと、記憶手段とが必要となるため、回路規模が大きくなる。

【0010】

本発明の一態様は、回路規模が小さい半導体装置を提供することを課題とする。または本

50

発明の一態様は、高速動作を図ることのできる半導体装置を提供することを課題とする。または本発明の一態様は、消費電力が低い半導体装置を提供することを課題とする。または、本発明の一態様は、品質の良い半導体装置などを提供することを課題とする。または本発明の一態様は、オフ電流の低い半導体装置などを提供することを課題とする。または、本発明の一態様は、透明な半導体層を用いた半導体装置などを提供することを課題とする。または、本発明の一態様は、新規な半導体装置などを提供することを課題とする。

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

10

【課題を解決するための手段】

【0012】

本発明の一態様の半導体装置は、第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、第2のトランジスタのゲートは第1のトランジスタのソース又はドレインの一方と電氣的に接続され、容量素子の一对の電極のうちの一方は第2のトランジスタのゲートと電氣的に接続され、容量素子の一对の電極のうちの他方は第2のトランジスタのソース又はドレインの一方と電氣的に接続され、第1のトランジスタがオフ状態となることによって、第2のトランジスタのゲートが浮遊状態となる半導体装置である。なお、第1のトランジスタのチャンネルは酸化物半導体に形成される構成とすることができる。

20

【0013】

本発明の一態様の半導体装置は、第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、第2のトランジスタのゲートには第1のトランジスタを介して第1の信号又は第2の信号が入力され、容量素子の一对の電極のうちの一方は第2のトランジスタのゲートと電氣的に接続され、容量素子の一对の電極のうちの他方は第2のトランジスタのソース又はドレインの一方と電氣的に接続され、第1のトランジスタがオフ状態となることによって、第2のトランジスタのゲートが浮遊状態となり、第1の信号が入力されるとダイオードとして機能し、第2の信号が入力されると抵抗として機能する半導体装置である。なお、第1のトランジスタのチャンネルは酸化物半導体に形成される構成とすることができる。

30

【0014】

第1のトランジスタの移動度よりも第2のトランジスタの移動度を高くしてもよい。

【0015】

第1のトランジスタのオン電流（トランジスタがオン状態を選択された際にソースとドレイン間を流れる電流）よりも第2のトランジスタのオン電流を大きくしてもよい。

【0016】

第2のトランジスタのオフ電流（トランジスタがオフ状態を選択された際にソースとドレイン間を流れる電流）は、第1のトランジスタのオフ電流よりも大きくしてもよい。

【0017】

酸化物半導体は、インジウムと、ガリウムと、亜鉛と、酸素とを有していてもよい。酸化物半導体は、亜鉛と、酸素とを有していてもよい。

40

【0018】

第2のトランジスタのチャンネルは、シリコンに形成されていてもよい。第2のトランジスタのチャンネルが、酸化物半導体に形成されていてもよい。

【0019】

本発明の一態様の半導体装置は、プログラマブルロジックデバイスに用いることができる。

【0020】

本発明の一態様の半導体装置は、CPU等の信号処理回路に用いることができる。

【発明の効果】

50

【0021】

本発明の一態様は、回路規模が小さい半導体装置を提供することができる。または本発明の一態様は、高速動作を図ることのできる半導体装置を提供することができる。または本発明の一態様は、消費電力が低い半導体装置を提供することができる。または、本発明の一態様は、品質の良い半導体装置などを提供することができる。

【図面の簡単な説明】

【0022】

【図1】半導体装置の回路図。

【図2】半導体装置の回路図。

【図3】半導体装置の回路図。

【図4】半導体装置の回路図。

【図5】半導体装置の回路図。

【図6】半導体装置の回路図。

【図7】半導体装置の回路図。

【図8】半導体装置の回路図。

【図9】半導体装置の回路図。

【図10】半導体装置の回路図。

【図11】従来の半導体装置の回路図。

【図12】半導体装置の断面図。

【図13】半導体装置の断面図。

【図14】電子機器を示す図。

【発明を実施するための形態】

【0023】

本発明の実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

【0024】

本明細書において接続とは電氣的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して電氣的に接続している状態も、その範疇に含む。

【0025】

本明細書に添付した図面では、構成要素を機能ごとに分類し、互いに独立したブロックとしてブロック図を示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることもあり得る。

【0026】

なお、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に電氣的に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、活性層として機能する半導体膜の一部であるドレイン領域、或いは上記半導体膜に電氣的に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0027】

トランジスタが有するソースとドレインは、トランジスタのチャネル型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子が

10

20

30

40

50

ドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

【0028】

(実施の形態1)

<半導体装置の構成>

図1(A)に半導体装置が有する回路100を示す。回路100は、トランジスタ101と、トランジスタ102nと、容量素子103と、を有する。本実施の形態では、トランジスタ102nをnチャネル型のトランジスタとした例について説明する。なお、トランジスタ101はnチャネル型のトランジスタでも、pチャネル型のトランジスタでもよい。

10

【0029】

トランジスタ102nのゲートはトランジスタ101のソース又はドレインの一方と電氣的に接続される。容量素子103の一对の電極のうち的一方はトランジスタ102nのゲートと電氣的に接続される。容量素子103の一对の電極のうちの他方はトランジスタ102nのソース又はドレインの一方と電氣的に接続される。トランジスタ102nのソース又はドレインの一方は、ノードAに電氣的に接続され、トランジスタ102nのソース又はドレインの他方は、ノードBに電氣的に接続される。トランジスタ101のソース又はドレインの他方は、ノードCに電氣的に接続される。トランジスタ101のゲートは、ノードDに電氣的に接続される。

20

【0030】

トランジスタ101のチャネルは酸化物半導体に形成される構成とすることができる。トランジスタ101がオフ状態となることによって、トランジスタ102nのゲートが浮遊状態となる。言い換えると、トランジスタ101がオフ状態となることによって、図1(A)中のノードFが浮遊状態となる。

【0031】

<半導体装置の動作>

次に半導体装置が有する回路100の動作を説明する。

【0032】

図1(A)の回路100は、ノードDに入力される信号によってオン状態を選択されたトランジスタ101を介して、ノードCからノードFに信号が入力される。回路100は、ノードFに入力された信号により、図1(B)に示すようにノードAとノードBの間がダイオード110を介して電氣的に接続される場合と、図1(C)に示すようにノードAとノードBの間が抵抗111を介して電氣的に接続される場合と、を選択することができる。なお、抵抗111の値が小さい場合には、図1(D)のように、ノードAとノードBの間が導線112によって電氣的に接続されるとみなすこともできる。

30

【0033】

ノードFに入力された信号は、その後トランジスタ101がオフ状態となることによって、ノードFに保持される。

40

【0034】

次いで、ノードFに入力される信号に応じて、回路100の機能を選択する動作について詳細に説明する。

【0035】

(ダイオード機能)

図1(B)のように、ノードAとノードBの間がダイオード110を介して電氣的に接続される場合を選択する動作について説明する。

【0036】

このとき、ノードFにはトランジスタ101を介して第1の信号を入力する。第1の信号を入力した後、トランジスタ101をオフ状態とすることによって、ノードFに第1の信

50

号を保持することができる。図2 (A) に第1の信号を入力した後、トランジスタ101がオフ状態となった回路構成を模式的に示す。容量素子103の電極間の電位差 (V_{103}) がトランジスタ102nの閾値電圧 (V_{th102n}) よりも小さくなるように、第1の信号に対応する電位と、当該第1の信号をノードFに入力する際のノードAの電位とを調整する。なお、 V_{103} はノードAに対するノードFの電位差とする。

【0037】

図2 (A) によように、第1の信号がノードFに保持された場合、ノードAの電位 (V_A) がノードBの電位 (V_B) 以下のときには、トランジスタ102nのソースに対するゲートの電圧が V_{103} となり、図2 (C) に示すようにトランジスタ102nはオフ状態となり、ノードAとノードB間に電流は流れない。

10

【0038】

図2 (A) によように、第1の信号がノードFに保持された場合、ノードAの電位 (V_A) がノードBの電位 (V_B) より大きく、且つ ($V_A + V_{103} - V_B$) が (V_{th102n}) 以上のときには、図2 (B) に示すようにノードAからノードBに電流 (I_{n1}) が流れる。

【0039】

なお、($V_A + V_{103} - V_B$) が (V_{th102n}) よりも小さい場合は、ノードAとノードBの間に電流は流れない。

【0040】

よって、ノードFに第1の信号を入力することによって、図2 (D) に示すように、回路100は、ノードAからノードBにのみ電流を流す、ダイオード110として機能させることができる。なお、ダイオード110の閾値電圧 (電流が流れはじめる電圧) は、($V_{th102n} - V_{103}$) と表現することもできる。

20

【0041】

(抵抗又は導線機能)

図1 (C) や図1 (D) のように、ノードAとノードBの間が抵抗111や導線112を介して電氣的に接続される場合を選択する動作について説明する。

【0042】

このとき、ノードFにはトランジスタ101を介して第2の信号を入力する。第2の信号を入力した後、トランジスタ101をオフ状態とすることによって、ノードFに第2の信号を保持することができる。図3 (A) に第2の信号を入力した後、トランジスタ101がオフ状態となった回路構成を模式的に示す。容量素子103の電極間の電位差 (V_{103}) がトランジスタ102nの閾値電圧 (V_{th102n}) 以上となるように、第2の信号に対応する電位と、当該第2の信号をノードFに入力する際のノードAの電位とを調整する。なお、 V_{103} はノードAに対するノードFの電位差とする。

30

【0043】

図3 (A) によように、第2の信号がノードFに保持された場合、ノードAの電位 (V_A) がノードBの電位 (V_B) より大きいときには、図3 (B) に示すようにトランジスタ102nはオン状態となり、ノードAからノードBに電流 (I_{n2}) が流れる。

【0044】

40

図3 (A) によように、第2の信号がノードFに保持された場合、ノードAの電位 (V_A) がノードBの電位 (V_B) より小さいときにも、図3 (C) に示すようにトランジスタ102nはオン状態となり、ノードBからノードAに電流 (I_{n3}) が流れる。

【0045】

ノードAの電位 (V_A) とノードBの電位 (V_B) が等しい場合には、電流は流れない。

【0046】

よって、ノードFに第2の信号を入力することによって、図3 (D) や図3 (E) に示すように、回路100は、抵抗111や導線112として機能させることができる。

【0047】

以上のように、図1 (A) に示す回路100は、ノードAとノードBとの間を、ダイオー

50

ドを介した電氣的接続とする場合と、抵抗を介した電氣的接続とする場合とを選択することができる。

【0048】

図1(A)に示す回路100はトランジスタ2つと容量素子1つによって構成することができるため、回路100を用いた半導体装置では回路規模を縮小することができる。

【0049】

また、ノードFに入力された信号は、その後トランジスタ101がオフ状態となることによって、ノードFに保持される。ここで、トランジスタ101のチャネルが酸化物半導体に形成される構成とすると、トランジスタ101はリーク電流（オフ電流ともいう。）が極めて小さいという特性を有する。そのため、ノードFに入力された信号を長期間にわたって保持し続けることができる。つまり、一度、トランジスタ101をオン状態としてノードFに所定の信号を入力した後は、頻繁に信号を入力しなくても、回路100は所定の機能（図1(B)または、図1(C)や図1(D)に示す機能）を維持し続けることが可能となる。こうして、回路100を用いた半導体装置では、消費電力を低減することができる。

10

【0050】

なお、トランジスタ101の移動度よりもトランジスタ102nの移動度を高くすることによって、ノードAとノードB間の信号伝達の速度を向上させることができる。また、トランジスタ101のオン電流よりもトランジスタ102nのオン電流を大きくすることによって、ノードAとノードB間の信号伝達の速度を向上させることができる。こうして、回路100を用いた半導体装置では、高速に動作させることができる。

20

【0051】

なお、トランジスタ102nのチャネルは、シリコンに形成されていてもよい。トランジスタ101として、チャネルが酸化物半導体に形成されるトランジスタを用い、且つトランジスタ102nとしてチャネルがシリコンに形成されるトランジスタを用いることによって、トランジスタ101が設けられた層と、トランジスタ102nが設けられた層とを重ねて設けることができる。そのため、回路100の面積を縮小し、回路100を用いた半導体装置では、小型化することができる。

【0052】

本実施の形態は、他の実施の形態と自由に組み合わせて実施することが可能である。

30

【0053】

（実施の形態2）

本実施の形態では、実施の形態1で示した構成とは異なる回路100の例を示す。

＜半導体装置の構成＞

図4(A)に半導体装置が有する回路100を示す。回路100は、トランジスタ101と、トランジスタ102pと、容量素子103と、を有する。本実施の形態では、トランジスタ102pをpチャネル型のトランジスタとした例について説明する。なお、トランジスタ101はnチャネル型のトランジスタでも、pチャネル型のトランジスタでもよい。

【0054】

トランジスタ102pのゲートはトランジスタ101のソース又はドレインの一方と電氣的に接続される。容量素子103の一对の電極のうちの一方はトランジスタ102pのゲートと電氣的に接続される。容量素子103の一对の電極のうちの他方はトランジスタ102pのソース又はドレインの一方と電氣的に接続される。トランジスタ102pのソース又はドレインの一方は、ノードAに電氣的に接続され、トランジスタ102pのソース又はドレインの他方は、ノードBに電氣的に接続される。トランジスタ101のソース又はドレインの他方は、ノードCに電氣的に接続される。トランジスタ101のゲートは、ノードDに電氣的に接続される。

40

【0055】

トランジスタ101のチャネルは酸化物半導体に形成される構成とすることができる。ト

50

ランジスタ101がオフ状態となることによって、トランジスタ102pのゲートが浮遊状態となる。言い換えると、トランジスタ101がオフ状態となることによって、図4(A)中のノードFが浮遊状態となる。

【0056】

＜半導体装置の動作＞

次に半導体装置が有する回路100の動作を説明する。

【0057】

図4(A)の回路100は、ノードDに入力される信号によってオン状態を選択されたトランジスタ101を介して、ノードCからノードFに信号が入力される。回路100は、ノードFに入力された信号により、図4(B)に示すようにノードAとノードBの間がダイオード120を介して電氣的に接続される場合と、図4(C)に示すようにノードAとノードBの間が抵抗121を介して電氣的に接続される場合と、を選択することができる。なお、抵抗121の値が小さい場合には、図4(D)のように、ノードAとノードBの間が導線122によって電氣的に接続されるとみなすこともできる。

10

【0058】

ノードFに入力された信号は、その後トランジスタ101がオフ状態となることによって、ノードFに保持される。

【0059】

次いで、ノードFに入力される信号に応じて、回路100の機能を選択する動作について詳細に説明する。

20

【0060】

(ダイオード機能)

図4(B)のように、ノードAとノードBの間がダイオード120を介して電氣的に接続される場合を選択する動作について説明する。

【0061】

このとき、ノードFにはトランジスタ101を介して第1の信号を入力する。第1の信号を入力した後、トランジスタ101をオフ状態とすることによって、ノードFに第1の信号を保持することができる。図5(A)に第1の信号を入力した後、トランジスタ101がオフ状態となった回路構成を模式的に示す。容量素子103の電極間の電位差(V_{103})がトランジスタ102pの閾値電圧(V_{th102p})よりも大きくなるように、第1の信号に対応する電位と、当該第1の信号をノードFに入力する際のノードAの電位とを調整する。なお、 V_{103} はノードAに対するノードFの電位差とする。

30

【0062】

図5(A)のように、第1の信号がノードFに保持された場合、ノードAの電位(V_A)がノードBの電位(V_B)以上のときには、トランジスタ102pのソースに対するゲートの電圧が V_{103} となり、図5(B)に示すようにトランジスタ102pはオフ状態となり、ノードAとノードB間に電流は流れない。

【0063】

図5(A)のように、第1の信号がノードFに保持された場合、ノードAの電位(V_A)がノードBの電位(V_B)より小さく、且つ($V_A + V_{103} - V_B$)が(V_{th102p})以下のときには、図5(C)に示すようにノードBからノードAに電流(I_{p1})が流れる。

40

【0064】

なお、($V_A + V_{103} - V_B$)が(V_{th102p})よりも大きい場合は、ノードAとノードBの間に電流は流れない。

【0065】

よって、ノードFに第1の信号を入力することによって、図5(D)に示すように、回路100は、ノードBからノードAにのみ電流を流す、ダイオード120として機能させることができる。なお、ダイオード120の閾値電圧(電流が流れはじめる電圧)は、($V_{th102p} - V_{103}$)と表現することもできる。

50

【0066】

(抵抗又は導線機能)

図4 (C) や図4 (D) のように、ノードAとノードBの間が抵抗121や導線122を介して電氣的に接続される場合を選択する動作について説明する。

【0067】

このとき、ノードFにはトランジスタ101を介して第2の信号を入力する。第2の信号を入力した後、トランジスタ101をオフ状態とすることによって、ノードFに第2の信号を保持することができる。図6 (A) に第2の信号を入力した後、トランジスタ101がオフ状態となった回路構成を模式的に示す。容量素子103の電極間の電位差 (V_{103}) がトランジスタ102pの閾値電圧 (V_{th102p}) 以下となるように、第2の信号に対応する電位と、当該第2の信号をノードFに入力する際のノードAの電位とを調整する。なお、 V_{103} はノードAに対するノードFの電位差とする。

10

【0068】

図6 (A) のように、第2の信号がノードFに保持された場合、ノードAの電位 (V_A) がノードBの電位 (V_B) より大きいときには、図6 (B) に示すようにトランジスタ102pはオン状態となり、ノードAからノードBに電流 (I_{p2}) が流れる。

【0069】

図6 (A) のように、第2の信号がノードFに保持された場合、ノードAの電位 (V_A) がノードBの電位 (V_B) より小さいときにも、図6 (C) に示すようにトランジスタ102pはオン状態となり、ノードBからノードAに電流 (I_{p3}) が流れる。

20

【0070】

ノードAの電位 (V_A) とノードBの電位 (V_B) が等しい場合には、電流は流れない。

【0071】

よって、ノードFに第2の信号を入力することによって、図6 (D) や図6 (E) に示すように、回路100は、抵抗121や導線122として機能させることができる。

【0072】

以上のように、図4 (A) に示す回路100は、ノードAとノードBとの間を、ダイオードを介した電氣的接続とする場合と、抵抗を介した電氣的接続とする場合とを選択することができる。

【0073】

図4 (A) に示す回路100はトランジスタ2つと容量素子1つによって構成することができるため、回路100を用いた半導体装置では回路規模を縮小することができる。

30

【0074】

また、ノードFに入力された信号は、その後トランジスタ101がオフ状態となることによって、ノードFに保持される。ここで、トランジスタ101のチャンネルが酸化物半導体に形成される構成とすると、トランジスタ101はリーク電流 (オフ電流ともいう。) が極めて小さいという特性を有する。そのため、ノードFに入力された信号を長期間にわたって保持し続けることができる。つまり、一度、トランジスタ101をオン状態としてノードFに所定の信号を入力した後は、頻繁に信号を入力しなくても、回路100は所定の機能 (図4 (B) または、図4 (C) や図4 (D) に示す機能) を維持し続けることが可能となる。こうして、回路100を用いた半導体装置では、消費電力を低減することができる。

40

【0075】

なお、トランジスタ101の移動度よりもトランジスタ102pの移動度を高くすることによって、ノードAとノードB間の信号伝達の速度を向上させることができる。また、トランジスタ101のオン電流よりもトランジスタ102pのオン電流を大きくすることによって、ノードAとノードB間の信号伝達の速度を向上させることができる。こうして、回路100を用いた半導体装置では、高速に動作させることができる。

【0076】

なお、トランジスタ102pのチャンネルは、シリコンに形成されていてもよい。トランジ

50

スタ１０１として、チャネルが酸化物半導体に形成されるトランジスタを用い、且つトランジスタ１０２ｐとしてチャネルがシリコンに形成されるトランジスタを用いることによって、トランジスタ１０１が設けられた層と、トランジスタ１０２ｐが設けられた層とを重ねて設けることができる。そのため、回路１００の面積を縮小し、回路１００を用いた半導体装置では、小型化することができる。

【００７７】

本実施の形態は、他の実施の形態と自由に組み合わせて実施することが可能である。

【００７８】

（実施の形態３）

実施の形態１や実施の形態２で示した回路１００を複数組み合わせて用いることもできる。 10

【００７９】

例えば、複数の回路１００を互いに直列に接続して用いることもできる。ここで、複数の回路１００を互いに直列に接続するとは、一方の回路１００のノードＡ又はノードＢの一方と、別の回路１００のノードＡ又はノードＢの一方とが電氣的に接続されている状態とする。複数の回路１００を互いに並列に接続するとは、一方の回路１００のノードＡ又はノードＢの一方と、別の回路１００のノードＡ又はノードＢの一方とが電氣的に接続され、一方の回路１００のノードＡ又はノードＢの他方と、別の回路１００のノードＡ又はノードＢの他方とが電氣的に接続されている状態とする。 20

【００８０】

実施の形態１又は実施の形態２で示した回路１００を２つ用い、それらを直列に接続した構成の例を図７乃至図１０に示す。なお、図７（Ａ）乃至（Ｃ）、図８（Ａ）乃至（Ｃ）、図９（Ａ）及び（Ｂ）において、２つの回路１００のうち一方を回路１１００とし、他方を回路２１００とする。

【００８１】

回路１１００や回路２１００の構成及び動作方法は、実施の形態１や実施の形態２で示した回路１００の構成及び動作方法と同様であるため、説明は省略する。

【００８２】

また、回路１１００を構成するトランジスタ１１０１は、トランジスタ１０１と同様の構成とすることができる。回路２１００を構成するトランジスタ２１０１は、トランジスタ 30
１０１と同様の構成とすることができる。回路１１００を構成する容量素子１１０３は、容量素子１０３と同様の構成とすることができる。回路２１００を構成する容量素子２１０３は、容量素子１０３と同様の構成とすることができる。回路１１００を構成するトランジスタ１１０２ｎやトランジスタ１１０２ｐは、トランジスタ１０２ｎやトランジスタ１０２ｐと同様の構成とすることができる。回路２１００を構成するトランジスタ２１０２ｎやトランジスタ２１０２ｐは、トランジスタ１０２ｎやトランジスタ１０２ｐと同様の構成とすることができる。

【００８３】

実施の形態１又は実施の形態２で示した回路１００を２つ用い、それらを直列に接続した構成によって、図１０（Ａ）乃至（Ｉ）に示す機能のいずれかを選択することが可能となる。 40

【００８４】

本実施の形態は、他の実施の形態と自由に組み合わせて実施することが可能である。

【００８５】

（実施の形態４）

実施の形態１乃至実施の形態３におけるトランジスタ１０１、トランジスタ１１０１、トランジスタ２１０１のチャネルが形成される領域として用いることができる、酸化物半導体について説明する。

【００８６】

電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損 50

が低減されることにより高純度化された酸化物半導体 (purified OS) は、i 型 (真性半導体) 又は i 型に限りなく近い。そのため、高純度化された酸化物半導体にチャネルが形成されるトランジスタは、オフ電流が著しく小さく、信頼性が高い。

【0087】

具体的に、高純度化された酸化物半導体にチャネルが形成されるトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧 (ドレイン電圧) が 1V から 10V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100\text{zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3V の場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

10

【0088】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレインをソースとゲートよりも高い電位とした状態において、ソースの電位を基準としたときのゲートの電位が0以下であるときに、ソースとドレインの間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレインをソースとゲートよりも低い電位とした状態において、ソースの電位を基準としたときのゲートの電位が0以上であるときに、ソースとドレインの間に流れる電流のことを意味する。

20

【0089】

酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。また、該酸化物を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。また、スタビライザーとしてジルコニウム (Zr) を含むことが好ましい。

30

【0090】

酸化物半導体の中でも In-Ga-Zn系酸化物、In-Sn-Zn系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記 In-Ga-Zn系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

40

【0091】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

【0092】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、S

50

n-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

10

【0093】

なお、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0094】

例えば、In:Ga:Zn=1:1:1(=1/3:1/3:1/3)あるいはIn:Ga:Zn=2:2:1(=2/5:2/5:1/5)の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn=1:1:1(=1/3:1/3:1/3)、In:Sn:Zn=2:1:3(=1/3:1/6:1/2)あるいはIn:Sn:Zn=2:1:5(=1/4:1/8:5/8)の原子比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

20

【0095】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0096】

酸化物半導体膜は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC(C Axis Aligned Crystal)、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAACよりも欠陥準位密度が高い。また、微結晶は、CAACよりも欠陥準位密度が高い。なお、CAACを有する酸化物半導体を、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)と呼ぶ。

30

【0097】

酸化物半導体膜は、例えばCAAC-OSを有してもよい。CAAC-OSは、例えば、c軸配向し、a軸または／およびb軸はマクロに揃っていない。

【0098】

酸化物半導体膜は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1nm以上10nm未満のサイズの微結晶（ナノ結晶ともいう。）を膜中に含む。

40

【0099】

酸化物半導体膜は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

【0100】

なお、酸化物半導体膜が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質

50

酸化物半導体の領域と、微結晶酸化物半導体の領域と、C A A C - O S の領域と、の積層構造を有してもよい。

【0101】

なお、酸化物半導体膜は、例えば、単結晶を有してもよい。

【0102】

酸化物半導体膜は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、C A A C - O S 膜がある。

【0103】

C A A C - O S 膜に含まれる結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による観察像では、C A A C - O S 膜に含まれる結晶部と結晶部との境界は明確ではない。また、TEMによってC A A C - O S 膜には明確な粒界 (グレインバウンダリーともいう。) は確認できない。そのため、C A A C - O S 膜は、粒界に起因する電子移動度の低下が抑制される。

【0104】

C A A C - O S 膜に含まれる結晶部は、例えば、c軸がC A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

【0105】

C A A C - O S 膜は、例えば、X線回折 (XRD: X-Ray Diffraction) 装置を用い、out-of-plane法による分析を行うと、2θが31°近傍のピークが現れる場合がある。2θが31°近傍のピークは、InGaZnO₄の結晶であれば、(009)面に配向していることを示す。また、C A A C - O S 膜は、例えば、2θが36°近傍のピークが現れる場合がある。2θが36°近傍のピークは、ZnGa₂O₄の結晶であれば、(222)面に配向していることを示す。C A A C - O S 膜は、好ましくは、2θが31°近傍にピークが現れ、2θが36°近傍にピークが現れない。

【0106】

また、例えば、InGaZnO₄の結晶を有するC A A C - O S 膜であれば、XRD装置を用い、c軸に垂直な方向からX線を入射させるin-plane法による分析を行うと、2θが56°近傍のピークが現れる場合がある。2θが56°近傍のピークは、InGaZnO₄の結晶の(110)面を示す。ここで、2θを56°近傍で固定し、表面の法線ベクトルを軸 (φ軸) として試料を回転させながら分析 (φスキャン) を行うと、a軸およびb軸の向きが揃っている単結晶酸化物半導体の場合は6つの対称性のピークが現れるが、C A A C - O S 膜の場合は明瞭なピークが現れない。

【0107】

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

【0108】

C A A C - O S 膜に含まれる結晶部のc軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、C A A C - O S 膜の形

10

20

30

40

50

状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部のc軸は、CAAC-O-S膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

【0109】

CAAC-O-S膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0110】

CAAC-O-S膜は、例えば、多結晶である金属酸化物ターゲットを用い、スパッタリング法によって成膜する。

10

【0111】

また、CAAC-O-S膜を成膜するために、以下の条件を適用することが好ましい。

【0112】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が -80°C 以下、好ましくは -100°C 以下である成膜ガスを用いる。

【0113】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100°C 以上 740°C 以下、好ましくは 200°C 以上 500°C 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

20

【0114】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0115】

ターゲットの一例として、In-Ga-Zn系酸化物ターゲットについて以下に示す。

【0116】

InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末を所定のmol数比で混合し、加圧処理後、 1000°C 以上 1500°C 以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn系酸化物ターゲットとする。なお、X、Y及びZは任意の正数である。ここで、所定のmol数比は、例えば、 InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2である。なお、粉末の種類、及びその混合するmol数比は、作製するターゲットによって適宜変更すればよい。

30

【0117】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、Naは、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

40

50

【0118】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体層に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体層中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法によるC濃度の測定値、またはSi濃度の測定値は、 $1 \times 10^{-18} / \text{cm}^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、半導体装置の信頼性を高めることができる。

【0119】

また、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体層のうち、ソース電極及びドレイン電極に接する領域が、酸素欠損の形成によりn型化される。

【0120】

n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げることができる。よって、n型化された領域が形成されることで、トランジスタの移動度及びオン電流を高めることができ、それにより、トランジスタを用いたスイッチ回路の高速動作を実現することができる。

【0121】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。

【0122】

また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

【0123】

また、酸化物半導体層は、単数の金属酸化物膜で構成されているとは限らず、積層された複数の金属酸化物膜で構成されていても良い。例えば、第1乃至第3の金属酸化物膜が順に積層されている半導体膜の場合、第1の金属酸化物膜及び第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが第2の金属酸化物膜よりも0.05 eV以上、0.07 eV以上、0.1 eV以上または0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下または0.4 eV以下、真空準位に近い酸化物膜である。さらに、第2の金属酸化物膜は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0124】

上記構成の半導体膜をトランジスタが有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい第2の金属酸化物膜にチャネル領域が形成される。即ち、第2の金属酸化物膜とゲート絶縁膜との間に第3の金属酸化物膜が設けられていることによって、ゲート絶縁膜と離隔している第2の金属酸化物膜に、チャネル領域を形成することができる。

【0125】

また、第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第3の金属酸化物膜の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくい、トランジスタの電界効果移動度が高くなる。

【0126】

また、第2の金属酸化物膜と第1の金属酸化物膜の界面に界面準位が形成されると、界面

10

20

30

40

50

近傍の領域にもチャネル領域が形成されるために、トランジスタの閾値電圧が変動してしまう。しかし、第1の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第1の金属酸化物膜の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタの閾値電圧等の電気的特性のばらつきを、低減することができる。

【0127】

また、金属酸化物膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないように、複数の酸化物半導体膜を積層させることが望ましい。積層された金属酸化物膜の膜間に不純物が存在していると、金属酸化物膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の金属酸化物膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化するU字型の井戸構造を有している状態）が形成されやすくなる。

【0128】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ $1 \times 10^{-4} \text{ Pa} \sim 5 \times 10^{-7} \text{ Pa}$ 程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

【0129】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 -40°C 以下、好ましくは -80°C 以下、より好ましくは -100°C 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

【0130】

例えば、第1の金属酸化物膜または第3の金属酸化物膜は、アルミニウム、シリコン、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、スズ、ランタン、セリウムまたはハフニウムを、第2の金属酸化物膜よりも高い原子数比で含む酸化物膜であればよい。具体的に、第1の金属酸化物膜または第3の金属酸化物膜として、第2の金属酸化物膜よりも上述の元素を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比で含む酸化物膜を用いると良い。前述の元素は酸素と強く結合するため、酸素欠損が酸化物膜に生じることを抑制する機能を有する。よって、上記構成により、第1の金属酸化物膜または第3の金属酸化物膜を、第2の金属酸化物膜よりも酸素欠損が生じにくい酸化物膜にすることができる。

【0131】

具体的に、第2の金属酸化物膜と、第1の金属酸化物膜または第3の金属酸化物膜とが、共に $\text{In}-\text{M}-\text{Zn}$ 系酸化物である場合、第1の金属酸化物膜または第3の金属酸化物膜の原子数比を $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ 、第2の金属酸化物膜の原子数比を $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ とすると、 y_1/x_1 が y_2/x_2 よりも大きくなるように、その原子数比を設定すれば良い。なお、元素MはInよりも酸素との結合力が強い金属元素であり、例えばAl、Ti、Ga、Y、Zr、Sn、La、Ce、NdまたはHf等が挙げられる。好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上大きくなるように、その原子数比を設定すれば良い。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きくなるように、その原子数比を設定すれば良い。より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きくなるように、その原子数比を設定すれば良い。さらに、第2の金属酸化物膜において、 y_2 が x_2 以上であると、トランジスタに安定した

電気的特性を付与できるため好ましい。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は、 x_2 と同じか、 x_2 の3倍未満であると好ましい。

【0132】

なお、第1の金属酸化物膜及び第3の金属酸化物膜の厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、第2の金属酸化物膜の厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下であり、さらに好ましくは3nm以上50nm以下である。

【0133】

3層構造の半導体膜において、第1の金属酸化物膜乃至第3の金属酸化物膜は、非晶質または結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される第2の金属酸化物膜が結晶質であることにより、トランジスタに安定した電気的特性を付与することができるため、第2の金属酸化物膜は結晶質であることが好ましい。

10

【0134】

なお、チャネル形成領域とは、トランジスタの半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

【0135】

例えば、第1の金属酸化物膜及び第3の金属酸化物膜として、スパッタリング法により形成したIn-Ga-Zn系酸化物膜を用いる場合、第1の金属酸化物膜及び第3の金属酸化物膜の成膜には、In-Ga-Zn系酸化物（In：Ga：Zn＝1：3：2〔原子数比〕）であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力0.4Paとし、基板温度を200℃とし、DC電力0.5kWとすればよい。

20

【0136】

また、第2の金属酸化物膜をCAAC-Os膜とする場合、第2の金属酸化物膜の成膜には、In-Ga-Zn系酸化物（In：Ga：Zn＝1：1：1〔原子数比〕）であり、多結晶のIn-Ga-Zn系酸化物を含むターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度300℃とし、DC電力0.5kWとすることができる。

30

【0137】

なお、トランジスタは、半導体膜の端部が傾斜している構造を有していても良いし、半導体膜の端部が丸みを帯びる構造を有していても良い。

【0138】

また、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合においても、ソース電極及びドレイン電極に接する領域が、n型化されていても良い。上記構成により、トランジスタの移動度及びオン電流を高め、半導体装置の高速動作を実現することができる。さらに、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合、n型化される領域は、チャネル領域となる第2の金属酸化物膜にまで達していることが、トランジスタの移動度及びオン電流を高め、半導体装置のさらなる高速動作を実現する上で、より好ましい。

40

【0139】

本実施の形態は、他の実施の形態と自由に組み合わせて実施することが可能である。

【0140】

（実施の形態5）

実施の形態1乃至実施の形態4に示した半導体装置の一例について説明する。図12に、図1に示した半導体装置の回路100が有する、トランジスタ101、トランジスタ102n、容量素子103の断面構造を、一例として示す。

【0141】

50

トランジスタ101として、チャネルが酸化物半導体に形成される場合を例示している。そして、トランジスタ101、及び、容量素子103が、単結晶のシリコンにチャネルが形成されるトランジスタ102nの上に形成される場合を例示している。

【0142】

なお、トランジスタ102nは、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜を活性層に用いることもできる。或いは、トランジスタ102nは、酸化物半導体を活性層に用いていても良い。全てのトランジスタが酸化物半導体を活性層に用いている場合、トランジスタ101はトランジスタ102n上に積層されていなくとも良く、トランジスタ101とトランジスタ102nとは、同一の層に形成されていても良い。

10

【0143】

薄膜のシリコンを用いてトランジスタ102nを形成する場合、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンにレーザー光を照射して結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0144】

トランジスタ102nが形成される半導体基板1400は、例えば、n型またはp型の導電性を有するシリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、GaP基板、GaInAsP基板、ZnSe基板等）等を用いることができる。図12では、n型の導電性を有する単結晶シリコン基板を用いた場合を例示している。

20

【0145】

また、トランジスタ102nは、素子分離用絶縁膜1401により、他のトランジスタと、電氣的に分離されている。素子分離用絶縁膜1401の形成には、選択酸化法（LOCOS（Local Oxidation of Silicon）法）またはトレンチ分離法等を用いることができる。

【0146】

具体的に、トランジスタ102nは、半導体基板1400に形成された、ソース領域またはドレイン領域として機能する不純物領域1402及び不純物領域1403と、ゲート電極1404と、半導体基板1400とゲート電極1404の間に設けられたゲート絶縁膜1405とを有する。ゲート電極1404は、ゲート絶縁膜1405を間に挟んで、不純物領域1402と不純物領域1403の間に形成されるチャネル形成領域と重なる。

30

【0147】

トランジスタ102n上には、絶縁膜1409が設けられている。絶縁膜1409には開口部が形成されている。そして、上記開口部には、不純物領域1402、不純物領域1403にそれぞれ接する配線1410、配線1411と、ゲート電極1404に電氣的に接続されている配線1412とが、形成されている。

【0148】

そして、配線1410は、絶縁膜1409上に形成された配線1415に電氣的に接続されており、配線1411は、絶縁膜1409上に形成された配線1416に電氣的に接続されており、配線1412は、絶縁膜1409上に形成された配線1417に電氣的に接続されている。

40

【0149】

配線1415乃至配線1417上には、絶縁膜1420及び絶縁膜1440が順に積層するように形成されている。絶縁膜1420及び絶縁膜1440には開口部が形成されており、上記開口部に、配線1417に電氣的に接続された配線1421が形成されている。

【0150】

そして、図12では、絶縁膜1440上にトランジスタ101及び容量素子103が形成されている。

【0151】

50

トランジスタ101は、絶縁膜1440上に、酸化物半導体を含む半導体膜1430と、半導体膜1430上の、ソース電極またはドレイン電極として機能する導電膜1432及び導電膜1433と、半導体膜1430、導電膜1432及び導電膜1433上のゲート絶縁膜1431と、ゲート絶縁膜1431上に位置し、導電膜1432と導電膜1433の間において半導体膜1430と重なっているゲート電極1434と、を有する。なお、導電膜1433は、配線1421に電氣的に接続されている。

【0152】

また、ゲート絶縁膜1431上において導電膜1433と重なる位置に、導電膜1435が設けられている。ゲート絶縁膜1431を間に挟んで導電膜1433及び導電膜1435が重なっている部分が、容量素子103として機能する。

10

【0153】

なお、図12では、容量素子103がトランジスタ101と共に絶縁膜1440の上に設けられている場合を例示しているが、容量素子103は、トランジスタ102nと共に、絶縁膜1440の下に設けられていても良い。

【0154】

そして、トランジスタ101、容量素子103上に、絶縁膜1441及び絶縁膜1442が順に積層するように設けられている。絶縁膜1441及び絶縁膜1442には開口部が設けられており、上記開口部においてゲート電極1434に接する導電膜1443が、絶縁膜1442上に設けられている。

【0155】

20

なお、図12において、トランジスタ101は、ゲート電極1434を半導体膜1430の片側において少なくとも有していれば良いが、半導体膜1430を間に挟んで存在する一対のゲート電極を有していても良い。

【0156】

トランジスタ101が、半導体膜1430を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一対の電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

30

【0157】

また、図12では、トランジスタ101が、一のゲート電極1434に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ101は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0158】

また、半導体膜1430は、単膜の酸化物半導体で構成されているとは限らず、積層された複数の酸化物半導体で構成されていても良い。例えば半導体膜1430が、3層に積層されて構成されている場合のトランジスタ1110Aの構成例を、図13(A)に示す。

【0159】

40

図13(A)に示すトランジスタ1110Aは、絶縁膜1440の上に設けられた半導体膜1430と、半導体膜1430と電氣的に接続されている導電膜1432、及び導電膜1433と、ゲート絶縁膜1431と、ゲート絶縁膜1431上に半導体膜1430と重畳するように設けられたゲート電極1434と、を有する。

【0160】

そして、トランジスタ1110Aでは、半導体膜1430として、酸化物半導体層830a乃至酸化物半導体層830cが、絶縁膜1440側から順に積層されている。

【0161】

そして、酸化物半導体層830a及び酸化物半導体層830cは、酸化物半導体層830bを構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギー

50

ーが酸化物半導体層 830b よりも 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上又は 0.15 eV 以上、かつ 2 eV 以下、1 eV 以下、0.5 eV 以下又は 0.4 eV 以下、真空準位に近い酸化物膜である。さらに、酸化物半導体層 830b は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0162】

なお酸化物半導体層 830c は、図 13 (B) に示すように、導電膜 1432 及び導電膜 1433 の上層でゲート絶縁膜 1431 と重畳させて設ける構成としてもよい。

【0163】

本実施の形態は、他の実施の形態と自由に組み合わせて実施することが可能である。

【0164】

10

(実施の形態 6)

本発明の一態様に係る半導体装置またはプログラマブルロジックデバイスは、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）、2次電池などのバッテリーを制御または保護するための回路などに用いることができる。その他に、本発明の一態様に係る半導体装置またはプログラマブルロジックデバイスを用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 14 に示す。

20

【0165】

図 14 (A) は携帯型ゲーム機であり、筐体 5001、筐体 5002、表示部 5003、表示部 5004、マイクロフォン 5005、スピーカー 5006、操作キー 5007、スタイラス 5008 等を有する。なお、図 14 (A) に示した携帯型ゲーム機は、2つの表示部 5003 と表示部 5004 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0166】

図 14 (B) は携帯情報端末であり、第 1 筐体 5601、第 2 筐体 5602、第 1 表示部 5603、第 2 表示部 5604、接続部 5605、操作キー 5606 等を有する。第 1 表示部 5603 は第 1 筐体 5601 に設けられており、第 2 表示部 5604 は第 2 筐体 5602 に設けられている。そして、第 1 筐体 5601 と第 2 筐体 5602 とは、接続部 5605 により接続されており、第 1 筐体 5601 と第 2 筐体 5602 の間の角度は、接続部 5605 により変更が可能である。第 1 表示部 5603 における映像を、接続部 5605 における第 1 筐体 5601 と第 2 筐体 5602 との間の角度に従って、切り替える構成としても良い。また、第 1 表示部 5603 及び第 2 表示部 5604 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

30

40

【0167】

図 14 (C) はノート型パーソナルコンピュータであり、筐体 5401、表示部 5402、キーボード 5403、ポインティングデバイス 5404 等を有する。

【0168】

図 14 (D) は電気冷凍冷蔵庫であり、筐体 5301、冷蔵室用扉 5302、冷凍室用扉 5303 等を有する。

【0169】

図 14 (E) はビデオカメラであり、第 1 筐体 5801、第 2 筐体 5802、表示部 5803、操作キー 5804、レンズ 5805、接続部 5806 等を有する。操作キー 580

50

4 及びレンズ 5 8 0 5 は第 1 筐体 5 8 0 1 に設けられており、表示部 5 8 0 3 は第 2 筐体 5 8 0 2 に設けられている。そして、第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 とは、接続部 5 8 0 6 により接続されており、第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 の間の角度は、接続部 5 8 0 6 により変更が可能である。表示部 5 8 0 3 における映像を、接続部 5 8 0 6 における第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 との間の角度に従って切り替える構成としても良い。

【0170】

図 1 4 (F) は普通自動車であり、車体 5 1 0 1、車輪 5 1 0 2、ダッシュボード 5 1 0 3、ライト 5 1 0 4 等を有する。

【0171】

本実施の形態は、他の実施の形態と自由に組み合わせて実施することが可能である。

【符号の説明】

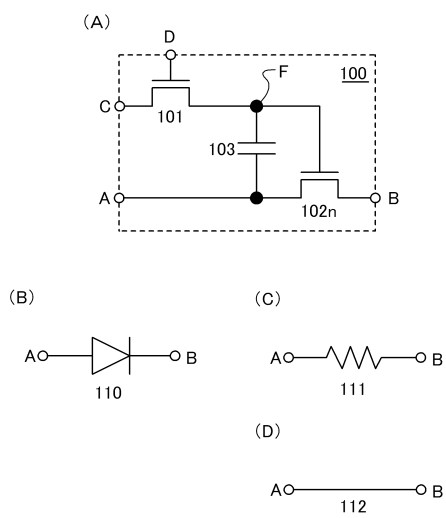
【0172】

1 0 0	回路	
1 0 1	トランジスタ	
1 0 2 n	トランジスタ	
1 0 2 p	トランジスタ	
1 0 3	容量素子	
1 1 0	ダイオード	
1 1 1	抵抗	20
1 1 2	導線	
1 2 0	ダイオード	
1 2 1	抵抗	
1 2 2	導線	
8 3 0 a	酸化物半導体層	
8 3 0 b	酸化物半導体層	
8 3 0 c	酸化物半導体層	
1 1 0 0	回路	
1 1 0 1	トランジスタ	
1 1 0 2 n	トランジスタ	30
1 1 0 2 p	トランジスタ	
1 1 0 3	容量素子	
1 1 1 0 A	トランジスタ	
1 4 0 0	半導体基板	
1 4 0 1	素子分離用絶縁膜	
1 4 0 2	不純物領域	
1 4 0 3	不純物領域	
1 4 0 4	ゲート電極	
1 4 0 5	ゲート絶縁膜	
1 4 0 9	絶縁膜	40
1 4 1 0	配線	
1 4 1 1	配線	
1 4 1 2	配線	
1 4 1 5	配線	
1 4 1 6	配線	
1 4 1 7	配線	
1 4 2 0	絶縁膜	
1 4 2 1	配線	
1 4 3 0	半導体膜	
1 4 3 1	ゲート絶縁膜	50

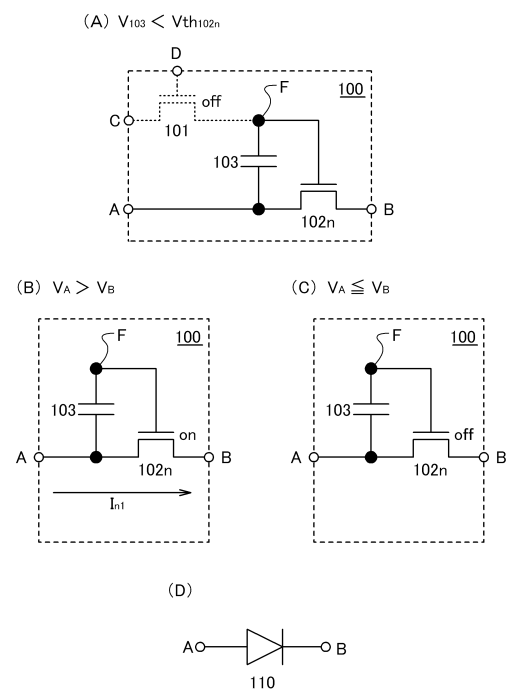
1 4 3 2	導電膜	
1 4 3 3	導電膜	
1 4 3 4	ゲート電極	
1 4 3 5	導電膜	
1 4 4 0	絶縁膜	
1 4 4 1	絶縁膜	
1 4 4 2	絶縁膜	
1 4 4 3	導電膜	
2 1 0 0	回路	
2 1 0 1	トランジスタ	10
2 1 0 2 n	トランジスタ	
2 1 0 2 p	トランジスタ	
2 1 0 3	容量素子	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロフォン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	20
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	30
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	40
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	
8 1 0 0	回路	
8 1 0 1	トランジスタ	
8 1 0 2 n	トランジスタ	
8 1 0 8	記憶手段	
8 1 1 0	ダイオード	
8 1 1 1	抵抗	50

8 1 1 2 導線

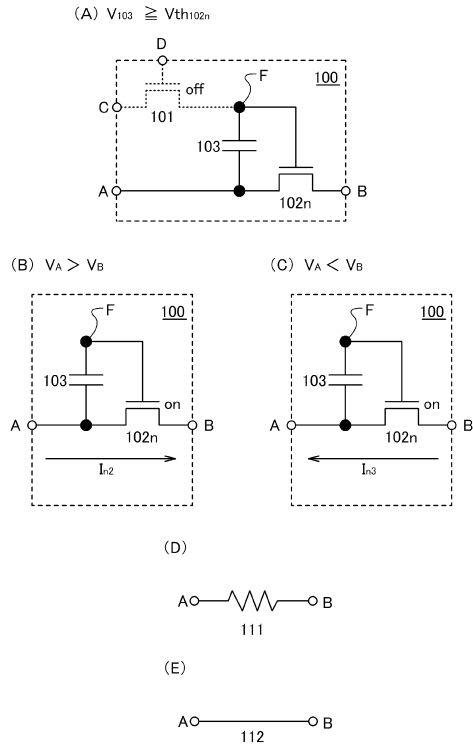
【図 1】



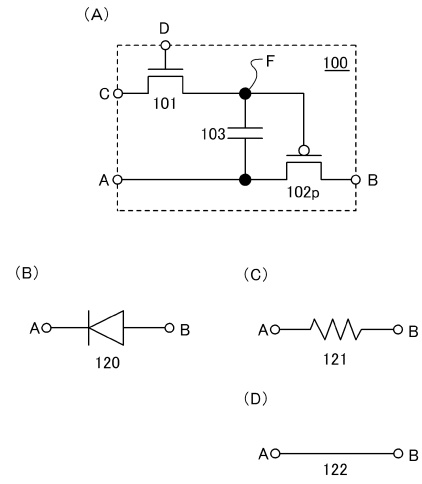
【図 2】



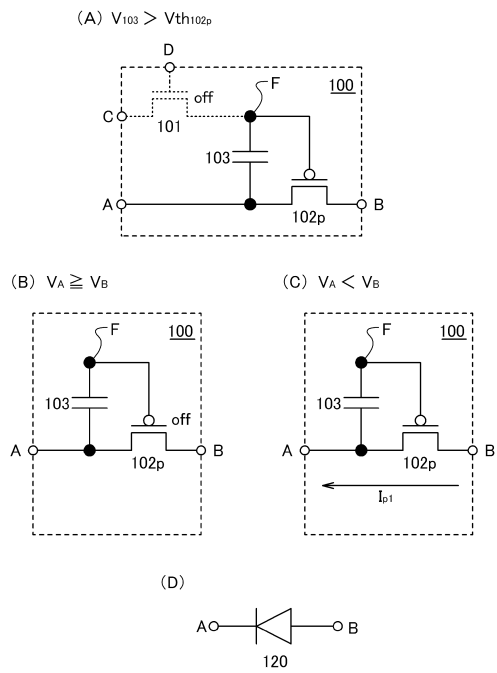
【図 3】



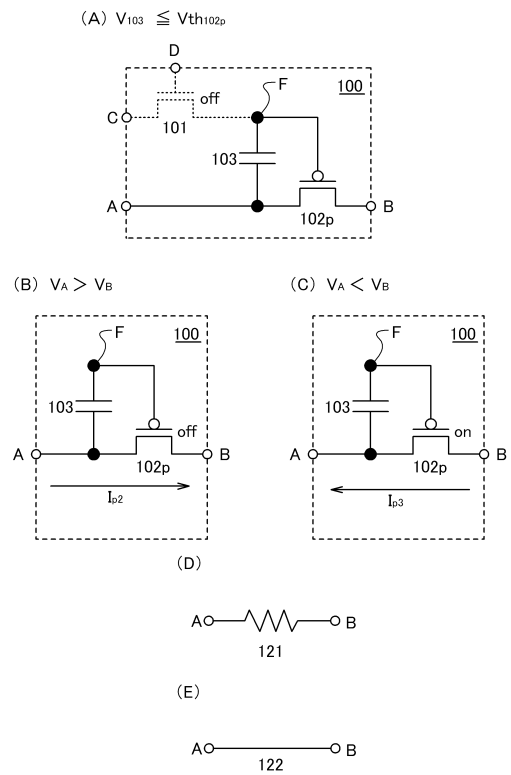
【図 4】



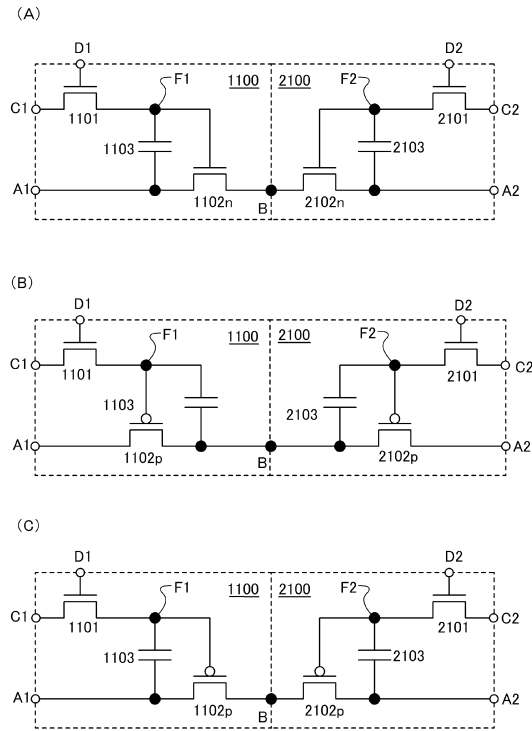
【図 5】



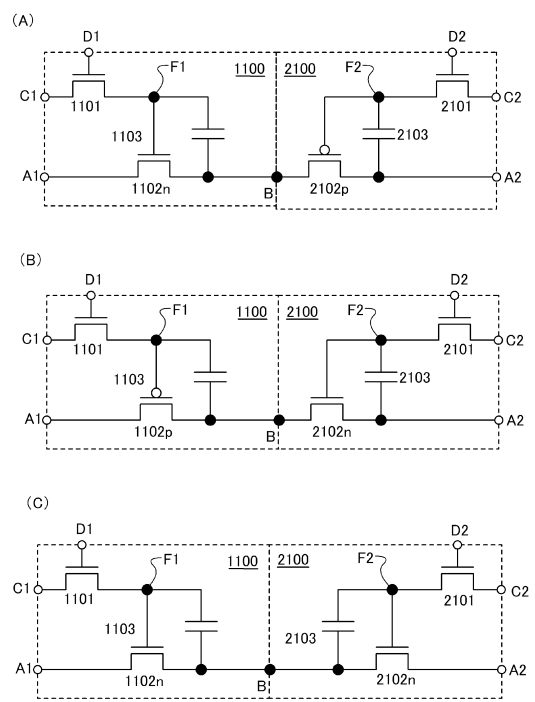
【図 6】



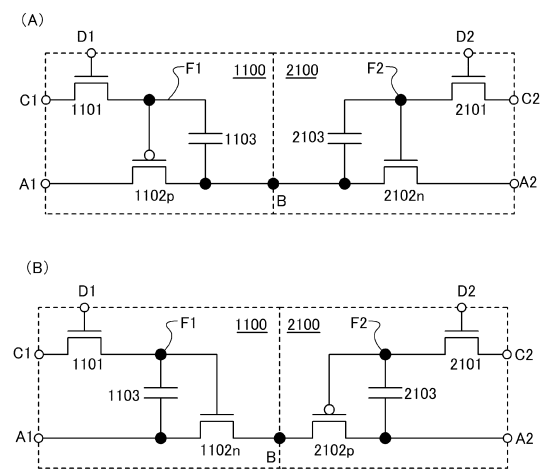
【図 7】



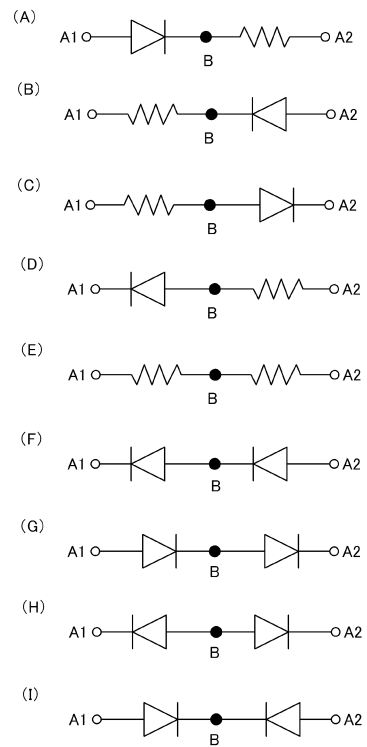
【図 8】



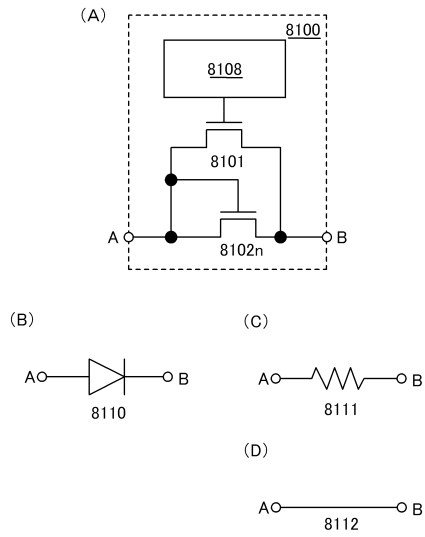
【図 9】



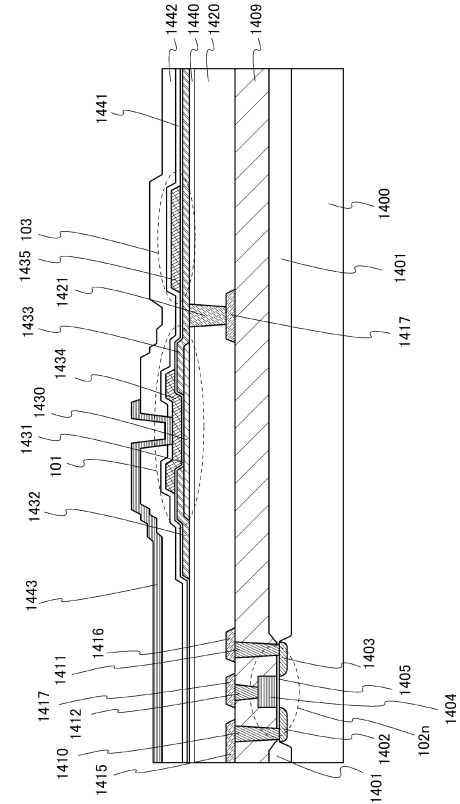
【図 10】



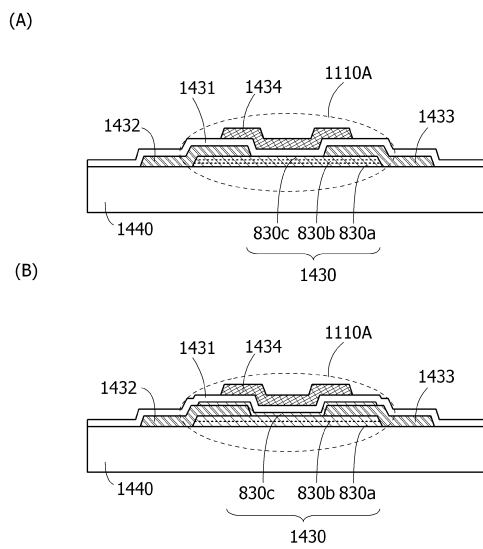
【図 1 1】



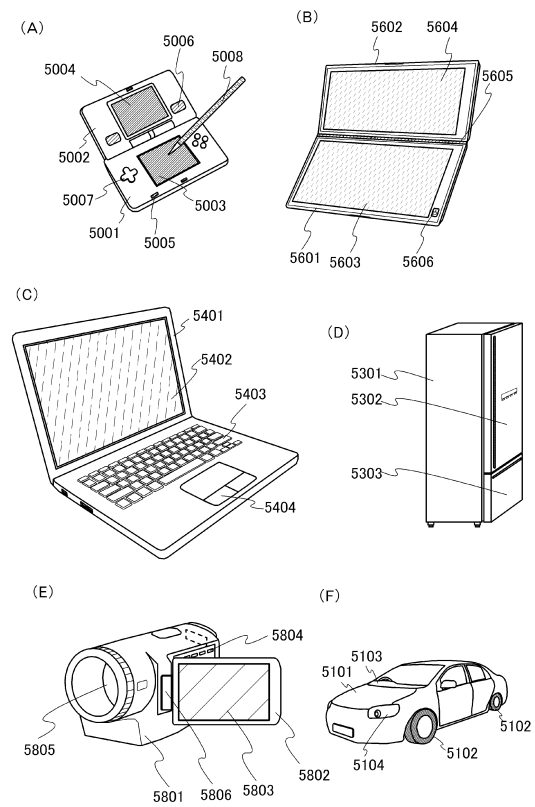
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

- (56)参考文献 特開2011-176294 (JP, A)
特開2011-119718 (JP, A)
特開2013-008990 (JP, A)
特開2010-135762 (JP, A)
特開2012-257211 (JP, A)
特開2012-257192 (JP, A)
特開2011-172214 (JP, A)
国際公開第2012/128989 (WO, A1)
特開2013-033927 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/0944

H01L 29/786