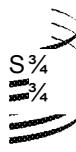


(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關



(10) 国際公開番号

W O 2017/208486 A 1

2017 年 12 月 7 日 (07.12.2017)

W I P O | P C T

國際事務局

(43) 國際公開日

2017 年 12 月 7 日 (07.12.2017)

(51) 國際特許分類 :

H01L 21/8244 (2006.01) H01L 27/11 (2006.01)

(21) 國際出願番号 :

PCT/JP2016/089129

(22) 国際出願日 : 2016年12月28日(28.12.2016)

日本語

## (26) 國際公開の言語

日本語

(30) 優先権 データ

PCT/JP2016/06615 1 2016 年 6 月 1 日 (01.06.2016) JP

(71) 出願人 (US を除く全ての指定国について) : ユニサンティスエレクトロニクスシンガポールプライベートリミテッド (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/ SG] ; 179098 ノースプリッジロー 1  
1 1、ペニンシュラ プラザ # 1 6  
- 04 Singapore (SG).

(72) 発明者 ; および

(71) 出願人 (JIS についてのみ): 岡 富士雄  
(MASUOKA Fujio) [JP/JP] ; 〒 1020083 東京都

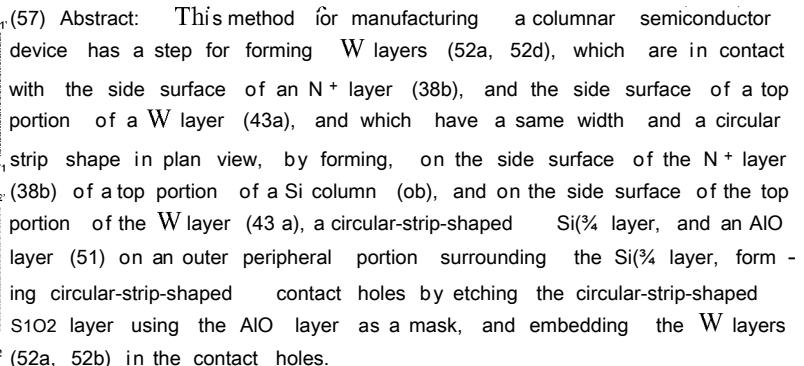
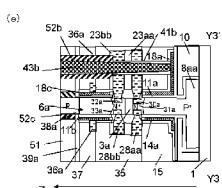
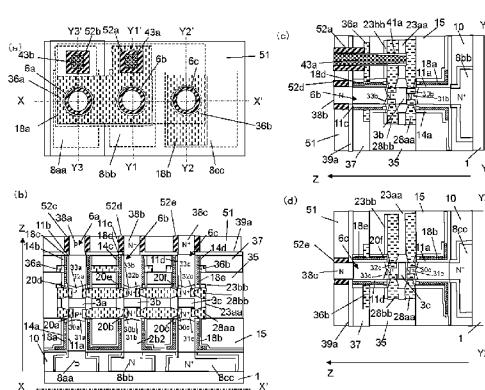
千代田区麹町 1 丁目 3 番 7 号 日月館麹町ビル 5 階 S e m i c o n C o n s u l t i n g 株式会社 内 Tokyo (JP). 原田 望 (HARADA Nozomu) [JP/JP] ; 〒 1020083 東京都千代田区麹町 1 丁目 3 番 7 号 日月館麹町ビル 5 階 S e m i c o n C o n s u l t i n g 株式会社 内 Tokyo (JP).

(74) 代理人 :木村 満 (KIMURA Mitsuru) ; 〒 1010054  
東京都千代田区神田錦町二丁目7番地  
協販ビル2階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

(54) Title: METHOD FOR MANUFACTURING COLUMNAR SEMICONDUCTOR DEVICE

(54) 発明の名称 : 柱状半導体装置の製造方法



(57) 要約：柱状半導体装置の製造方法は、Si柱(6b)の頂部のN+層(38b)と、W層(43a)の頂部と、の側面を、円帯状のSi<sub>0.2</sub>層と、これを囲んだ外周部にAlO層(51)と、を形成し、このAlO層をマスクに円帯状Si<sub>0.2</sub>層をエッチングして、円帯状のコンタクトホールを形成し、このコンタクトホールにW層(52a、52b)を埋め込むことにより、N+層(38b)と、W層(43a)の頂部と、の側面に接して、平面視において、等幅で、円帯状のW層(52a、52d)を形成する工程を有する。



ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

— 国際調査報告(条約第21条(3))

## 明 細 書

### 発明の名称：柱状半導体装置の製造方法

#### 技術分野

[0001] 本発明は、柱状半導体装置の製造方法に関する。

#### 背景技術

[0002] 近年、LSI (Large Scale Integration) に3次元構造トランジスタが使われている。その中で、柱状半導体装置であるSGT (Surrounding Gate Transistor) は、高集積な半導体装置を提供する半導体素子として注目されている。また、SGT を有する半導体装置の更なる高集積化、高性能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGT のチャネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献1、非特許文献1を参照）。このため、SGT はプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図7に、NチャネルSGTの模式構造図を示す。P型又はi型（真性型）の導電型を有するSi柱100（以下、シリコン半導体柱を「Si柱」と称する。）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN+層101a、101b（以下、ドナー不純物を高濃度で含む半導体領域を「N+層」と称する。）が形成されている。このソース、ドレインとなるN+層101a、101b間のSi柱100の部分がチャネル領域102となる。このチャネル領域102を囲むようにゲート絶縁層103が形成されている。このゲート絶縁層103を囲むようにゲート導体層104が形成されている。SGTでは、ソース、ドレインとなるN+層101a、101b、チャネル領域102、ゲート絶縁層103、ゲート導体層104が、全体として柱状に形成される。このため、平面視において、SGTの占有面積は、プレナー型MOSトランジスタの単一のソース又はドレインN+層の占有面積に

相当する。そのため、SGTを有する回路チップは、プレナー型MOSトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化が実現できる。

[0005] 図7に示したSGTは1つのSi柱内に1つのSGTが形成されている。これに対して、1つのSi柱内に複数のSGTを積上げて、形成することが可能である。この場合、各SGTのソース、ドレイン半導体領域と、ゲート導体層とに接続され、ソース、ドレイン半導体領域と垂直方向において同じ高さに形成された各配線導体層同士が、平面視において互いに重なりあうことになる。そして、SGT回路の最終工程においては、各配線導体層は、各配線導体層上に形成されたコンタクトホールを介して、これらの上方に形成された配線金属層と接続されなければならない。このため、SGT回路の高集積化には、配線導体層、コンタクトホール、配線金属層の形成方法が、重要となる。

### 先行技術文献

#### 特許文献

[0006] 特許文献1：特開平2\_188966号公報

#### 非特許文献

[0007] 非特許文献1：Hirosaki Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka : IEEE Transaction on Electron Devices, Vol. 38, No. 3, pp. 573-578 (1991)

非特許文献2：Tadashi Shiba, Susumu Kohyama and Hisakazu Iizuka : "A New Field Isolation Technology for High Density MOS LSI", Japanese Journal of Applied Physics, Vol. 18, pp. 263-267 (1979)

非特許文献3：T. Morimoto, T. Ohguro, H. Sasaki, M.S. Momose, T. Iinuma, I. Kunishima, K. Suguro, I. Katakabe, H. Nakajima, M. Tsuchiaki, M. Ono, Y. Katsumata, and H. Iwai : "Self-Aligned Nicke L-Mono-Silicide Technology for High-Speed Deep Submicrometer Logic CMOS ULSI" IEEE Transaction on Electron Devices, Vol. 42, No. 5, pp. 915-922 (1995)

## 発明の概要

### 発明が解決しようとする課題

[0008] 柱状半導体装置の高密度化の実現が求められている。

### 課題を解決するための手段

[0009] 本発明の第1の観点に係る、柱状半導体装置の製造方法は、

基板と、

前記基板上に対して垂直方向に延在する半導体柱と、

前記半導体柱の外周を囲むゲート絶縁層と、

前記ゲート絶縁層を囲むゲート導体層と、

前記垂直方向において前記ゲート導体層の上端以上で前記半導体柱の頂部以下の高さに上面位置を有する層間絶縁層と、

を有する半導体構造体を提供する工程と、

露出している前記半導体柱の上部の側面を囲んで第1の材料層を形成する工程と、

前記第1の材料層を囲んで第2の材料層を形成する工程と、

前記第2の材料層をエッチングマスクにして、前記第1の材料層をエッチングして、前記第2の材料層内に第1のコンタクトホールを形成する工程と、

前記第1のコンタクトホールに導電性を有する第1の導電材料層を形成する工程と、を備える、

ことを特徴とする。

[0010] 前記半導体柱内で前記半導体柱の前記上部より下方にアクセプタまたはドナー不純物を含む第2の不純物領域を形成する工程と、

前記半導体柱の前記上部に前記第1の導電材料層の側面に繋がる前記アクセプタまたはドナー不純物を含む第1の不純物領域を形成する工程と、をさらに備える、

ことがさらに好ましい。

[0011] 前記基板に対して垂直方向に延在する前記半導体柱とは別の半導体柱と、

前記別の半導体柱の外周を囲む前記ゲート絶縁層とは別のゲート絶縁層と、前記別のゲート絶縁層を囲む前記ゲート導体層とは別のゲート導体層と、前記別の半導体柱内に互いに離れて形成された第3の不純物領域及び第4の不純物領域とを有する、前記半導体構造体とは異なる1個または複数個の別の半導体構造体と、

前記ゲート導体層、前記別のゲート導体層、前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、及び前記第4の不純物領域から選ばれる異なる部位にそれぞれ接続され、前記基板に水平に延在し、平面視において互いに少なくとも部分的に重なり、且つ下から上にこの順番で存在する第1の配線導体層、第2の配線導体層、及び第3の配線導体層を含む積層構造体を提供する工程と、

前記第2の材料層の上表面から前記第1の配線導体層の上表面又は内部までつづき、前記第3の配線導体層及び前記第2の配線導体層を貫通する第2のコンタクトホールを形成する工程と、

前記第2のコンタクトホールに露出した前記第2の配線導体層の側面に第1の管状絶縁層を形成する工程と、

前記第2のコンタクトホールを充満して導電性を有する第2の導電材料層を形成する工程と、

前記第2の導電材料層の上部の側面を露出させる工程と、をさらに備え、

前記第1の材料層を形成する工程は、前記第2の導電材料層の前記上部の前記側面を囲んで第3の材料層を形成する工程を含み、

前記第2の材料層を形成する工程は、前記第3の材料層を囲んで第4の材料層を形成する工程を含み、そして、

前記第4の材料層をエッチングマスクにして、前記第3の材料層をエッチングして、前記第4の材料層内に第3のコンタクトホールを形成する工程と、

前記第3のコンタクトホールに導電性を有する第3の導電材料層を形成する工程と、をさらに備える、

ことがさらに好みしい。

[001 2] 前記第1の導電材料層が少なくとも金属原子と半導体原子とを含み、熱処理により、前記第1の導電材料層の前記金属原子を、前記半導体柱の前記上部内に拡散させて、前記半導体柱の前記上部内に合金層を形成する工程をさらに備える、

ことがさらに好みしい。

[001 3] 前記第1の導電材料層が前記アクセプタまたはドナー不純物を含み、前記第1の不純物領域を形成する工程では、熱処理により前記アクセプタまたはドナー不純物を、前記半導体柱の前記上部内に拡散させて、前記第1の不純物領域を形成する、

ことがさらに好みしい。

[0014] 平面視において、前記第1のコンタクトホールの場所以外にあり、前記ゲート導体層、前記第1の不純物領域、又は前記第2の不純物領域に接続され水平方向に延在する配線導体層に繋がり、且つ前記第2の材料層の表面より下方に延びる第4のコンタクトホールを形成する工程と、

第4の導電材料層を前記第4のコンタクトホールに充満する工程と、

前記第1の導電材料層と前記第4の導電材料層との頂部表面を面一にする工程と、をさらに備える、

ことがさらに好みしい。

[001 5] 前記第1の導電材料層と、前記第2の導電材料層と、前記第3の導電材料層との頂部表面を面一にする工程を備える、

ことがさらに好みしい。

[001 6] 前記第1の導電材料層を形成する工程及び前記第3の導電材料層を形成する工程は、導体材料を、前記第1のコンタクトホール及び前記第3のコンタクトホールに充満させ、且つ前記第2の材料層上に堆積し、その後、リソグラフィ法とエッチングにより、前記導体材料から、前記第1の導電材料層に繋がった第1の配線導体層と、前記第3の導電材料層に繋がった第2の配線導体層との、一方または両者を、前記第2の材料層上に形成することで行わ

れる、

ことがさらに好みしい。

[0017] 前記第1の導電材料層と、前記第2の導電材料層と、前記第3の導電材料層との頂部表面を面一にする工程の後、前記第2の材料層上に配線材料層を堆積する工程と、

リソグラフィ法とエッチングにより、前記配線材料層から、前記第1の導電材料層に繋がった第4の配線導体層と、前記第3の導電材料層に繋がった第5の配線導体層との、一方または両者を、前記第2の材料層上に形成する工程を含み、

前記エッチングにおける、前記第4の配線導体層及び前記第5の配線導体層のエッチング速度が、前記第1の導電材料層、前記第2の導電材料層、及び前記第3の導電材料層のエッチング速度より早い、

ことがさらに好みしい。

[0018] 前記第1の材料層が、平面視において、等幅で前記半導体柱の上部を囲んで形成される、

ことがさらに好みしい。

## 発明の効果

[0019] 本発明によれば、高密度の柱状半導体装置が実現する。

## 図面の簡単な説明

[0020] [図1A] 本発明の第1実施形態に係るSGTを有する柱状半導体装置を説明するためのSRAMセル回路図である。

[図1B] 第1実施形態に係るSGTを有する柱状半導体装置を説明するためのSRAMセル模式構造図である。

[図2A] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2B] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2C] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明

するための平面図と断面構造図である。

[図2D] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2E] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2F] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2G] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2H] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2I] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2J] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2K] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2L] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2M] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2N] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2O] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2P] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2Q] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明

するための平面図と断面構造図である。

[図2R] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2S] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2T] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2U] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2V] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2W] 第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3A] 本発明の第2実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3B] 第2実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図4A] 本発明の第3実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図4B] 第3実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図5] 本発明の第4実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図6] 本発明の第5実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図7] 従来例のSGTを示す模式構造図である。

## 発明を実施するための形態

[0021] 以下、本発明の実施形態に係る、柱状半導体装置の製造方法について、図

面を参照しながら説明する。

[0022] (第1実施形態)

以下、図1A、図1B、図2A～図2Wを参照しながら、本発明の第1実施形態に係る、SGTを有する柱状半導体装置の製造方法について説明する。

[0023] 図1Aに、本実施形態の柱状半導体装置である、SGTを用いたSRAMセル回路図を示す。本SRAMセル回路は2個のインバータ回路を含んでいる。1つのインバータ回路は負荷トランジスタとしてのPチャネル型SGT\_Pc1と、駆動トランジスタとしてのNチャネル型SGT\_Nc1と、から構成されている。もう1つのインバータ回路は負荷トランジスタとしてのPチャネル型SGT\_Pc2と、駆動トランジスタとしてのNチャネル型SGT\_Nc2と、から構成されている。Pチャネル型SGT\_Pc1のゲートと、Nチャネル型SGT\_Nc1のゲートと、Pチャネル型SGT\_Pc2のドレインと、Nチャネル型SGT\_Nc2のドレインとが接続されている。Pチャネル型SGT\_Pc2のゲートと、Nチャネル型SGT\_Nc2のゲートと、Pチャネル型SGT\_Pc1のドレインと、Nチャネル型SGT\_Nc1のドレインとが接続されている。

[0024] 図1Aに示すように、Pチャネル型SGT\_Pc1、Pc2のソースは電源端子Vddに接続されている。そして、Nチャネル型SGT\_Nc1、Nc2のソースはグランド端子Vssに接続されている。選択Nチャネル型SGT\_SN1、SN2が2つのインバータ回路の両側に配置されている。選択Nチャネル型SGT\_SN1、SN2のゲートはワード線端子WLtに接続されている。選択Nチャネル型SGT\_SN1のソース、ドレインはビット線端子BLtとNチャネル型SGT\_Nc1、Pチャネル型SGT\_Pc1のドレインとに接続されている。選択Nチャネル型SGT\_SN2のソース、ドレインは反転ビット線端子BLRtと、Nチャネル型SGT\_Nc2、Pチャネル型SGT\_Pc2のドレインとに接続されている。このように、本実施形態のSRAMセルを有する回路(以下、「SRAMセル回路」という。)は、2個の

Pチャネル型SGT\_Pc1、Pc2と、4個のNチャネル型SGT\_Nc1、Nc2、SN1、SN2とかなる合計6個のSGTから構成されている。そして、このSRAMセル回路は、Pチャネル型SGT\_Pc1、Nチャネル型SGT\_Nc1、SN1よりなる回路領域C1と、Pチャネル型SGT\_Pc2、Nチャネル型SGT\_Nc2、SN2よりなる回路領域C2とかなり構成されている。

[0025] 図1Bに第1実施形態に係るSRAMセル回路の模式構造図を示す。このSRAMセル回路は3個のSi柱SP1、SP2、SP3より構成されている。

Si柱SP1には、図1AにおけるPチャネル型SGT\_Pc1が上部に形成され、Pチャネル型SGT\_Pc2が下部に形成されている。Pチャネル型SGT\_Pc1、Pc2はSi柱SP1の中間にあるSiO<sub>2</sub>層○×1で分離されている。Pチャネル型SGT\_Pc1は、チャネルであるSi柱SP1の一部と、このSi柱SP1の一部を囲むゲートGp1と、ゲートGp1の上下のSi柱SP1内にあるドレインP+層Pd1とソースP+層Ps1により形成されている。Pチャネル型SGT\_Pc2は、チャネルであるSi柱SP1の一部と、このSi柱SP1の一部を囲むゲートGp2と、ゲートGp2の上下のSi柱SP1内にあるドレインP+層Pd2とソースP+層Ps2により形成されている。

Si柱SP2には、図1AにおけるNチャネル型SGT\_Nc1が上部に形成され、Nチャネル型SGT\_Nc2が下部に形成されている。Nチャネル型SGT\_Nc1、Nc2はSi柱SP2の中間にあるSiO<sub>2</sub>層○×2で分離されている。Nチャネル型SGT\_Nc1は、チャネルであるSi柱SP2の一部と、このSi柱SP2の一部を囲むゲートGn1と、ゲートGn1の上下のSi柱SP2内にあるドレインN+層Nd1とソースN+層Ns1により形成されている。Nチャネル型SGT\_Nc2は、チャネルであるSi柱SP2の一部と、このSi柱SP2の一部を囲むゲートGn2と、ゲートGn2の上下のSi柱SP2内にあるドレインN+層Nd2とソースN+層Ns2と

より形成されている。

S<sub>i</sub>柱S<sub>P</sub>3には、図1AにおけるNチャネル型SGT\_SN1が上部に形成され、Nチャネル型SGT\_SN2が下部に形成されている。Nチャネル型SGT\_SN1、SN2はS<sub>i</sub>柱S<sub>P</sub>3の中間にあるS<sub>i</sub>○<sub>2</sub>層○×3で分離されている。Nチャネル型SGT\_SN1は、チャネルであるS<sub>i</sub>柱S<sub>P</sub>3の一部と、このS<sub>i</sub>柱S<sub>P</sub>3の一部を囲むゲートG<sub>s</sub>1と、ゲートG<sub>s</sub>1の上下のS<sub>i</sub>柱S<sub>P</sub>3内にあるドレインN+層S<sub>d</sub>1とソースN+層S<sub>s</sub>1とより形成されている。Nチャネル型SGT\_SN2は、チャネルであるS<sub>i</sub>柱S<sub>P</sub>3の一部と、このS<sub>i</sub>柱S<sub>P</sub>3の一部を囲むゲートG<sub>s</sub>2と、ゲートG<sub>s</sub>2の上下のS<sub>i</sub>柱S<sub>P</sub>3内にあるドレインN+層S<sub>d</sub>2とソースN+層S<sub>s</sub>2とより形成されている。

[0026] 図1Bに示すように、S<sub>i</sub>柱S<sub>P</sub>1、S<sub>P</sub>2、S<sub>P</sub>3の同じ高さに位置している構成要素同士が接続されている。即ち、ゲートG<sub>p</sub>1、G<sub>n</sub>1が接続され、ドレインP+層P<sub>d</sub>1と、ドレインN+層N<sub>d</sub>1と、ドレインN+層S<sub>d</sub>1とが接続され、ドレインP+層P<sub>d</sub>2と、ドレインN+層N<sub>d</sub>2と、ドレインN+層S<sub>d</sub>2とが接続され、ゲートG<sub>p</sub>2、G<sub>n</sub>2が接続されている。さらに、ゲートG<sub>p</sub>1、G<sub>n</sub>1と、ドレインP+層P<sub>d</sub>2と、ドレインN+層N<sub>d</sub>2と、ドレインN+層S<sub>d</sub>2とが接続され、ゲートG<sub>p</sub>2、G<sub>n</sub>2が、ドレインP+層P<sub>d</sub>1と、ドレインN+層N<sub>d</sub>1と、ドレインN+層S<sub>d</sub>1とが接続されている。

[0027] 図1Bに示すように、S<sub>i</sub>柱S<sub>P</sub>1のソースP+層P<sub>s</sub>1、P<sub>s</sub>2は電源端子V<sub>dd</sub>に接続され、S<sub>i</sub>柱S<sub>P</sub>2のソースN+層N<sub>s</sub>1、N<sub>s</sub>2はグランド端子V<sub>ss</sub>に接続され、S<sub>i</sub>柱S<sub>P</sub>3のソースN+層S<sub>s</sub>1はビット線端子B<sub>Lt</sub>に接続され、S<sub>i</sub>柱S<sub>P</sub>3のソースN+層S<sub>s</sub>2は反転ビット線端子B<sub>Lr</sub>に接続され、S<sub>i</sub>柱S<sub>P</sub>3のゲートG<sub>s</sub>1、G<sub>s</sub>2はワード線端子W<sub>Lt</sub>に接続されている。

[0028] 図1Bに示すように、S<sub>i</sub>柱S<sub>P</sub>1、S<sub>P</sub>2、3口3の上部に、図1八に示した回路図の回路領域C1が形成され、下部に回路領域C2が形成されて

いる。そして、S i 柱 S P 1、S P 2、S P 3 の同じ高さにある構成要素同士が、S i 柱の上下間の接続経路を介さないで接続されている。即ち、ゲート G p 1、G n 1 が、S i 柱 S P 1、S P 2 の上下間の接続経路を介さないで接続され、ドレイン P + 層 P d 1、N + 層 N d 1、S d 1 が、S i 柱 S P 1、S P 2、S P 3 の上下間の接続経路を介さないで接続され、ドレイン P + 層 P d 2、～+層～づ 2、S d 2 が、S i 柱 S P 1、S P 2、S P 3 の上下間の接続経路を介さないで接続され、同様にゲート G p 2、G n 2 が、S i 柱 S P 1、S P 2 の上下間の接続経路を介さないで接続されている。これに対し、ゲート G p 1、G n 1 と、ドレイン P + 層 P d 2、N + 層 N d 2 との接続は、上下間の接続経路を介して接続する必要がある。同様に、ゲート G p 2、G n 2 と、ドレイン P + 層 P d 1、N + 層 N d 1 との接続は、上下間の接続経路を介して接続されている。

[0029] 図 2 A に、SGT を有する柱状半導体装置である SRAM セル回路の製造工程を説明するための、平面図及び断面図を示す。(a) は平面図、(b) は (a) の X-X' 線に沿う断面構造図、(c) は (a) の Y-Y' 線に沿う断面構造図、(d) は (a) の Y-Y' 線に沿う断面構造図を示す。

[0030] 図 2 A に示すように、S i ○<sub>2</sub> 層基板 1 上に、積層された i 層 2、S i ○<sub>2</sub> 層 3、i 層 4、S i ○<sub>2</sub> 層 5 を形成する。

[0031] 次に、図 2 B に示すように、レジスト層(図示せず)をマスクに、リソグラフィ法と RIE (React i ve Ion Etching) 法を用いて、平面視において円形状の S i ○<sub>2</sub> 層 5 a、5 b、5 c を形成する。次に、レジスト層、S i ○<sub>2</sub> 層 5 a、5 b、5 c をマスクに、RIE 法を用いて、i 層 4、S i ○<sub>2</sub> 層 3、i 層 2 をエッティングして、S i ○<sub>2</sub> 層基板 1 上に i 層 2 の下層を残して、S i 柱 6 a、6 b、6 c を形成する。そして、レジスト層を除去する。この結果、S i 柱 6 a は、i 层 2 b 1、S i ○<sub>2</sub> 層 3 a、i 层 4 a、S i ○<sub>2</sub> 層 5 a を含み、S i 柱 6 b は、i 层 2 b 2、3 i ○<sub>2</sub> 層 3 b、i 层 4 b、S i ○<sub>2</sub> 層 5 b を含み、S i 柱 6 c は、i 层 2 b 3、S i ○<sub>2</sub> 層 3 c、i 层 4 c、S i ○<sub>2</sub>

層 5 c を含む。

次に、リソグラフィ法とRIE法を用いて、下層に残存するi層2をエッティングして、Si柱6aの外周部にi層2a1を、Si柱6bの外周部にi層2a2を、Si柱6cの外周部にi層2a3を形成する。

[0032] 次に、図2Cに示すように、例えば熱酸化により、Si柱6a、6b、6cとi層2a1、2a2、2a3の外周にSiO<sub>2</sub>層7a、7b、7cを形成する。そして、リソグラフィ法とイオン注入法を用いて、Si柱6aの外周部のi層2a1にP+層8aを形成し、Si柱6bの外周部のi層2a2にN+層8bを形成し、Si柱6cの外周部のi層2a3にN+層8cを形成する。そして、Si柱6a、6b、6cの下部と、i層2a1、2a2、2a3とを囲んで、SiO<sub>2</sub>層10を形成する。

[0033] 次に、図2Dに示すように、SiO<sub>2</sub>層10より上のSiO<sub>2</sub>層7a、7b、7cを除去した後に、Si柱6a、6b、6cと、SiO<sub>2</sub>層10を覆って、例えばALD(Atomic Layer Deposition)法により、酸化ハフニウム(HfO<sub>2</sub>)層11と、窒化チタン(TiN)層12を順次形成する。最終的に、HfO<sub>2</sub>層11はSGTのゲート絶縁層となり、TiN層12はSGTのゲート導体層となる。

[0034] 次に、図2Eに示すように、リソグラフィ法とRIE法を用いて、Si柱6a、6bを囲んだTiN層12aと、Si柱6cを囲んだTiN層12bを形成する。

[0035] 次に、図2Fに示すように、全体を覆って、SiO<sub>2</sub>層14を形成する。その後、熱処理を行い、P+層8a、N+層8b、8cのドナー、またはアクセプタ不純物原子をi層2a1、2a2、2a3の全体に熱拡散して、P+層8aa、N+層8bb、8ccを形成する。その後、Si柱6a、6b、6cの外周に窒化シリコン(SiN)層15を形成する。続いて、SiN層15上にレジスト層16を形成する。3iO<sub>2</sub>層3a、3b、3cの垂直方向での位置が、レジスト層16の中央部になるように、レジスト層16を形成する。レジスト層16は、レジスト材料をSiN層15との上表面に塗布した後、

例えば200℃の熱処理を行つてレジスト材料の流動性を大きくし、レジスト材料がSi柱6a、6b、6cの外側のSiN層15上で均質に溜まるようにして形成する。続いて、フッ化水素ガス（以下、「HFガス」と称する。）を全体に供給する。続いて、例えば180℃の加熱環境とすることで、HFガスがレジスト層16内に含まれた水分によって電離され、フッ化水素イオン（HF<sub>2</sub><sup>+</sup>）（以下、「HFイオン」と称する。）が形成される。このHFイオンがレジスト層16内を拡散して、レジスト層16に接触するSiO<sub>2</sub>層14をエッチングする（ここでのエッチングのメカニズムは非特許文献2を参照のこと。）。一方、レジスト層16に接触していないSiO<sub>2</sub>層14は、殆どエッチングされずに残存する。その後、レジスト層16を除去する。

[0036] 以上の結果、図2Gに示すように、SiO<sub>2</sub>層14は、SiN層15に覆われたSiO<sub>2</sub>層14aと、3i柱6a、6b、6cの上部領域のSiO<sub>2</sub>層14b、14c、14dとに分離される。続いて、SiO<sub>2</sub>層14a、14b、14c、14d、SiN層15をマスクとして用い、TiN層12a、12bをエッチングすることで、TiN層12aが、3i柱6a、6bの下方領域のSiN層15で覆われたTiN層18aと、SiO<sub>2</sub>層14bで覆われたTiN層18cと、SiO<sub>2</sub>層14cで覆われたTiN層18dに分離され、TiN層12bが、Si柱6cの下方領域のSiN層15で覆われたTiN層18bと、SiO<sub>2</sub>層14dで覆われたTiN層18eに分離される。次に、3iO<sub>2</sub>層14a、14b、14cと、TiN層18a、18b、18c、18d、18eと、をマスクとして用い、HfO<sub>2</sub>層11をエッチングすることで、HfO<sub>2</sub>層11が、Si柱6a、6b、6cの下方領域においてTiN層18a、18bで覆われたHfO<sub>2</sub>層11aと、Si柱6a、6b、6cの上部領域でTiN層18c、18d、18eにそれぞれ覆われたHfO<sub>2</sub>層11b、11c、11dとに分離される。その後、TiN層18aのSi柱6a側の露出部、TiN層18aのSi柱6b側の露出部、TiN層18b、18c、18d、18eの露出部をそれぞれ酸化することで、TiO（酸化

チタン ) 層 20 a、 20 b、 20 c、 20 d、 20 e、 20 f を形成する。

その後、 TiO<sub>2</sub> 層 20 a、 20 b、 20 c、 20 d、 20 e、 20 f 形成時に Si 柱 6 a、 6 b、 6 c 側面に形成された SiO<sub>2</sub> 層 ( 図示せず ) を除去する。

[0037] 次に、図 2 H に示すように、例えば、 SiO<sub>2</sub> 層基板 1 を配置した基板金属板と、この基板金属板から離間した対向金属板とを用意し、基板金属板に直流電圧を印加し、これら 2 枚の平行金属板に RF 高周波電圧を印加することで対向金属板の材料原子をスパッタして SiO<sub>2</sub> 層基板 1 上に堆積させるバイアス・スパッタ法を用いて、 Ni 原子を SiO<sub>2</sub> 層基板 1 の上表面に垂直な方向から入射させ、 SiN 層 15 上に Ni 層 21 a を形成する。同様に、バイアス・スパッタ法により、ボロン (B) 不純物を含んだ P 型ポリ Si 層 22 a、 3 iO<sub>2</sub> 層 23 a、 Ni 层 21 b、 P 型ポリ Si 层 22 b、 SiO<sub>2</sub> 层 23 b を順次積層する。ここで、 SiO<sub>2</sub> 层 23 b の上面は、 Si 柱 6 a、 6 b、 6 c の上部を覆った SiO<sub>2</sub> 层 14 b、 14 c、 14 d と接するように形成する。Ni 原子、ポリ Si 原子、 SiO<sub>2</sub> 原子は、 SiO<sub>2</sub> 層基板 1 の上表面に対して垂直な方向から入射するので、 Si 柱 6 a、 6 b、 6 c の外周部側面と Ni 层 21 a、 21 b、 P 型ポリ Si 层 22 a、 22 b、 SiO<sub>2</sub> 层 23 a、 23 b との間に、密閉された空間 25 a、 25 b、 25 c が形成される。その後、 SiN 层 15 上に堆積された Ni 层 21 a、 21 b、 P 型ポリ Si 层 22 a、 22 b、 3 iO<sub>2</sub> 层 23 a、 23 b よりなる積層膜と同時に Si 柱 6 a、 6 b、 6 c 頂部上に形成された積層膜 ( 図示せず ) を除去する。

[0038] 次に、図 2 I に示すように、 Si 柱 6 a を覆ったレジスト層 27 を形成する。その後、 SiO<sub>2</sub> 層基板 1 上面より砒素 (As) 原子のイオン注入により、 Si 柱 6 b、 6 c の外周部の P 型ポリ Si 层 22 a、 22 b を N+ 層化して N+ 型ポリ Si 层 26 a、 26 b を形成する。その後、レジスト層 27 を除去する。

[0039] 次に、図 2 J に示すように、例えば 550 °C の熱処理を行うことで、 Ni 层 21 a、 21 b の Ni 原子を P 型ポリ Si 层 22 a、 22 b、 N+ 型ポリ Si

i層26a、26b内に拡散させてニッケルシリサイド(NiSi)層28a、28bをそれぞれ形成する。NiSi層28a、28bは、P型ポリSi層22a、22b、～+型ポリ3i層26a、26bの体積より膨張する(この体積膨張については非特許文献3を参照のこと)。P型ポリSi層22a、22b、～+型ポリ3i層26a、26bはSiN層15、SiO<sub>2</sub>層23a、23bにより挟まれているので、NiSi層28a、28bは、主に空間25a、25b、25c内に突出する。～+型ポリ3i層26a、26bに含まれているAs原子と、P型ポリSi層22a、22bとに含まれているB原子は、NiSi層28a、28bより外側に押し出される(この押し出し現象については非特許文献3を参照のこと)。この不純物原子押し出し効果により、空間25a、25b、25c内に突き出したNiSi層28a、28bの側面表層に不純物原子を多く含んだ突起部(図示せず)が形成される。そして、突起部側面がSi柱6a、6b、6c表面に接触する。

[0040] 次に、図2Kに示すように、熱処理を行って、NiSi層28a、28bのシリサイド化を拡張すると共に、不純物押し出し効果により突起部からAs原子、B原子をSi柱6a、6b、6c内に拡散させる。こうして、NiSi層28aに接したSi柱6a、6b、6cの側面表層にそれぞれNiSi層30a、30b、30cが形成されると共に、B原子及びAs原子が不純物押し出し効果によりSi柱6a、6b、6c内部に拡散されてSi柱6a、6b、6c内部にそれぞれP+層31a、～+層31b、31cが形成される。同様に、NiSi層28bに接したSi柱6a、6b、6cの側面表層にそれぞれNiSi層32a、32b、32cが形成されると共に、B原子及びAs原子が不純物押し出し効果によりSi柱6a、6b、6c内部に拡散されてSi柱6a、6b、6c内部にそれぞれP+層33a、～+層33b、33cが形成される。3iO<sub>2</sub>層3a、3b、3cでは、ドナー及びアクセプタ不純物原子の熱拡散が抑えられ、同時にシリサイド化も抑えられるので、P+層31a、N+層31b、31cと、P+層33a、N+層33b、33cとは、3iO<sub>2</sub>層3a、3b、3cで分離される。次に、リソグラフィ法

と RIE 法とを用いて、NiSi 層 28a、28b、SiO<sub>2</sub> 層 23a、23b を、3i 柱 6a、6b、6c の外周部に残存するように、パターン加工することで、NiSi 層 28aa、28bb、SiO<sub>2</sub> 層 23aa、23bb をそれぞれ形成する。

[0041] 次に、図 2L に示すように、SiN 層 15 を形成した方法と同じ方法を用いることで、その上表面が、TiN 層 18c、18d、18e の高さ方向の中間に位置するように、SiN 層 35 を形成する。続いて、空間 25a、25b、25c を形成した方法と同じ方法を用いることで、Ti — 層 18O、18d、18e の外周に開口部を形成する。続いて、TiN 層 18c、18d に接触した NiSi 層 36a と、TiN 層 18e に接触した NiSi 層 36b を形成する。

[0042] 次に、図 2M に示すように、SiO<sub>2</sub> 層 37 を、その上表面の位置が NiSi 層 36a、36b の表面よりも高く、かつ Si 柱 6a、6b、6c の頂部よりも低くなるように形成する。その後、SiO<sub>2</sub> 層 37 をマスクとして用い、Si 柱 6a、6b、6c の頂部の SiO<sub>2</sub> 層 14b、14c、14d、TiN 層 18c、18d、18e、HfO<sub>2</sub> 層 11b、11c、11d をエッティングする。次に、SiO<sub>2</sub> 層 37、14b、14c、14d、TiN 層 18c、18d、18e、HfO<sub>2</sub> 層 11b、11c、11d をマスクにして、リソグラフィ法とイオン注入法を用いて、Si 柱 6a の頂部にボロン (B) をイオン注入して P+ 層 38a を、3i 柱 6b、6c の頂部に砒素 (As) をイオン注入して N+ 層 38b、38c をそれぞれ形成する。

[0043] 図 2N に次の工程を示す。(e) は (a) における Y3—Y3' 線に沿った断面構造図である。図 2N に示すように、P+ 層 38a、N+ 層 38b、38c の外周部の SiO<sub>2</sub> 層 37 の上に SiN 層 39a を形成する。そして、全体に SiO<sub>2</sub> 膜 (図示せず) を被覆して、その後に CMP 法により、上表面の位置が P+ 層 38a、N+ 層 38b、38c の頂部と一致する、表面が平坦な SiO<sub>2</sub> 層 39b を形成する。続いて、リソグラフィ法と RIE 法とを用いて、NiSi 層 28aa 上に、SiO<sub>2</sub> 層 39b、SiN 層 39a、SiO<sub>2</sub> 層

37、NiSi層36a、SiN層35、Si<sub>2</sub>O層23bb、NiSi層28bb、Si<sub>2</sub>O層23aaを貫通させて、コンタクトホール40aを形成する。同じく、リソグラフィ法とRIE法とを用いて、TiN層18a上に、Si<sub>2</sub>O層39b、SiN層39a、Si<sub>2</sub>O層37、SiN層35、Si<sub>2</sub>O層23bb、NiSi層28bb、Si<sub>2</sub>O層23aa、NiSi層28aa、SiN層15、Si<sub>2</sub>O層14aを貫通させて、コンタクトホール40bを形成する。

[0044] 次に、全体にALD法によりSi<sub>2</sub>O層(図示せず)を堆積する。そして、図2Oに示すように、RIE法を用いて、コンタクトホール40aの側面にSi<sub>2</sub>O層41aを残存させ、NiSi層28aa上のSi<sub>2</sub>O層を除去する。同様に、コンタクトホール40bの側面にSi<sub>2</sub>O層41bを残存させ、TiN層18a上の3iO<sub>2</sub>層を除去する。

[0045] 次に、全体にALD法によりタンクステン(W)層(図示せず)を、コンタクトホール40a、40bの内部とSi<sub>2</sub>O層39b上部に堆積する。そして、図2Pに示すように、MCP法により、W層と、Si<sub>2</sub>O層39bとの表面層を研磨して、上表面の位置がP+層38a、～+層38b、38cの頂部と、Si<sub>2</sub>O層39bとの上表面と一致するW層43a、43bを形成する。

[0046] 次に、Si<sub>2</sub>O層39bを除去して、SiN層39aの上表面より上のP+層38a、N+層38b、38c、W層43a、43bを露出させる。そして、全体にCVD法によりSi<sub>2</sub>O層(図示せず)を堆積する。そして、図2Qに示すように、RIE法を用いてSi<sub>2</sub>O層を3iN層39a上表面まで均一にエッチングする。これにより、W層43a、43bの側面にSi<sub>2</sub>O層46a、46bを残存させる。同時にP+層38a、～+層38b、38cの側面にSi<sub>2</sub>O層46c、46d、46eを残存させる。

[0047] 次に全体にCVD法により例えば酸化アルミニウム(AI0)絶縁層(図示せず)を堆積する。そして、図2Rに示すように、CMP法によりAI0層の上表面の位置が、P+層38a、N+層38b、38cの頂部と、W層43a、43bとの上表面になるように、平坦に研磨して、AI0層51を形

成する。そして、P+層38a、N+層38b、38cの頂部と、W層43a、43bとの側面のSiO<sub>2</sub>層46a、46b、46c、46d、46eを除去する。これにより、P+層38a、N+層38b、38cの頂部と、W層43a、43bのそれぞれを円帯状に囲んだコンタクトホール50a、50b、50c、50d、50eが形成される。

[0048] 次に、コンタクトホール50c、50d、50eを覆ってレジスト層(図示せず)を形成する。そして、図2Sに示すように、RIE法により、レジスト層、AIO層51をマスクにして、W層43aの外周のSiN層39a、3iO<sub>2</sub>層37をエッチングして～i3i層36a上にコンタクトホール50aaを形成する。同様に、レジスト層とAIO層51をマスクにして、W層43bの外周のSiN層39a、SiO<sub>2</sub>層37、SiN層35、SiO<sub>2</sub>層23bb、及びこれらに接するSiO<sub>2</sub>層41bをエッチングしてNiSi層28bb上にコンタクトホール50bbを形成する。

[0049] 次にALD法により、コンタクトホール50c、50d、50e、50aa、50bbの内部、及びAIO層51上に、W層(図示せず)を堆積する。そして、図2Tに示すように、CMP法により、上表面の位置がP+層38a、～+層38b～38cの頂部と、W層43a、43bとなるようにW層を研磨する。これにより、W層43a、43bの側面と、P+層38aの側面と、N+層38b、38cの側面とを囲み、且つコンタクトホール50aa、50bb、50c、50d、50e内部に、W層52a、52b、52c、52d、52eを形成する。

[0050] 次に、図2Uに示すように、全体にSiO<sub>2</sub>層54を形成する。そして、P+層38a、N+層38b上のSiO<sub>2</sub>層54を貫通するコンタクトホール55a、55bを形成し、P+層8aa上に、SiO<sub>2</sub>層54、AIO層51、SiN層39a、SiO<sub>2</sub>層37、SiN層35、15、SiO<sub>2</sub>層14a、HfO<sub>2</sub>層11b、SiO<sub>2</sub>層10を貫通するコンタクトホール55cを形成し、N+層8bb上に、SiO<sub>2</sub>層54、AIO層51、SiN層39a、SiO<sub>2</sub>層37、SiN層35、15、SiO<sub>2</sub>層14a、HfO<sub>2</sub>層11a、SiO<sub>2</sub>層

10を貫通するコンタクトホール55dを形成する。そして、シリサイド層として、Si柱6a、6bの頂部にNiSi層66a、66bを形成し、コンタクトホールホール55cの底部のP+層8aa上にNiSi層66cを形成し、コンタクトホールホール55cの底部のN+層8bb上にNiSi層66dを形成する。NiSi層66a、66bは、平面視において、Si柱6a、6bの外周まで形成されることが望ましい。そして、コンタクトホール55a、55cを介してP+層38a、8aaに接続した電源配線金属層VDと、コンタクトホール55b、55dを介してN+層38b、8bbに接続したグランド配線金属層VSSと、を形成する。

[0051] 次に、図2Vに示すように、CVD法とCMP法により、全体にSiO<sub>2</sub>層56を形成する。その後、SiO<sub>2</sub>層56、54、AlO層51、SiN層39a、SiO<sub>2</sub>層37、SiN層35、SiN層15、SiO<sub>2</sub>層11aを貫通させて、TiN層18b上にコンタクトホール57を形成する。そして、コンタクトホール57を介してTiN層18bに接続したワード線配線金属層WLを形成する。

[0052] 次に、図2Wに示すように、CVD法とCMP法により、全体にSiO<sub>2</sub>層58を形成する。その後、Si柱6cの頂部のN+層38c上に、SiO<sub>2</sub>層58、56、54を貫通させて、コンタクトホール60aを形成し、N+層8cc上に、SiO<sub>2</sub>層58、56、54、AlO層51、SiN層39a、SiO<sub>2</sub>層37、SiN層35、15、3iO<sub>2</sub>層14a、HfO<sub>2</sub>層11a、SiO<sub>2</sub>層10、7cを貫通させて、コンタクトホール60bを形成する。そして、シリサイド層として、Si柱6cの頂部にNiSi層66eを形成し、コンタクトホール60bの底部のN+層8cc上にNiSi層66fを形成する。その後、コンタクトホール60aを介して、N+層38cと接続する、平面視上においてY2-Y2'線に沿った方向に繋がったビット線配線金属層BLを形成し、コンタクトホール60bを介してN+層8ccと接続する、平面視上においてビット線配線金属層BLに並行して繋がった反転ビット線配線金属層BLRを形成する。

[0053] 図2Wに示すように、Si柱6aの上部に、P+層33a、38aをドレン、ソースとし、TiN層18cをゲートとし、P+層33a、38a間のSi柱6aをチャネルにしたSGT（図1BのPチャネル型SGT\_Pc1に対応する）が形成され、Si柱6aの下部に、?+層8aa、31aをソース、ドレインとし、TiN層18aをゲートとし、?+層8aa、31a間のSi柱6aをチャネルにしたSGT（図1BのPチャネル型SGT\_Pc2に対応する）が、形成される。

また、Si柱6bの上部に、N+層33b、38bをソース、ドレインとし、TiN層18dをゲートとし、N+層33b、38b間のSi柱6bをチャネルにしたSGT（図1BのNチャネル型SGT\_Nc1に対応する）が形成され、Si柱6bの下部に、~+層8bb、31bをソース、ドレインとし、TiN層18aをゲートとし、N+層8bb、31b間のSi柱6aをチャネルにしたSGT（図1BのNチャネル型SGT\_Nc2に対応する）が、形成される。

また、Si柱6cの上部に、N+層33c、38cをソース、ドレインとし、TiN層18eをゲートとし、N+層33c、38c間のSi柱6cをチャネルにしたSGT（図1BのNチャネル型SGT\_SN1に対応する）が形成され、Si柱6cの下部に、~+層8cc、31cをソース、ドレインとし、TiN層18bをゲートとし、N+層8cc、31c間のSi柱6cをチャネルにしたSGT（図1BのNチャネル型SGT\_Nc2に対応する）が、形成される。

これらSGT（図1BのSGT\_Pc1、Pc2、Nc1、Nc2、SN1、SN2に対応する）が接続配線されて、図1Bに示した模式構造図と同じく、Si柱6a、6b、6cの上部に形成されたPチャネル型SGT（図1BのPチャネル型SGT\_Pc1に対応する）及びNチャネル型SGT（図1BのNチャネル型SGT\_Nc1、SN1に対応する）による回路領域（図1Bの回路領域C1に対応する）と、3i柱6a、6b、6cの下部に形成されたPチャネル型SGT（図1BのPチャネル型SGT\_Pc2に対応する）

及びNチャネル型SGT（図1BのNチャネル型SGT\_Nc2、SN2に対応する）による回路領域（図1Bの回路領域C2に対応する）と、により構成されたSRAMセル回路が形成される。

[0054] 第1実施形態の製造方法によれば、次のような特徴が得られる。

1. 図2Wに示されるように、?+層38a、~-+層38b、38cは、側面と上表面との全体を低抵抗金属層であるW層52c、52d、52eと、低抵抗シリサイド層であるNiSi層66a、66b、66eと、で囲まれている。W層52c、52d、52eの底部位置は、P+層38a、N+層38b、38cの下端に近い位置に形成されている。これにより、?+層38a、N+層38b、38cによるダイオード接合抵抗を低くでき、且つ?+層38a、~-+層38b、38cによるダイオード接合に均一な電界を形成することができる。これは、SGT回路の低電圧駆動化と高速化に寄与できる。

2. W層43a、43bとSi柱6a、6b、6cの頂部のP+層38a、N+層38b、38cとを平面視において円帯状に囲むSi<sub>2</sub>O<sub>3</sub>層46a、46b、46c、46d、46eをエッチングして得られる構造を用いて、W層43a、43bとSi柱6a、6b、6cの頂部のP+層38a、~-+層38b、38cとを平面視において円帯状に囲むW層52a、52b、52c、52d、52eが形成される。Si<sub>2</sub>O<sub>3</sub>層46a、46b、46c、46d、46eは、W層43a、43bとSi柱6a、6b、6cとの位置関係について、リソグラフィ法におけるマスク合せ工程を必要としない自己整合（self-alignment）で形成される。これにより、W層52a、52b、52c、52d、52eは、W層43a、43bとSi柱6a、6b、6cとに対して、自己整合で形成される。これはSGT回路を高密度に形成できることを示している。

3. 図2Rに示したように、最初に、垂直方向において、同じ深さのコンタクトホール50a、50b、50c、50d、50eを形成し、その後に、図2Sに示すように、コンタクトホール50b、50c、50d、50eを覆ったレジスト層（図示せず）とAlO層51をマスクにして、RIE法に

より、コンタクトホール 50aa とコンタクトホール 50bb をそれぞれ形成する。こうして、コンタクトホール 50c、50d、50e の深さと、コンタクトホール 50aa の深さと、コンタクトホール 50bb の深さとを異なるものにできる。これは、深さの異なる W 層 52c、52d、52e と、W 層 52a と、W 層 52b とを容易に形成できることを示している。これにより、SGT 回路の製作が容易になる。

4. W 層 43a に面した NiSi 層 28bb の側面に SiO<sub>2</sub> 層 41a が形成されている。これにより、平面視において、NiSi 層 28aa、28bb、36a が、お互いに重なっているのにも関わらず、これらを貫通する W 層 43a と NiSi 層 28bb とを絶縁しつつ、NiSi 層 28aa と NiSi 層 36a とを接続することが可能となる。これは、SRAM セル面積の縮小を可能にする。

同様に、W 層 43b に面した NiSi 層 28aa の側面に SiO<sub>2</sub> 層 41b が形成されている。これにより、平面視において、TiN 層 18a、NiSi 層 28aa、28bb が、お互いに重なっているのにも関わらず、これらを貫通する W 層 43b によって、W 層 43b と NiSi 層 28aa を絶縁しつつ、TiN 层 18a と NiSi 層 28bb とを接続することが可能となる。これは、SRAM セル面積の縮小を可能にする。

5. 平面視において互いに重なった、下部配線導体層である Ni3i 層 28aa、中間配線導体層である NiSi 層 28bb、上部配線導体層である NiSi 層 36a を有する構造において、NiSi 層 28aa 上に、NiSi 層 28bb、36a を貫通して、且つ頂部が NiSi 層 36a より上部に位置する W 層 43a を形成し、そして、この W 層 43a の外周を囲み、特別なリソグラフィ法を用いないで、自己整合で形成された W 層 52a が、NiSi 層 36a とその上表面に接続されることにより、NiSi 層 36a と 28aa との接続が実現されている。

同様に、平面視において互いに重なった、下部配線導体層である TiN 層 18a、中間配線導体層である NiSi 層 28aa、上部配線導体層である

NiSi層28bbを有する構造において、TiN層18a上に、NiSi層28aa、28bbを貫通して、且つ頂部がNiSi層28bbより上部に位置するW層43bを形成し、そして、このW層43bの外周を囲み、特別なリソグラフィ法を用いないで、自己整合で形成されたW層52ヒが、NiSi層28bbと、その上表面に接続されることにより、NiSi層28bbとTiN層18aとの接続が実現されている。

このように、W層43aとW層52aとが自己整合で形成され、W層43bとW層52bとが自己整合で形成されている。これにより、SRAMセルの高密度配線が実現する。

6. SGT回路の低電圧駆動化と高速化に寄与する、P+層38a、N+層38b、38cの側面全体を円帯状に囲んだW層52c、52d、52eと、SGT回路の高密度化に寄与するW層43a、43bの頂部側面全体を円帯状に囲んだW層52a、52bと、をそれぞれが自己整合プロセスで、かつ同じ工程で行うことができる。これにより、高密度SGT回路を容易に形成することができる。

7. 図2P、図2Qに示したように、W層43a、43bの頂部と、Si柱6a、6b、6cの頂部のP+層38a、N+層38b、38cと、を覆ってSi<sub>2</sub>O<sub>3</sub>層(図示せず)を堆積し、その後に、RIE法により、このSi<sub>2</sub>O<sub>3</sub>層をエッティングして、W層43a、43bの頂部と、Si柱6a、6b、6cの頂部のP+層38a、N+層38b、38cと、を囲んでSi<sub>2</sub>O<sub>3</sub>層46a、46b、46c、46d、46eを形成した。平面視における、Si<sub>2</sub>O<sub>3</sub>層46a、46b、46c、46d、46eの幅長は、リソグラフィ法を用いて形成した場合より、リソグラフィ法におけるマスク合わせ寸法余裕を確保する必要がないので、短く形成することが可能である。また、平面視において、W層43a、43bと、P+層38a、N+層38b、38cと、Si<sub>2</sub>O<sub>3</sub>層46a、46b、46c、46d、46eと、の位置関係が自己整合により形成されている。これにより、W層43a、43bと、P+層38a、N+層38b、38cと、W層52a、52b、52c、52d、52eとの接

続を、高密度に形成することができる。

[0055] (第2実施形態)

以下、図3A、図3Bを参照しながら、本発明の第2実施形態に係る、SGTを有する柱状半導体装置の製造方法について説明する。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY1-Y1'線に沿う断面構造図、(d)は(a)のY2-Y2'線に沿う断面構造図、(e)は(a)のY3-Y3'線に沿った断面構造図である。第2実施形態の製造方法は、以下に説明する相違点を除き、第1実施形態の図2A～図2Wに示す工程と同様である。

[0056] 図3Aに示す工程の前までは、図2Aから図2Sまでと同じ工程を行う。ALD法により、コンタクトホール50c、50d、50e、50aa、50bbの内部に、例えばシリサイドであるNiSi層(図示せず)を堆積する。そして、CMP法によりNiSi層を、W層43a、43bと、Si柱6a、6b、6cと、の上表面まで研磨して、NiSi層62a、62b、62c、62d、62eを形成する。そして、全体にSiO<sub>2</sub>層63(図2UにおけるSiO<sub>2</sub>層54に対応する)を形成する。

[0057] 次に、図3Bに示すように、熱処理を行うことにより、～i3i層62o、62d、62eに接したSi柱6a、6b、6cの頂部にNiSi層64a、64b、64cが形成される。そして、P+層38a、N+層38b、38cのアクセプタおよびドナー不純物が、NiSi層64a、64b、64cの押し出し効果により、3i柱6a、6b、6cの下方に押し出されて、高い不純物濃度を持つP+層65a、～+層65b、65cが形成される(不純物押し出し効果については非特許文献3を参照)。以降、図2U～図2Wと同じ工程を行うことによって、第1実施形態と同様のSRAMセルが形成される。

[0058] 本実施形態のSGTを有する柱状半導体装置の製造方法によれば、次のような特徴が得られる。

本実施形態では、第1実施形態におけるP+層38a、N+層38b、38

c の多くの部分がシリサイド層であるN i S i層64a、64b、64cに置き換えられた構造となっている。更に、N i S i層64a、64b、64cからのドナー、またはアクセプタ不純物の押し出し効果により高濃度の不純物密度を持つP+層65a、～+層65b、65cが形成される。これにより、第1実施形態と比べて、ダイオード接合抵抗がさらに低抵抗化される。これは、SGT回路の低電圧駆動化、高速駆動化に繋がる。

[0059] (第3実施形態)

以下、図4A、図4Bを参照しながら、本発明の第3実施形態に係る、SGTを有する柱状半導体装置の製造方法について説明する。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY1-Y1'線に沿う断面構造図、(d)は(a)のY2-Y2'線に沿う断面構造図、(e)は(a)のY3-Y3'線に沿った断面構造図である。第3実施形態の製造方法は、以下に説明する相違点を除き、第1実施形態の図2A～図2Wに示す工程と同様である。

[0060] 図4Aに示す工程の前までは、図2Mに示す工程でP+層38a、N+層38b、38cを形成しない点を除いては、図2Aから図2Qまでと同じ工程を行う。そして、レジスト層(図示せず)をマスクにして、3iO<sub>2</sub>層46a、46b、46cをエッチングして、コンタクトホール50a、50b、50cを形成する。そして、アクセプタ不純物を含んだSi層(図示せず)を全体に被覆する。そして、CMP法によりSi層をSi柱6a、6b、6c、W層43a、43bの上表面まで研磨して、図4Aに示すように、Si柱6a、W層43a、43bの頂部を囲んでSi層67a、67b、67cを形成する。そして、Si層67a、67b、67cを形成したのと同様に、3i柱6b、6cの頂部を囲んでドナー不純物を含んだSi層67d、67eを形成する。具体的には、まず、レジスト層をマスクにして、SiO<sub>2</sub>層46d、46eをエッチングして、コンタクトホール50d、50eを形成する。そして、ドナー不純物を含んだSi層(図示せず)を全体に被覆する。そして、CMP法により3i層を3け主6a、6b、6c、W層43a、4

3 b の上表面まで研磨して、図4 A に示すように、3 i 柱 6 d、6 c の頂部を囲んで Si 層 6 7 d、6 7 e を形成する。これにより、コンタクトホール 5 0 a、5 0 b、5 0 c 内にアクセプタ不純物を含んだ Si 層 6 7 a、6 7 b、6 7 c を形成する、コンタクトホール内 5 0 d、5 0 e 内にドナー不純物を含んだ Si 層 6 7 d、6 7 e を形成し、最後に、全体に SiO<sub>2</sub> 層 6 3 (図2 U における SiO<sub>2</sub> 層 5 4 に対応する) を形成する。なお、上述のように 3 i 層 6 7 a、6 7 b を Si 層 6 7 c と共に形成する代わりに、Si 層 6 7 d、6 7 e の形成と共に行つてもよい。この場合、3 i 層 6 7 a、6 7 b はドナー不純物を含むことになる。Si 層 6 7 a、6 7 b にドナー不純物またはアクセプタ不純物を含ませることにより、3 i 層 6 7 a、6 7 b と、W 層 4 3 a、4 3 b と、NiSi 層 3 6 a と、が低抵抗で接続される。また、Si 層 6 7 a、6 7 b を Si 層 6 7 c、6 7 d、6 7 e とは独立して形成してもよい。この場合、3 i 層 6 7 a、6 7 b に、ドナー不純物またはアクセプタ不純物を含ませなくてもよい。含ませない場合、後の熱処理により Si 層 6 7 a、6 7 b 内にタンゲステン・シリサイド (WSi<sub>2</sub>) 層が形成されることにより、Si 層 6 7 a、6 7 b と、W 层 4 3 a、4 3 b と、NiSi 層 3 6 a と、が低抵抗で接続される。

[0061] 次に、図4 B に示すように、熱処理を行い、Si 層 6 7 c から Si 柱 6 a の頂部にアクセプタ不純物を拡散させて、P+層 6 8 a を形成し、Si 層 6 7 d、6 7 e からドナー不純物を拡散させて、~+層 6 8 b 6 8 c を形成する。そして、第2実施形態と同様に、図2 U～図2 W と同じ工程を行うことによって、第1実施形態と同様の SRAM セルが形成される。

[0062] なお、アクセプタまたはドナーを含んだ Si 層 6 7 c、6 7 d、6 7 e に替えて、アクセプタまたはドナーを含んだシリサイド層を用いてもよい。この場合、3 i 柱 6 a、6 b、6 c の頂部に、第3実施形態と同様なシリサイドが形成される。

[0063] 本実施形態のSGT を有する柱状半導体装置の製造方法によれば、次のような特徴が得られる。

1. 本実施形態では、Si層の形成に例えればドナー又はアクセプタ不純物を高濃度に含んだSiエピタキシャル法を用いてSi層67c、67d、67eを形成することができる。これにより、Si柱6a、6b、6c頂部に低抵抗のP+層38a、N+層38b、38cを形成することができる。これにより、高速なSGT回路を製作することが可能となる。
2. アクセプタまたはドナーを含んだSi層67c、67d、67eに替えて、アクセプタまたはドナーを含んだシリサイド層を用いた場合は、Si柱6a、6b、6cの頂部に、第3実施形態と同様なシリサイド層が形成される。これは、SGT回路の低電圧駆動化、高速駆動化に繋がる。

[0064] (第4実施形態)

以下、図5を参照しながら、本発明の第4実施形態に係る、SGTを有する柱状半導体装置の製造方法について説明する。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY1-Y1'線に沿う断面構造図、(d)は(a)のY2-Y2'線に沿う断面構造図、(e)は(a)のY3-Y3'線に沿った断面構造図である。

[0065] 第1実施形態における図2A～図2Sまでの工程を行った後に、平面視において、第1実施形態におけるコンタクトホール57、55c、55d、55eと同じ位置にレジスト層(図示せず)をA1O層51に形成し、リングラフィ法によりこのレジスト層をマスクにして、P+層8aa、N+層8bb、8cc、TiN層18b上にコンタクトホール(図示せず)を形成する。

[0066] 次にALD法により、コンタクトホール50c、50d、50e、50aa、50bbの内部、及びA1O層51上に、W層(図示せず)を堆積する。そして、CMP法により、上表面の位置がP+層38a、N+層38b、38cの頂部と、W層43a、43bとなるようにW層を研磨する。これにより、W層43a、43bの側面と、P+層38aの側面と、-+層38b、38cの側面とを囲み、且つコンタクトホール50aa、50bb、50c、50d、50eの内部に、W層52a、52b、52c、52d、52eを形成し、N+層8cc、P+層8aa、N+層8bb、TiN層18b上のコン

タクトホール内部にW層70a、70b、70c、70dを形成する。これにより、W層43a、43b、52a、52b、52c、52d、52e、70a、70b、70c、70dの上表面位置は同じになる。

[0067] 次に、全体にSi<sub>2</sub>O<sub>5</sub>層54を形成する。そして、P+層38a、N+層38b上のSi<sub>2</sub>O<sub>5</sub>層54を貫通するコンタクトホール55a、55bを形成し、W層70b上にSi<sub>2</sub>O<sub>5</sub>層54を貫通するコンタクトホール71bを形成し、W層70c上にSi<sub>2</sub>O<sub>5</sub>層54を貫通するコンタクトホール71cを形成する。そして、コンタクトホール70a、70b、70cの底部のP+層8aa、N+層8bb、8cc表層にNiSi層66c、66d、66fを形成する。NiSi層66a、66bは、平面視において、Si柱6a、6bの外周まで形成されることが望ましい。そして、コンタクトホール55a、71bを介してP+層38a、8aaに接続した電源配線金属層VDDと、コンタクトホール55b、71cを介してN+層38b、8bbに接続したグランド配線金属層VSSと、を形成する。

[0068] 次に、CVD法とCMP法により、全体にSi<sub>2</sub>O<sub>5</sub>層56を形成する。その後、3iO<sub>2</sub>層56、54を貫通させて、W層70d上にコンタクトホール71dを形成する。そして、コンタクトホール71dを介してTiN層18bに接続したワード線配線金属層WLを形成する。

[0069] 次に、CVD法とCMP法により、全体にSi<sub>2</sub>O<sub>5</sub>層58を形成する。その後、Si柱6cの頂部のN+層38c上に、3iO<sub>2</sub>層58、56、54を貫通させて、コンタクトホール60aを形成し、W層70a上に、Si<sub>2</sub>O<sub>5</sub>層58、56、54を貫通させて、コンタクトホール71aを形成する。その後、コンタクトホール60aを介して、N+層38cと接続する、平面視上においてY2-Y2'線に沿った方向に繋がったビット線配線金属層BLを形成し、コンタクトホール71aを介してN+層8ccと接続する、平面視上においてビット線配線金属層BLに並行して繋がった反転ビット線配線金属層BLRを形成する。こうして、SRAMセル回路が形成される。

[0070] 本実施形態のSGTを有する柱状半導体装置の製造方法によれば、次のよ

うな特徴が得られる。

第1実施形態では、コンタクトホール55a、55b、55c、55d、57、60a、60bの底部位置が、それぞれ異なっていた。これに対して、本実施形態では、コンタクトホール55a、55b、60a、71a、71b、71c、71dの底部位置が、W層43a、43b、52a、52b、52c、52d、52e、70a、70bの頂部表面位置になっている。これにより、コンタクトホール55a、55b、60a、71a、71b、71c、71dを介した配線金属層VDD、VSS、BL、BLR、WLの形成が容易になる。例えば、CPUチップのようにSRAMセル領域と同じチップ上に論理回路を形成する場合、配線金属層の層数が数10層に及ぶので、論理回路部の形成を含めて、配線金属層に繋がるコンタクトホールの底部位置を高さ方向で同じにするのは、配線金属層の高密度形成に繋がる。

[0071] (第5実施形態)

以下、図6を参照しながら、本発明の第5実施形態に係る、SGTを有する柱状半導体装置の製造方法について説明する。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY1-Y1'線に沿う断面構造図、(d)は(a)のY2-Y2'線に沿う断面構造図、(e)は(a)のY3-Y3'線に沿った断面構造図である。

[0072] 第1実施形態における図2A～図2Sまでの工程を行った後に、W層(図示せず)を全体に堆積する。そして、全体をCMP法によりW層の上表面位置がA1O層51より上方になるように研磨する。そして、図6に示すように、リソグラフィ法とエッティングによりW層43a、52aに繋がるW層72aと、N+層38c及びW層52eに繋がるW層72bとを形成する。これ以後、図2U～図2Wの工程を行う。

[0073] 本実施形態のSGTを有する柱状半導体装置の製造方法によれば、次のような特徴が得られる。

1. 本実施形態では、W層43a、52aに繋がるW層72aと、～+層38c及びW層52eに繋がるW層72bとを形成した。これは、設計上の必要

性により、W層52a、52b、52c、52d、52eのいずれか、または全てに繋がったW配線層をAIO層51上に形成できることを示している。これにより、SRAM回路だけでなく、他の回路設計に本実施形態を適用することにより、回路の高性能化を図ることができる。

2. また、第1実施形態における図2A～図2Tまでの工程を行った後に、W層43a、43b、52a、52b、及びAIO層51の上に、タンゲステン以外の配線材料層を形成しても、同様に、W層52a、52b、52c、52d、52eのいずれか、または全てに繋がった金属配線層をAIO層51上に形成できる。これにより、SRAM回路だけでなく、他の回路設計に本実施形態を適用することにより、回路の高性能化を図ることができる。この場合、リソグラフィ工程の後の配線材料層のエッチングが、W層より早くエッチングされるようになされることは望ましい。これにより、W層52a、52b、52c、52d、52eの中で、レジストで覆われてないW層がエッチングされることなく、配線材料層がパターンニングされる利点が得られる。

[0074] なお、第1実施形態では、SGTを用いたSRAMセル回路を例として説明したが、SGTを用いた他の回路形成においても本発明を適用することができる。そして、本発明に係るその他の実施形態においても同様である。

[0075] また、本発明の実施形態では、3i柱6a、6b、6cのそれぞれに、2個のSGTを形成したが、1個、または3個以上を形成する回路形成においても、本発明を適用できる。

[0076] また、第1実施形態では、AIO層51をエッチングマスクとして用い、Si柱6a、6b、6cの頂部、及びW層43a、43bの頂部を残存させつつ、コンタクトホール50a、50b、50c、50d、50eを形成したが、エッチングマスクの材料（第1実施形態ではAIO層51を使用）、半導体柱の材料（第1実施形態ではSi柱6a、6b、6cを使用）、及びコンタクトホールの形状を作るための被除去層の材料（第1実施形態ではSiO<sub>2</sub>層46a、46b、46c、46d、46e、37、SiN層39a、

35を使用)、並びに、エッチング法は、それぞれの目的を得るものであれば、任意である。このことは、本発明に係るその他の実施形態においても同様である。

[0077] 第1実施形態では、図2Nに示すように、P+層38a、N+層38b、38cの外周部のSiO<sub>2</sub>層37の上にSiN層39aを形成した。SiN層39aに代えて、AlO層51とSi柱6a、6b、6c、W層43a、43bをマスクにして、SiO<sub>2</sub>層46a、46b、46c、46d、46eをエッチングする場合の、エッチングストップ層となる材料層であれば、他の材料層を用いてもよい。また、SiN層39aに代えて、TiN層18c、18d、18eの上端を酸化して、そこに絶縁層を形成してもよいし、また、Ti～層18○、18d、18eの上端の一部をエッチングして、そこに絶縁層を埋め込んでもよい。少なくとも、SiO<sub>2</sub>層46○、46d、46eの下に、SiO<sub>2</sub>層46○、46d、46eのエッチングに対してエッチングストップとなる材料層があれば、SiN層39aを省略できる。また、SiN層39a、SiO<sub>2</sub>層46a、46b、46c、46d、46e、AlO層51の材料選択は、それぞれの目的を得るものであれば、任意である。このことは、本発明に係るその他の実施形態においても同様である。

[0078] また、第1実施形態では、Si柱6a、6b、6○上にSiO<sub>2</sub>層5a、5b、5cを形成したが、他の単層または複数層の材料層を用いてもよい。また、例えばSiN層などの他の単層または複数層と、を組み合わせた材料層であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0079] また、第1実施形態では、Si柱6a、6b、6○上にSiO<sub>2</sub>層5a、5b、5cを、図2Mの工程において、除去したが、SiO<sub>2</sub>層5a、5b、5cは、この後のいずれかの工程まで残しても、本発明の目的を得るのに不都合がない限りは、問題ない。このことは、本発明に係るその他の実施形態においても同様である。

[0080] また、第1実施形態では、下部SGTのソースP+層8aa、N+層8bb

、 $8\text{ c c}$ を構成するS i柱6a、6b、6cの底部のソース不純物領域および互いに水平方向に繋がった配線導体層部分を、同じ材料層で形成したが、例えば配線導体層部をシリサイドまたは金属などの単層または複数層から構成されるほかの材料層で形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0081] また、第1実施形態では、平面視において下部配線導体層であるN i S i層28a aと、中間配線導体層であるN i S i層28b bと、上部配線導体層であるN i S i層36aとが重なって形成された領域にコンタクトホール40a、40bを形成した。この場合、N i S i層28a aは下部SGTのドレインN+層31bに繋がっており、N i S i層28b bは上部SGTのドレインN+層33bに接続され、N i S i層36aは上部SGTのゲートT i N層18dに接続されている。このように、SGTを用いた回路の設計に応じて、上部配線導体層、中間配線導体層、下部配線導体層とに繋がる、SGTのソース不純物領域、ドレイン不純物領域、ゲート導体層との組み合わせは適宜変更可能である。このことは、本発明に係るその他の実施形態においても同様である。

[0082] また、第1実施形態では、S i $\bigcirc_2$ 層41aにより側面が絶縁されたN i S i層28b bの側面形状が、平面視においてコンタクトホール40aの外周位置に一致していたが、N i S i層28b bの側面がコンタクトホール40aの外側に広がっていてもよい。これにより、N i S i層28a a、28b b間の容量を小さくすることが出来る。同様に、S i $\bigcirc_2$ 層41bにより側面が絶縁されたN i S i層28a aの側面形状が、平面視においてコンタクトホール40bの外周位置に一致していたが、N i S i層28a aの側面がコンタクトホール40bの外側に広がっていてもよい。これにより、N i S i層28a aとT i N層18aとの間の容量を小さくすることが出来る。そして、これはSRAMセル回路以外の回路形成においても有効となる。このことは、本発明に係るその他の実施形態においても同様である。

[0083] また、第1実施形態では、コンタクトホール40a、40bは、最上層の

S<sub>i</sub>O<sub>2</sub>層39bからNiSi層28aa、TiN層18aの上表面まで形成されているが、コンタクトホール40a、40bのオーバエッチングにより、コンタクトホール40a、40bの底部は、NiSi層28aa、TiN層18aの内部まで形成されてもよいことは言うまでもない。このことは、本発明に係るその他の実施形態においても同様である。

[0084] また、第1実施形態では、Ni層21a、21bのNi原子によるP型シリコン層22a、22b、～+型ポリ3i層26a、26bのシリサイド化に伴ってNiSi層28a、28bを空間25a、25b、25c内へ突起させた。このNi層21a、21bの代わりに、チタン(Ti)、コバルト(Co)などの他の金属層を用いてシリサイド層を形成し、このシリサイド層を空間25a、25b、25c内へ突起させることとしてもよい。また、金属原子を多く含んだシリサイド層を、スパッタ蒸着などにより形成して、その後に、シリサイド層の空間25a、25b、25c内への突起を行ってよい。また、他の方法を用いて、N+層31b、31c、33b、33c、P+層31a、33a、そして各Si柱6a、6b、6cの外周を囲んだゲートTiN層18c、18d、18eに繋がって水平方向に配置された配線導体層であるNiSi層28aa、28bb、36a、36bとの接続を行ってよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0085] また、第1実施形態では、コンタクトホール40a、40bの側面に面した、上部配線導体層であるNiSi層36a、28bbの側面にSiO<sub>2</sub>層41a、41bが形成されるが、RIEエッチングのオーバエッチングにより、NiSi層36a、28bbの側面からSiO<sub>2</sub>層41a、41bを除去してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0086] また、第1実施形態では、SiO<sub>2</sub>層基板1上にSi柱6a、6b、6cを形成してSRAMセル回路を形成したが、SiO<sub>2</sub>層基板1の代わりにSOI(Silicon on Insulator)基板、Si基板などの他の基板を用いてよい。

S<sub>i</sub>基板の場合、S<sub>i</sub>基板表層にS<sub>i</sub>柱6a、6b、6c底部のソースまたはドレインのN+層またはP+層に対応したウエル構造を儲けてもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0087] また、第1実施形態では、W層43a、43bを用いたが、代わりに他の導体層を用いてもよい。また、このW層43a、43b及び他の導体層は、バリア層などを含む複数の導体層より構成されていてもよい。複数の導体層を構成する材料は、それぞれ同じでもよいし、異なってもよく、本実施形態が求める特性を満足するものであればよい。

[0088] また、第2実施形態では、P+層38a、N+層38b、38c、W層43a、43bを囲んでN<sub>i</sub>S<sub>i</sub>層62a、62b、62c、62d、62eを形成したが、これらの層の一つ以上を、N<sub>i</sub>S<sub>i</sub>の代わりに、他のシリサイド材料、または他の半導体原子と金属原子との合金から形成してもよい。こうしたシリサイド材料及び合金は、平面視において、半導体柱の頂部にある不純物領域の外周部または中心まで合金化できる材料であればよい。

[0089] また、第3実施形態では、S<sub>i</sub>柱6a、6b、6○、W層43a、43bの頂部を囲んで、アクセプタまたはドナー不純物を含んだS<sub>i</sub>層67a、67b、67c、67d、67eを形成したが、代わりに、アクセプタまたはドナー不純物を含んだシリサイド層及び/又は他の材料層を形成してもよい。また、3i層67a、67bを形成する代わりに、アクセプタまたはドナー不純物を含まないシリサイド層及び/又は他の材料層を形成してもよい。

[0090] また、第1実施形態では、図2Qに示すように、RIE法を用いてCVD法により全体に堆積したS<sub>i</sub>O<sub>2</sub>層(図示せず)をS<sub>i</sub>N層39a上表面まで均一にエッティングしてW層43a、43bの側面に円帯状のS<sub>i</sub>O<sub>2</sub>層46a、46bを残存させ、P+層38a、N+層38b、38cの側面に円帯状の3iO<sub>2</sub>層46○、46d、46eを残存させた。3iO<sub>2</sub>層46a、46b、46c、46d、46eは、P+層38a、N+層38b、38c、W層43a、43bの側面に自己整合により、残存するものであれば、ほかの材料層であってもよい。また、RIE法によらなくても、他の方法でもよい。こ

のことは、本発明に係るその他の実施形態においても同じである。

[0091] また、第1、4実施形態のSi<sub>2</sub>O<sub>5</sub>層46a、46b、46c、46d、46e、W層52a、52b、52c、52d、52e、第2実施形態のNiSi層62a、62b、62c、62d、62e、第3実施形態のSi層67a、67b、67c、67d、67eの各層は、Si柱6a、6b、6c、W層43a、43bのいずれかを平面視において円帯状に囲むように形成されているが、これらの形状は円帯状に限られるものではない。平面視における以上の構造の断面形状の外形は、それらに対応するSi柱6a、6b、6c、W層43a、43bの断面形状に依存した形状、例えば、相似形であってもよく、例えば、Si柱6a、6b、6c、W層43a、43bの断面形状が正方形であれば、正方形や長方形であってもよいし、3i柱6a、6b、6c、W層43a、43bの断面形状が橢円形であれば、橢円形、円形、長円形であってもよい。また、以上の構造の断面形状は平面視においてSi柱6a、6b、6c、W層43a、43bを囲む任意の形状であってもよい。特に、余分なマスクを形成する必要が無いので、以上の構造の断面形状を、等幅の帯状に形成することが好ましい。

[0092] また、第1実施形態では、Si柱6a、6b、6c側面表面とNiSi層28aa、28bbとの接続、Si柱6a、6b、6c内でのNi3i層30a、30b、30c、32a、32b、32cの形成、?+層31a、33a、~-+層31b、31c、33b、33cの形成は、図2Kにおける熱処理によって行った。熱処理によるこれらの構造の形成は、第1実施形態で示したタイミングより遅らせることができ、SGTを製造する最終工程までに行われればよい。このことは、本発明に係るその他の実施形態においても同じである。

[0093] また、第1実施形態では、SiN層15、35の単体材料層を用いて説明したが、複合材料層、例えば、下部にSi<sub>2</sub>O<sub>5</sub>層、上部にSiN層を有する複合材料層を用いてもよい。また、SiN層15、35に換えて、HFイオンの拡散係数が小さい絶縁材料層を用いてもよい。このことは、本発明に係る

その他の実施形態においても適用可能である。

- [0094] 第5実施形態では、W層43a、52aに繋がるW層72aと、N+層38c及びW層52eに繋がるW層72bとを形成した。低抵抗材料層であるW層43aとW層52aとはW層72aを介さずともすでに互いに接続されているので、W層72aは少なくともW層52aと接続していればよい。同様に、低抵抗材料層であるN+層38cとW層52eとはW層72bを介さずともすでに互いに接続されているので、W層72bは少なくともW層52eと接続していればよい。本発明を他の実施形態に適用する場合も同様である。
- [0095] また、上記各実施形態では、半導体柱におけるチャネル、ソース、ドレインなどの半導体領域としてSi（シリコン）を用いた例について説明した。しかしこれに限られず、本発明の技術思想は、SiGeのようにSiを含んだ半導体材料、またはSi以外の半導体材料を用いた、SGTを有する半導体装置にも適用可能である。
- [0096] また、第1実施形態では、ゲート導体層がTiN層18a、18b、18c、18dからなる形態とした。しかしこれに限られず、ゲート導体層は、他の金属材料から形成されていてもよい。また、ゲート導体層は、金属層と例えばポリSi層などから構成される多層構造を有していてもよい。このことは、本発明に係る他の実施形態においても同様に適用可能である。
- [0097] また、縦型NAND型フラッシュメモリ回路では、半導体柱をチャネルにして、この半導体柱を囲んだトンネル酸化層、電荷蓄積層、層間絶縁層、制御導体層から構成されるメモリセルが複数段、垂直方向に形成される。これらメモリセルの両端の半導体柱には、ソースに対応するソース線不純物層と、ドレインに対応するビット線不純物層がある。また、1つのメモリセルに対して、その両側のメモリセルの一方がソースならば、他方がドレインの役割を行う。このように、縦型NAND型フラッシュメモリ回路はSGT回路の1つである。従って、本発明はNAND型フラッシュメモリ回路に対しても適用することができる。
- [0098] また、第1実施形態において、例えば、ソース、ドレインとなるN+層8b

b、31bからなるSGTでは、同じドナー不純物を含んだ不純物領域により形成されているが、互いに異なる導電性を有する不純物領域を有するトンネル効果SGTであってもよい。これは、残りのSGTにおいても同じである。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0099] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

[0100] 本出願は、2016年6月1日に出願された国際出願第PCT/JP2016/66151号に基づく優先権を主張するものである。この元となる特許出願の開示内容は参考により全体として本出願に含まれる。

### 産業上の利用可能性

[0101] 本発明に係る、柱状半導体装置の製造方法によれば、高性能で、且つ高集積度な半導体装置が得られる。

### 符号の説明

[0102] P<sub>c</sub>1、P<sub>c</sub>2 Pチャネル型SGT  
N<sub>c</sub>1、N<sub>c</sub>2、N<sub>c</sub>3、N<sub>c</sub>4、S<sub>N</sub>1、S<sub>N</sub>2 Nチャネル型SGT  
B<sub>L</sub>t ビット線端子  
B<sub>L</sub>Rt 反転ビット線端子  
W<sub>L</sub>t ワード線端子  
V<sub>s</sub>s グラント端子  
V<sub>d</sub>d 電源端子  
C<sub>1</sub>、C<sub>2</sub> 回路領域  
G<sub>p</sub>1、G<sub>p</sub>2、G<sub>n</sub>1、G<sub>n</sub>2、G<sub>s</sub>1、G<sub>s</sub>2 ゲート  
1 SiO<sub>2</sub>層基板

2、2 a 1、2 a 2、2 a 3、2 b 1、2 b 2、2 b 3、4、4 a、4 b、  
4 c i層

N s 1、N s 2、N d 1、N d 2、S d 1、S d 2、N s 1、N D、s s 1  
、s D 1、S D 2、S s 2、8 b、8 c、8 b b、8 c c、3 1 b、3 1 c  
、3 3 b、3 3 c、3 8 b、3 8 c、6 5 b、6 5 c、6 8 b、6 8 c N<sup>+</sup>  
層

P s 1、P s 2、P d 1、P d 2、8 a、8 a a、3 1 a、3 3 a、3 8 a  
、6 5 a、6 8 a p+層

○x 1、○x 2、○x 3、3、3 a、3 b、3 c、5、5 a、5 b、5 c、  
7 a、7 b、7 c、1 o、14、14 a、14 b、14 c、14 d、2 3 a  
、2 3 b、2 3 a a、2 3 b b、3 7、3 9 b、4 1 a、4 1 b、4 6 a、  
4 6 b、4 6 c、4 6 d、4 6 e、5 4、5 6、5 8、6 3 S i ○<sub>2</sub>層

S P 1、S P 2、S P 3、6 a、6 b、6 c S i 柱

1 1、1 1 a、1 1 b、1 1 c、1 1 d H f ○<sub>2</sub>層

1 2、1 2 a、1 2 b、1 8 a、1 8 b、1 8 c、1 8 d、1 8 e T i N  
層

1 5、3 5、3 9 a S i N層

5 1 A I ○層

1 6、2 7 レジス ト層

2 0 a、2 0 b、2 0 c、2 0 d、2 0 e、2 0 f T i ○層

2 1 a、2 1 b N i 層

2 2 a、2 2 b P型ポリS i 層

2 6 a、2 6 b N+型ポリS i 層

2 5 a、2 5 b、2 5 c 空間

2 8 a、2 8 b、2 8 a a、2 8 b b、3 0 a、3 0 b、3 0 c、3 2 a、  
3 2 b、3 2 c、3 6 a、3 6 b、6 2 a、6 2 b、6 2 c、6 2 d、6 2  
e、6 4 a、6 4 b、6 4 c、6 6 a、6 6 b、6 6 c、6 6 d、6 6 e、  
6 6 f N i S i 層

67a、67b、67c、67d、67e Si層  
40a、40b、50a、50b、50c、50d、50e、50aa、50bb、55a、55b、55c、55d、55e、57、60a、60b、71a、71b、71c、71d コンタクトホール  
43a、43b、52a、52b、52c、52d、52e、70a、70b、70c、70d、72a、72b W層  
VDD 電源配線金属層  
VSS グランド配線金属層  
WL ワード線配線金属層  
BL ビット線配線金属層  
BLR 反転ビット線配線金属層

## 請求の範囲

[請求項1]

基板と、

前記基板上に対して垂直方向に延在する半導体柱と、

前記半導体柱の外周を囲むゲート絶縁層と、

前記ゲート絶縁層を囲むゲート導体層と、

前記垂直方向において前記ゲート導体層の上端以上で前記半導体柱の頂部以下の高さに上面位置を有する層間絶縁層と、

を有する半導体構造体を提供する工程と、

露出している前記半導体柱の上部の側面を囲んで第1の材料層を形成する工程と、

前記第1の材料層を囲んで第2の材料層を形成する工程と、

前記第2の材料層をエッチングマスクにして、前記第1の材料層をエッチングして、前記第2の材料層内に第1のコンタクトホールを形成する工程と、

前記第1のコンタクトホールに導電性を有する第1の導電材料層を形成する工程と、を備える、

ことを特徴とする柱状半導体装置の製造方法。

[請求項2]

前記半導体柱内で前記半導体柱の前記上部より下方にアクセプタまたはドナー不純物を含む第2の不純物領域を形成する工程と、

前記半導体柱の前記上部に前記第1の導電材料層の側面に繋がる前記アクセプタまたはドナー不純物を含む第1の不純物領域を形成する工程と、をさらに備える、

ことを特徴とする請求項1に記載の柱状半導体装置の製造方法。

[請求項3]

前記基板に対して垂直方向に延在する前記半導体柱とは別の半導体柱と、前記別の半導体柱の外周を囲む前記ゲート絶縁層とは別のゲート絶縁層と、前記別のゲート絶縁層を囲む前記ゲート導体層とは別のゲート導体層と、前記別の半導体柱内に互いに離れて形成された第3の不純物領域及び第4の不純物領域とを有する、前記半導体構造体と

は異なる1個または複数個の別の半導体構造体と、

前記ゲート導体層、前記別のゲート導体層、前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、及び前記第4の不純物領域から選ばれる異なる部位にそれぞれ接続され、前記基板に水平に延在し、平面視において互いに少なくとも部分的に重なり、且つ下から上にこの順番で存在する第1の配線導体層、第2の配線導体層、及び第3の配線導体層を含む積層構造体を提供する工程と、

前記第2の材料層の上表面から前記第1の配線導体層の上表面又は内部までつづき、前記第3の配線導体層及び前記第2の配線導体層を貫通する第2のコンタクトホールを形成する工程と、

前記第2のコンタクトホールに露出した前記第2の配線導体層の側面に第1の管状絶縁層を形成する工程と、

前記第2のコンタクトホールを充満して導電性を有する第2の導電材料層を形成する工程と、

前記第2の導電材料層の上部の側面を露出させる工程と、をさらに備え、

前記第1の材料層を形成する工程は、前記第2の導電材料層の前記上部の前記側面を囲んで第3の材料層を形成する工程を含み、

前記第2の材料層を形成する工程は、前記第3の材料層を囲んで第4の材料層を形成する工程を含み、そして、

前記第4の材料層をエッチングマスクにして、前記第3の材料層をエッチングして、前記第4の材料層内に第3のコンタクトホールを形成する工程と、

前記第3のコンタクトホールに導電性を有する第3の導電材料層を形成する工程と、をさらに備える、

ことを特徴とする請求項2に記載の柱状半導体装置の製造方法。

[請求項4] 前記第1の導電材料層が少なくとも金属原子と半導体原子とを含み、

熱処理により、前記第1の導電材料層の前記金属原子を、前記半導体柱の前記上部内に拡散させて、前記半導体柱の前記上部内に合金層を形成する工程をさらに備える、

ことを特徴とする請求項1に記載の柱状半導体装置の製造方法。

[請求項5] 前記第1の導電材料層が前記アクセプタまたはドナー不純物を含み、

前記第1の不純物領域を形成する工程では、熱処理により前記アクセプタまたはドナー不純物を、前記半導体柱の前記上部内に拡散させて、前記第1の不純物領域を形成する、

ことを特徴とする請求項2に記載の柱状半導体装置の製造方法。

[請求項6] 平面視において、前記第1のコンタクトホールの場所以外にあり、前記ゲート導体層、前記第1の不純物領域、又は前記第2の不純物領域に接続され水平方向に延在する配線導体層に繋がり、且つ前記第2の材料層の表面より下方に延びる第4のコンタクトホールを形成する工程と、

第4の導電材料層を前記第4のコンタクトホールに充満する工程と、

前記第1の導電材料層と前記第4の導電材料層との頂部表面を面一にする工程と、をさらに備える、

ことを特徴とする請求項2に記載の柱状半導体装置の製造方法。

[請求項7] 前記第1の導電材料層と、前記第2の導電材料層と、前記第3の導電材料層との頂部表面を面一にする工程を備える、

ことを特徴とする請求項3に記載の柱状半導体装置の製造方法。

[請求項8] 前記第1の導電材料層を形成する工程及び前記第3の導電材料層を形成する工程は、導体材料を、前記第1のコンタクトホール及び前記第3のコンタクトホールに充満させ、且つ前記第2の材料層上に堆積し、その後、リソグラフィ法とエッチングにより、前記導体材料から、前記第1の導電材料層に繋がった第1の配線導体層と、前記第3の

導電材料層に繋がった第2の配線導体層との、一方または両者を、前記第2の材料層上に形成することで行われる、

ことを特徴とする請求項3に記載の柱状半導体装置の製造方法。

[請求項9] 前記第1の導電材料層と、前記第2の導電材料層と、前記第3の導電材料層との頂部表面を面一にする工程の後、前記第2の材料層上に配線材料層を堆積する工程と、

リソグラフィ法とエッチングにより、前記配線材料層から、前記第1の導電材料層に繋がった第4の配線導体層と、前記第3の導電材料層に繋がった第5の配線導体層との、一方または両者を、前記第2の材料層上に形成する工程を含み、

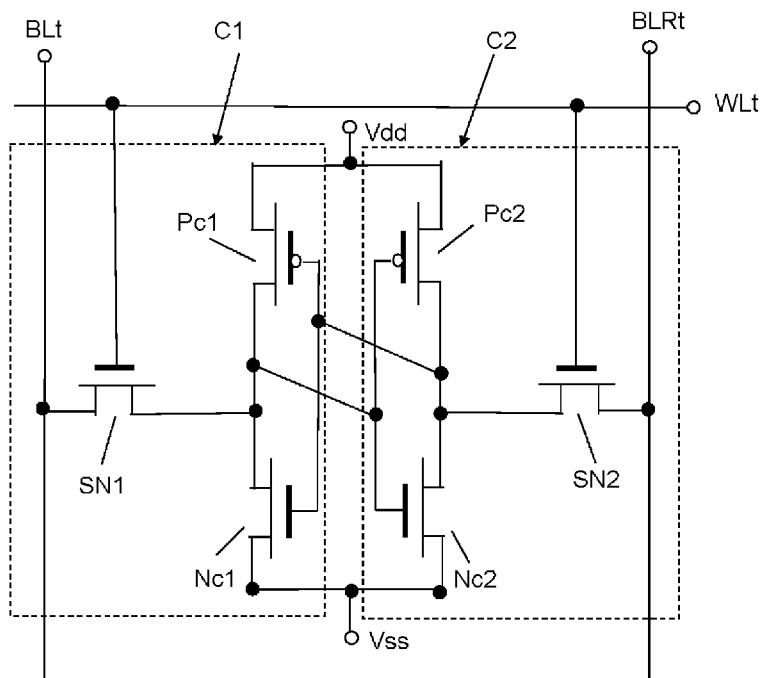
前記エッチングにおける、前記第4の配線導体層及び前記第5の配線導体層のエッチング速度が、前記第1の導電材料層、前記第2の導電材料層、及び前記第3の導電材料層のエッチング速度より早い、

ことを特徴とする請求項7に記載の柱状半導体装置の製造方法。

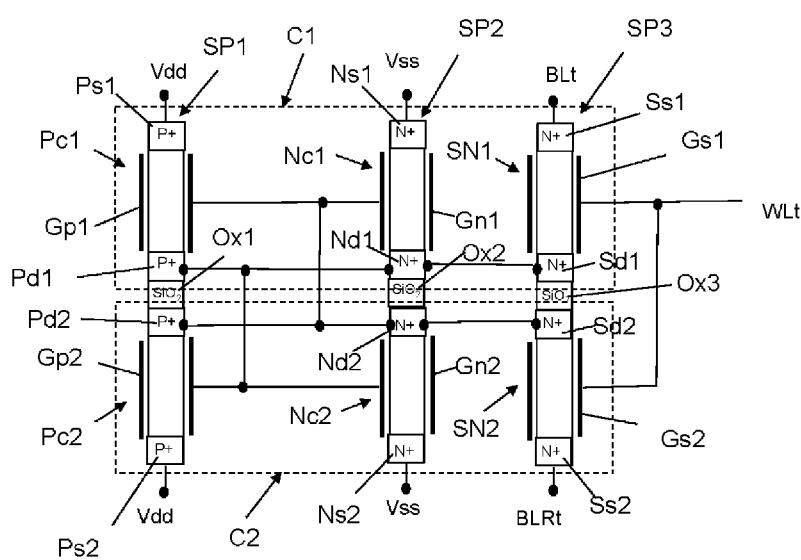
[請求項10] 前記第1の材料層が、平面視において、等幅で前記半導体柱の上部を囲んで形成される、

ことを特徴とする請求項1に記載の柱状半導体装置の製造方法。

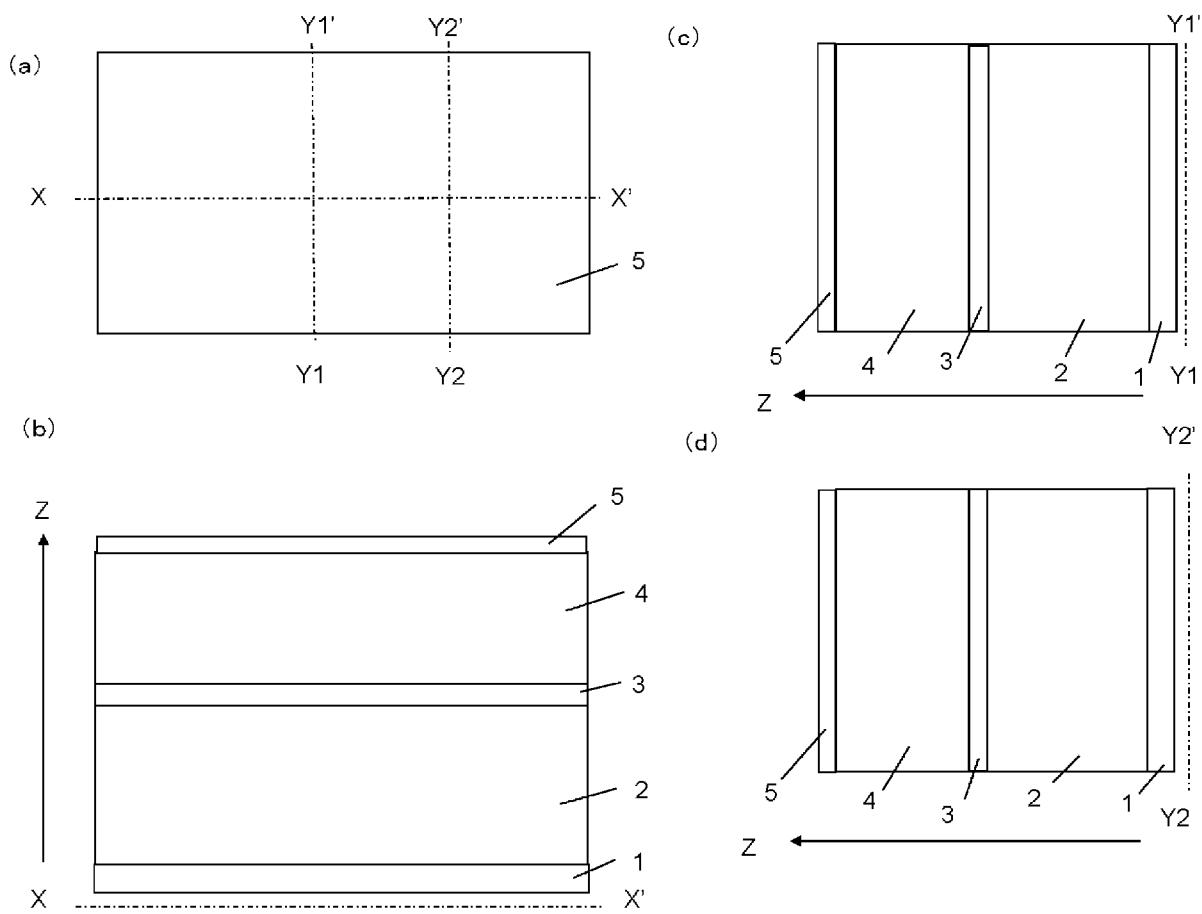
[図1A]



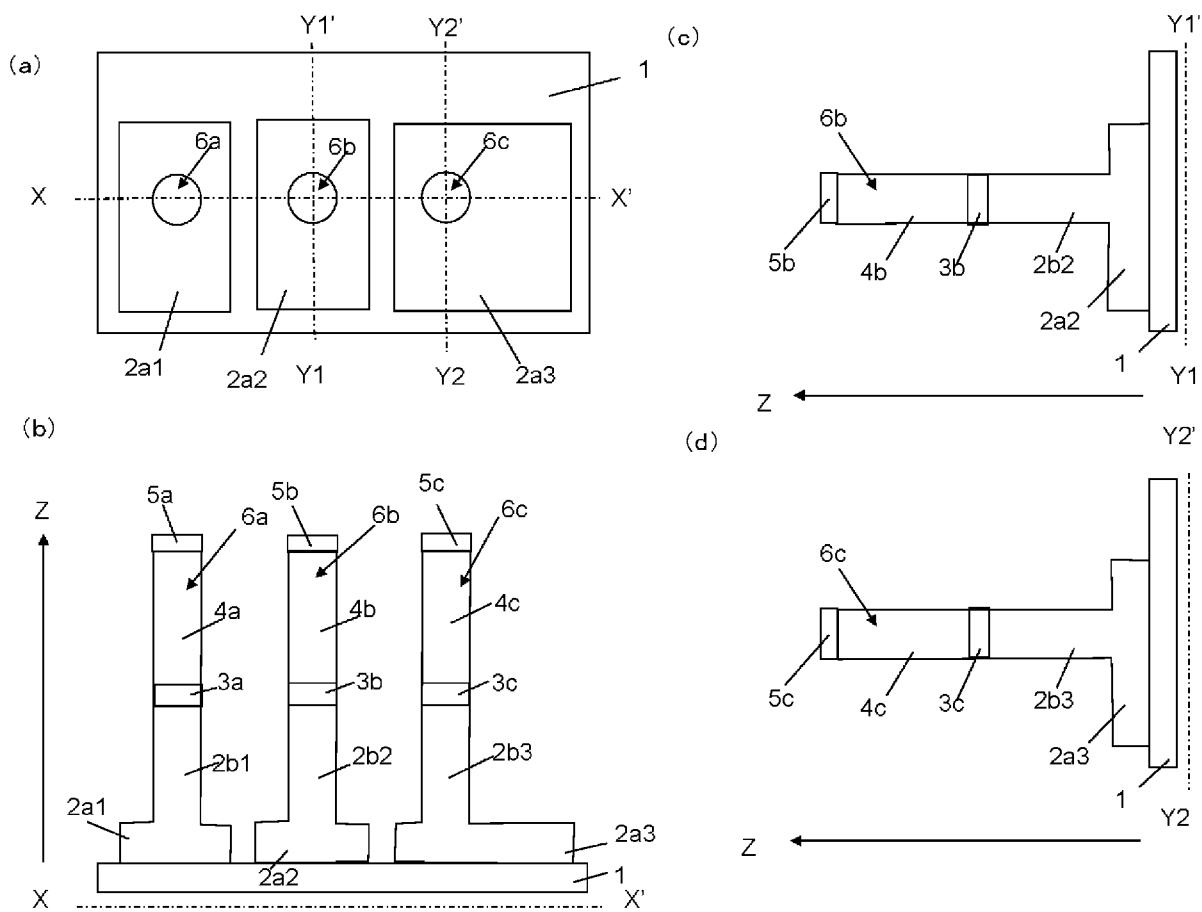
[図1B]



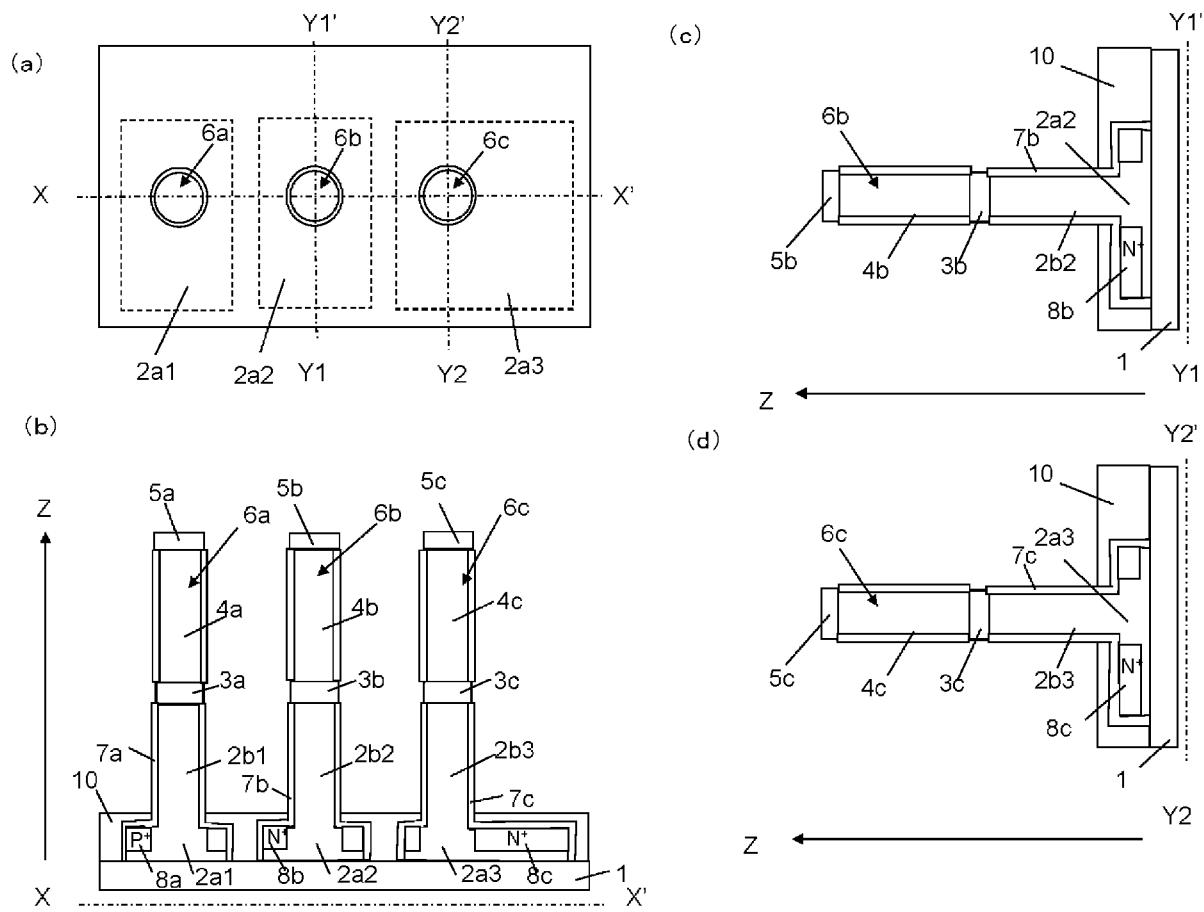
[図2A]



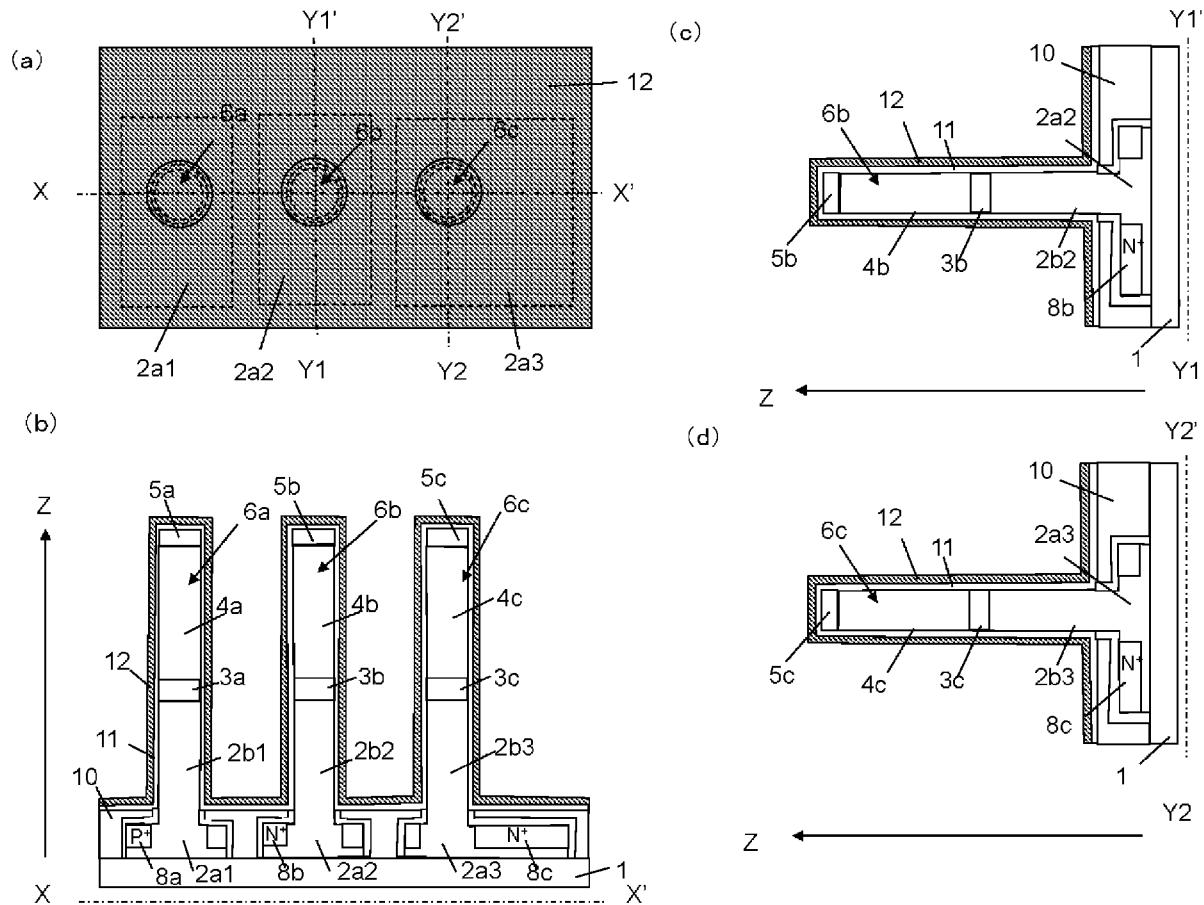
[図2B]



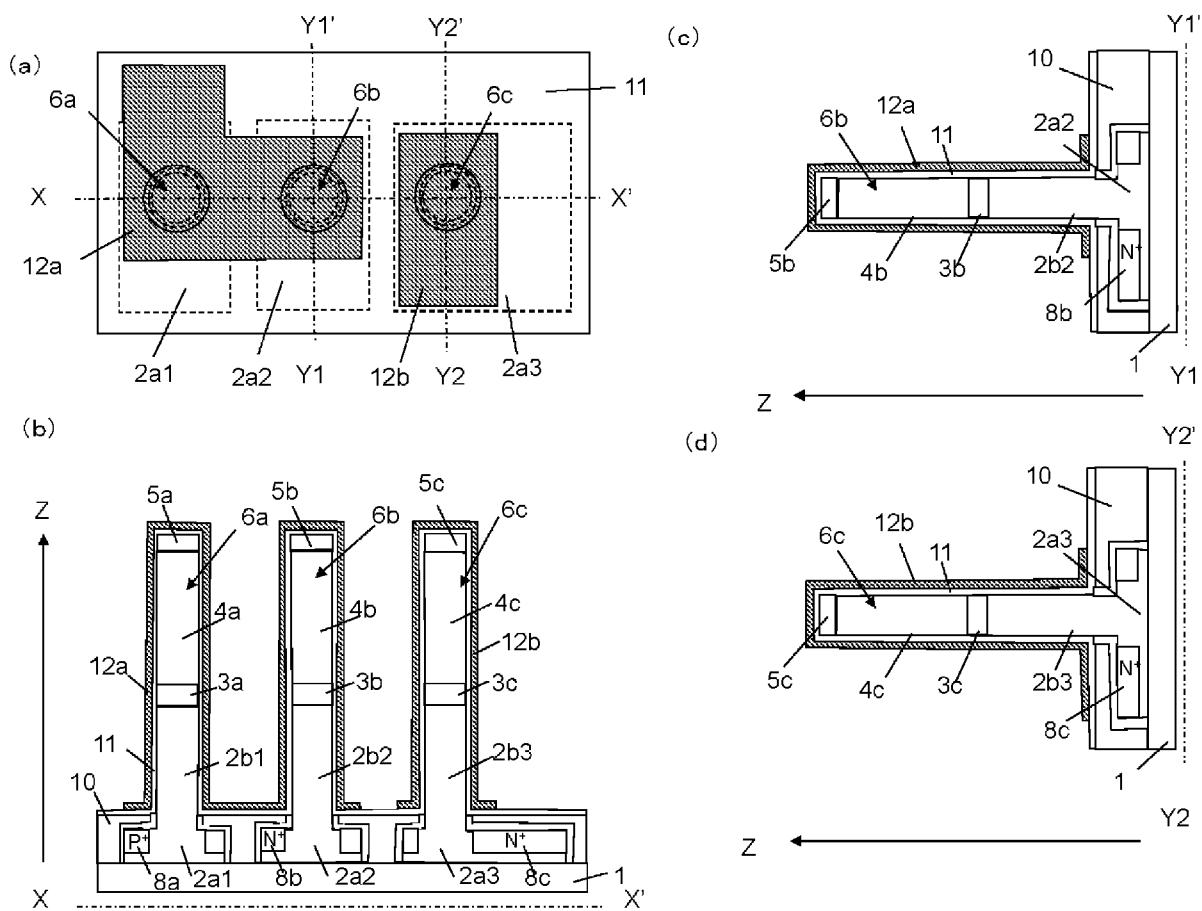
[図2C]



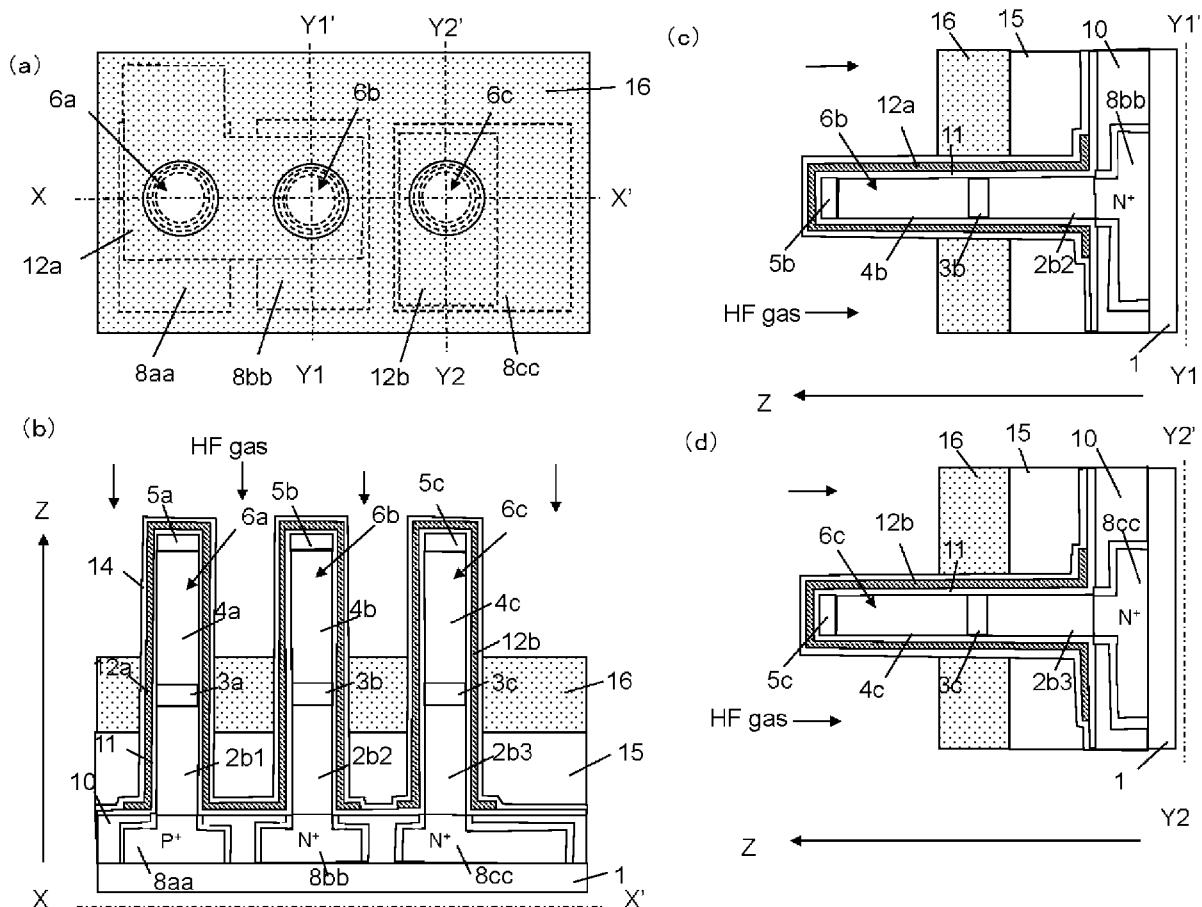
[図2D]



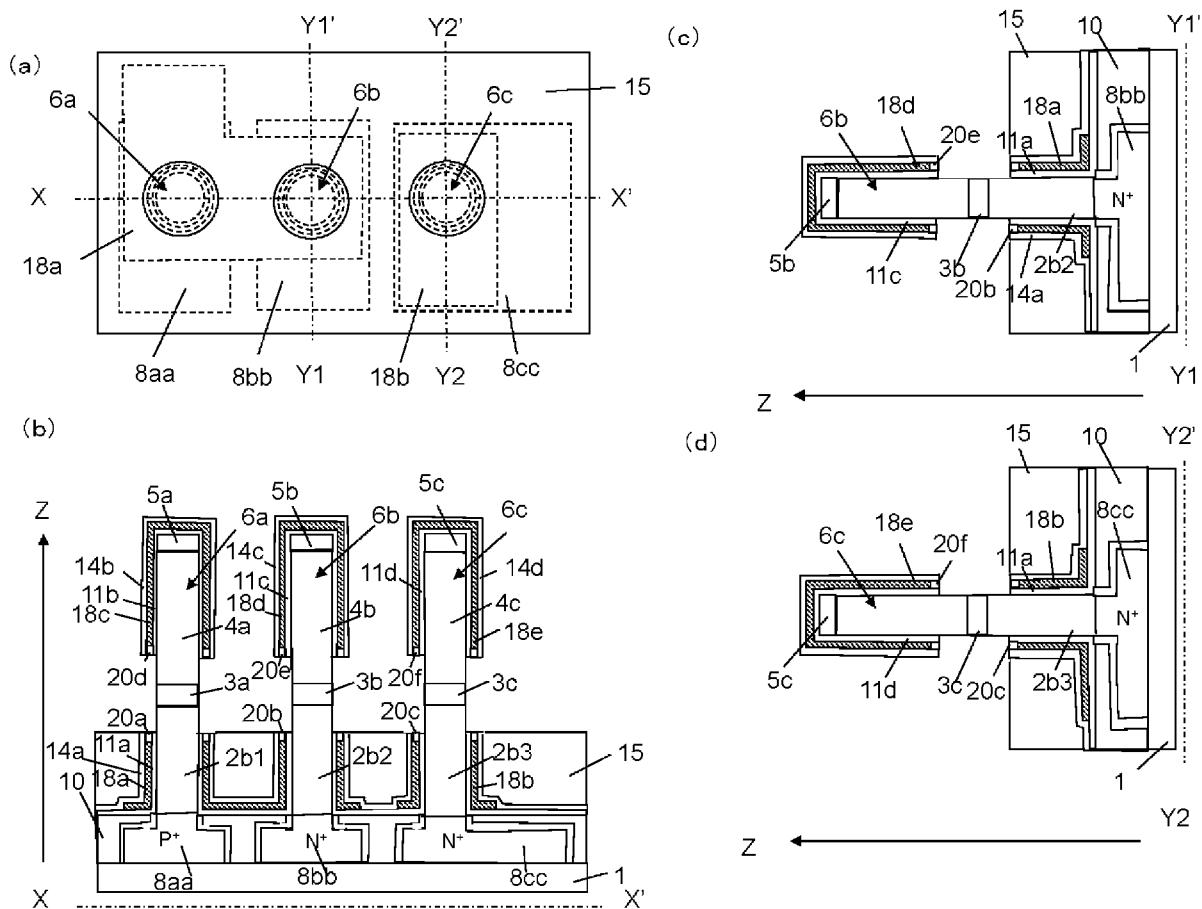
[図2E]



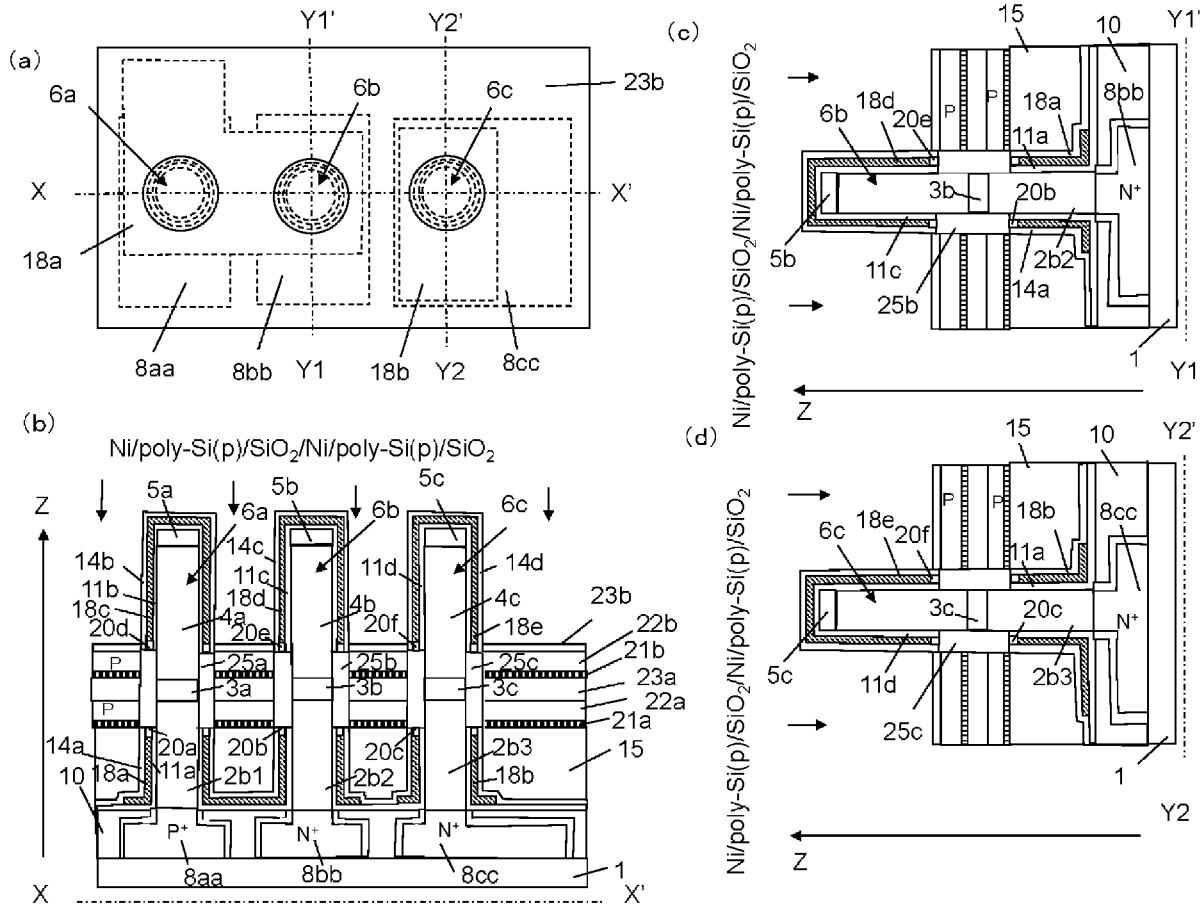
[図2F]



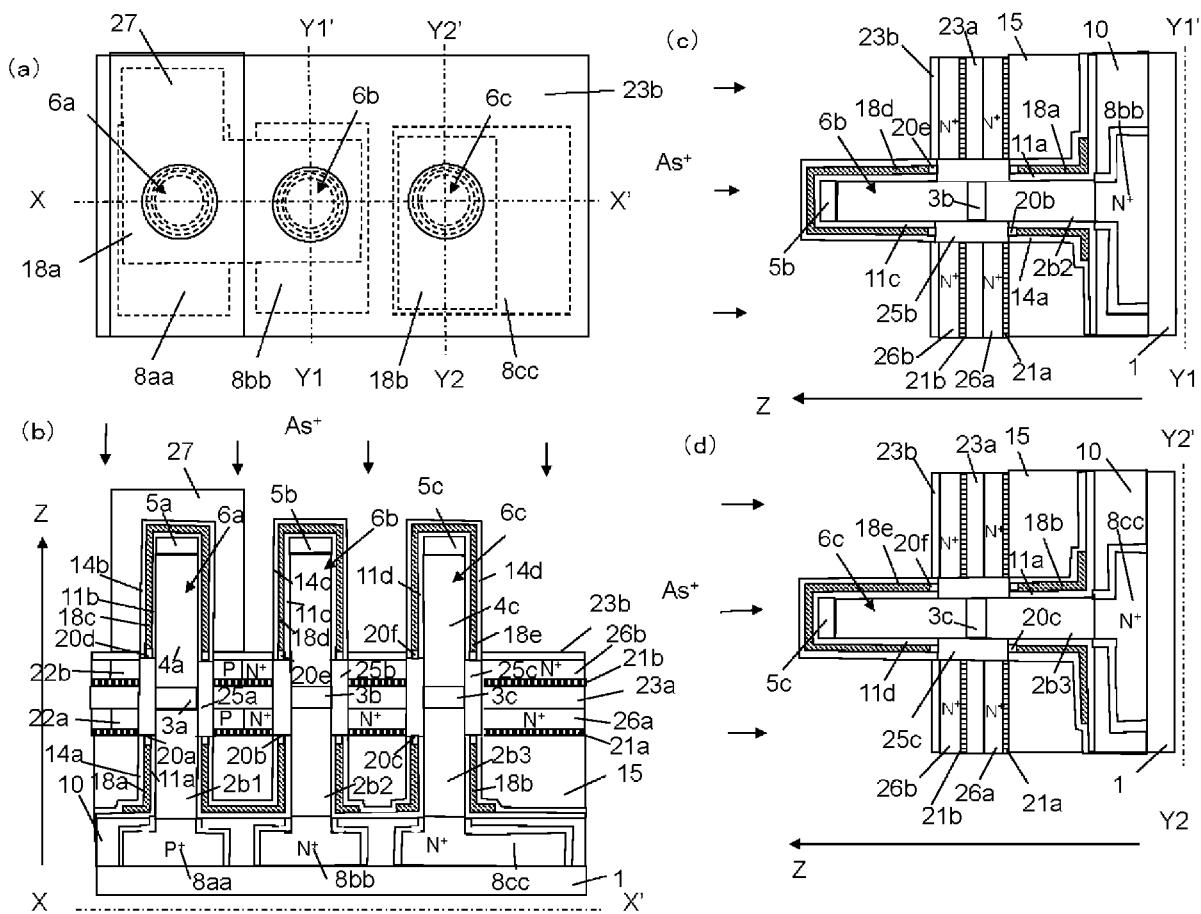
[図2G]



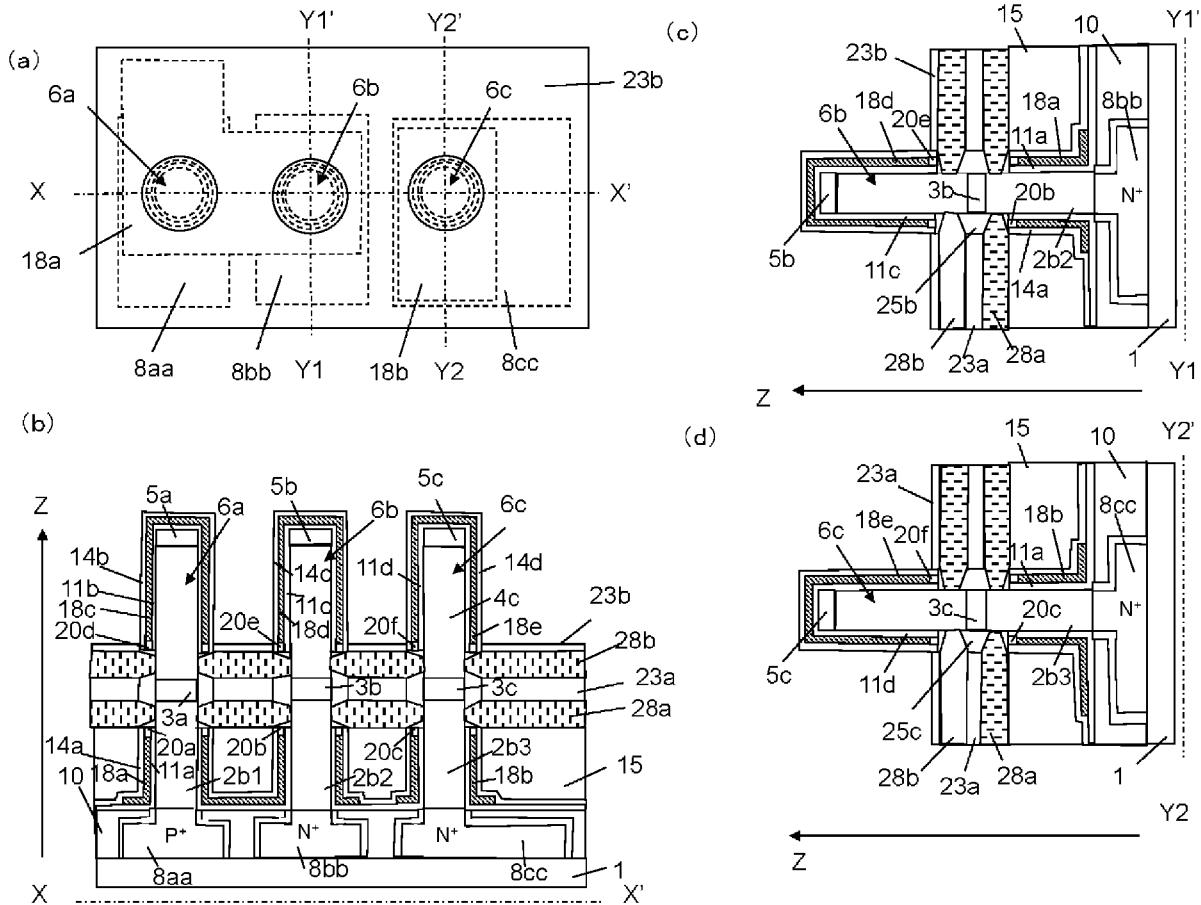
[図2H]



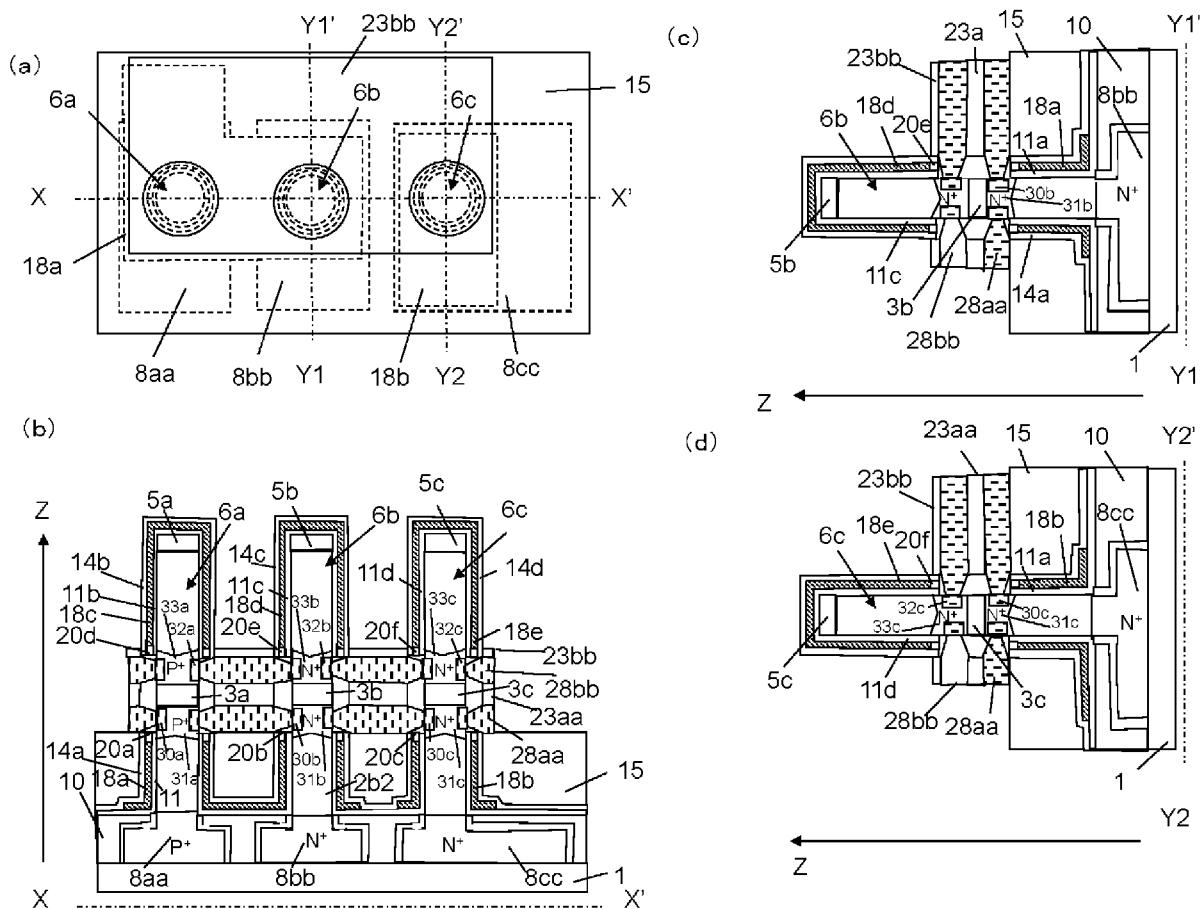
[圖2I]



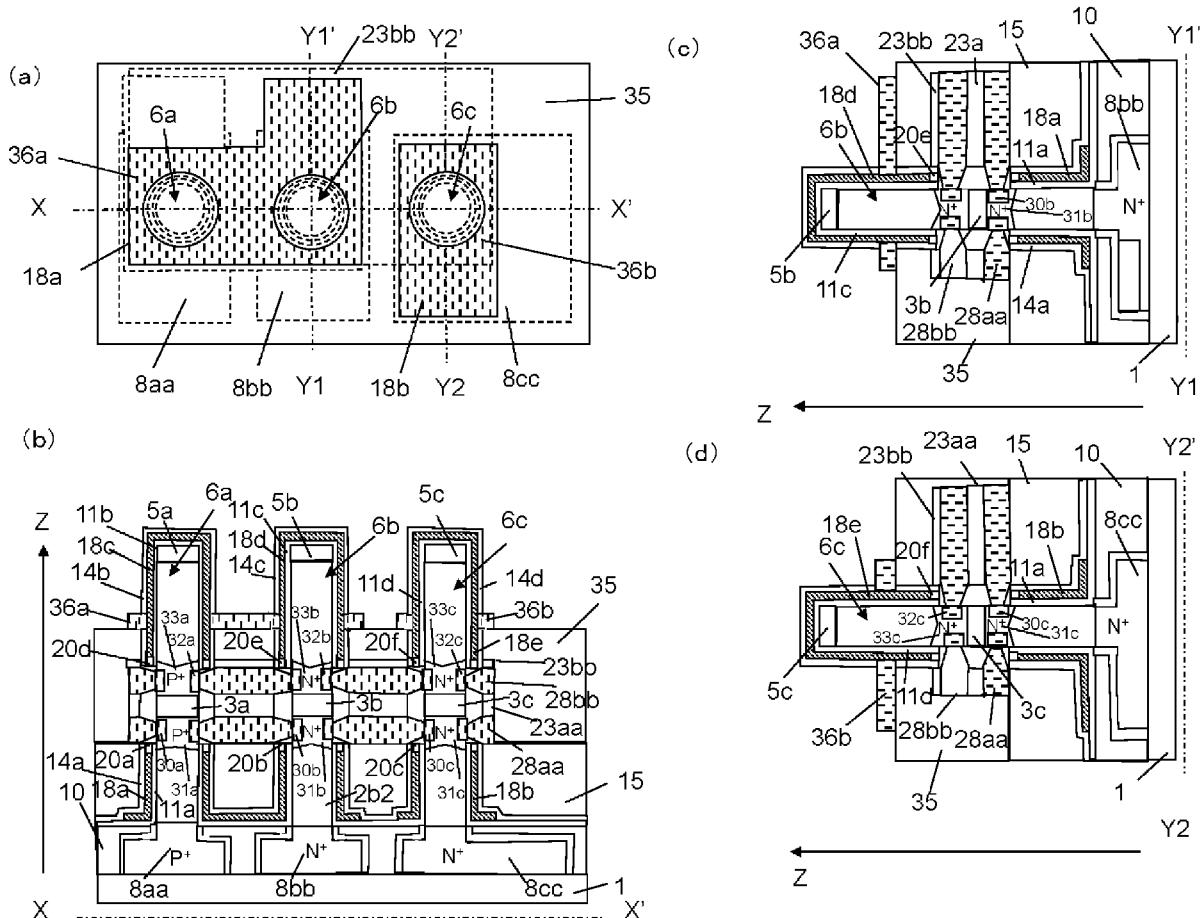
[図2J]



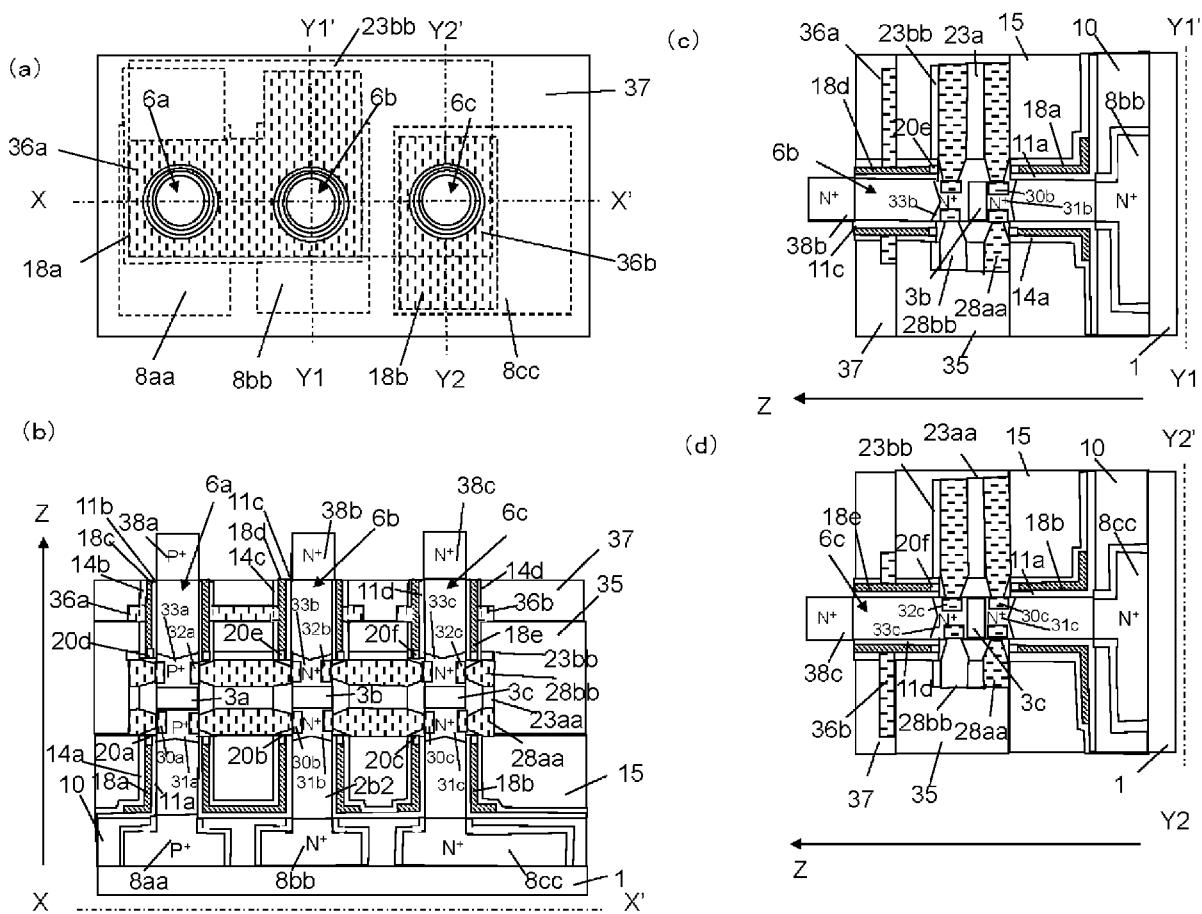
[四2K]



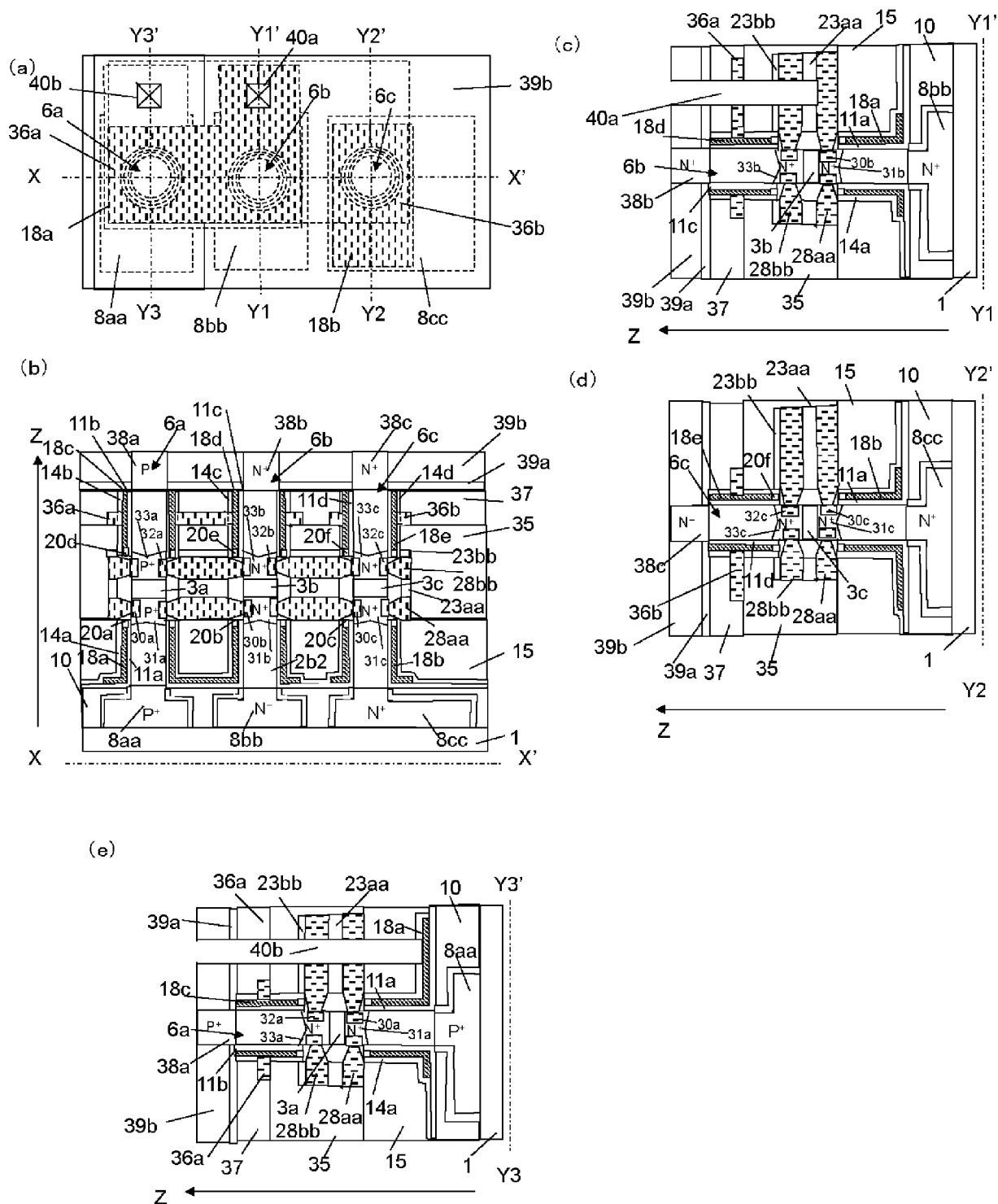
[図2L]



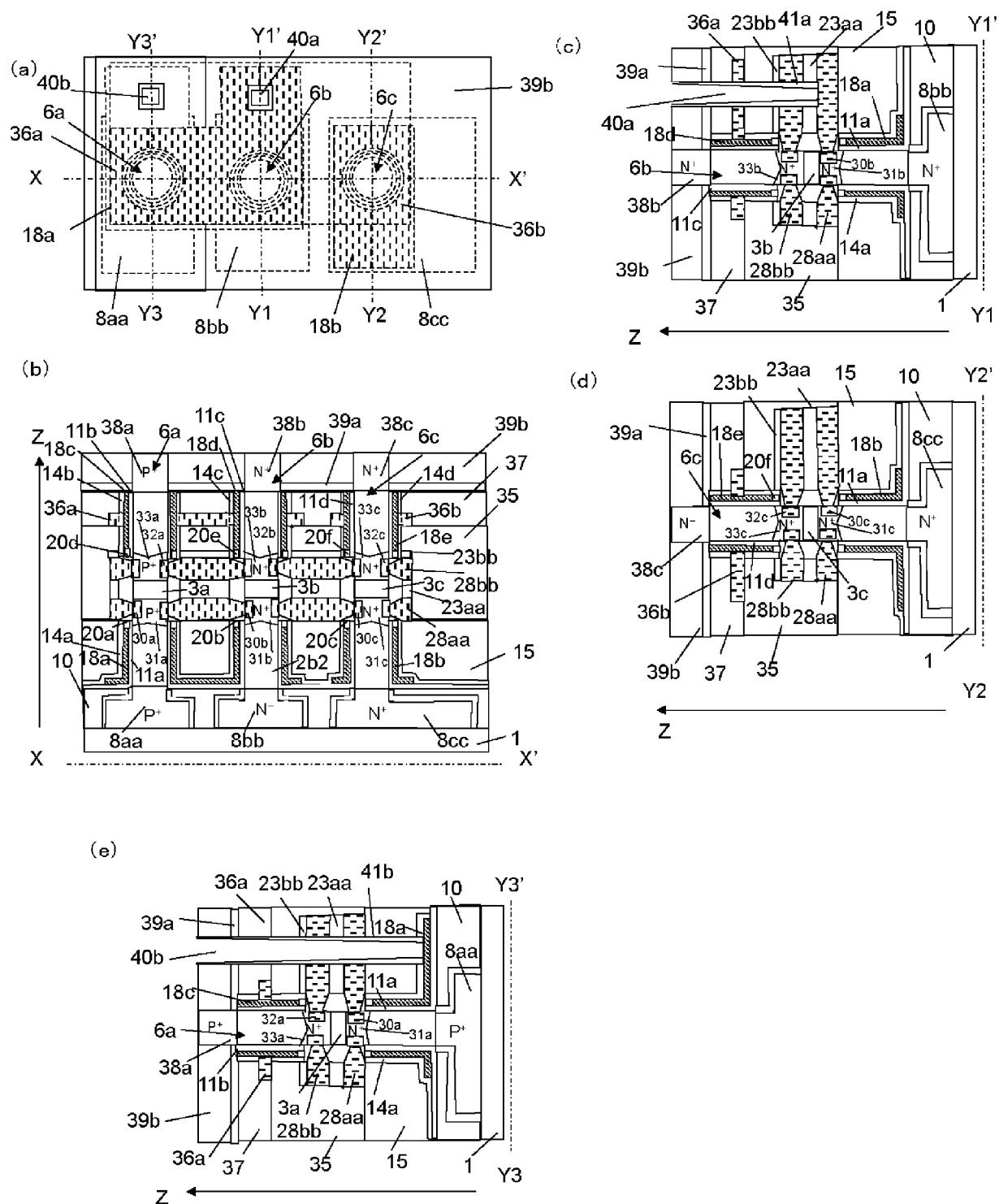
## [図2M]



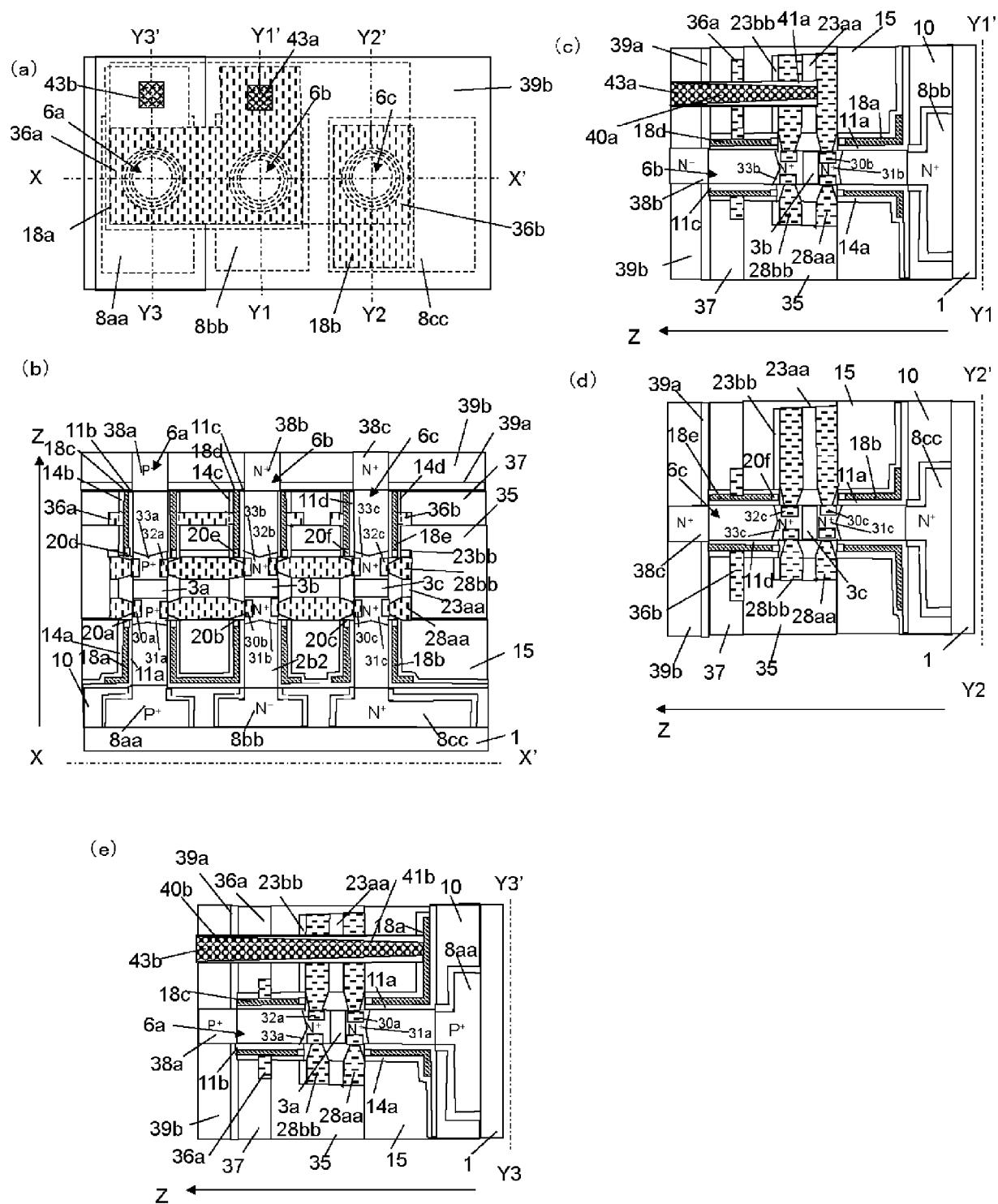
## [図2N]



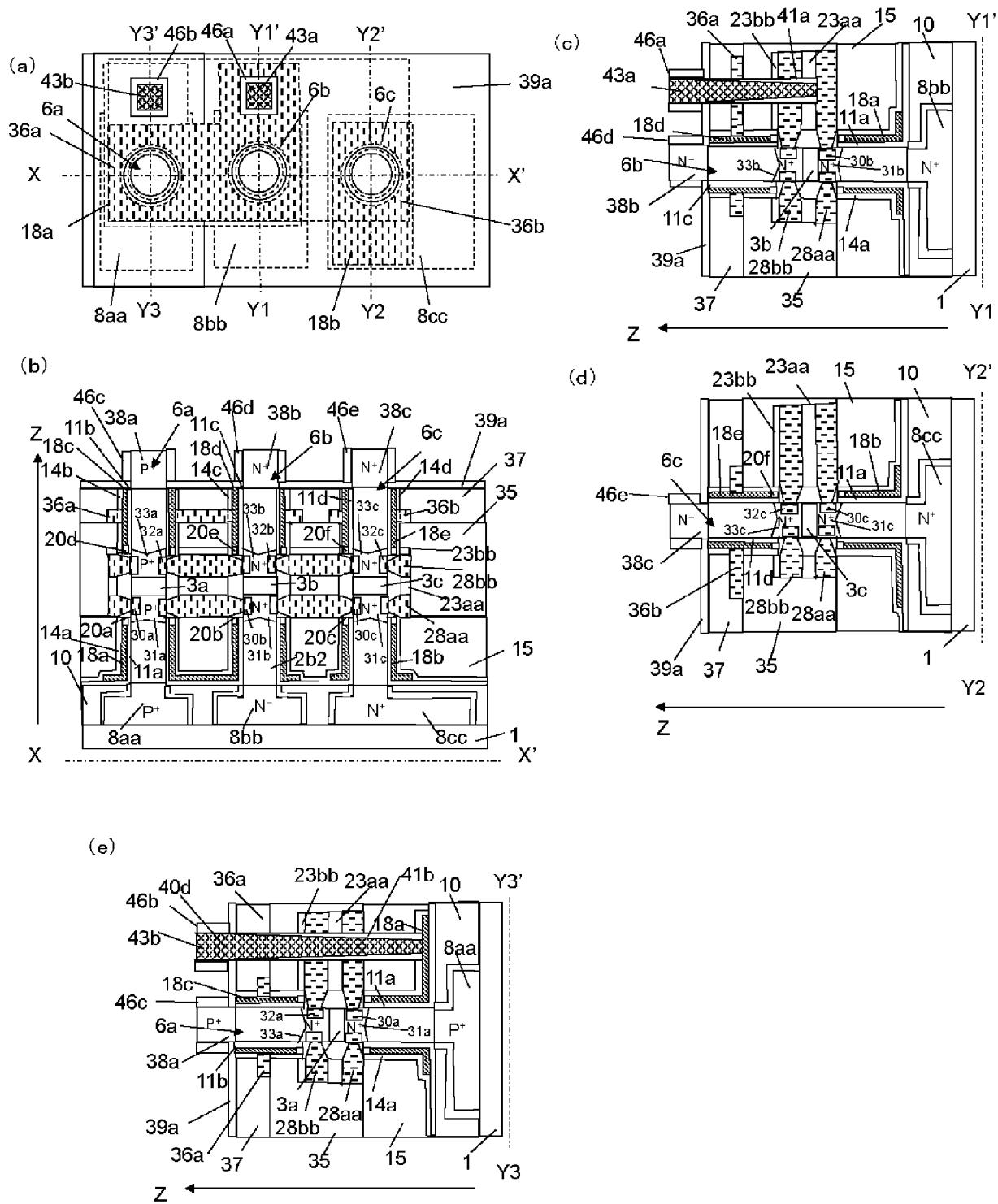
[図20]



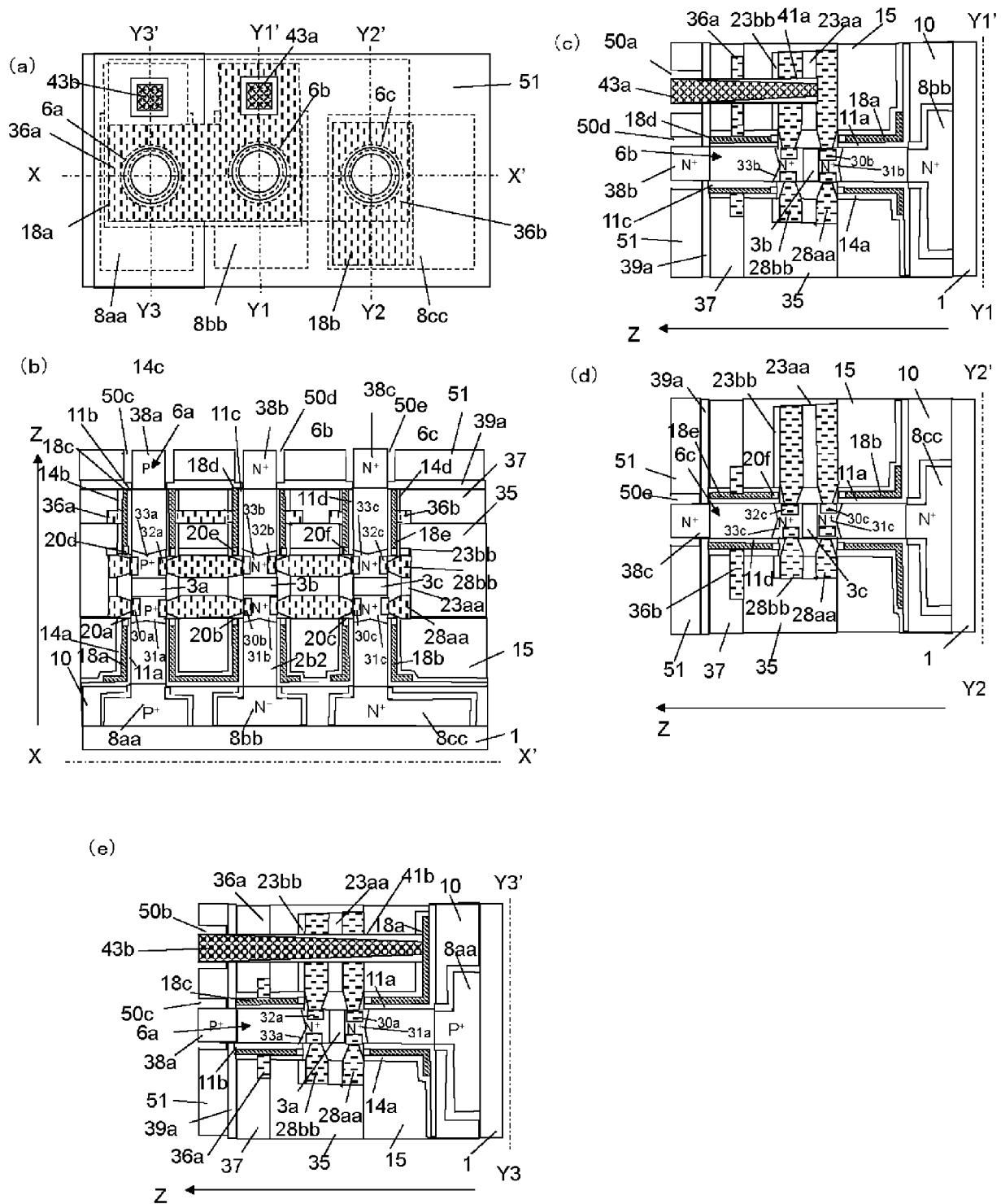
## [図2P]



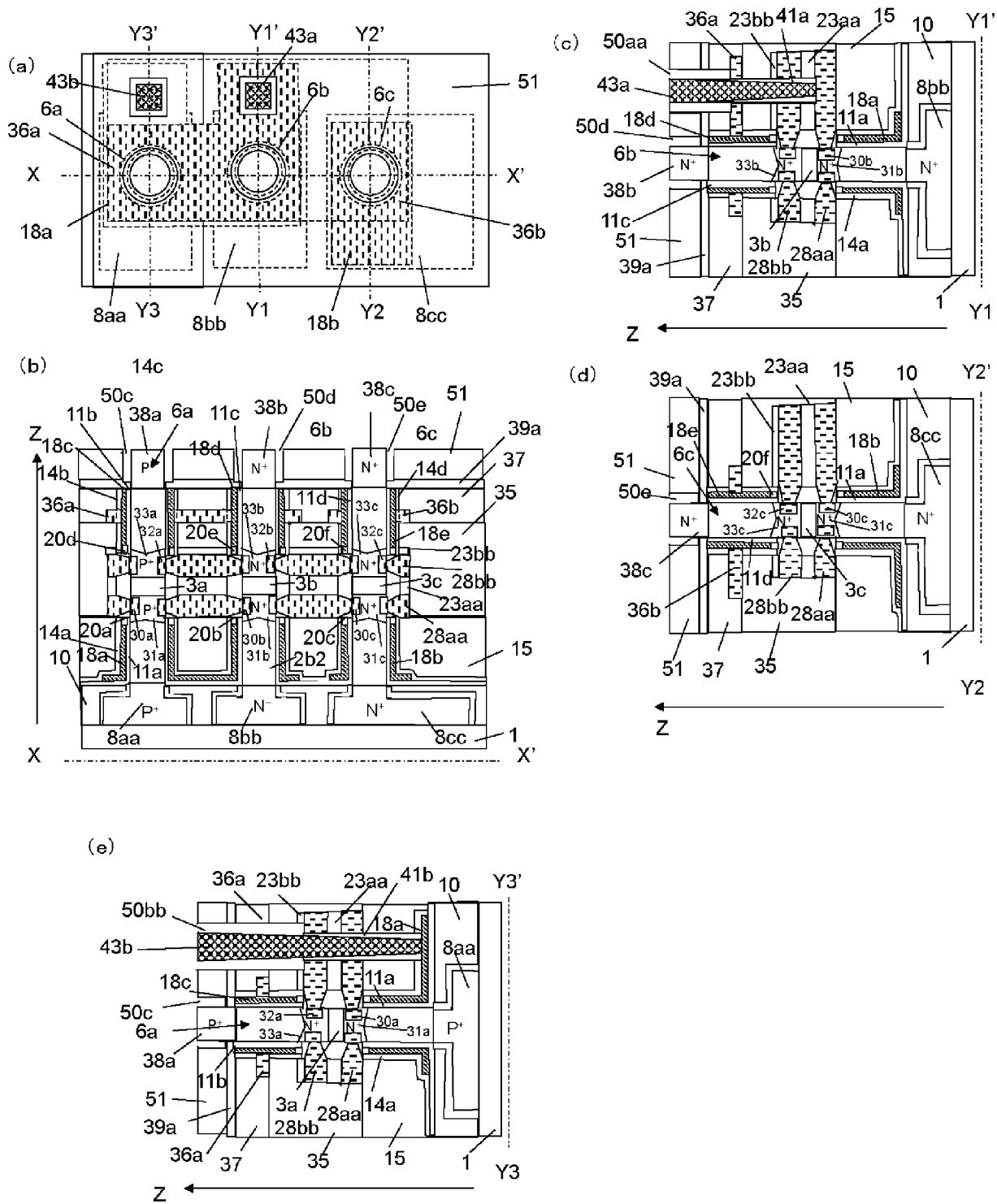
[図20]



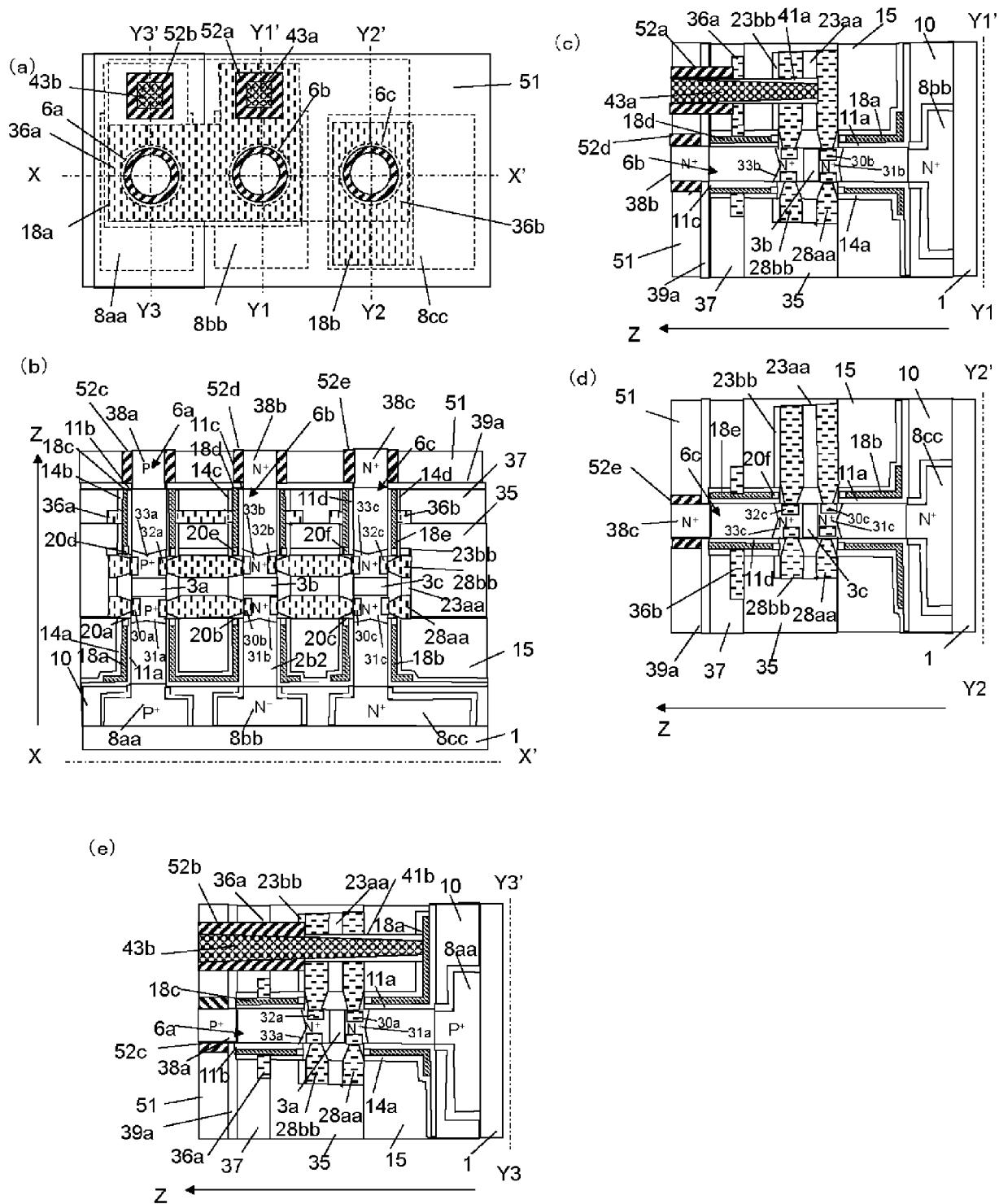
## [図2R]



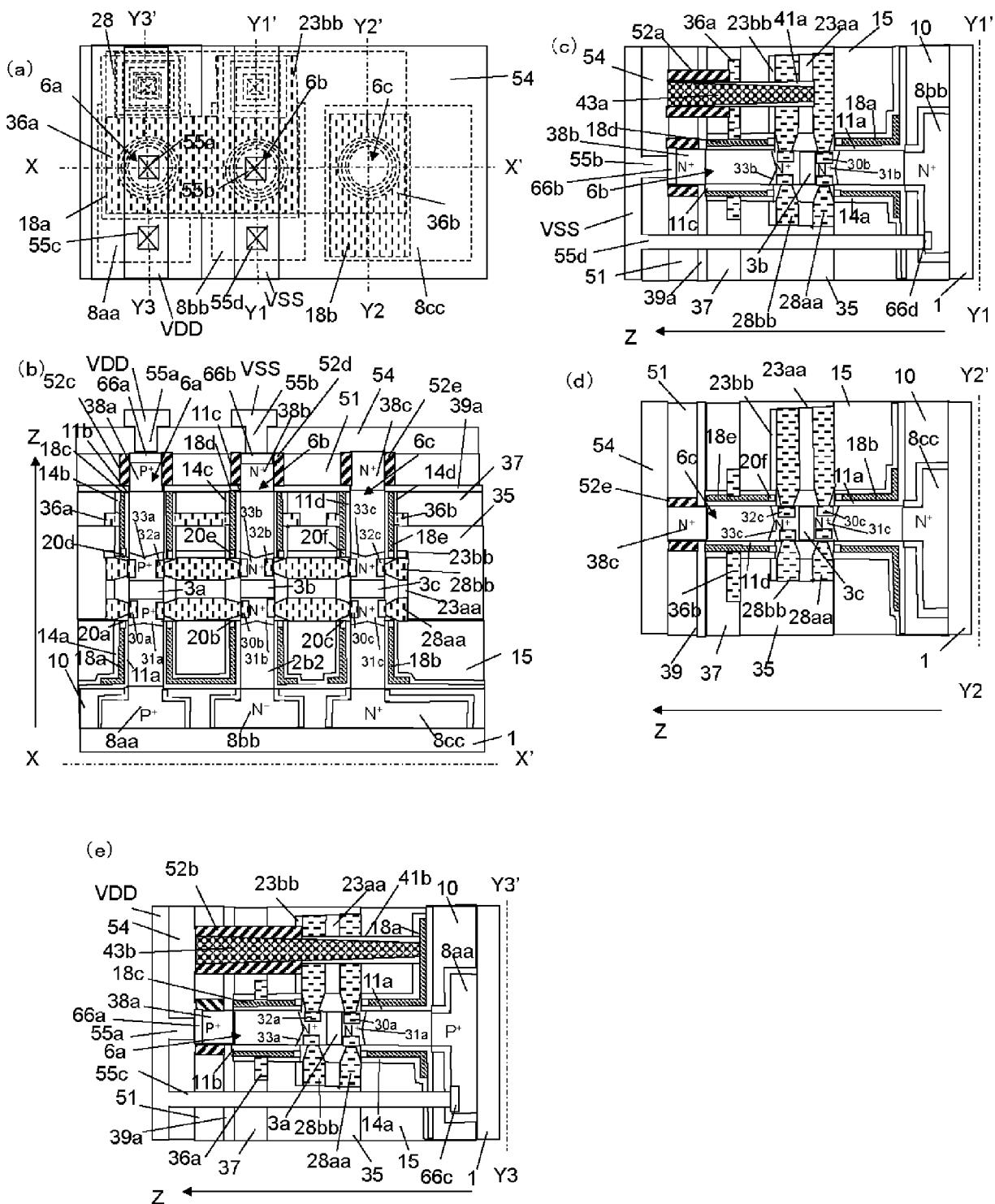
## [図2S]



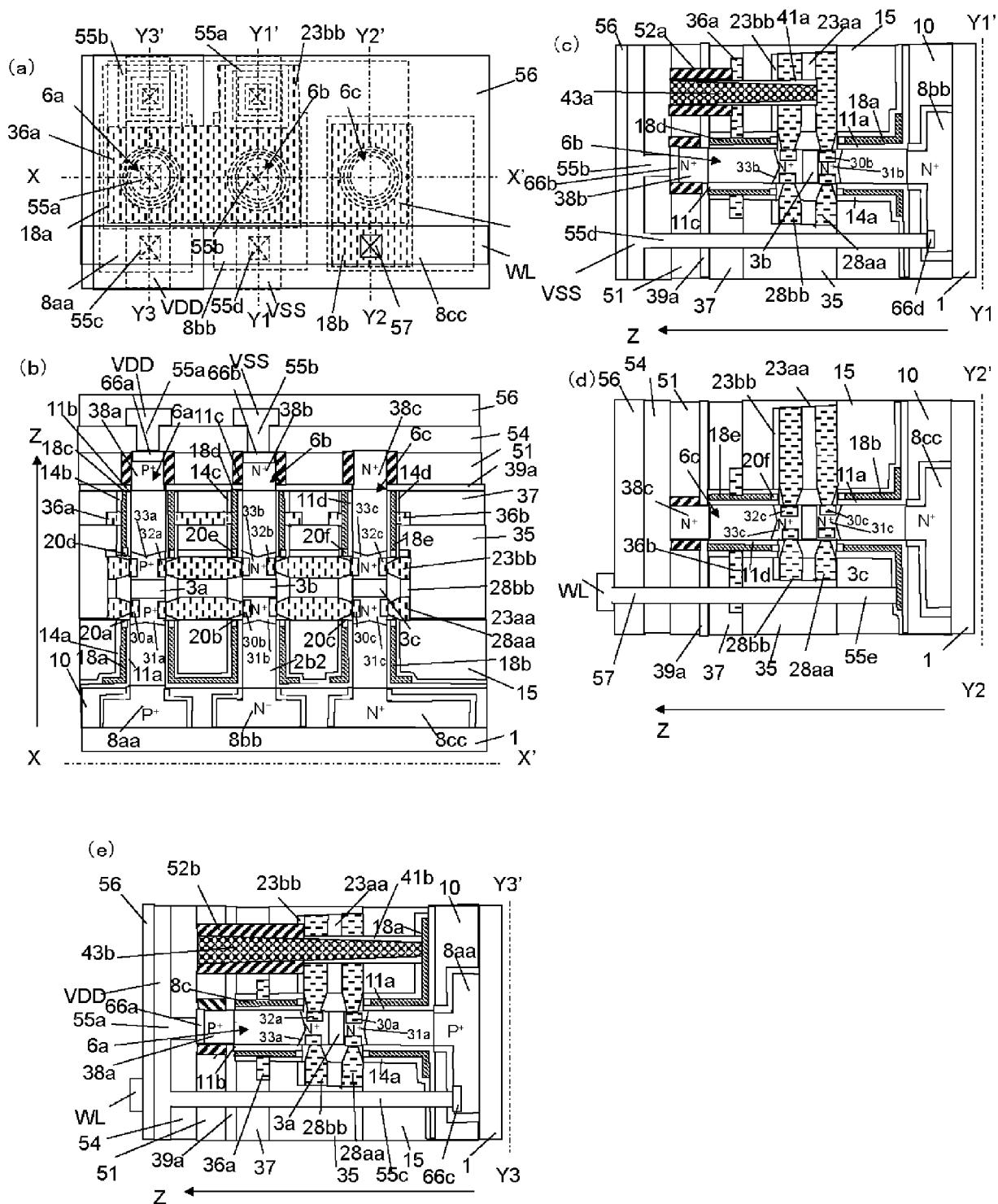
## [図2T]



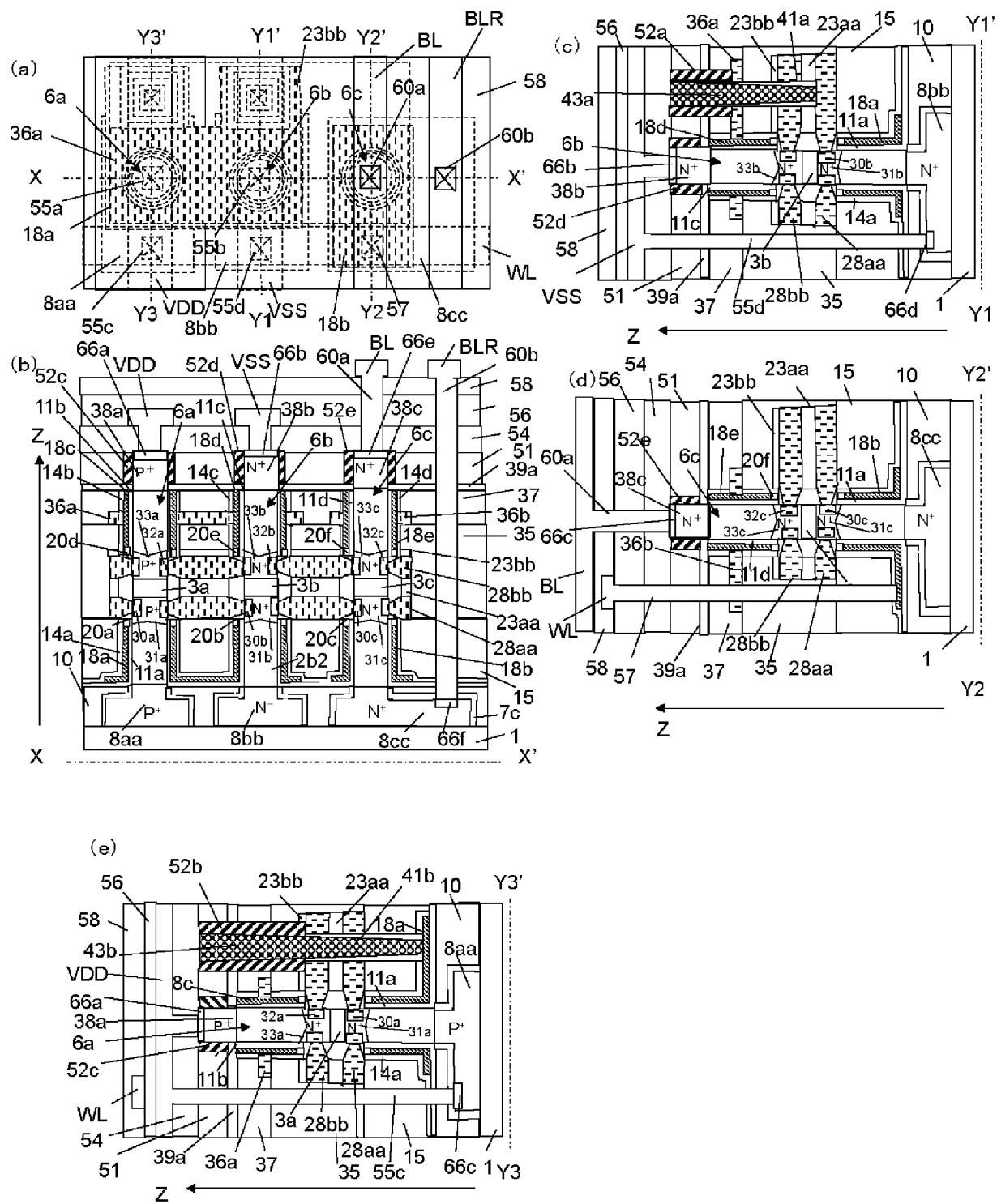
## [図2U]



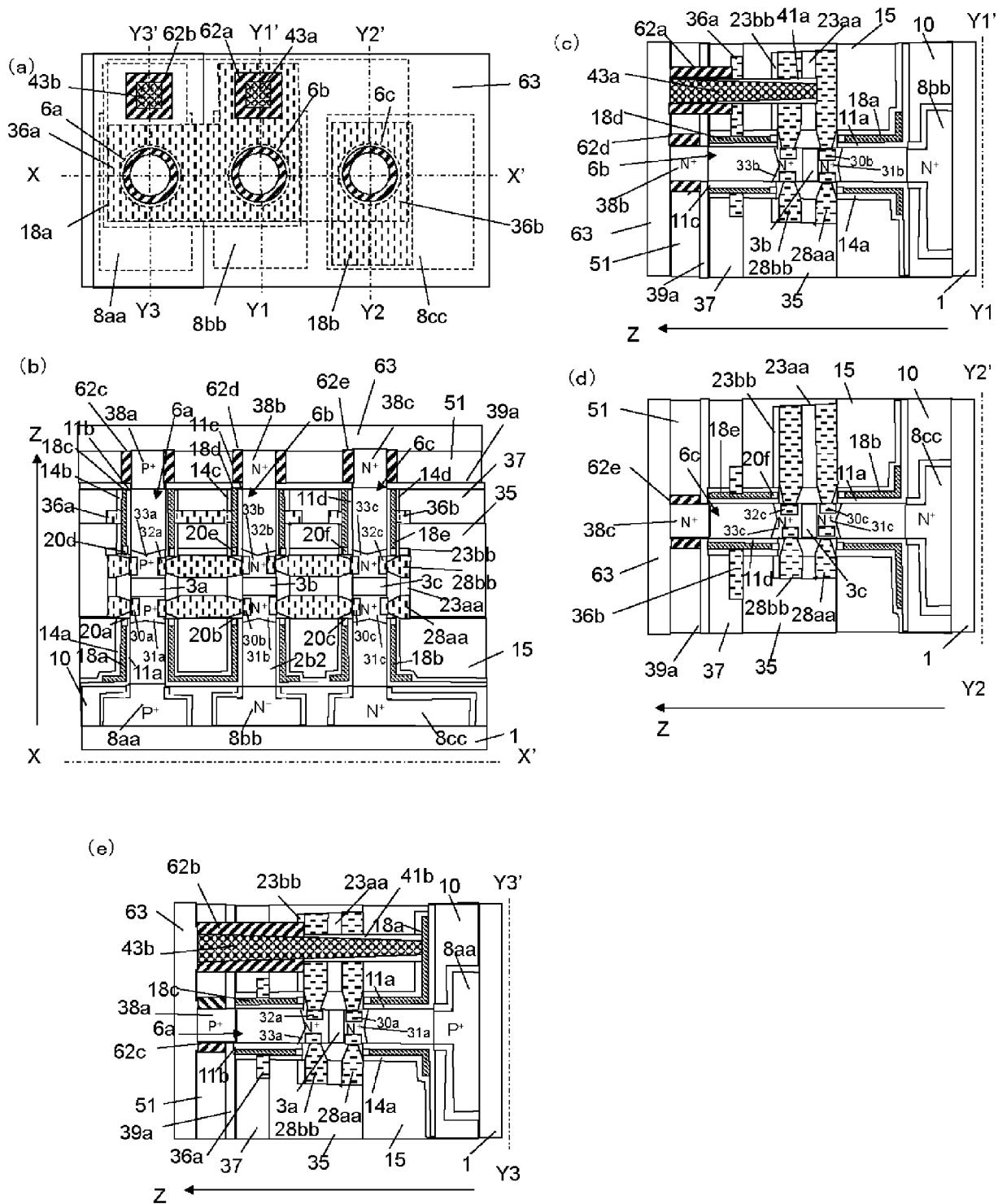
[図2V]



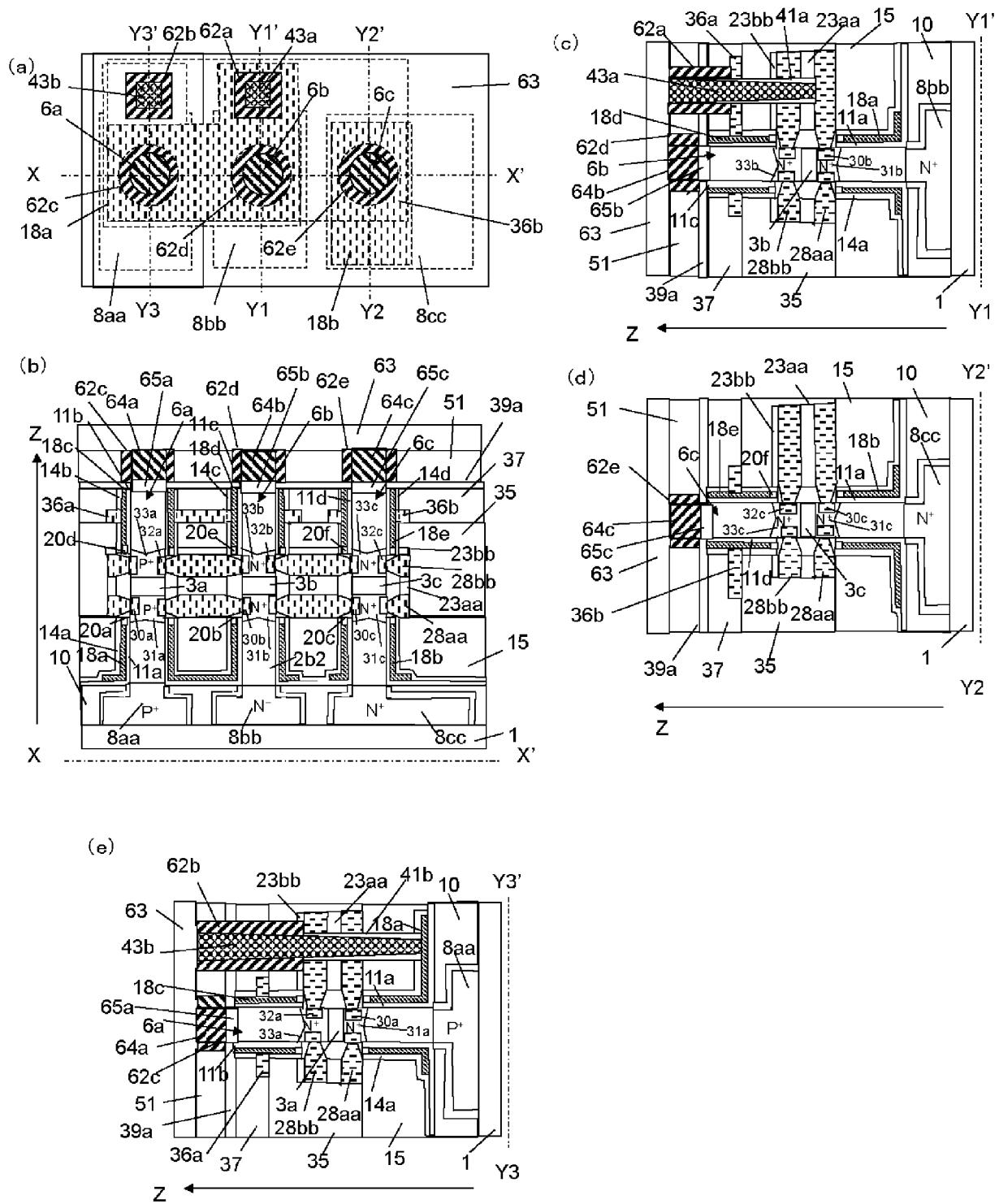
## [図2W]



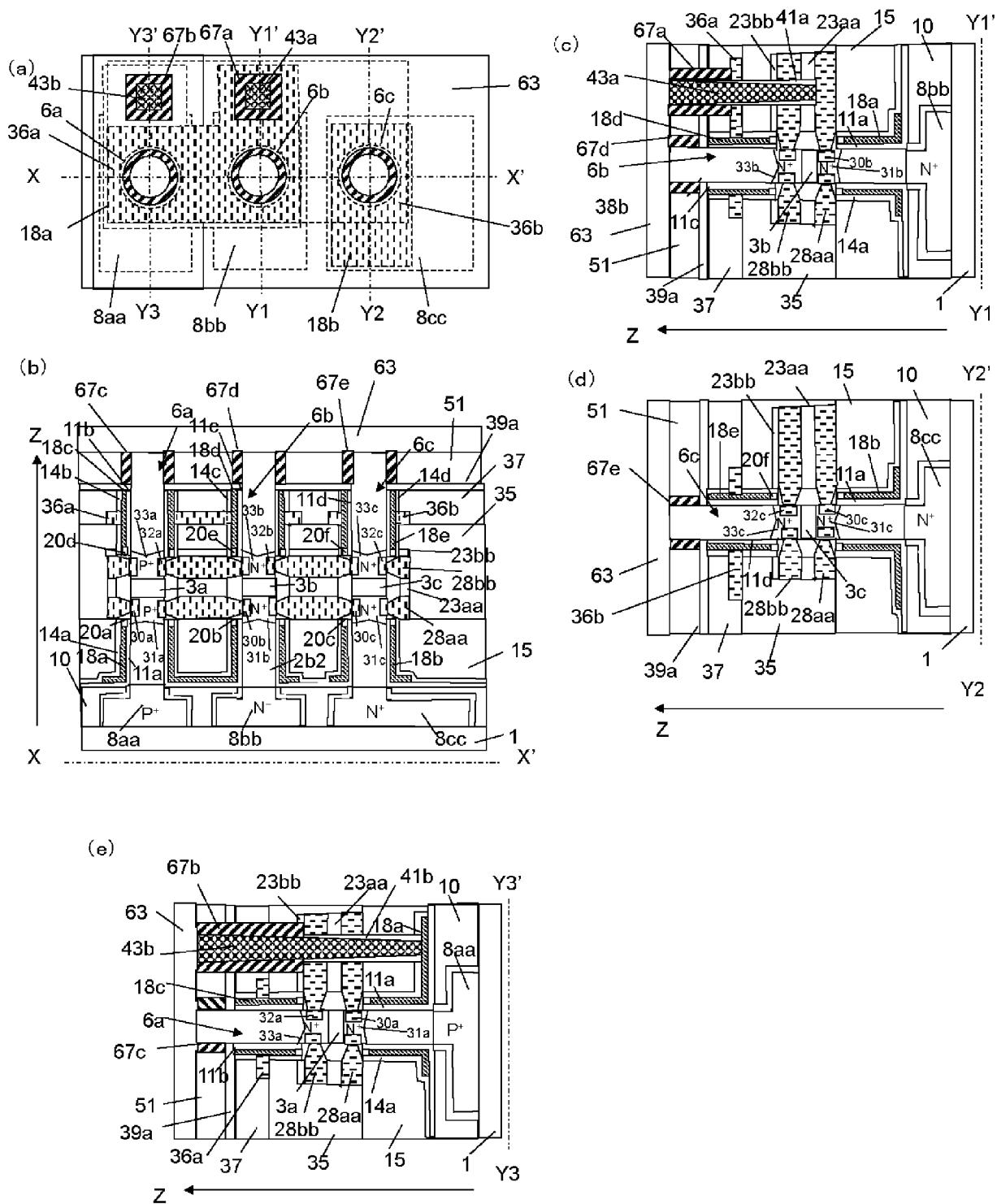
[図3A]



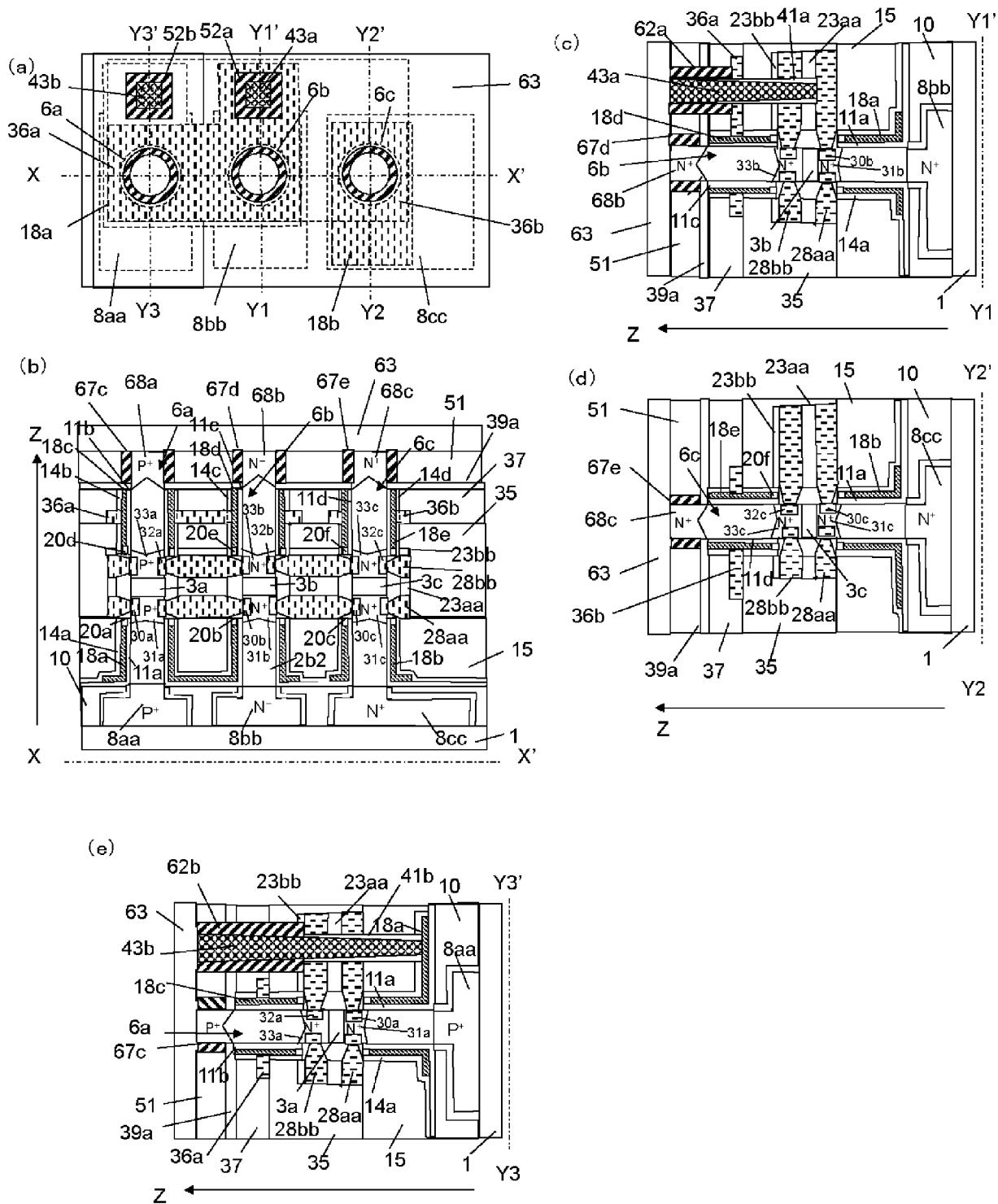
## [図3B]



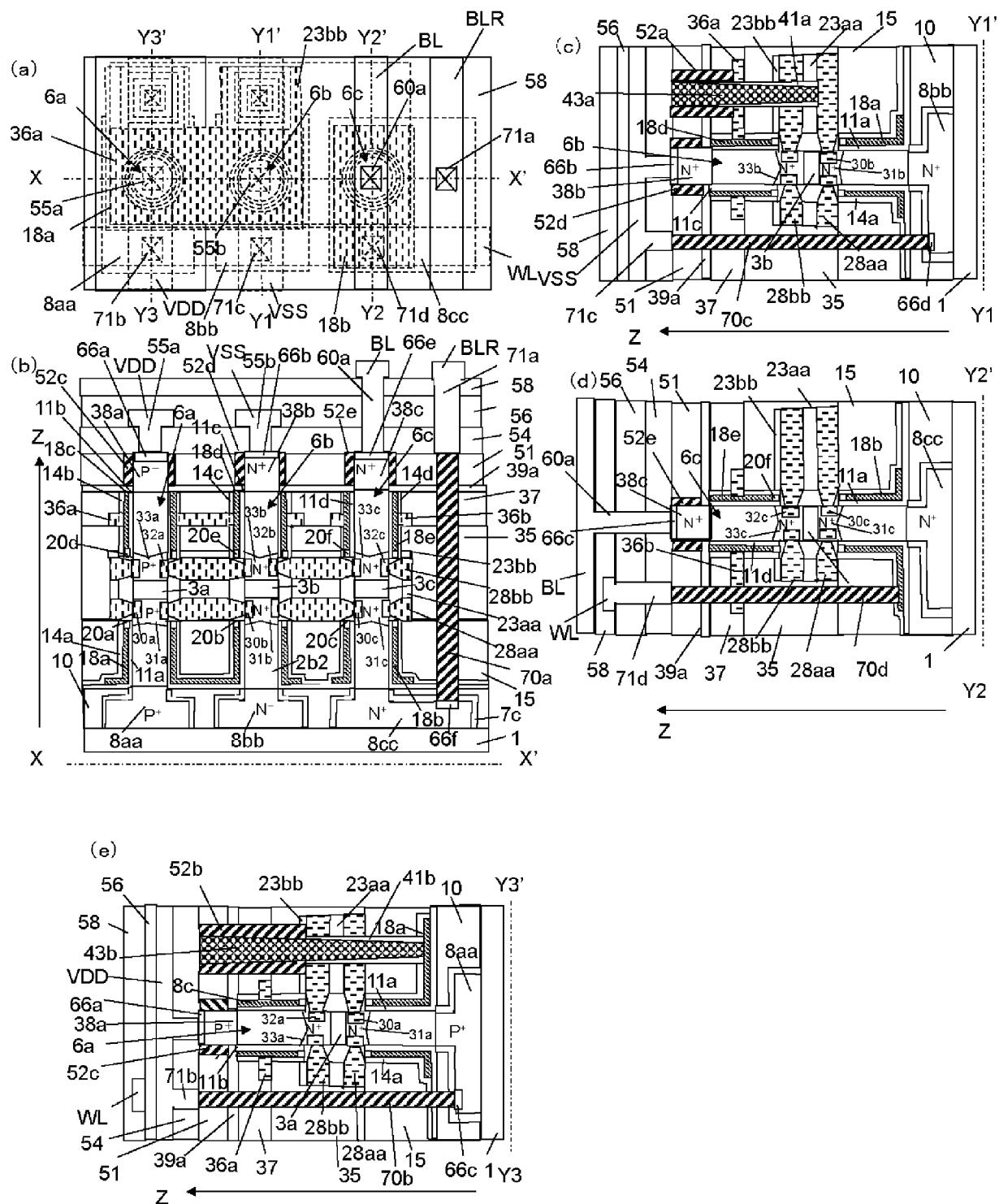
## [図4A]



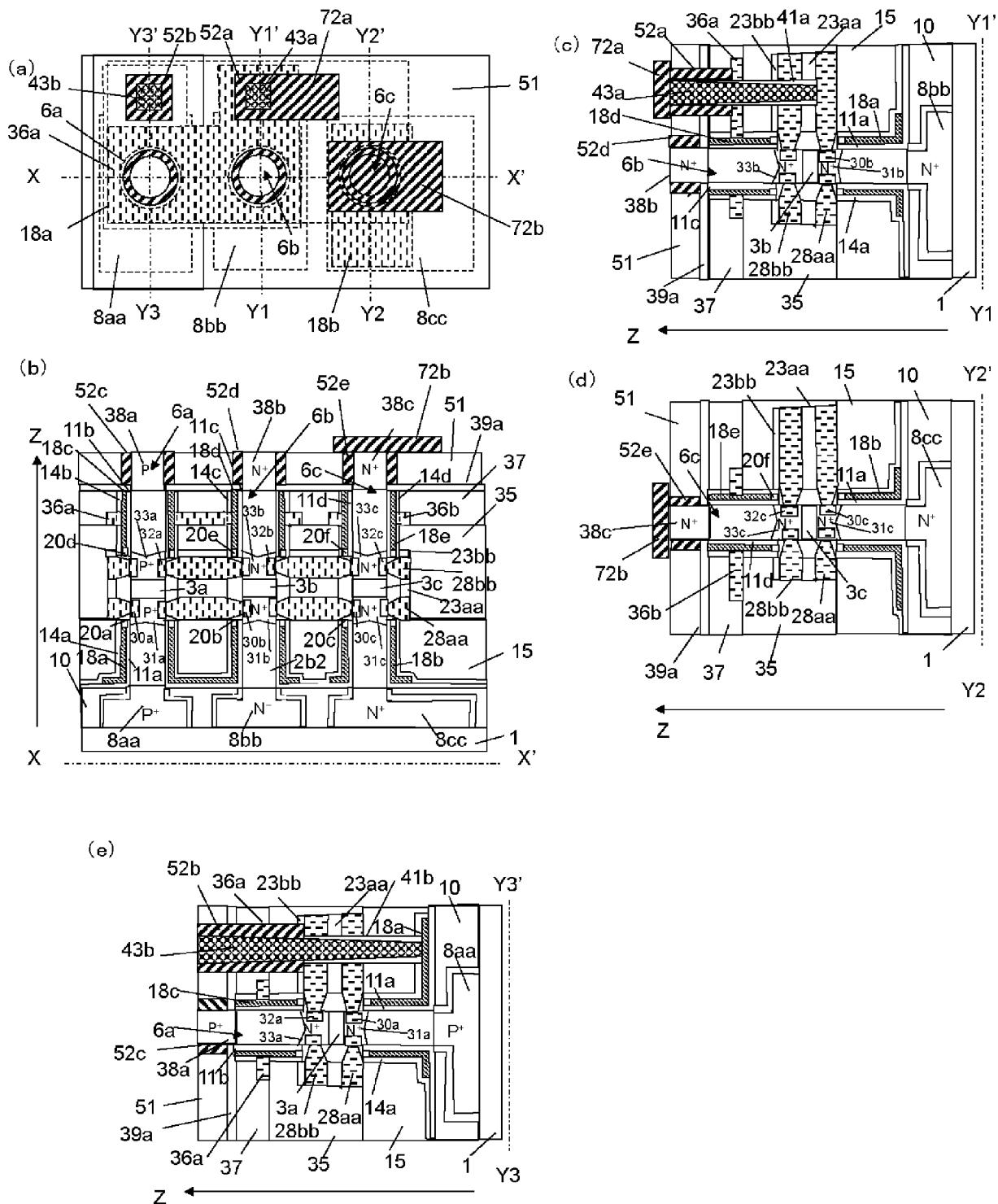
[図4B]



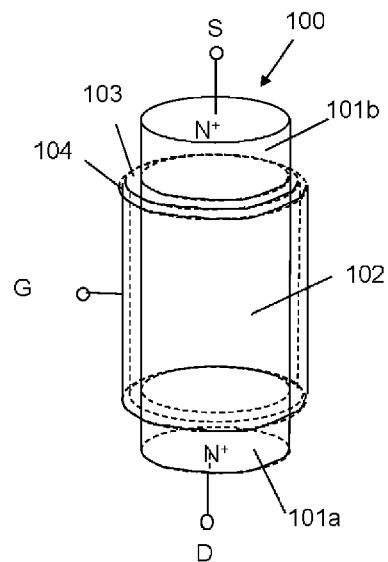
[図5]



[図6]



[図7]



## INTERNATIONAL

## SEARCH REPORT

International application No.

PCT / JP2 016 / 089129

## A. CLASSIFICATION OF SUBJECT MATTER

H 01L 21/82 44 (2006.01)i, H 01L 27/1 1 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H 01L 21/8244, H 01L 27/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2017	
Kokai	Jitsuyo	Shinan	Koho	1971-2017	Toroku	Jitsuyo	Shinan	Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-29469 A (Takeshige SHIRATO), 10 February 2011 (10.02.2011), paragraphs [0009], [0010]; fig. 16 to 25 (Family : none )	1-10
A	JP 2009-141110 A (Eipida Memory, Inc.), 25 June 2009 (25.06.2009), paragraphs [0035] to [0039]; fig. 7 to 11 & US 2009/0148992 A1 paragraphs [0052] to [0062]; fig. 7 to 11	1-10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search  
13 February 2017 (13.02.17)Date of mailing of the international search report  
21 February 2017 (21.02.17)Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, JapanAuthorized officer  
Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 016 / 089129

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>JP 2014-220543 A (Unisant is Electronics Singapore Pte Ltd .), 20 November 2014 (20.11.2014), paragraph [0060] ; fig . 36 &amp; JP 2014-13922 A &amp; JP 2015-188115 A &amp; JP 5356260 B2 &amp; US 2010/0187600 A1 paragraph [0147] ; fig . 36 &amp; US 2012/0299068 A1 &amp; WO 2009/110048 A1 &amp; WO 2009/102062 A1 &amp; EP 2244304 A1 &amp; CN 101946332 A</p>	1~10
A	<p>WO 2014/184933 A1 (Unisant is Electronics Singapore Pte Ltd .), 20 November 2014 (20.11.2014), paragraphs [0042] to [0063] ; fig . 2A to 2U &amp; US 2015/0325444 A1 paragraphs [0100] to [0124] ; fig . 2AA to 2UC</p>	1~10

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl. H01L21/8244 (2006. 01)i, H01L27/11(2006. 01)i

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int.Cl. H01L21/8244, H01L27/11

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-19
日本国公開実用新案公報	1971-20
日本国実用新案登録公報	1996-20
日本国登録実用新案公報	1994-20

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)  
年

## C. 関連すると認められる文献

引用文献の カテゴリ一*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-29469 A (白土 猛英) 2011. 02. 10, 段落 [0009], [0010], 図 16 - 25 (ファミリーなし)	1 - 10
A	JP 2009-141110 A (エルビーダメモリ株式会社) 2009. 06. 25, 段落 [0035] - [0039], 図 7 - 11 & US 2009/0148992 A1, 段落 [0052] - [0062], 図 7 - 11	1 - 10

\* c 欄の続きにも文献が列挙されている。

「：パテントファミリーに関する別紙を参照。」

## \* 引用文献のカテゴリ一

A 「特に関連のある文献ではなく、一般的技術水準を示すもの」

E 「国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの」

C 「優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 理由を付す」

D 「口頭による開示、使用、展示等に言及する文献」

P 「国際出願日前で、かつ優先権の主張の基礎となる出願」

## の日の後に公表された文献

T 「国際出願日又は優先日後に公表された文献であつて出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの」

X 「特に関連のある文献であつて、当該文献のみで発明の新規性又は進歩性がないと考えられるもの」

Y 「特に関連のある文献であつて、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの」

&amp; 「同一パテントファミリー文献」

国際調査を完了した日 13.02.2017	国際調査報告の発送日 21.02.2017
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小山 满 電話番号 03-3581-1101 内線 3516

C(続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-220543 A (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2014. 11. 20, 段落 [0060] , 図 36 & JP 2014-13922 A & JP 2015-188115 A & JP 5356260 B2 & US 2010/0187600 AI, 段落 [0147] , 図 36 & US 2012/0299068 AI & wo 2009/110048 AI & wo 2009/102062 AI & EP 2244304 AI & CN 101946332 A	1 - 10
A	wo 2014/184933 AI (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2014. 11. 20, 段落 [0042] - [0063] , 図 2A _ 2U & US 2015/0325444 AI, 段落 [0100] - [0124] , 図 2AA - 2UC	1 - 10