



(12) 发明专利

(10) 授权公告号 CN 101884107 B

(45) 授权公告日 2013. 02. 13

(21) 申请号 200880115645. 2

(22) 申请日 2008. 11. 21

(30) 优先权数据

11/948, 235 2007. 11. 30 US

(85) PCT申请进入国家阶段日

2010. 05. 12

(86) PCT申请的申请数据

PCT/US2008/013041 2008. 11. 21

(87) PCT申请的公布数据

W02009/070252 EN 2009. 06. 04

(73) 专利权人 先进微装置公司

地址 美国加利福尼亚州

(72) 发明人 H·阿迪卡里 R·哈里斯

(74) 专利代理机构 北京戈程知识产权代理有限公司

公司 11314

代理人 程伟 靳强

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 21/336 (2006. 01)

(56) 对比文件

W0 2006/079964 A2, 2006. 08. 03,

US 6855583 B1, 2005. 02. 15,

FR 2861501 A1, 2005. 04. 29,

审查员 马圆

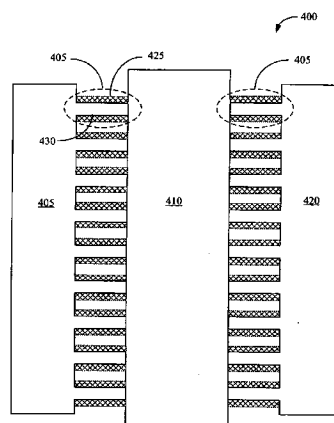
权利要求书 2 页 说明书 6 页 附图 6 页

(54) 发明名称

异质结构倒 T 场效晶体管

(57) 摘要

本发明系提供一种形成晶体管的方法。该方法包含形成第一半导体材料的第一层于绝缘层之上。选择该第一半导体材料以对第一载流子类型提供高的迁移率。该方法亦包含形成第二半导体材料的第二层于半导体材料的该第一层之上。选择该第二半导体材料以对相反于该第一载流子类型的第二载流子类型提供高的迁移率。该方法复包含形成第一屏蔽层相邻于该第二层, 且通过该第一屏蔽层蚀刻该第二层以在该第二层中形成至少一特征。在该第二层中的每一特征与该第一层的一部分形成倒 T 形状。



1. 一种形成晶体管的方法,包括:

在绝缘层 (310) 之上形成被应变以增加迁移率的第一半导体材料的第一层 (305),选择该第一半导体材料以对第一载流子类型提供高的迁移率;

在该第一层 (305) 之上形成被应变以增加迁移率的第二半导体材料的第二层 (315),选择该第二半导体材料以对与该第一载流子类型相反的第二载流子类型提供高的迁移率;以及

蚀刻该第二层 (315),以在该第二层 (315) 中形成至少一特征,使得在该第二层 (315) 中的每一特征与形成倒 T 形状结构的基极的该第一层 (305) 的一部分形成该倒 T 形状结构;

其中,该晶体管的源极 (415)、漏极 (420)、与栅极 (410) 形成为在激活该栅极 (410) 时,该第一及第二层所形成的该倒 T 形状结构的作用为该晶体管的该源极 (415) 及该漏极 (420) 之间的沟槽区域。

2. 如权利要求 1 所述的方法,其中,形成该第一层包括形成被应变以增加电子迁移率的第一半导体材料的该第一层,且其中,形成该第二层包括形成被应变以增加空穴迁移率的第二半导体材料的该第二层。

3. 如权利要求 1 所述的方法,其中,形成该第一层包括形成被应变以增加空穴迁移率的第一半导体材料的该第一层,且其中,形成该第二层包括形成被应变以增加电子迁移率的第二半导体材料的该第二层。

4. 如权利要求 1 所述的方法,其中,蚀刻该第二层包括使用具有第一及第二尺寸的表现特征的图案蚀刻该第二层,其中,该第一及第二尺寸平行该第二层及该第一层之间的表面的平面,而该第一尺寸小于该第二尺寸,且其中,蚀刻该第二层包括通过该图案蚀刻该第二层以形成具有该第一与第二尺寸、以及垂直该第一层及该第二层之间的表面的平面的第三尺寸的至少一特征,而该第三尺寸大于该第一尺寸。

5. 如权利要求 1 所述的方法,其中,使用终点侦测技术或预定蚀刻时间的至少其中之一而停止该第二层的蚀刻,使得蚀刻工艺不会蚀刻该第一层,且包括蚀刻该第一层以形成至少一特征相邻于在该第二层中形成的至少一特征,使得在该第一层中的每一特征形成具有在该第二层中形成的对应特征的该倒 T 形状结构的基极。

6. 如权利要求 1 所述的方法,其中,形成该第一层包括形成该第一层以具有定向的传导平面以提供该高的迁移率至该第一载流子类型,且其中,形成该第二层包括形成第二层以具有定向的传导平面以提供该高的迁移率至该第二载流子类型。

7. 一种晶体管 (300),包括:

第一层 (305),由被应变以增加迁移率的第一半导体材料形成于埋藏氧化层 (310) 的上方,该第一半导体材料经选择以对第一载流子类型提供高的迁移率;以及

第二层 (315),相邻于该第一层 (305) 而由被应变以增加迁移率的第二半导体材料形成,该第二半导体材料经选择以对与该第一载流子类型相反的第二载流子类型提供高的迁移率,且该第二层 (315) 包括在该第二层 (315) 中通过蚀刻该第二层 (315) 形成的至少一特征,使得在该第二层 (315) 中的每一特征与形成倒 T 形状结构的基极的该第一层 (305) 的一部分形成该倒 T 形状结构;

其中,该晶体管的源极 (415)、漏极 (420)、与栅极 (410) 形成为在激活该栅极 (410)

时,该第一及第二层所形成的该倒 T 形状结构的作用为该晶体管的该源极 (415) 及该漏极 (420) 之间的沟槽区域。

8. 如权利要求 7 所述的晶体管,其中,第一层由经应变以增加电子迁移率的第一半导体材料所形成,且其中,第二层由经应变以增加空穴迁移率的第二半导体材料而形成。

9. 如权利要求 7 所述的晶体管,其中,第一层由经应变以增加空穴迁移率的第一半导体材料所形成,且其中,第二层由经应变以增加电子迁移率的第二半导体材料所形成。

10. 如权利要求 7 所述的晶体管,其中,上述在该第二层中形成的至少一特征包括具有平行该第一层及该第二层之间的表面的平面的第一及第二尺寸的特征图案,而该第一尺寸小于该第二尺寸,其中,在该第二层中形成的所述至少一特征具有垂直该第一层及该第二层之间的表面的平面的第三尺寸,而该第三尺寸大于该第一尺寸,且包括在该第一层中形成的至少一特征,其相邻于上述在该第二层中形成的至少一特征,使得在该第一层中的每一特征形成具有在该第二层中形成的对应特征的该倒 T 形状结构的基极。

11. 如权利要求 7 所述的晶体管,其中,形成该第一层以具有定向的传导平面以提供该高的迁移率至该第一载流子类型,且其中,形成第二层以具有定向的传导平面以提供该高的迁移率至该第二载流子类型。

异质结构倒 T 场效晶体管

技术领域

[0001] 本发明大致上系有关于一种半导体工艺,尤有关于形成异质结构倒 T 场效晶体管。

背景技术

[0002] 受到可形成在晶圆上的半导体装置的密度增加及这些装置的操作速度增加的持续驱使,导致习知半导体装置在结构上进行了许多的修改。举例而言,于发展成果接近 22 奈米节点 (node) 时,尝试去维持习知平面装置的尺寸将会遭遇到包含栅极电极对沟槽区域不适当控制的障碍而可能导致短通道效应 (short channel effect)。通道的多方向控制可使得增加例如次临界斜率 (sub threshold slope)、漏极导致能障泄漏 (drain induced barrier leakage) 等短通道效应之免疫力。因而许多半导体装置可使用多栅极场效晶体管 (FET) 而形成。于多栅极场效晶体管的一个例子系包含由超薄主体 (ultrathin body, UTB) 所形成的栅极结构,该超薄主体系转向成相对于习知平面栅极结构呈竖立 (亦即, UTB 栅极结构系垂直于基板)。由于这些装置具有鳍片状结构因而于习惯上被称之为鳍式场效晶体管 (Fin-FET), 该鳍片状结构系连接 Fin-FET 的源极及漏极区域至该栅极结构。Fin-FET 装置可提供将多数电流聚集 (必然会增加流速) 至芯片的每一单元区的机制,同时维持与先前技术节点相对一致的工艺、材料及电路设计因子。

[0003] 图 1A、图 1B 及图 1C 系示意地显示在 Fin-FET 中形成鳍片结构的习知方法。这些图系揭示用于形成鳍片结构的材料层的剖面视图 100。在图 1A 所示的实施例中,半导体材料 (例如:单晶硅、硅化锗、或锗) 的层 105 形成于介电层 110 (例如:二氧化硅) 之上。接着,于半导体材料层 105 之上形成氧化层 115。该氧化层 115 可作为该层 105 对于后续其它结构的形成及 / 或蚀刻的保护层。该氧化层 115 亦可作为后续沉积层 (例如:氮化层) 的应力缩减层 (stress reduction layer)。在某些实施例中,沉积另一个氮化层 120。接着,于氮化层之上使用例如屏蔽形成图案化的光阻层,并用以转印图案到该氮化层。该图案化的氮化层 120 系使用做为屏蔽以蚀刻该氧化层 115 及该层 105 以形成显示于图 1B 中的鳍片结构 125。在一实施例中,可将该图案化的氮化层 120 及该氧化层 115 移除而留下显示于图 1C 中的鳍片结构 125。

[0004] 图 2 系示意地显示使用 Fin-FET 技术所形成的习知晶体管 200 的上视图。该晶体管 200 包含位于源极 210 及漏极 215 之间的栅极电极 205。于该源极 210 及该漏极 215 之间形成有如图 1A 至图 1C 所示的鳍片结构 125 的鳍片结构 220, 且这些结构于该栅极电极 205 的下方延伸。根据 Rao 及 Mathew 所提出的美国第 7, 265, 059 号专利案、Burnett 等人所提出的美国第 2007/0161171 号专利公开案及 Harris 等人于 FUTURE FAB International 第 23 期所提出的“Fin-FETs :Challenges inMaterial and Processing for a New 3-D Device Paradigm”的内容,可发现若干 Fin-FET 的范例及可用以形成 Fin-FET 的若干技术。

[0005] 可组构习知 Fin-FET 的鳍片结构以对结合 Fin-FET 的 CMOS 装置提供相当高的驱动电流。然而,习知的鳍片结构具有单一方位 (orientation) 并由单一材料形成。因此,只

能对于单一类型的 CMOS 装置将习知的鳍片结构最佳化以提供高驱动电流,亦即,可针对期望有高空穴迁移率 (mobility) 的 PMOS 装置及期望有高电子迁移率的 NMOS 装置其中之一者将鳍片结构最佳化。大部分的电路设计包含大量 PMOS 及 NMOS 两者的装置。虽可对于一种类型的装置将用于形成电路的工艺最佳化,但此也导致对于其它类型的装置的较无最佳化之工艺。

[0006] 于此描述的技术主题系针对处理上述问题中的一个或多个的影响。

发明内容

[0007] 为了提供本发明的某些态样的初步的理解,以下提出于此描述的技术主题的简化的总结。此总结并没有彻底的概观描述于此的技术主题。此总结并非用于确认本发明的关键或重要组件或详细描述本发明的范围。此总结的唯一目的是以简化的形式提供某些概念作为将于稍后讨论的更详细说明的前序。

[0008] 在一实施例中,提供一种用于形成晶体管的方法。该方法包含形成第一半导体材料的第一层于绝缘层之上。选择该第一半导体材料以对第一载流子类型提供高的迁移率。该方法亦包含形成第二半导体材料的第二层于半导体材料的该第一层之上。选择该第二半导体材料以对相反于该第一载流子类型的第二载流子类型提供高的迁移率。该方法复包含形成第一屏蔽层相邻于该第二层,且通过该第一屏蔽层蚀刻该第二层以在该第二层中形成至少一特征。在该第二层中的每一特征与该第一层的一部分形成倒 T 形状。

[0009] 在另一个实施例中,提供一种晶体管。该晶体管包含第一层,由第一半导体材料形成于埋藏氧化层 (buried oxide layer) 的上方。该第一半导体材料经选择以对第一载流子类型提供高的迁移率。该晶体管亦包含第二层,相邻于该第一层而由第二半导体材料形成。该第二半导体材料经选择以对相反于该第一载流子类型的第二载流子类型提供高的迁移率。该第二层亦包含在该第二层中通过第一屏蔽层蚀刻该第二层形成的至少一特征,使得在该第二层中的每一特征与该第一层的一部分形成倒 T 形状。

附图说明

[0010] 本技术主题可通过参照以下的说明书内容并伴随附图而加以了解,其中,相近的组件符号表示相近的组件,且于其中:

[0011] 图 1A、图 1B 及图 1C 系示意地显示在 Fin-FET 中形成鳍片结构的习知方法;

[0012] 图 2 系示意地显示使用 Fin-FET 技术所形成的习知晶体管的上视图;

[0013] 图 3A、图 3B、图 3C、图 3D 及图 3E 系示意地显示于此描述的形成异质结构倒 T 鳍片结构的方法的一示范实施例;

[0014] 图 4 系示意地显示于此描述的包含异质结构倒 T 鳍片结构的晶体管的上视图;

[0015] 图 5A 系示意地显示于此描述的包含异质结构倒 T 鳍片结构的连续超薄主体 (UTB) 装置的透视图;以及

[0016] 图 5B 系示意地显示于此描述的包含异质结构倒 T 鳍片结构的多个栅极超薄主体 (UTB) 装置的透视图。

[0017] 虽然本发明是容许有不同的修改及替代形式,但是于此乃通过在图式中范例的方式显示本发明的特定实施例并加以详细说明。然而,应当了解本说明书的特定实施例并非

用以限制本发明于所揭露的特定形式,但是相反的,本发明系包含在由随附的申请专利范围所定义的本发明范畴内的所有修改、等效物及替代。

具体实施方式

[0018] 将于下描述本技术主题的例示实施例。为了清楚的目的,并非实际实作所需要的所有特征均描述于此说明书中。应当了解,在发展任何此类实际实作时,应该做出许多特定实作的决定以达成发展者的特定目标(例如满足系统相关及商业相关的限制),而将一个实作改变为另外一个实作。然而,将了解到此类发展的努力可能是复杂且耗时的,但是此发展对于得知本揭露内容之利益的所属技术领域的通常知识者而言系为一种例行性的工作。

[0019] 本技术主题将于此参照附图而加以描述。仅为了解释的目的,不同的结构、系统及装置是以示意地方式绘制于图式中,以使得本发明不会被所属技术领域者所共知的细节所模糊。因此,附图中系包含用以描述及解释于此所述的技术主题的例示范例。在此使用的字汇与词组应被了解与解释为与相关技术领域者所了解之这些字汇与词组一致的意义。为了于此使用的术语或词组能有一致的用法,并未对术语或词组提供特别的定义,亦即,并未提供定义与所属技术领域者通常及惯用所能理解的意义不同。但是于所提出的说明书中有说明特别的定义,且能以直接且毫无歧异的定义方式提供该术语或词组的特别定义,应当将术语或词组解读为具有特别的意义。

[0020] 图 3A、图 3B、图 3C、图 3D 及图 3E 系示意地显示形成异质结构倒 T 鳍片结构的方法的一示范实施例。这些图系绘制用于形成异质结构倒 T 鳍片结构的材料层的剖视图 300。在图 3A 所示的实施例中,半导体材料的第一层 305 形成与介电层 310 相邻。可以选择使用形成该层 305 的半导体材料以提供相当高的空穴或电子迁移率。虽然在某些应用中可发生该第一层 305 与该介电层 310 有接触,但于此使用的术语“相邻”并非必然表示该第一层 305 与该介电层 310 有接触。在某些实施例中,在相邻的第一层 305 及介电层 310 之间可形成一层或多层。该介电层 310 可为二氧化硅或其它绝缘体所形成的埋藏氧化层(buried oxide layer),而该第一层 305 可为硅化层。或者,该层 305 可为应变之绝缘体上覆硅层(strained silicon-on-insulator layer)305。对于所属技术领域人士而言,有关于用于形成硅、绝缘体上覆硅及/或应变之绝缘体上覆硅层 305 的技术是公知常识,而为了清楚的目的,只有形成有关于本发明之该些层 305 的那些态样将于此讨论。

[0021] 使用应变、伸张或压缩之绝缘体上覆硅层 305 可使得在该异质结构倒 T 鳍片结构中的电子及/或空穴的迁移率被控制、修改及/或增加。举例而言,绝缘体上覆硅层 305 的应变可修改应变之绝缘体上覆硅层 305 的传导及/或价带结构以增加电子及/或空穴的迁移率。此外,在应变之绝缘体上覆硅层 305 中的应变硅晶格亦可协助成长高质量的磊晶层(epitaxial layer)(例如:将于下讨论的锗层),藉以降低可能的晶格错置缺陷(lattice mismatch defect)。对于所属技术领域而言,用于应变绝缘体上覆硅层 305 以控制迁移率及/或降低晶格错置缺陷并达成其它目标的技术是公知常识,因此为了清楚的目的,将不会于此进一步讨论。

[0022] 如图 3B 所示,接着将不同类型的半导体材料的第二层 315 形成于该第一层 305 的上方,以使得该第一层 305 及该第二层 315 彼此相邻。若选择使用于第一层 305 的材料以提供相当高的电子迁移率,则可选择使用于形成该第二层 315 的半导体材料以提供相当高的

空穴迁移率。举例而言,若以绝缘体上覆硅形成该第一层 305,则可以锗形成该第二层 315。在一实施例中,锗层 315 可为本征性地被掺杂及 / 或可为在例如使用离子植入技术沉积之后被掺杂。对于所属技术领域的人士而言,用于形成锗层 315 的技术为公知常识,为了清楚的目的,仅将于此讨论有关于形成本发明之这些层 315 的那些态样。或者,若选择使用于第一层 305 的材料以提供相当高的空穴迁移率,则可选择使用于形成该第二层 315 的半导体材料以提供相当高的电子迁移率。

[0023] 虽然于本例示实施例中是使用硅与锗形成该第一层 305 及该第二层 315,但是对于从本发明的揭露内容有所收获的所属技术领域的人士而言,应当能了解到本发明并非限制于使用这些材料形成该第一层 305 及该第二层 315。于替代的实施例中,可选择将半导体材料进行其它的组合,以使得这些层 305、315 的一者提供相当高的电子迁移率,而其另一者提供相当高的空穴迁移率。可用以形成该第一层 305 及该第二层 315 的材料的示范组合包含:使用锗以形成该第一层 305 且使用硅以形成该第二层 315;使用砷化镓以形成该第一层 305 且使用锗以形成该第二层 315;以及,使用硅以形成该第一层 305 且使用砷化镓以形成该第二层 315。

[0024] 如图 3C 所示,绝缘层 320(例如:氧化物)接着形成于该第二层 315 的上方。举例而言,该绝缘层 320 可通过沉积氧化物(例如二氧化硅)于该第二层 315 之上而形成。或者,该绝缘层 320 可通过氧化该第二层 315 的上部而形成。在一实施例中,该绝缘层 320 可于后续形成及 / 或蚀刻其它结构的期间作为保护层。可使用光阻剂(photoresist)被图案化的另一层 325 系随后被形成于该绝缘层 320 之上。经图案化的屏蔽层 325 可以不同的材料(例如:氮化层等)而形成。在该屏蔽层 325 中的图案系反映出结构的预期图案,其中,该结构系通过蚀刻该第二层 315 而形成。举例而言,该图案可界定在由该第一层 305 及该第二层 315 之间的接口所界定之平面中的结构尺寸(例如:宽度及长度)。结构的第三尺寸(例如:高度)可由该第二层 315 的厚度所界定。

[0025] 如图 3D 所示,接着可使用经图案化的屏蔽层 325 作为屏蔽而蚀刻该绝缘层 320 及该第二层 315。可使用蚀刻停止技术(例如:发射光谱(optical emission spectroscopy)技术)或通过计时蚀刻工艺的持续时间而停止该第二层 315 的蚀刻。蚀刻系较佳地停止在于蚀刻工艺开始蚀刻移除该第一层 305 的部分之前。然而,对于因得知本发明的揭露内容而有所收获的所属技术领域人士而言,应当了解到欲准确地控制蚀刻的进行使得该第一层 305 不会被蚀刻可能是困难的。因此,实际上对于蚀刻工艺的实作尝试于下列时间点停止蚀刻工艺:于大致上已经蚀刻移除该第二层 315 的所有未受屏蔽的部分(在某些公差(folerance)内)且大致上并未蚀刻该第一层 305(在某些公差内)。蚀刻工艺形成包含该绝缘层 320 及该第二层 315 的未受蚀刻部分的鳍片状结构 330。在一实施例中,该鳍片状结构 330 的宽度(亦即,在纸面中的尺寸)较该鳍片状结构 330 的深度(亦即,垂直于纸面的尺寸)为小。在一实施例中,该鳍片状结构 330 的厚度系约略等同于该绝缘层 320 及该第二层 315 的厚度。

[0026] 于此时的工艺中,该鳍片状结构 330 及该第一层 305 形成异质结构倒 T 鳍片结构,该异质结构倒 T 鳍片结构可被使用于例如连续(contiguous)超薄主体(UTB)装置的连续装置。举例而言,该鳍片状结构 330 的高度可大致上在 15 至 90nm 的范围内,以及该第一层 305 的厚度可大致上在 1 至 60nm 的范围内。该半导体材料的方位可经选择以提供相关载

流子（例如：空穴或电子）的最高迁移率。在一实施例中，选择该第一半导体材料以具有（100）方位，使得该第一层 305 的传导平面 332 具有平面（100）的几何形状，且该鳍片状结构 330 的第二层的侧壁表面 334 的传导平面具有平面（110）的几何形状。或者，可选择不同方位（例如：（110）方位）的第一半导体材料，以确保较高的载流子迁移率（例如：较高的空穴迁移率）。于此情况中，可以另一个方位（例如：（100）方位）形成该第二半导体材料。

[0027] 在一替代实施例中，多个栅极 UTB 装置可通过图案化该第一层 305 而形成。在图 3E 所示的实施例中，该第一层 305 的部分被蚀刻移除以后留下基极结构 335。在所属领域中用于屏蔽及 / 或蚀刻该第一层 305 的部分的技术为公知常识，因而为了清楚的目的，将不会于此进一步讨论。该基极结构 335 形成大致上与该鳍片状结构 330 对称。该基极结构 335 的宽度系大于该鳍片状结构 330 的宽度。举例而言，基极结构 335 的宽度可约略在 60 至 200nm 的范围内，以及鳍片状结构 330 的宽度可约略在 1 至 60nm 的范围内。在某些实施例中，该基极结构 335 的厚度可与该鳍片状结构 330 的厚度大致上相同。举例而言，该鳍片状结构 330 与该基极结构 335 两者的厚度可约略为 20nm。然而，上述内容仅用作为例示范例而可能非适用于所有情况。因此，该基极结构 335 及该鳍片状结构 330 形成延伸（延伸进入纸面内）的倒 T 结构。在于此绘制的例示实施例范例中，该基极结构 335 的厚度系与该第一层 305 的厚度大致上相同。

[0028] 图 4 系示意地显示包含异质结构倒 T 鳍片结构 405 的晶体管 400 的上视图。两个鳍片结构 405 系以椭圆虚线约略地标示在图 4 中。在例示实施例中，形成有栅极 410、源极区域 415 及漏极区域 420，以使得该鳍片结构 405 将可作为该晶体管 400 中的沟槽区域。用于形成该栅极 410、该源极区域 415 及该漏极区域 420 的技术、与例如栅极介电质、该栅极 410、该源极 415 及 / 或该漏极 420 之接触点的该晶体管 400 的其它组件和其它后端工艺是属于所属技术领域中的公知常识。为了清楚的目的，于此将仅讨论有关于本发明形成该晶体管 400 组件的那些态样。

[0029] 于例示实施例中所示的这些鳍片结构 405 包含由硅形成的基极 425 及由锗形成的鳍片 430。在一实施例中，这些鳍片结构 405 可根据图 3A 至图 3E 中所示之工艺而形成。这些鳍片状结构 405 由多个方向通过该栅极 410 所控制。因此，对于短通道效应，该晶体管 400 比起使用习知平面晶体管（planar transistor）的晶体管更具有免疫力。可选择该晶体管 400 的装置几何形状以最佳化材料及 / 或相依于空穴及 / 或电子迁移率的方位，以提供比起使用例如图 1C 所示的习知 I 型（或条型）鳍片的晶体管为高的驱动电流。举例而言，当该晶体管 400 系实作为 PMOS 装置时，该鳍片 430 的范例部分 315 的锗部提供相当高的空穴迁移率。再者，该鳍片 430 的侧壁（未显示）的（110）几何形状比起在平面的几何形状中的（100）传导平面具有较高的空穴迁移率。相同的晶体管 400 当实作为 NMOS 装置时，在水平的硅基（silicon-based）425 中的（100）传导平面提供较高的电子迁移率。相对称之在该硅基极 425 中的电子迁移率及在该锗鳍片 430 中的空穴迁移率亦可允许当在晶体管 400 中持续提供对称的开启状态电流（on-state current）时芯片区的最佳化。

[0030] 该晶体管 400 亦可被以其它方式进行修改。举例而言，由该基极 425 及该鳍片 430 所形成的沟槽区域可为本征性地被掺杂或可为例如使用离子植入及退火的技术而被掺杂。于另一范例中，可使用延伸植入或通过使用自该源极区域 410 及 / 或该漏极区域 415 的由

下面露出的掺杂物 (under lap of dopant) 而形成延伸 (extension)。于再一范例中, 可通过锗的选择性磊晶生长及 / 或在形成于该晶体管 400 中的间隔件 (spacer) 的区域外侧中的硅来降低寄生电阻 (parasitic resistance)。

[0031] 图 5A 系示意地显示连续超薄主体 (UTB) 装置 500 的透视图。在此例示实施例中, 该 UTB 装置 500 形成于基板 505 上并包含形成异质结构倒 T 鳍片结构的鳍片状结构 510 及第一层 515。选择第一材料形成这些鳍片状结构 510 以对第一载流子类型 (例如: 空穴) 提供相当高的迁移率, 以及选择第二材料形成该第一层 515 以对第二载流子类型 (例如: 电子) 提供相当高的迁移率。接着, 将层 520 形成于该异质结构倒 T 鳍片结构之上。可使用该层 520 以形成栅极、源极及 / 或漏极结构。

[0032] 图 5B 系示意地显示多个栅极超薄主体 (UTB) 装置 525 的透视图。在此例示实施例中, 该 UTB 装置 525 形成于基板 530 上并包含形成异质结构倒 T 鳍片结构的鳍片状结构 535 及基极结构 540。选择第一材料形成这些鳍片状结构 535 以对第一载流子类型 (例如: 空穴) 提供相当高的迁移率, 以及选择第二材料形成该基极结构 540 以对第二载流子类型 (例如: 电子) 提供相当高的迁移率。接着, 将层 545 形成于该异质结构倒 T 鳍片结构之上。可使用该层 545 以形成栅极、源极及 / 或漏极结构。

[0033] 上述内容所揭露的特定实施例仅用于说明的目的, 然而对于得知本教导内容之利益的所属技术领域人士而言, 将本发明以不同但等效的方式修改或实施是显而易知的。再者, 除了下列申请专利范围所述的内容, 于此所示的结构或设计的细节并非用于限制。因而, 很明显的可对上述所揭露的特定实施例进行改变与修改, 且上述所有此类的变化均被视为在本发明之范畴内。因此, 本发明之权利保护范围系提出于下列之申请专利范围。

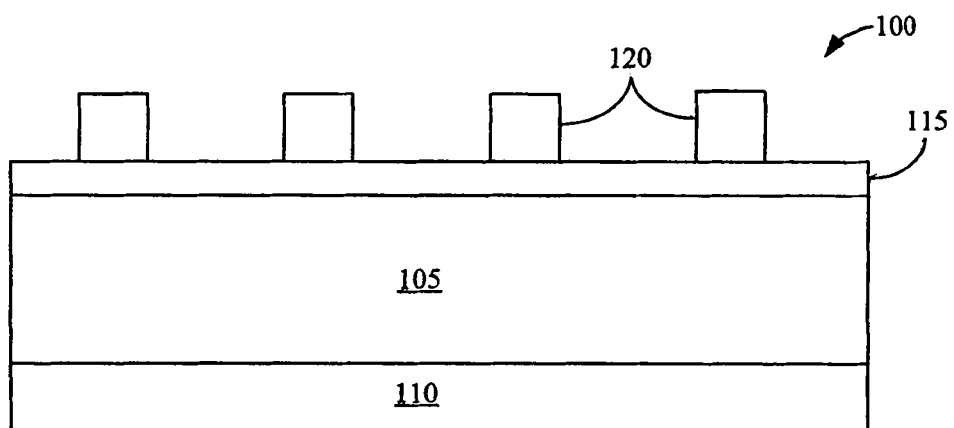


图 1A(现有技术)

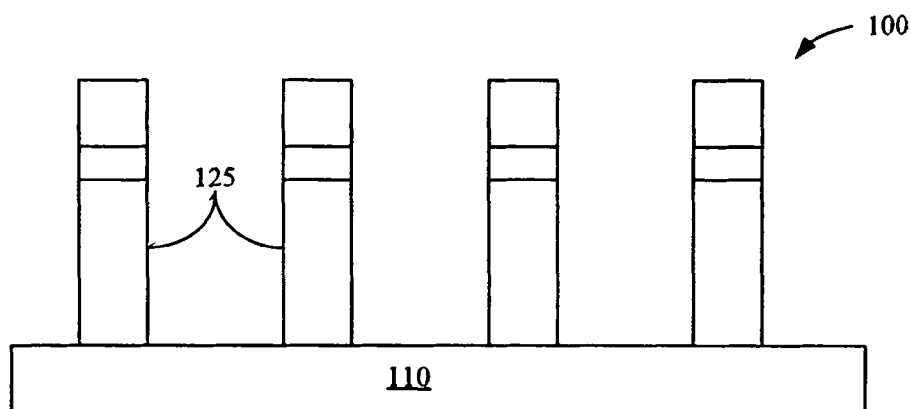


图 1B(现有技术)

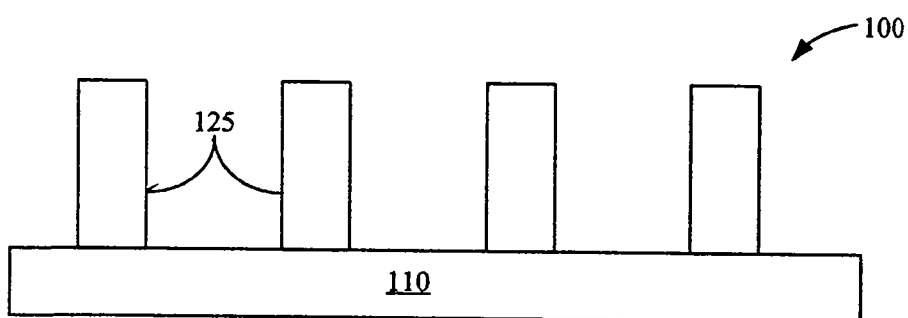


图 1C(现有技术)

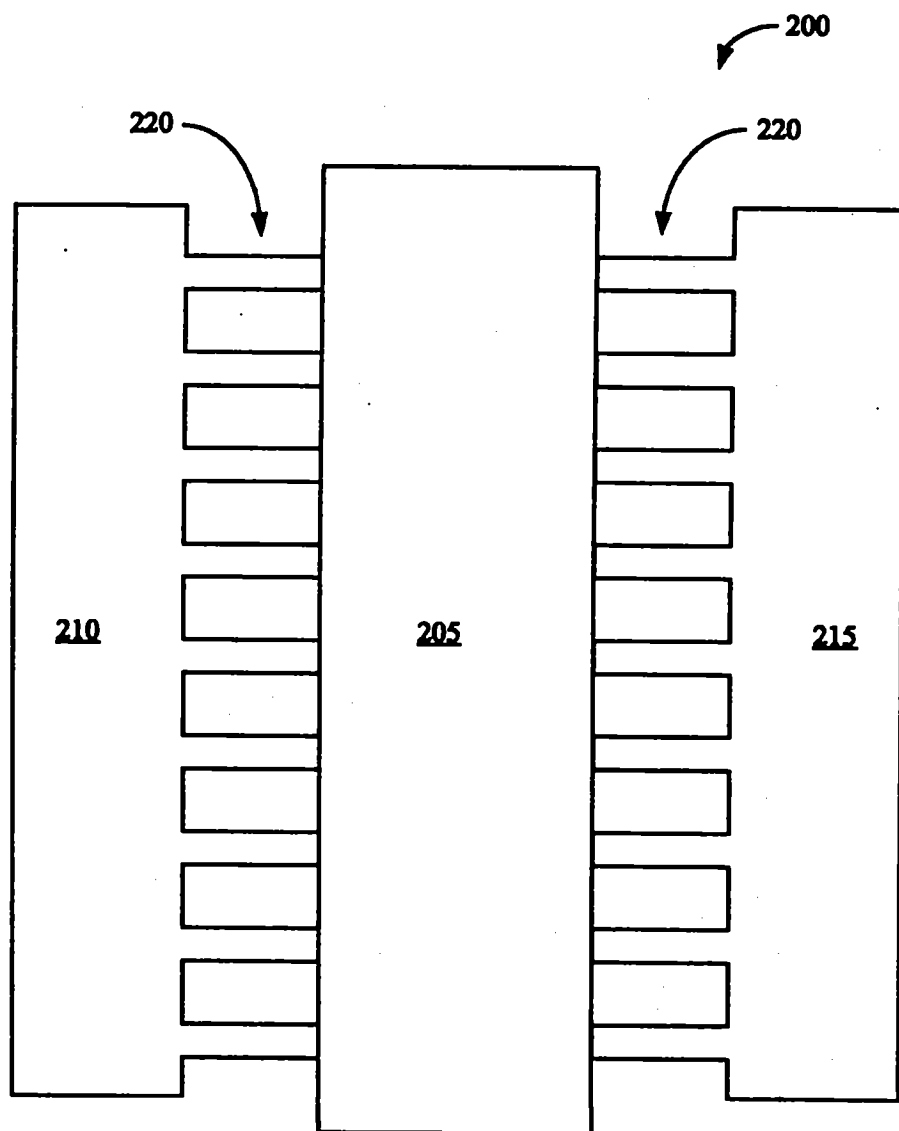


图 2(现有技术)

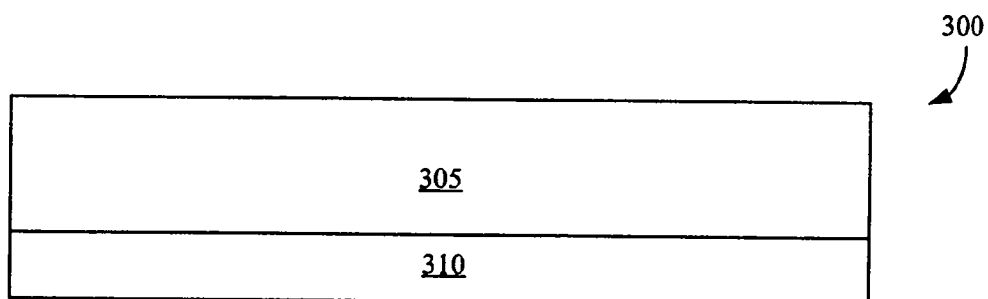


图 3A

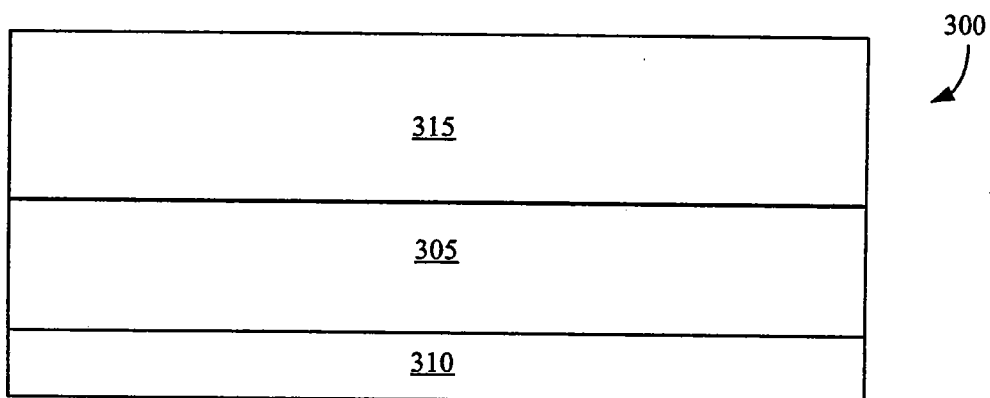


图 3B

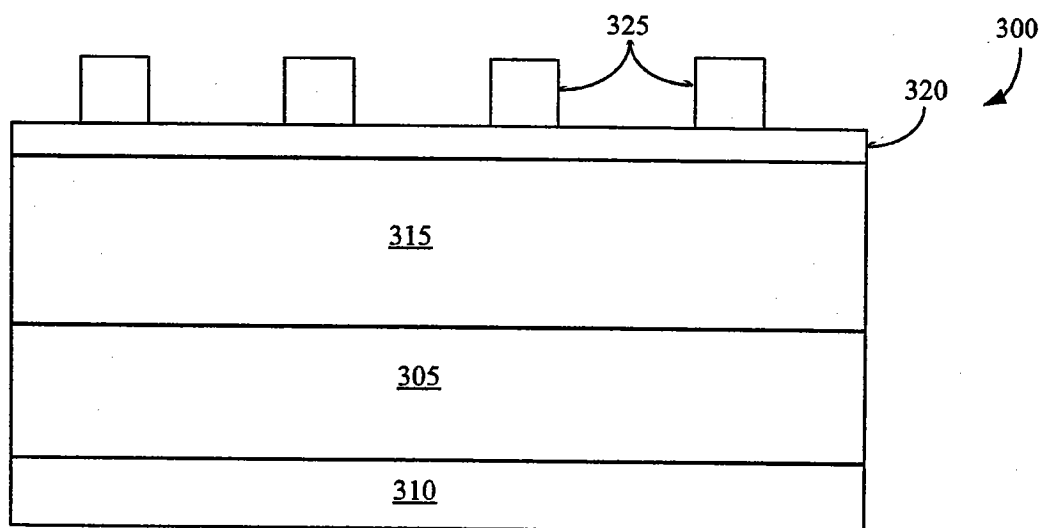


图 3C

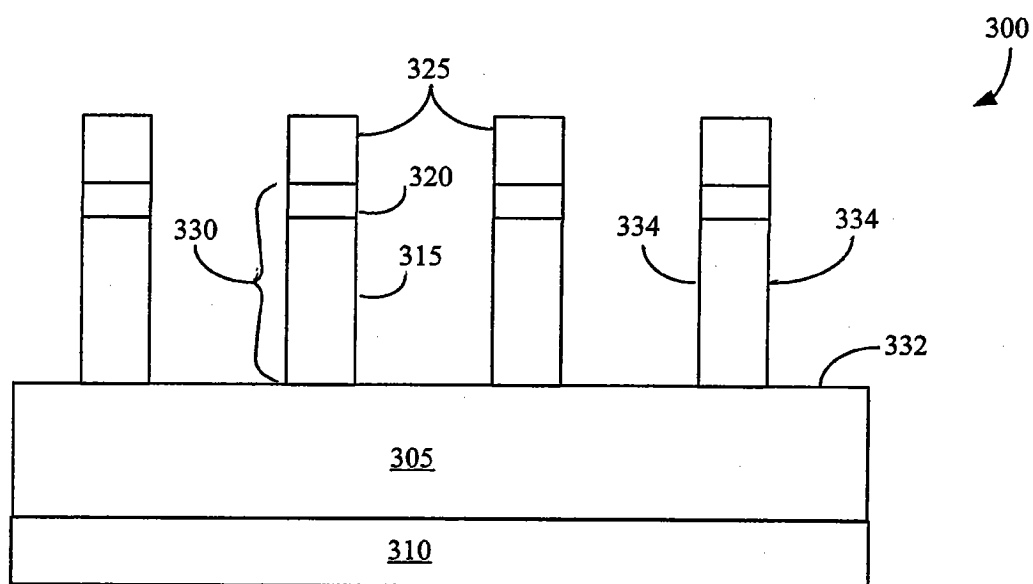


图 3D

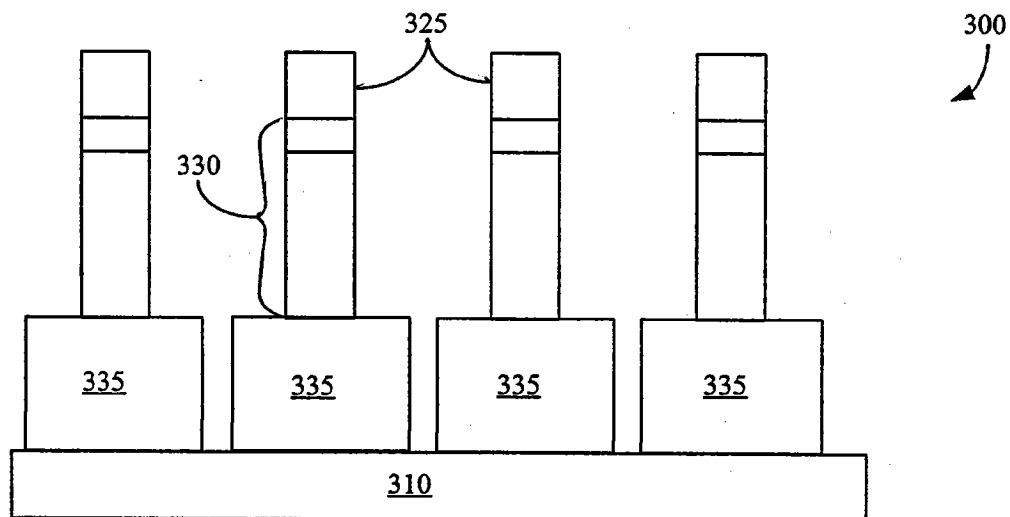


图 3E

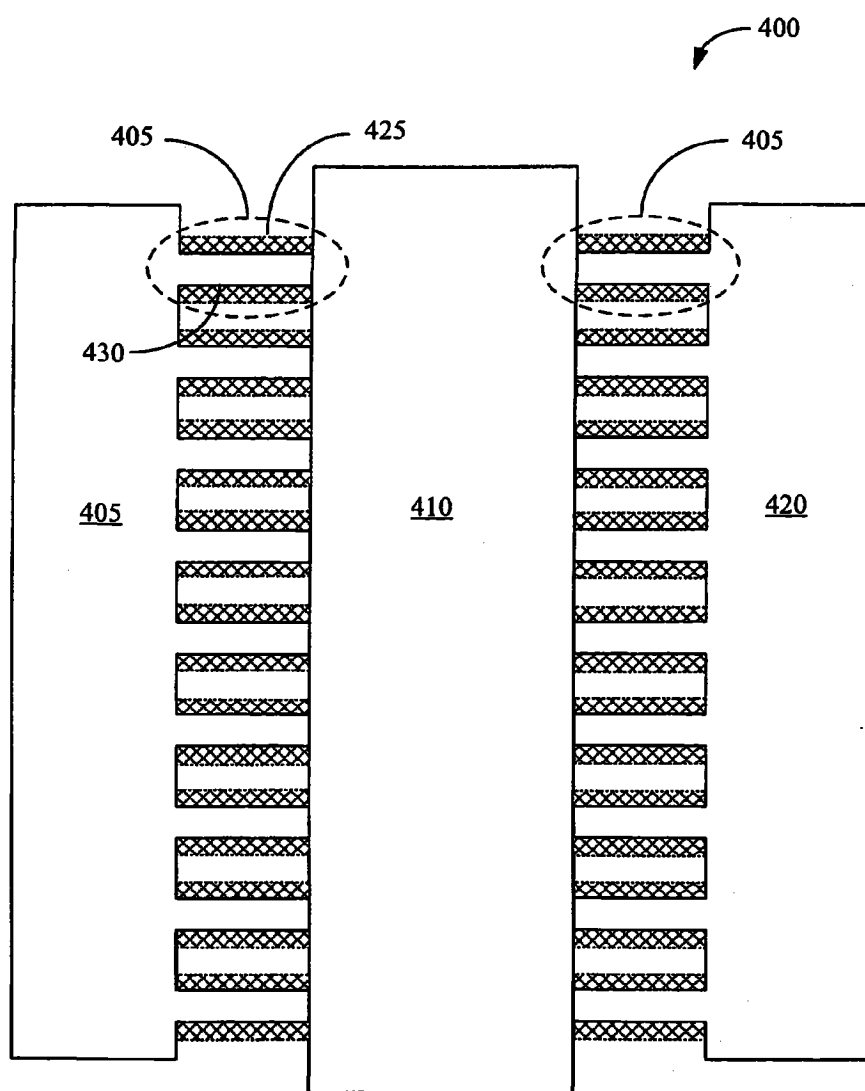


图 4

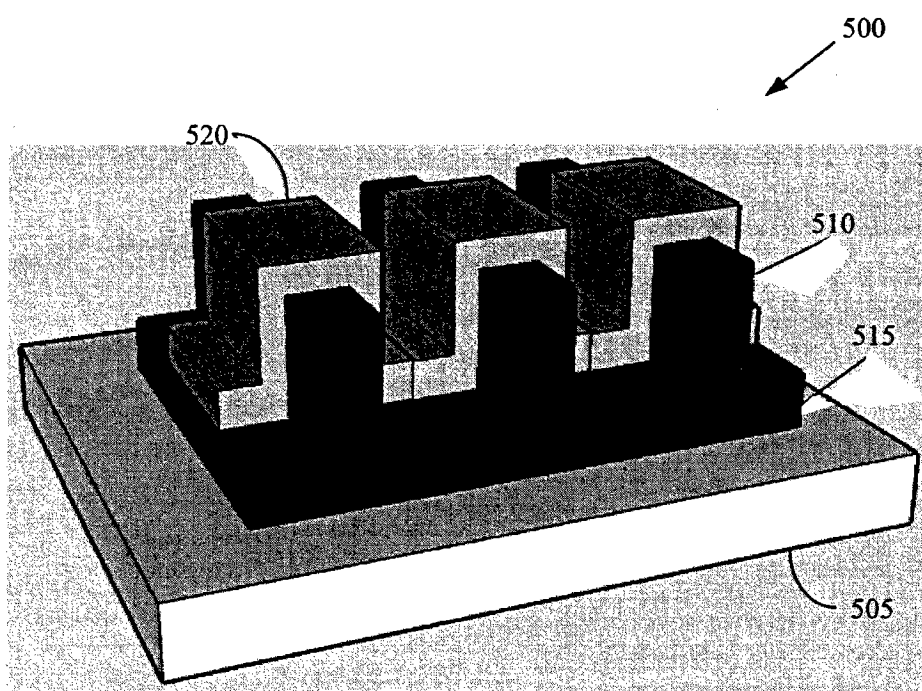


图 5A

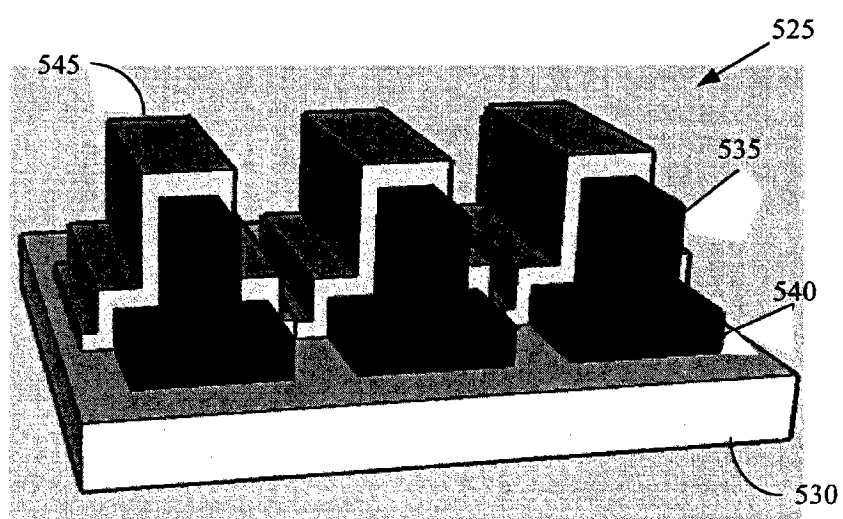


图 5B