

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 29/50 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510115967.5

[43] 公开日 2006 年 6 月 28 日

[11] 公开号 CN 1794357A

[22] 申请日 2005.11.11

[74] 专利代理机构 北京科龙寰宇知识产权代理有限公司

[21] 申请号 200510115967.5

代理人 孙皓晨 贺华廉

[30] 优先权

[32] 2005.6.14 [33] US [31] 11/152,476

[71] 申请人 錄創科技股份有限公司

地址 中国台湾

[72] 发明人 戎博斗 刘士晖

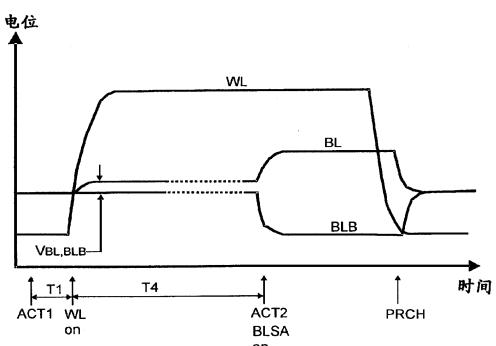
权利要求书 3 页 说明书 5 页 附图 4 页

[54] 发明名称

用于存储器测试中感测放大器的时间可控制
感测方案

[57] 摘要

本发明所公开的测试方法源自一测试器的信号将存储器芯片或存储模块设定至一特定测试模式。此特定测试模式利用比特线感测放大器检测连接至比特线的漏电流缺陷。由一测试器发出一第一测试指令激活一字线。于一特定测试模式开启存储器比特线感测放大器的期间，测试器发出一自第一测试指令延迟的第二测试指令。延迟的第二测试指令允许比特线与字线交叉处的缺陷所导致的漏电流充电比特线的电容，并且被感测放大器所检测。



1. 一种检测比特线漏电流的方法，包括以下步骤：
 - (a) 激活 (activating) 一半导体存储器芯片中的一测试模式；
 - 5 (b) 寻址一字线；
 - (c) 对该半导体存储器芯片发出 (issuing) 一第一测试指令 (test command)，由此开启该字线；
 - (d) 等待一预设时间量；
 - (e) 对该半导体存储器芯片发出一第二测试指令，由此开启数个比特线
 - 10 感测放大器；
 - (f) 于该预设时间量期间测量累积于数个比特在线的电荷；及
 - (g) 重复步骤 (b) 至 (f) 直到寻址所有的该字线。
2. 如权利要求 1 所述的检测比特线漏电流的方法，其中在一短暂固定的时间延迟之后，由该半导体存储器芯片中的一电阻器电容器 (RC) 网控制发出该第一测试指令。
3. 如权利要求 1 所述的检测比特线漏电流的方法，其中由该半导体存储器芯片中一测试器控制等待该预设时间量。
4. 如权利要求 1 所述的检测比特线漏电流的方法，其中发出该第二测试指令的步骤初始化一控制信号，以开启该数个比特线感测放大器。
- 20 5. 如权利要求 4 所述的检测比特线漏电流的方法，其中该第二测试指令仅于该测试模式才起作用。
6. 一种具有测试模式的半导体存储器芯片，藉以检测比特线漏电流，该具有测试模式的半导体存储器芯片包含：
 - (a) 用于进入半导体存储器芯片的测试模式的装置；
 - 25 (b) 用于发出第一测试指令的装置，由此初始化于对该半导体存储器芯片中的一被寻址的字线的开启；
 - (c) 用于发出第二测试指令的装置，由此于一预设时间量后开启数个比特线感测放大器；及
 - (d) 用于测量数个比特在线出现的漏电流的装置。

7. 如权利要求 6 所述的具有测试模式的半导体存储器芯片，其中在发出该第一测试指令后，由该半导体存储器芯片控制的一时间延迟后，开启该被寻址的字线。

8. 如权利要求 6 所述的具有测试模式的半导体存储器芯片，其中发出该
5. 第二测试指令从由测试器所开启该被寻址的字线时开始延迟，由此使得从缺
陷产生的漏电流充电交叉该被寻址的字线的该数个比特线。

9. 一种比特线漏电流的存储器芯片测试，包括：
10 (a) 由一测试器控制的一存储器芯片；
(b) 一列存储单元及一列地址；
(c) 一第一测试指令连接至该测试器的该存储器芯片；
(d) 一第二测试指令连接至该测试器的该存储器芯片；
(e) 该第一测试指令激活对应该列地址的该列存储单元的一字线；及
(f) 该第二测试指令激活一比特线感测放大器 (BLSA)，该比特线感测放
大器连接至该列存储单元的复数个比特线，由此读取该数个比特在线的电
荷。
15

10. 如权利要求 9 所述的比特线漏电流的存储器芯片测试，其中该测试器控制该存储器芯片进入一测试模式，由此使得该第二测试指令用以激活该比特线感测放大器。

11. 如权利要求 9 所述的比特线漏电流的存储器芯片测试，其中从该第
20 一测试指令、由该测试器于一充分时间量后延迟该第二测试指令，该充分时间量允许一漏电流充电该比特线感测放大器，藉以允许该比特线感测放大器测量该漏电流。

12. 如权利要求 11 所述的比特线漏电流的存储器芯片测试，其中从该第
25 一测试指令延迟该第二测试指令所需的一定时大定时网 (large timing
network) 不影响该存储器芯片所具有的一大小。

13. 如权利要求 9 所述的比特线漏电流的存储器芯片测试，其中该存储器芯片还包含：

- (a) 一指令译码器 (command decoder)；
- (b) 一地址缓冲器 (address buffer)；

-
- (c) 一控制信号产生器 (control signal generator);
 - (d) 该测试器，其连接一进入测试模式指令给该指令译码器，藉以将该存储器芯片设置于该测试模式，其该测试模式允许该测试器所发出的该第一测试指令产生一字符控制信号，该字符控制信号从该控制信号产生器连接至一字线译码器 (word line decoder)，藉以激活连接该列存储单元连接的一字线，该字线具有一列地址输入该地址缓冲器，并且容许由该测试器发出从该第一测试指令延迟的该第二测试指令，藉以使一比特线感测放大器控制信号由该控制信号产生器连接至该比特线感测放大器以激活该比特线感测放大器测量来自该字线的在该比特在线的漏电流。

用于存储器测试中感测放大器的时间可控制感测方案

5 技术领域

本发明涉及一种半导体存储器，特别是一种于集成电路测试中测试存储器比特线(bit line)。

背景技术

10 集成电路以及特别是半导体存储器芯片的测试，正在面临检测有碍于存储器芯片正常操作的挑战。连接存储单元的行(columns)的比特线正交于连接存储单元的列(rows)的字线，于每一比特线与字线的交叉位置上有可能存在缺陷，导致比特线与字线之间产生漏电流。检测漏电流的方法需要利用感测放大器(sense amplifiers)连接至比特线。为了允许比特线测量漏电流，
15 需要一时间延迟让漏电流充电至比特线电容器中。一种电阻器-电容器RC(resistor capacitor, RC)网整合至存储器芯片中，可藉以提供充分的时间延迟充电比特线电容器，这样一来，感测放大器就可以测量出缺陷。然而，只应用于测试模式的RC网中的电容器相对较大，因而影响到存储器芯片的尺寸大小。

20 美国专利 6,826,079 (Tran)公开了在一存储单元阵列中减少漏电流的方法与系统，其中一微分(differential)感测放大器分辨出一参考值与一被感测电流。美国专利 6,639,861 (Stief et al.) 公开了利用一控制电流切换至一非导电状态(non-conducting state)，其中于读取数据信号期间可以读取出一比特线的漏电流情形。美国专利 6,118,713 (Raad)中存储器加重测试(stress test)直指于一减弱状态(weakened state)中写入一逻辑比特(logic bit)，藉以回读出逻辑比特加重(stress)存储，并且识别减弱感测放大器及存储单元。美国专利 5,894,445 (Kobyashi)公开了一半导体存储器，其中比特线控制电路从一存储单元中读取数据以检测错误。

图 1 示出了一已知技术的信号图，说明一存储器芯片的正常激活，藉以从存储单元中读取数据。于一激活列指令 (row-active command, ACT) 后，在一固定时间延迟 T1 下开启字线 WL。于开启的字符在线开始产生介于比特线 BL 与比特线列 (bar) BLB 之间的差异电位 $V_{BL, BLB}$ 。于一固定时间延迟 T2 5 后开启比特线感测放大器 BLSA，并且由比特线感测放大器读取比特线 BL 与比特线列 (bar) BLB。固定的时间延迟 T1 与 T2 相较较短，其具有相同值且由一芯片上 (on-chip) RC 网产生。当字线关闭时，核准一预充电指令 PRCH 以预充电 (pre-charge) 一比特线，并且比特线回复至一静止状态 (quiescent state)。

10 图 2 示出了一已知技术的信号图，说明时间延迟 T3 应用于芯片与模块测试，藉以延迟开启比特线感测放大器 BLSA。时间延迟 T3 较长，且需要于 RC 网中具有较大的电容器，其大小占据半导体存储器芯片实际估算中相当的份量。建立时间延迟的长度以允许缺陷产生的漏电流足够充电比特线 BL 与比特线列 (bar) BLB，藉以允许比特线感测放大器 BLSA 的一漏电流量测。需要产生时间延迟 T3 的电容器的大小是很大的，且后续将增加存储器芯片的 15 大小。

发明内容

本发明的目的之一在于测量半导体存储器中的缺陷所导致的比特线漏电 20 流。

本发明的目的之一在于以一测试器的时序延迟信号控制测量。

本发明的目的之一在于，当开启一字线并且延伸一段时间时，利用一时序延迟信号启动一充分的延迟时间，藉以于开启比特线感测放大器之前、允许比特线漏电流充电比特线，且比特线感测放大器可以检测到漏电流缺陷。

25 于本发明中，激活一字线的测试器指令早于一芯片 RC 网发展的一第一时间延迟所开启的一字线。当开启字线时，比特线 (比特线与比特线列) 发展一差异电位。缺陷所导致的任何比特线漏电流开始充电比特线并且影响比特线差异电位。于测试器控制的第二时间延迟末了时，发出一第二测试器指令以开启比特线感测放大器，以测量比特线 BL 与 BLB。第二时间延迟相对较

长，且时间长至足够允许漏电流充电至比特线，并且允许感测放大器测量缺陷的结果。若是感测放大器测量其结果异于一默认值时，则判定此存储器芯片为有缺陷的。

下面结合附图对本发明进行详细说明。

5

附图说明

图1是一半导体存储器芯片的正常操作时的已知信号图；

图2是一已知信号图，说明使用半导体存储器芯片内部的RC网测量比特线漏电流的测试操作；

10 图3A是本发明的一存储器芯片的方块示意图，利用测试器的一外部信号控制比特线漏电流的测试；

图3B是本发明的一信号图，显示一外部时序控制，藉以延迟感测放大器的开启以测量比特线漏电流；

15 图4是本发明的一方块示意图，说明源自漏电流缺陷的位在线的电荷的测试。

附图标记说明：10存储器阵列；11字线译码器；12比特线感测放大器；13外部地址；14地址缓冲器；15列地址；16外部指令线；17指令译码器；18测试指令；19控制信号产生器；20字符控制信号；21-BLSA 控制信号；30存储器芯片；40、41、42、43、44、45、46、47、48-步骤。

20

具体实施方式

图3A是本发明的一实施例的一存储器芯片30(memory chip)的方块示意图。一存储器阵列10(memory array)由若干行与列的存储单元所形成。一字线译码器11(word line decoder)将读取出数据的一列存储单元选择至一比特线感测放大器12(bit line sense amplifiers (BLSA))。一外部地址13，例如于一测试器中形成的地址，连接至一地址缓冲器14(address buffer)，其中从地址缓冲器14输出的一列地址15(row address)连接至选择特别字线的字线译码器11。一外部指令线16(external command line)连接至一指令译码器17(command decoder)，此指令译码器17连接指令至一

控制信号产生器 19 (control signal generator)。控制信号产生器 19 产生一字符控制信号 20 (word line control signal) 连接至字线译码器 11 以及一 BLSA 控制信号 21 连接至比特线感测放大器 12。

当测试存储器芯片 30 (memory chip) 时，从一测试器而来、以一特定序
5 列形式表示的外部指令线 16 连接至一指令译码器 17 以设置存储器芯片 30
至一测试模式。当存储器芯片 30 处于测试模式时，藉由外部指令线 16 的方
式、测试器发出 (issue) 两测试 18 的第一个，第一测试指令为激活列指令，
且其通过控制信号产生器 19 联系至字线译码器 11。第一测试指令激活为藉
10 由地址缓冲器 14 的外部地址 13 寻址的存储单元列。于第一测试指令的时
间延迟上，测试器发出一第二测试指令 18，第二测试指令于测试模式中用以启
动比特线感测放大器，且控制信号产生器 19 连接 BLSA 控制信号 21 至比
特线感测放大器 12 以开启感测放大器。当开启感测放大器时、由比特线感
15 测放大器 12 量测于第一与第二测试指令 18 之间储存累积于位在线的电荷。
要注意的是，于存储器芯片的正常操作中是无法使用第二测试指令，而是单
一激活列指令启动 (initiate) 一字线的激活，且于存储器芯片内部时间延迟
15 之后利用 BLSA 控制信号 21 开启比特线，如图 1 所示。

图 3B 所示为根据本发明的一实施例的方块示意图，说明已经设置于一特
定测试模式的存储器芯片，藉以允许测试器控制一激活列指令的时序用以测
试比特线的漏电流。由一测试器起始化 (initiate) 一第一测试指令 ACT1，并
20 且于一短时间延迟 T1 后开启字线 WL。比特线 BL 与 BLB 开始产生一差异电位
 $V_{BL, BLB}$ ，其包含经由连接比特线的缺陷所形成于比特线 BL 与 BLB 上任何漏电流
的效应。漏电流缺陷最初介于位在字线及比特线交叉位置上的字线及比特线
BL 与 BLB 之间。经过相对较长的时间延迟 T4 之后，测试器发出一第二测试指
令 ACT2，藉以激活比特线感测放大器 BLSA。比特线感测放大器 BLSA 藉由 ACT2
25 开启，藉以测量于比特线 BL 与 BLB 上的累积电荷。每一对与字线 WL 配合的比
特线 BL 与 BLB 由比特线感测放大器 BLSA 测量，一旦存储器芯片或模块被发现
其具有超过一默认值的位电荷时，则决定其为有缺陷且予以舍弃。字线关闭
之后，比特线变成预先充电 PRCH 且回复至一静止状态。当于一特定测试模式
时，藉由分别寻址每一字线、先后应用 ACT1 指令与一延迟的 ACT2 指令、以及

测量比特线BL与BLB的累积电荷的方法，测试存储器芯片的来自每一字线的漏电流。藉由利用发出第二测试指令的测试器以及较第一测试指令延迟的方法，可以消除图2中因建立时间延迟T3所需的大量芯片电容的需求。

图4显示了一种测试源自漏电流的位在线电荷的方法。漏电流缺陷最初
5 介于位在字线及比特线实际交叉位置上的字线及比特线之间。藉由一测试器连接一信号至一指令译码器(图3)以激活(步骤40)的一特定测试模式。测试器连接一比特线地址至一地址缓冲(步骤41)，并且发出一第一测试指令以开启被寻址的字线(步骤42)。经过一时间延迟T1+T4(图3B)后，测试器发出开启存储器(步骤43)的感测放大器的一第二测试指令。第二测试指令的发出仅
10 于测试模式下有作用，并且用以感测放大器的延迟开启。此延迟允许字线及比特线之间的漏电流充分地充电比特线，如此一来，感测放大器能够检测漏电流的结果。经过一时间延迟T1+T4后，测量储存于位在线的电荷(步骤44)，并且排除包含电荷超过一预设极值的存储器芯片。被寻址的字线随着
15 感测放大器关闭，并且每一比特线预先充电(步骤45)。假若最后一字线尚未开启以测试比特线的漏电流时(步骤46)，则寻址下一条字线(步骤41)且重复步骤42至46。当最后一条字线已经寻址且已经测试比特线的漏电流时，则结束漏电流的测试(步骤48)。

以上所述利用实施例说明了本发明的特点，其目的在使本领域熟练技术人员能够了解本发明内容并据以实施，而非限定本发明的范围，因此，凡其它未脱离本发明所揭示的精神完成的等效修饰或修改的，仍应包含在本发明的保护范围内。

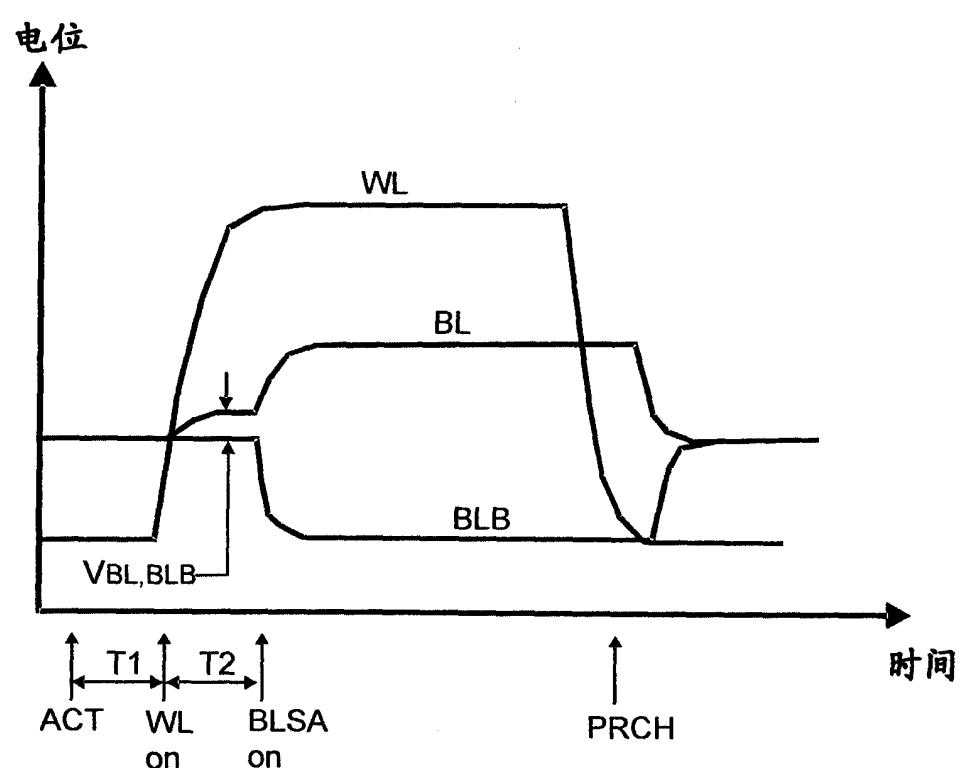


图 1

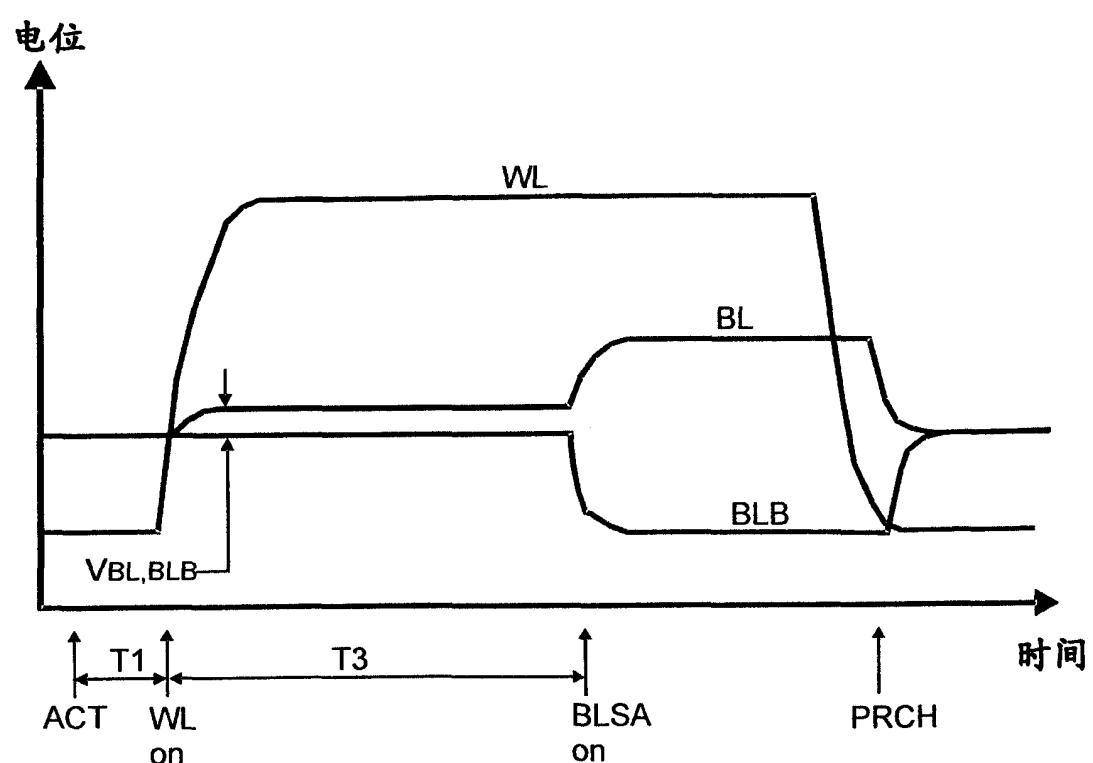


图 2

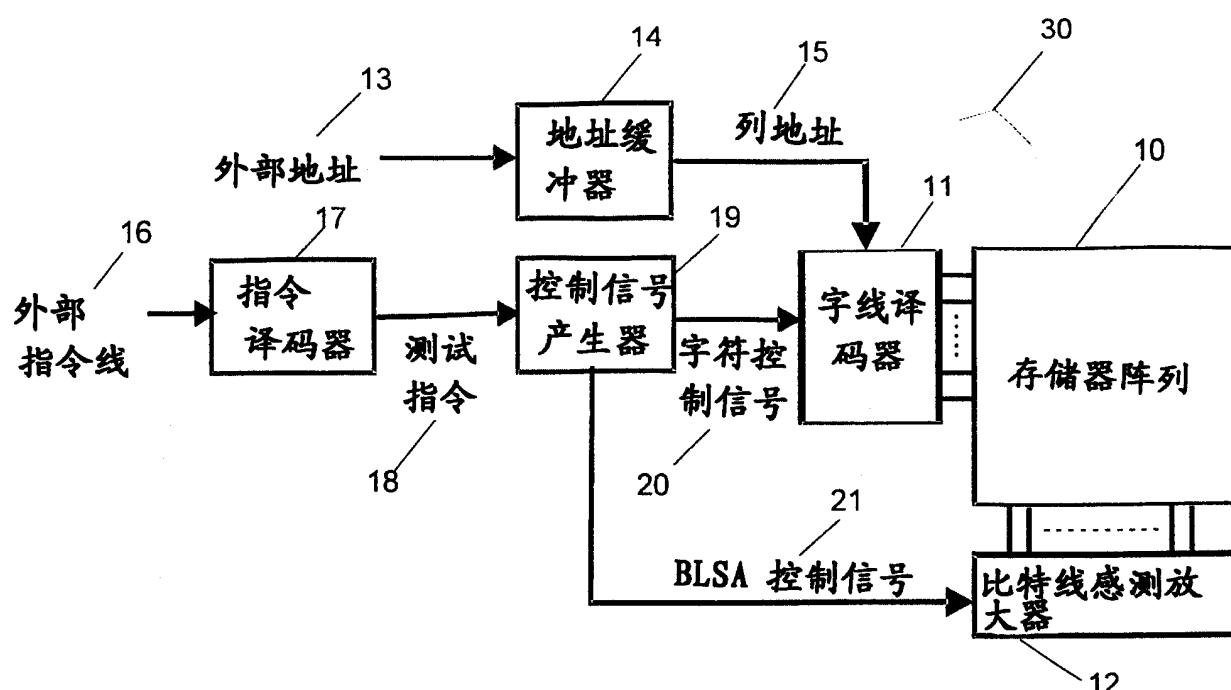


图 3A

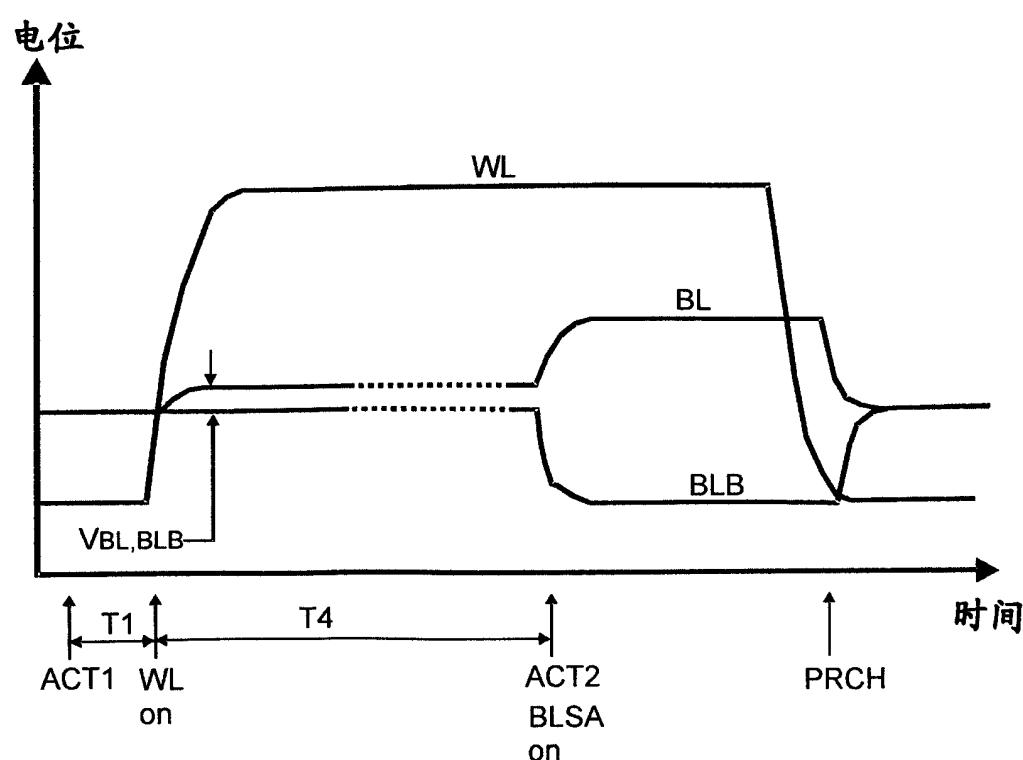


图 3B

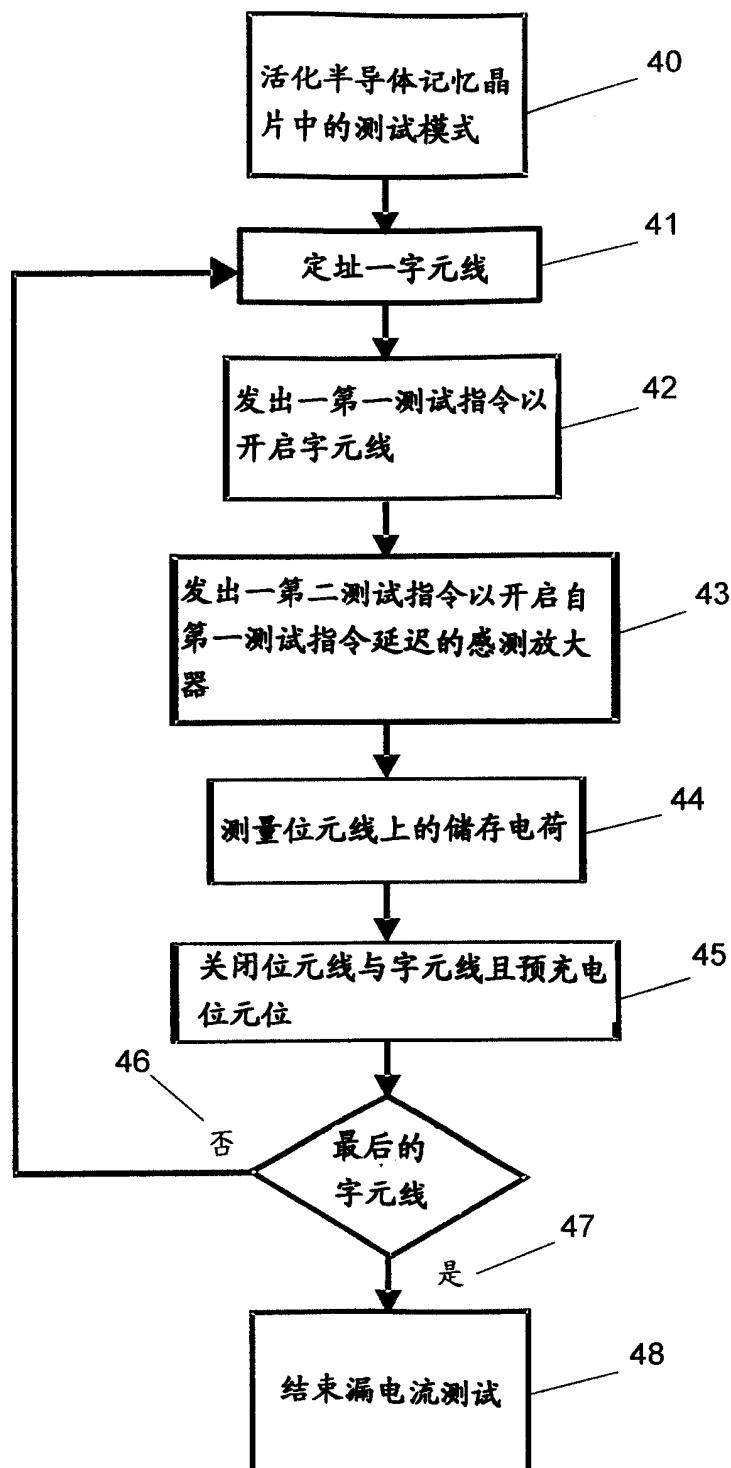


图 4