



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0032103
(43) 공개일자 2025년03월07일

(51) 국제특허분류(Int. Cl.)
G06N 3/063 (2023.01) H10D 12/00 (2025.01)
H10D 48/00 (2025.01)
(52) CPC특허분류
G06N 3/063 (2013.01)
H10D 12/021 (2025.01)
(21) 출원번호 10-2023-0114457
(22) 출원일자 2023년08월30일
심사청구일자 2023년08월30일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김상식
서울특별시 강남구 남부순환로 2803, 105동 1901
호(도곡동, 삼성래미안아파트)
조경아
서울특별시 광진구 천호대로110길 72(능동)
신연우
경기도 광명시 사성로 91, 114동 801호(철산동,
두산위브아파트)
(74) 대리인
김연권

전체 청구항 수 : 총 12 항

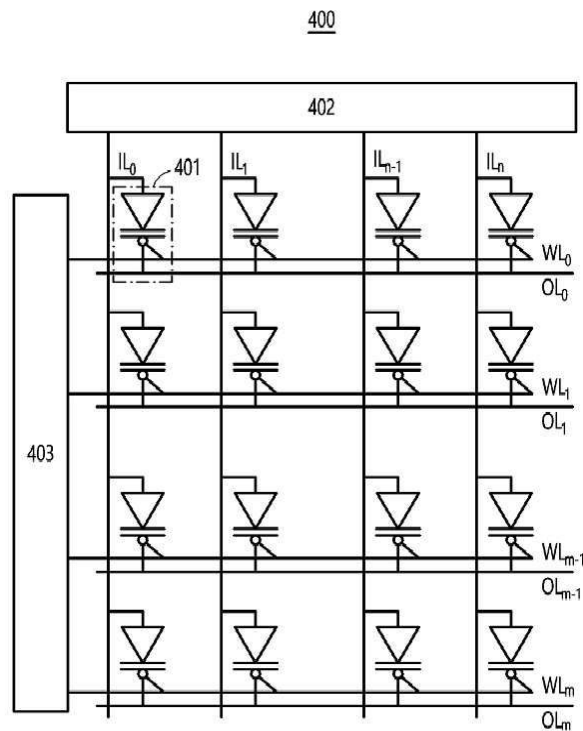
(54) 발명의 명칭 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로

(57) 요약

본 발명은 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로에 관한 것으로, 본 발명의 일실시예에 따른 이진화 신경망 회로는 애노드(anode) 단자와 캐소드(cathode) 단자 사이에 다이오드 구조체가 채널 영역으로 위치하고, 상기 다이오드 구조체 상에 게이트(gate) 단자가 위치하여 상기 애노드 단자와 상기 게이트 단자 각각의

(뒷면에 계속)

대표도 - 도4



로 인가되는 서로 다른 전압에 기반하여 상기 채널 영역에서 포텐셜 장벽 조절을 통해 단방향 스위칭을 구현하고, 양성 피드백 루프로 인해 상기 포텐셜 우물에 정공 또는 전자가 축적됨에 따라 메모리 특성을 구현하는 실리콘 게이트 다이오드를 복수로 포함하고, 상기 복수의 실리콘 게이트 다이오드는 병렬로 연결한 메모리 어레이에서 시냅스 소자로 동작하고, 상기 메모리 어레이에 연결된 입력 라인 처리부로부터 인가되는 입력 신호와 상기 메모리 어레이에 연결된 시냅스 라인 처리부로부터 인가되는 가중치 업데이트 신호에 기반하여 MAC(multiply-accumulate) 연산 결과를 출력할 수 있다.

(52) CPC특허분류

H10D 12/211 (2025.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711197797
과제번호	RS-2023-00260876
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	국가반도체연구실지원핵심기술개발사업
연구과제명	Multiple gate silicon 소자 기반universal logic-memory 셀 어레이 기술 개발
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2023.04.01 ~ 2027.12.31

명세서

청구범위

청구항 1

애노드(anode) 단자와 캐소드(cathode) 단자 사이에 다이오드 구조체가 채널 영역으로 위치하고, 상기 다이오드 구조체 상에 게이트(gate) 단자가 위치하여 상기 애노드 단자와 상기 게이트 단자 각각으로 인가되는 서로 다른 전압에 기반하여 상기 채널 영역에서 포텐셜 장벽 조절을 통해 단방향 스위칭을 구현하고, 양성 피드백 루프로 인해 상기 포텐셜 우물에 정공 또는 전자가 축적됨에 따라 메모리 특성을 구현하는 실리콘 게이트 다이오드를 복수로 포함하고,

상기 복수의 실리콘 게이트 다이오드는 병렬로 연결한 메모리 어레이에서 시냅스 소자로 동작하고, 상기 메모리 어레이에 연결된 입력 라인 처리부로부터 인가되는 입력 신호와 상기 메모리 어레이에 연결된 시냅스 라인 처리부로부터 인가되는 가중치 업데이트 신호에 기반하여 MAC(multiply-accumulate) 연산 결과를 출력하는 것을 특징으로 하는

이진화 신경망 회로.

청구항 2

제1항에 있어서,

상기 실리콘 게이트 다이오드는 상기 애노드 단자의 애노드 전압을 상기 입력 신호로 인가 받고, 상기 인가되는 입력 신호가 양의 방향으로 증가됨에 따른 상기 양성 피드백 루프로 인한 래치업(latch-up) 현상을 발생시키고, 상기 채널 영역에 대하여 두 개의 메모리 상태 중 어느 하나의 메모리 상태를 가지며, 상기 게이트 단자의 게이트 전압을 상기 가중치 업데이트 신호로 인가 받음에 따라 상기 래치업 현상이 발생하는 상기 입력 신호가 조절되며, 상기 입력 신호와 상기 가중치 업데이트 신호의 인가에 따라 상기 어느 하나의 메모리 상태와 관련된 시냅스 상태가 업데이트 되고, 상기 시냅스 가중치에 따른 상기 MAC 연산 기능을 수행하는 것을 특징으로 하는

이진화 신경망 회로.

청구항 3

제2항에 있어서,

상기 실리콘 게이트 다이오드는 상기 인가되는 입력 신호가 양의 방향으로 증가됨에 따른 "0" 부터 "1" 까지의 연속적인 입력과 상기 두 개의 메모리 상태에 해당하는 "0"의 상태와 "1"의 상태 중 어느 하나의 상태의 시냅스 가중치 간의 곱(multiply) 연산을 수행하여 "0" 부터 "1" 중 어느 하나에 해당하는 전류 신호를 연산 결과로 출력하는 것을 특징으로 하는

이진화 신경망 회로.

청구항 4

제3항에 있어서,

상기 실리콘 게이트 다이오드는 상기 시냅스 가중치가 상기 "1"의 상태로 업데이트 되는 상승(potentiation) 동작 경우에는 상기 인가되는 입력 신호에 비례하여 전류 신호로 연산 결과가 출력되고, 상기 시냅스 가중치가 상기 "0"의 상태로 업데이트 되는 하강(depression) 동작 경우에는 상기 인가되는 입력 신호와 무관하게 전류 신호가 0mA로 출력되는 것을 특징으로 하는

이진화 신경망 회로.

청구항 5

제2항에 있어서,

상기 실리콘 게이트 다이오드는 상기 시냅스 가중치가 "1"의 상태인 경우, 상기 게이트 전압과 무관하게 상기

캐소드 단자의 캐소드 전류를 ReLU(rectified linear unit) 함수의 그래프 개형과 유사한 형태로 출력하는 것을 특징으로 하는

이진화 신경망 회로.

청구항 6

제1항에 있어서,

상기 메모리 어레이는 상기 복수의 실리콘 게이트 다이오드에서 상기 애노드 단자, 상기 게이트 단자 및 상기 캐소드 단자를 병렬로 연결하여 각각 입력 라인과 가중치 라인 그리고 출력 라인을 형성하고,

상기 입력 라인은 상기 가중치 라인 및 상기 출력 라인과 서로 수직으로 배열되며,

상기 가중치 라인과 상기 출력 라인은 평행하게 배열되는 것을 특징으로 하는

이진화 신경망 회로.

청구항 7

제6항에 있어서,

상기 입력 라인은 상기 입력 신호를 인가 받고,

상기 가중치 라인은 상기 가중치 업데이트 신호를 인가 받으며,

상기 출력 라인은 상기 입력 신호 및 상기 가중치 업데이트 신호에 기반한 상기 MAC 연산 결과를 다음 인공신경망 단으로 출력하는 것을 특징으로 하는

이진화 신경망 회로.

청구항 8

제7항에 있어서,

상기 메모리 어레이는 상기 복수의 실리콘 게이트 다이오드가 $N \times M$ 형태로 연결되고, 상기 입력 라인으로 인가되는 입력 신호와 상기 가중치 라인으로 인가된 가중치 업데이트 신호에 기반하여 업데이트되는 시냅스 가중치의 곱 연산을 통해 상기 출력 라인을 통해 각 전류가 더해지며 합 연산을 수행하여 상기 MAC 연산 결과를 시냅스 가중치 행렬로 출력하는 것을 특징으로 하는

이진화 신경망 회로.

청구항 9

제8항에 있어서,

상기 메모리 어레이는 상기 N 및 상기 M 이 "2"인 경우에 상기 입력 신호가 제1 입력 신호 및 제2 입력 신호로 구성되고, 상기 시냅스 가중치가 제1 시냅스 가중치 내지 제4 시냅스 가중치로 구성되며, 상기 출력 라인으로 출력되는 제1 전류 및 제2 전류로 구성되며, 상기 제1 전류와 상기 제2 전류로 구성되는 상기 시냅스 가중치 행렬이 상기 시냅스 가중치와 상기 입력 신호의 벡터 행렬 곱연산 결과로 연산되는 것을 특징으로 하는

이진화 신경망 회로.

청구항 10

제9항에 있어서,

상기 메모리 어레이는 상기 가중치 업데이트 신호가 1V로 고정된 상태에서 상기 제1 및 제2 입력 신호가 모두 인가하면 상기 제2 전류에 비해 상기 제1 전류가 두 배의 값을 가지고 이후 상기 제1 입력 신호만 인가되는 경우에는 상기 제1 전류와 상기 제2 전류가 동일한 값을 가지는 것을 특징으로 하는

이진화 신경망 회로.

청구항 11

제10항에 있어서,

상기 메모리 어레이는 상기 제2 입력 신호만 인가되는 경우에 상기 제1 전류만 상기 제2 입력 신호에 비례하는 값을 가지고, 상기 제1 입력 신호 및 상기 제2 입력 신호가 인가되지 않는 경우에는 상기 제1 전류 및 상기 제2 전류가 0mA에 근사하게 측정되는 것을 특징으로 하는

이진화 신경망 회로.

청구항 12

제1항에 있어서,

상기 실리콘 게이트드 다이오드는 싱글(single) 실리콘 게이트드 다이오드, 더블(double) 실리콘 게이트드 다이오드 및 트리플(triple) 실리콘 게이트드 다이오드 중 어느 하나를 포함하는 것을 특징으로 하는

이진화 신경망 회로.

발명의 설명

기술 분야

[0001] 본 발명은 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로에 관한 것으로, 보다 상세하게는, 양성 피드백 루프(positive feedback loop)를 기반으로 메모리와 스위칭 기능을 단일 소자에서 수행하는 실리콘 게이트드(gated) 다이오드를 이용하여 자체적으로 활성화 기능을 수행하는 자기 활성화 이진화 신경망 구현 기술에 관한 것이다.

배경 기술

[0002] 기존 폰 노이만(von Neumann) 기반의 컴퓨터 시스템은 프로세서와 메모리가 분리되어 버스 라인(bus line)을 통해 데이터 신호에 대한 전송이 이루어진다.

[0003] 하지만, 컴퓨팅 성능의 증가에 따라 프로세서와 메모리간 데이터 처리속도 차이로 인해 병목 현상이 발생하게 되었고, 대용량 데이터 처리에 한계를 드러내기 시작했다.

[0004] 다시 말해, 반도체 산업의 혁명적인 발전인 폰 노이만 기반의 시스템은 현대 컴퓨터의 통합 밀도와 성능을 향상시켰지만 프로세서와 메모리 계층 구조 간의 물리적인 분리에 따라 에너지를 많이 소모하고 데이터 전송과 대기 시간이 길다는 단점이 있다.

[0005] 4 차 산업 혁명 이후 5G 통신 표준, 사물 인터넷(Internet Of Things, IoT), 인공 지능(Artificial Intelligence, AI)과 같은 데이터 집약적 인 애플리케이션의 증가를 고려할 때, 새로운 컴퓨팅 패러다임은 대규모 데이터 처리 요구 사항에 필수적이다.

[0006] 상술한 문제를 해결하기 위해 연산과 기억 기능을 융합한 로직 인 메모리(logic in memory, LIM)기술에 대한 연구가 집중 및 가속화되고 있다.

[0007] 로직 인 메모리 기술은 프로세서의 연산 기능과 메모리의 기억 기능을 동일한 공간에서 수행하기 때문에 데이터 전송 시 발생하는 지연 시간과 전력 소모를 줄이고 시스템의 집적도를 크게 향상시킬 수 있다.

[0008] 종래 로직 인 메모리 기술은 휘발성 메모리 소자에 해당하는 SRAM(static random access memory), DRAM(dynamic RAM)와 비휘발성 메모리 소자에 해당하는 ReRAM(resistive RAM), MRAM(magnetoresistive RAM), PCRAM(phase-change RAM) 등을 기반으로 활발히 연구되어 왔다.

[0009] 대용량 데이터 처리에 한계를 극복하기 위해 로직 메모리를 원칩화한 POP (Package On Package) 및 TSV (Through Silicon Via) 기술이 연구되고 있으나, 여전히 로직과 메모리의 기능이 트랜지스터에서 동시에 이루어지지 않음에 따라 병목 현상, 소모전력, 연산효율 및 집적도 문제가 여전히 존재한다.

[0010] 또한, 비휘발성 메모리 소자 기반의 로직 인 메모리 기술의 경우 비실리콘 물질을 사용하여 복잡한 공정 과정이 요구되며, 낮은 소자 균일성과 안정성으로 인해 실용화가 되기 어렵다.

[0011] 또한, 기 연구 된 로직 인 메모리 기술들은 하나의 셀에서 모든 기본 CMOS(complementary metal-oxide semiconductor) 논리 연산을 구현할 수 없고 논리 연산에 따라 개별적인 회로 및 배선이 요구됨에 따라 낮은 집

적도를 가진다.

- [0012] 따라서, CMOS 공정 적용이 가능하며 스위칭 기능과 메모리 기능을 동시에 수행하는 실리콘 게이트드 다이오드를 활용한 이진화 신경망 기술과 뉴런 회로의 활성화 기능을 신경망에서 자체적으로 수행하는 자기 활성화 신경망 기술 개발이 필요한 상황이다.

선행기술문헌

특허문헌

- [0013] (특허문헌 0001) 한국공개특허 제10-2023-0053195호, "실리콘 다이오드들을 이용한 스테이트플 로직 인 메모리"
(특허문헌 0002) 한국공개특허 제10-2022-0110774호, "성능 및 면적 효율적인 시냅스 메모리 셀 구조"
(특허문헌 0003) 한국공개특허 제10-2023-0020840호, "실리콘 트랜지스터를 이용한 가변형 로직 인 메모리 소자"
(특허문헌 0004) 한국공개특허 제10-2022-0107808호, "혼성신호 이진화 신경망 회로 장치"

발명의 내용

해결하려는 과제

- [0014] 본 발명은 양성 피드백 루프(positive feedback loop)를 기반으로 메모리와 스위칭 기능을 단일 소자에서 수행하는 실리콘 게이트드(gated) 다이오드를 이용하여 자체적으로 활성화 기능을 수행하는 자기 활성화 이진화 신경망 회로를 구현하는 것을 목적으로 한다.
- [0015] 본 발명은 포텐셜 장벽(potential wall) 조절을 통해 단방향 스위칭 특성을 가지고, 양성 피드백 루프로 인해 포텐셜 우물(potential well)에 정공 또는 전자가 축적됨에 따라 메모리 특성도 지니는 실리콘 게이트드 다이오드의 우수한 메모리 특성과 입력 신호에 따른 출력 신호의 선형성을 통해 자체적으로 활성화 기능을 가짐으로써 인공신경망의 면적 및 연산효율을 증가시킬 수 있는 자기 활성화 이진화 신경망 회로를 구현하는 것을 목적으로 한다.
- [0016] 본 발명은 CMOS 공정을 활용 가능하여 대규모 어레이 제작이 가능하고, 실리콘 게이트드 다이오드를 시냅틱 소자(synaptic device)로서 특성 편차가 거의 없어 인공신경망의 연산 정확도를 증가시키는 것을 목적으로 한다.
- [0017] 본 발명은 양성 피드백 루프 기반의 실리콘 게이트드 다이오드로 구성된 메모리 어레이가 뉴런 회로의 활성화 기능을 자체적으로 수행하고, 균일성과 안정성이 우수한 이진화 신경망 회로를 구현하는 것을 목적으로 한다.
- [0018] 본 발명은 실리콘 게이트드 다이오드의 우수한 메모리 특성을 이용하여 대기전력을 줄이면서, 우수한 스위칭 특성을 통해 낮은 소모전력으로 연산 효율을 증가시켜 차세대 인공지능 컴퓨팅 기술에 활용할 수 있는 이진화 신경망 회로를 구현하는 것을 목적으로 한다.

과제의 해결 수단

- [0019] 본 발명의 일실시예에 따른 이진화 신경망 회로는 애노드(anode) 단자와 캐소드(cathode) 단자 사이에 다이오드 구조체가 채널 영역으로 위치하고, 상기 다이오드 구조체 상에 게이트(gate) 단자가 위치하여 상기 애노드 단자와 상기 게이트 단자 각각으로 인가되는 서로 다른 전압에 기반하여 상기 채널 영역에서 포텐셜 장벽 조절을 통해 단방향 스위칭을 구현하고, 양성 피드백 루프로 인해 상기 포텐셜 우물에 정공 또는 전자가 축적됨에 따라 메모리 특성을 구현하는 실리콘 게이트드 다이오드를 복수로 포함하고, 상기 복수의 실리콘 게이트드 다이오드는 병렬로 연결한 메모리 어레이에서 시냅스 소자로 동작하고, 상기 메모리 어레이에 연결된 입력 라인 처리부로부터 인가되는 입력 신호와 상기 메모리 어레이에 연결된 시냅스 라인 처리부로부터 인가되는 가중치 업데이트 신호에 기반하여 MAC(multiply-accumulate) 연산 결과를 출력할 수 있다.
- [0020] 상기 실리콘 게이트드 다이오드는 상기 애노드 단자의 애노드 전압을 상기 입력 신호로 인가 받고, 상기 인가되는 입력 신호가 양의 방향으로 증가됨에 따른 상기 양성 피드백 루프로 인한 래치업(latch-up) 현상을 발생시키고, 상기 채널 영역에 대하여 두 개의 메모리 상태 중 어느 하나의 메모리 상태를 가지며, 상기 게이트 단자의

게이트 전압을 상기 가중치 업데이트 신호로 인가 받음에 따라 상기 래치업 현상이 발생하는 상기 입력 신호가 조절되며, 상기 입력 신호와 상기 가중치 업데이트 신호의 인가에 따라 상기 어느 하나의 메모리 상태와 관련된 시냅스 상태가 업데이트 되고, 상기 시냅스 가중치에 따른 상기 MAC 연산 기능을 수행할 수 있다.

- [0021] 상기 실리콘 게이트드 다이오드는 상기 인가되는 입력 신호가 양의 방향으로 증가됨에 따른 "0"부터 "1"까지의 연속적인 입력과 상기 두 개의 메모리 상태에 해당하는 "0"의 상태와 "1"의 상태 중 어느 하나의 상태의 시냅스 가중치 간의 곱(multiply) 연산을 수행하여 "0" 부터 "1" 중 어느 하나에 해당하는 전류 신호를 연산 결과로 출력할 수 있다.
- [0022] 상기 실리콘 게이트드 다이오드는 상기 시냅스 가중치가 상기 "1"의 상태로 업데이트 되는 상승(potential) 동작 경우에는 상기 인가되는 입력 신호에 비례하여 전류 신호로 연산 결과가 출력되고, 상기 시냅스 가중치가 상기 "0"의 상태로 업데이트 되는 하강(depression) 동작 경우에는 상기 인가되는 입력 신호와 무관하게 전류 신호가 0mA로 출력될 수 있다.
- [0023] 상기 실리콘 게이트드 다이오드는 상기 시냅스 가중치가 "1"의 상태인 경우, 상기 게이트 전압과 무관하게 상기 캐소드 단자의 캐소드 전류를 ReLU(rectified linear unit) 함수의 그래프 개형과 유사한 형태로 출력할 수 있다.
- [0024] 상기 메모리 어레이는 상기 복수의 실리콘 게이트드 다이오드에서 상기 애노드 단자, 상기 게이트 단자 및 상기 캐소드 단자를 병렬로 연결하여 각각 입력 라인과 가중치 라인 그리고 출력 라인을 형성하고, 상기 입력 라인은 상기 가중치 라인 및 상기 출력 라인과 서로 수직으로 배열되며, 상기 가중치 라인과 상기 출력 라인은 평행하게 배열될 수 있다.
- [0025] 상기 입력 라인은 상기 입력 신호를 인가 받고, 상기 가중치 라인은 상기 가중치 업데이트 신호를 인가 받으며, 상기 출력 라인은 상기 입력 신호 및 상기 가중치 업데이트 신호에 기반한 상기 MAC 연산 결과를 다음 인공신경망 단으로 출력할 수 있다.
- [0026] 상기 메모리 어레이는 상기 복수의 실리콘 게이트드 다이오드가 $N \times M$ 형태로 연결되고, 상기 입력 라인으로 인가되는 입력 신호와 상기 가중치 라인으로 인가된 가중치 업데이트 신호에 기반하여 업데이트되는 시냅스 가중치의 곱 연산을 통해 상기 출력 라인을 통해 각 전류가 더해지며 합 연산을 수행하여 상기 MAC 연산 결과를 시냅스 가중치 행렬로 출력할 수 있다.
- [0027] 상기 메모리 어레이는 상기 N 및 상기 M 이 "2"인 경우에 상기 입력 신호가 제1 입력 신호 및 제2 입력 신호로 구성되고, 상기 시냅스 가중치가 제1 시냅스 가중치 내지 제4 시냅스 가중치로 구성되며, 상기 출력 라인으로 출력되는 제1 전류 및 제2 전류로 구성되며, 상기 제1 전류와 상기 제2 전류로 구성되는 상기 시냅스 가중치 행렬이 상기 시냅스 가중치와 상기 입력 신호의 벡터 행렬 곱연산 결과로 연산될 수 있다.
- [0028] 상기 메모리 어레이는 상기 가중치 업데이트 신호가 1V로 고정된 상태에서 상기 제1 및 제2 입력 신호가 모두 인가하면 상기 제2 전류에 비해 상기 제1 전류가 두 배의 값을 가지고 이후 상기 제1 입력 신호만 인가되는 경우에는 상기 제1 전류와 상기 제2 전류가 동일한 값을 가질 수 있다.
- [0029] 상기 메모리 어레이는 상기 제2 입력 신호만 인가되는 경우에 상기 제1 전류만 상기 제2 입력 신호에 비례하는 값을 가지고, 상기 제1 입력 신호 및 상기 제2 입력 신호가 인가되지 않는 경우에는 상기 제1 전류 및 상기 제2 전류가 0mA에 근사하게 측정될 수 있다.
- [0030] 상기 실리콘 게이트드 다이오드는 싱글(single) 실리콘 게이트드 다이오드, 더블(double) 실리콘 게이트드 다이오드 및 트리플(triple) 실리콘 게이트드 다이오드 중 어느 하나를 포함할 수 있다.

발명의 효과

- [0031] 본 발명은 양성 피드백 루프(positive feedback loop)를 기반으로 메모리와 스위칭 기능을 단일 소자에서 수행하는 실리콘 게이트드(gated) 다이오드를 이용하여 자체적으로 활성화 기능을 수행하는 자기 활성화 이진화 신경망 회로를 구현할 수 있다.
- [0032] 본 발명은 포텐셜 장벽(potential wall) 조절을 통해 단방향 스위칭 특성을 가지고, 양성 피드백 루프로 인해 포텐셜 우물(potential well)에 정공 또는 전자가 축적됨에 따라 메모리 특성도 지니는 실리콘 게이트드 다이오드의 우수한 메모리 특성과 입력 신호에 따른 출력 신호의 선형성을 통해 자체적으로 활성화 기능을 가짐으로써 인공신경망의 면적 및 연산효율을 증가시킬 수 있는 자기 활성화 이진화 신경망 회로를 구현할 수 있다.

- [0033] 본 발명은 CMOS 공정을 활용 가능하여 대규모 어레이 제작이 가능하고, 실리콘 게이트드 다이오드를 시냅틱 소자(Synaptic device)로서 특성 편차가 거의 없어 인공신경망의 연산 정확도를 증가시킬 수 있다.
- [0034] 본 발명은 양성 피드백 루프 기반의 실리콘 게이트드 다이오드로 구성된 메모리 어레이가 뉴런 회로의 활성화 기능을 자체적으로 수행하고, 균일성과 안정성이 우수한 이진화 신경망 회로를 구현할 수 있다.
- [0035] 본 발명은 실리콘 게이트드 다이오드의 우수한 메모리 특성을 이용하여 대기전력을 줄이면서, 우수한 스위칭 특성을 통해 낮은 소모전력으로 연산 효율을 증가시켜 차세대 인공지능 컴퓨팅 기술에 활용할 수 있는 이진화 신경망 회로를 구현할 수 있다.

도면의 간단한 설명

- [0036] 도 1a 내지 도 2b는 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드(gated) 다이오드의 구조 및 회로 기호를 설명하는 도면이다.
- 도 3a 내지 도 3c는 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드의 전기적 특성을 설명하는 도면이다.
- 도 4는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로를 설명하는 도면이다.
- 도 5a 내지 도 6b는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로의 동작 방식에서 곱 연산을 설명하는 도면이다.
- 도 7a 내지 도 9f는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로의 동작 방식에서 MAC(multiply-accumulate) 연산을 설명하는 도면이다.
- 도 10은 본 발명의 일실시예에 따른 실리콘 게이트드(gated) 다이오드의 광학 이미지를 설명하는 도면이다.
- 도 11a 내지 도 11c는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로의 연산 작업을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.
- [0038] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.
- [0039] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0040] 그리고 후술되는 용어들은 다양한 실시예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0041] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [0042] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0043] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.
- [0044] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [0045] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.
- [0046] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있

는, " 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.

- [0047] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.
- [0048] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.
- [0049] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포합적인 논리합 'inclusive or'를 의미한다.
- [0050] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포합적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0051] 이하 사용되는 '..부', '..기' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어, 또는, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0053] 도 1a 내지 도 2b는 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드(gated) 다이오드의 구조 및 회로 기호를 설명하는 도면이다.
- [0054] 도 1a 및 도 1b는 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 싱글(single) 실리콘 게이트드 다이오드의 구조 및 회로 기호를 예시한다.
- [0055] 도 1a를 참고하면, 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드(100)는 애노드 단자(101)와 캐소드 단자(104) 사이에 채널 영역이 제1 채널 영역(102)과 제2 채널 영역(103)으로 구성된다.
- [0056] 제2 채널 영역(103) 상에 게이트 절연막(105)이 위치하고, 게이트 절연막(105) 상에 게이트 단자(106)가 위치하는 구조를 가진다.
- [0057] 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드의 회로 기호(110)는 애노드 단자(111)와 캐소드 단자(113) 사이에 채널 영역(112)이 위치하고, 게이트 단자(114)가 연결된다.
- [0058] 도 1b를 참고하면, 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드(120)는 애노드 단자(121)와 캐소드 단자(124) 사이에 채널 영역이 제1 채널 영역(122)과 제2 채널 영역(123)으로 구성된다.
- [0059] 제1 채널 영역(122) 상에 게이트 절연막(125)이 위치하고, 게이트 절연막(125) 상에 게이트 단자(126)가 위치하는 구조를 가진다.
- [0060] 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드의 회로 기호(130)는 애노드 단자(131)와 캐소드 단자(133) 사이에 채널 영역(132)이 위치하고, 게이트 단자(134)가 연결된다.
- [0061] 본 발명의 일실시예에 따르면 애노드 단자(111) 또는 애노드 단자(131)에 입력 라인이 연결되고, 캐소드 단자(113) 또는 캐소드 단자(133)에 출력 라인이 연결되고, 채널 영역은 시냅스 가중치의 업데이트에 따라 메모리 상태가 결정된다.
- [0063] 도 2a는 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 더블(double) 실리콘 게이트드 다이오드의 구조 및 회로 기호를 예시한다.
- [0064] 도 2a를 참고하면, 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드(200)는 애노드 단자(201)와 캐소드 단자(203) 사이에 진성 영역(202)이 위치하고, 진성 영역(202) 상에 게이트 절연막(204)이 위치하며, 게이트 절연막(204) 상에 제1 게이트 단자(205) 및 제2 게이트 단자(206)가 위치한다.
- [0065] 진성 영역(202)은 제1 게이트 단자(205) 및 제2 게이트 단자(206) 중 어느 하나의 게이트 단자로부터 입력되는 게이트 전압에 기반하여 채널 영역으로 동작한다.

- [0066] 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드의 회로 기호(210)는 애노드 단자(211)와 캐소드 단자(213) 사이에 진성 영역(212)이 위치하고, 제1 게이트 단자(214) 및 제2 게이트 단자(215)가 연결된다.
- [0067] 도 2b는 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 트리플(triple) 실리콘 게이트드 다이오드의 구조 및 회로 기호를 예시한다.
- [0068] 도 2b를 참고하면, 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드(220)는 애노드 단자(221)와 캐소드 단자(223) 사이에 진성 영역(222)이 위치하고, 진성 영역(222) 상에 게이트 절연막(224)이 위치하며, 게이트 절연막(224) 상에 프로그래밍 게이트 단자(225) 및 컨트롤 게이트 단자(226)가 위치한다.
- [0069] 진성 영역(222)은 프로그래밍 게이트 단자(225)로부터 입력되는 게이트 전압에 기반하여 채널 영역으로 동작한다.
- [0070] 보다 구체적으로, 진성 영역(222)에서 프로그래밍 게이트 단자(225)로 입력되는 프로그램 전압(VPG)의 레벨이 하이 레벨인 경우에 제1 채널 동작에 해당하는 n 채널로 동작하고, 프로그램 전압(VPG)의 레벨이 로우 레벨인 경우에 제2 채널 동작에 해당하는 p 채널로 동작할 수 있다.
- [0071] 실리콘 게이트드 다이오드(220)는 제1 채널 동작을 수행할 경우, 컨트롤 게이트 단자(226)를 통해 입력되는 컨트롤 전압(VCG)의 레벨이 하이 레벨인 경우에 온 상태로 결정되고, 컨트롤 게이트 단자(226)를 통해 인가되는 컨트롤 전압(VCG)의 레벨이 로우 레벨인 경우에 오프 상태로 결정될 수 있다.
- [0072] 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드의 회로 기호(230)는 애노드 단자(231)와 캐소드 단자(233) 사이에 진성 영역(232)이 위치하고, 프로그래밍 게이트 단자(234) 및 컨트롤 게이트 단자(235)가 연결된다.
- [0073] 예를 들어, 애노드 단자, 게이트 단자 및 캐소드 단자는 애노드 전극, 캐소드 전극 및 게이트 전극으로 각각 단자를 전극으로 대체하여 지칭될 수 있다.
- [0074] 즉, 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드는 실리콘 채널 위에 단일 게이트드 전극 단자가 n 또는 p 타입 도핑된 채널 영역 위에 증착되거나 다수의 게이트드 전극 단자가 진성 도핑 영역 위에 증착된 구조를 가질 수 있다.
- [0075] 또한, 실리콘 게이트드 다이오드는 포텐셜 배리어(potential barrier)가 양성 피드백 루프(positive feedback loop)를 유도하여 동작하며 스위칭과 메모리 특성을 가져 이진화 신경망의 시냅스 소자로 구성될 수 있다.
- [0076] 다시 말해, 실리콘 게이트드 다이오드는 스위칭과 메모리 특성을 가져 뉴런 회로의 활성화 기능을 신경망에서 자체적으로 수행하는 자기 활성 이진화 신경망 회로를 구현할 수 있다.
- [0077] 따라서, 본 발명은 양성 피드백 루프(positive feedback loop)를 기반으로 메모리와 스위칭 기능을 단일 소자에서 수행하는 실리콘 게이트드(gated) 다이오드를 이용하여 자체적으로 활성화 기능을 수행하는 자기 활성 이진화 신경망 회로를 구현할 수 있다.
- [0079] 도 3a 내지 도 3c는 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드의 전기적 특성을 설명하는 도면이다.
- [0080] 도 3a 내지 도 3c는 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드의 전기적 특성을 예시한다.
- [0081] 도 3a를 참고하면, 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드의 전기적 특성과 관련된 그래프(300)는 애노드 단자로 인가되는 애노드 전압(V_{IN})에 따른 캐소드 단자로 출력되는 캐소드 전류(I_{Diode})의 변화를 보여준다.
- [0082] 그래프(300)는 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드가 애노드 전압(V_{IN})을 양의 방향으로 증가시키면 양성 피드백 루프로 인한 래치업(latch-up) 현상이 발생하고 두 개의 상태를 가질 수 있는 것을 보여준다.

- [0083] 또한, 실리콘 게이트드 다이오드의 게이트 전압(V_W)에 따라 래치업이 발생하는 애노드 전압이 달라진다.
- [0084] 이진화 신경망 회로는 이러한 단일 소자의 특성을 바탕으로 애노드 전압과 게이트 전압을 인가하여 시냅스 가중치 업데이트 및 MAC(multiply-accumulate) 연산 기능을 수행할 수 있다.
- [0085] 게이트 전압과 무관하게 "1"의 상태의 소자의 캐소드 전류(I_{Diodc})는 ReLU(rectified linear unit) 함수의 그래프 개형과 유사할 수 있다.
- [0086] ReLU 함수는 대부분의 인공지능망 아키텍처에서 사용하는 뉴런 회로의 활성화 함수일 수 있다.
- [0087] 다시 말해, 본 발명의 이진화 신경망을 구축하는 실리콘 게이트드 다이오드는 게이트 전압과 무관하게 "1"의 시냅스 가중치 상태에서 출력 전류가 ReLU 함수의 개형을 가짐에 따라 뉴런 회로를 자가 활성화하는 자가 활성화 이진화 신경망 회로를 구현할 수 있다.
- [0088] 단일 실리콘 게이트드 다이오드의 단방향성 스위칭 또는 자기정류 특성과 높은 선형성을 통해 이진화 신경망이 자체적으로 활성화 기능을 수행하는 자기 활성화 이진화 신경망 구현이 가능할 수 있다.
- [0089] 도 3b를 참고하면, 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드의 전기적 특성과 관련된 그래프(310)는 애노드 단자로 인가되는 애노드 전압(V_{IN})에 따른 캐소드 단자로 출력되는 캐소드 전류(I_{Diodc})의 변화와 관련하여 실리콘 게이트드 다이오드의 게이트 전압(V_W)이 0V인 경우를 나타낸다.
- [0090] 도 3c를 참고하면, 본 발명의 일실시예에 따른 이진화 신경망 회로를 구성하는 실리콘 게이트드 다이오드의 전기적 특성과 관련된 그래프(320)는 애노드 단자로 인가되는 애노드 전압(V_{IN})에 따른 캐소드 단자로 출력되는 캐소드 전류(I_{Diodc})의 변화와 관련하여 실리콘 게이트드 다이오드의 게이트 전압(V_W)이 1V인 경우를 나타낸다.
- [0091] 애노드 전압(V_{IN})이 0V인 경우에는 대기(Standby) 상태에 해당될 수 있다.
- [0092] 그래프(320)는 BNN(Bayesian Neural Network) 작동 조건으로서, 애노드 전압(V_{IN})이 증가함에 2.5V 정도에서 게이트 전압(V_W)이 1V인 경우 캐소드 전류(I_{Diodc})가 급격히 증가하는 것을 보여준다.
- [0093] 그래프(320)는 애노드 전압(V_{IN})이 감소함에 따라 1V 정도에서 포지티브 피드백 루프가 제거되는 것을 보여준다.
- [0094] 쌍 안정 특성은 캐소드 전류(I_{Diodc}) 대 애노드 전압(V_{IN})으로 표시되고 상태 1과 0의 전류 크기의 높은 비율은 약 10^8 일 수 있다.
- [0095] 애노드 전압(V_{IN})이 2V에 대해서 게이트 전압(V_W)이 1V인 경우 유니폴라 스위칭 특성으로 p-n 다이오드의 전기적 특성을 계승한다.
- [0096] 게이트 전압(V_W)에 관계 없이 상태 1의 캐소드 전류(I_{Diodc}) 대 애노드 전압(V_{IN})에 대한 곡선 모양은 신경망의 활성화 함수에 사용되는 정류된 선형 단위 함수의 모양과 유사하다.
- [0097] 상태 1과 상태 0의 변화에 따른 캐소드 전류(I_{Diodc})의 차이는 MAC 연산에 사용될 수 있다.
- [0099] 도 4는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로를 설명하는 도면이다.
- [0100] 도 4는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로를 예시한다.
- [0101] 도 4를 참고하면, 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로(400)는 애노드(anode) 단자와 캐소드(cathode) 단자 사이에 다이오드 구조체가 채널 영역으로 위치하고, 다이오드 구조체 상에 게이트(gate) 단자가 위치하여 애노드 단자와 게이트 단자 각각으로 인가되는 서로 다른 전압에 기반하여 채널 영역에서 포텐셜 장벽 조절을 통해 단방향 스위칭을 구현하고, 양성 피드백 루프로 인해 포텐셜 우물에 정공 또는 전자가 축적됨에 따라 메모리 특성을 구현하는 실리콘 게이트드 다이오드를 복수로 포함할 수 있다.
- [0102] 예를 들어, 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로(400)는 시냅스 가중치를 이진화 시켜 계산

시간과 전력 소모를 줄인 인공 신경망일 수 있다.

- [0103] 따라서, 본 발명은 포텐셜 장벽(potential wall) 조절을 통해 단방향 스위칭 특성을 가지고, 양성 피드백 루프로 인해 포텐셜 우물(potential well)에 정공 또는 전자가 축적됨에 따라 메모리 특성도 지니는 실리콘 게이트 다이오드의 우수한 메모리 특성과 입력 신호에 따른 출력 신호의 선형성을 통해 자체적으로 활성화 기능을 가짐으로써 인공신경망의 면적 및 연산효율을 증가시킬 수 있는 자기 활성화 이진화 신경망 회로를 구현할 수 있다.
- [0104] 복수의 실리콘 게이트 다이오드는 병렬로 연결한 메모리 어레이에서 시냅스 소자(401)로 동작하고, 메모리 어레이에 연결된 입력 라인 처리부(402)로부터 인가되는 입력 신호와 메모리 어레이에 연결된 시냅스 라인 처리부(403)로부터 인가되는 가중치 업데이트 신호에 기반하여 MAC(multiply-accumulate) 연산 결과를 출력할 수 있다.
- [0105] 이진화 신경망 회로(400)로서 메모리 어레이는 복수의 실리콘 게이트 다이오드에서 애노드 단자, 게이트 단자 및 캐소드 단자를 병렬로 연결하여 각각 입력 라인(IL)과 가중치 라인(WL) 그리고 출력 라인(OL)을 형성하고, 입력 라인(IL)은 가중치 라인(WL) 및 출력 라인(OL)과 서로 수직으로 배열되며, 가중치 라인(WL)과 출력 라인(OL)은 평행하게 배열될 수 있다.
- [0106] 애노드 단자는 입력 라인(IL)과 연결되고, 게이트 단자는 가중치 라인(WL)과 연결되며, 캐소드 단자는 출력라인(OL)과 연결된다.
- [0107] 게이트 단자와 캐소드 단자는 각각 가중치 라인(WL) 과 출력라인(OL)을 형성할 수 있다.
- [0108] 예를 들어, 메모리 어레이에서 복수의 실리콘 게이트 다이오드가 이루는 행의 수인 M에 따라 제1 가중치 라인(WL₀) 내지 제M 가중치 라인(WL_m)으로 구성되고, 제1 출력 라인(OL₀) 내지 제M 출력 라인(OL_m) 으로 구성될 수 있다.
- [0109] 열에 해당하는 입력라인(IL)과 행에 해당하는 출력라인(OL)의 개수가 서로 같거나, 다를 수 있다.
- [0110] 다만, 가중치 라인(WL)과 출력 라인(OL)은 동일한 개수(M)를 가져야 한다.
- [0111] 예를 들어, 행과 열을 구성하는 소자의 개수는 입출력의 개수만큼 구성될 수 있음에 따라 N과 M은 동일한 수일 수 도 있고 서로 다른 수 일 수 있다.
- [0112] 예를 들어, 메모리 어레이에서 복수의 실리콘 게이트 다이오드가 이루는 열의 수인 N에 따라 제1 입력 라인(IL₀) 내지 제N 입력 라인(IL_n)으로 구성될 수 있다.
- [0113] 실리콘 게이트 다이오드는 애노드 단자의 애노드 전압을 입력 신호로 인가 받고, 인가되는 입력 신호가 양의 방향으로 증가됨에 따른 양성 피드백 루프로 인한 래치업(latch-up) 현상을 발생시킨다.
- [0114] 실리콘 게이트 다이오드는 채널 영역에 대하여 두 개의 메모리 상태 중 어느 하나의 메모리 상태를 가지며, 게이트 단자의 게이트 전압을 가중치 업데이트 신호로 인가 받음에 따라 래치업 현상이 발생하는 입력 신호가 조절될 수 있다.
- [0115] 또한, 실리콘 게이트 다이오드는 입력 신호와 가중치 업데이트 신호의 인가에 따라 어느 하나의 메모리 상태와 관련된 시냅스 상태가 업데이트 되고, 시냅스 가중치에 따른 MAC 연산 기능을 수행할 수 있다.
- [0116] 일례로, 실리콘 게이트 다이오드는 인가되는 입력 신호가 양의 방향으로 증가됨에 따른 "0"부터 "1" 까지의 연속적인 입력과 두 개의 메모리 상태에 해당하는 "0"의 상태와 "1"의 상태 중 어느 하나의 상태의 시냅스 가중치 간의 곱(multiply) 연산을 수행하여 "0" 부터 "1" 중 어느 하나에 해당하는 전류 신호를 연산 결과로 출력할 수 있다.
- [0118] 도 5a 내지 도 6b는 본 발명의 일실시예에 따른 실리콘 게이트 다이오드를 이용한 이진화 신경망 회로의 동작 방식에서 곱 연산을 설명하는 도면이다.
- [0119] 도 5a는 본 발명의 일실시예에 따른 실리콘 게이트 다이오드를 이용한 이진화 신경망 회로의 동작 방식에서 곱 연산을 예시한다.
- [0120] 도 5a를 참고하면, 본 발명의 일실시예에 따른 실리콘 게이트 다이오드를 이용한 이진화 신경망 회로의 동작

방식은 제1 경우(500)와 제2 경우(501)로 구분하여 입력 신호와 시냅스 가중치 간의 MAC 연산을 수행한다.

[0121] 따라서, 이진화 신경망 회로는 연속적인 여러층의 신경망을 통해 이미지 인식 등의 인공지능 기능을 구현할 수 있다.

[0122] 입력 라인과 가중치 라인의 입력전압을 통해 시냅스 가중치를 업데이트할 수 있다.

[0123] 입력 라인을 통해 인가되는 입력신호(V_{IN})은 연속적인 값을 가질 수 있고, 이는 이진화 신경망에서 0부터 1의 연속적인 입력 A를 의미할 수 있다.

[0124] 출력에 해당하는 전류 신호(I_{OUT})을 OL을 통해 읽을 수 있고, 이때 입력(A)은 실리콘 게이트 다이오드의 자기 활성화 특성으로 인해 입력신호(V_{IN})에 대한 ReLU 함수의 형태를 가질 수 있다.

[0125] 제1 경우(500)와 제2 경우(501)에 해당하는 연산은 하기 표 1과 같이 정리할 수 있다.

표 1

	애노드 전압(A)	시냅스 가중치 (W)	출력(OUT)
제1 경우	0~1	0	0
제2 경우		1	0~1

[0128] 실리콘 게이트 다이오드는 두 가지 메모리 상태를 "1"의 상태 및 "0"의 상태를 가지며 각각 이진화된 시냅스 가중치 W(0, 1)를 의미할 수 있다.

[0129] 제1 경우(500)에서, 시냅스 가중치 W가 0인 경우, 이는 실리콘 게이트 다이오드가 꺼진 상태("0" 상태)이기 때문에 인가되는 입력 신호(V_{IN})와 무관하게 출력 전류(I_{OUT})가 매우 낮은 수준으로 흐른다.

[0130] 애노드 전압(A)와 관련하여 0~1은 기준 전압 이하의 전압은 0에 해당하고, 기준 전압보다 큰 전압은 1에 해당한다.

[0131] 예를 들어, 기준 전압이 1V인 경우에 1V 이상인 전압은 1에 해당될 수 있다.

[0132] 한편, 출력에서 0~1도 기준 전류보다 큰 전류는 1이고, 작은 전류는 0으로 출력된다.

[0133] 이는 이진화 신경망의 MAC 연산에서 애노드 전압과 시냅스 가중치의 곱(multiply) 연산결과가 입력신호와 무관하게 항상 0임을 의미할 수 있다.

[0134] 제2 경우(501)에서, 시냅스 가중치 W가 1인 경우, 이는 실리콘 게이트 다이오드가 켜진 상태("1" 상태)이기 때문에 출력 전류(I_{OUT})가 인가되는 입력 신호(V_{IN})에 따라 비례하여 선형적으로 변화할 수 있다.

[0135] 이는 이진화 신경망의 MAC 연산에서 애노드 전압과 시냅스 가중치의 곱 연산결과가 입력에 비례할 수 있다.

[0136] 본 발명의 일실시예에 따르면 실리콘 게이트 다이오드는 인가되는 입력 신호가 양의 방향으로 증가됨에 따라 "0"부터 "1"까지의 연속적인 입력과 두 개의 메모리 상태에 해당하는 "0"의 상태와 "1"의 상태 중 어느 하나의 상태의 시냅스 가중치 간의 곱(multiply) 연산을 수행하여 "0"부터 "1" 중 어느 하나에 해당하는 전류 신호를 연산 결과로 출력할 수 있다.

[0137] 여기서, 양의 방향으로 증감됨에 따른 "0"부터 "1"까지의 입력과 관련하여 기준 전압 이하의 전압은 "0"에 해당하고, 기준 전압보다 큰 전압은 "1"에 해당한다.

[0138] 예를 들어, 기준 전압이 1V인 경우에 1V 이상인 전압은 "1"에 해당될 수 있다.

[0139] 도 5b는 본 발명의 일실시예에 따른 실리콘 게이트 다이오드를 이용한 이진화 신경망 회로의 동작 방식에서 실리콘 게이트 다이오드의 상태 변화에 따른 에너지 밴드 다이어그램을 예시한다.

[0140] 도 5b를 참고하면, 제1 에너지 밴드 다이어그램(510)은 실리콘 게이트 다이오드의 상태가 "0" 인것을 나타내고, 제2 에너지 밴드 다이어그램(511)은 실리콘 게이트 다이오드의 상태가 "1" 인것을 나타낼 수 있다.

[0141] 제1 에너지 밴드 다이어그램(510)에 따른 상태 "0"에서 과도한 전하 캐리어는 에너지 밴드 다이어그램의 n 및 p

도평 영역의 포텐셜 우물에 없어서 다이오드 전류(I_{Diod})가 다이오드에 흐르는 것을 방지한다.

- [0142] 대조적으로, 제2 에너지 밴드 다이어그램(511)에 따른 상태 "1"에서는 과도한 전하 캐리어가 에너지 밴드 다이어그램의 n 및 p 도핑 영역의 포텐셜 우물에 축적되어 I 다이오드가 다이오드에 흐르게 된다.
- [0143] 전위 장벽을 변조 하면 다이오드가 쌍안정 특성을 나타낼 수 있다.
- [0144] 가중치 전압 0V는 상승(potentiation) 및 하강(depression) 동작을 수행할 때 인가되고, 가중치 전압 1V는 대기(standby) 및 곱셈(multiplication) 동작을 수행할 때 인가된다.
- [0145] 상태 "0" 과 상태 "1"의 컨덕턴스는 상승 또는 하강 동작에 따라 전위 우물 내 전하가 존재하거나 존재하지 않음에 따라 달라지는 소자의 컨덕턴스일 수 있다.
- [0146] 도 6a는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로의 동작 방식에서 곱 연산의 타이밍도를 예시한다.
- [0147] 도 6a를 참고하면, 타이밍도(600)는 가중치 "1" 업데이트 후에 해당하는 상승 구간(601)을 나타낼 수 있고, 연속적인 입력 신호(V_{IN})펄스에 비례하여 출력 전류(I_{OUT})이 측정된 반면 가중치 "0" 업데이트 후에 해당하는 하강 구간(602)을 나타낼 수 있으며, 입력 신호(V_{IN})와 무관하게 0 mA의 낮은 출력 전류(I_{OUT})가 측정될 수 있다.
- [0148] 본 발명의 일실시예에 따르면 실리콘 게이트드 다이오드는 시냅스 가중치가 "1"의 상태로 업데이트 되는 상승(potentiation) 동작 경우에는 인가되는 입력 신호에 비례하여 전류 신호로 연산 결과가 출력되고, 시냅스 가중치가 "0"의 상태로 업데이트 되는 하강(depression) 동작 경우에는 인가되는 입력 신호와 무관하게 전류 신호가 0mA로 출력될 수 있다.
- [0149] 실리콘 게이트드 다이오드는 시냅스 가중치가 "1"의 상태인 경우, 게이트 전압과 무관하게 캐소드 단자의 캐소드 전류를 ReLU(rectified linear unit) 함수의 그래프 개형과 유사한 형태로 출력할 수 있다.
- [0150] 타이밍도(600)의 동작 방법대로 시냅스 가중치 W를 1로 업데이트하기 위해 애노드 단자에 가해지는 입력전압($V_{\text{IN}} = 2 \text{ V}$)와 게이트 단자에 가해지는 시냅스 가중치 전압($V_{\text{W}} = 0 \text{ V}$)의 전압 펄스를 인가한다.
- [0151] 이후 1.1 ~ 2.0 V까지 연속적인 V_{IN} 에 비례하여 0mA ~ 7.4mA의 연속적인 I_{OUT} 이 측정될 수 있다.
- [0152] 시냅스 가중치(W)를 0으로 업데이트하기 위해 $V_{\text{IN}} = 2 \text{ V}$ 와 $V_{\text{W}} = 0 \text{ V}$ 의 전압 펄스를 인가할 수 있다.
- [0153] 이때, 동일한 입력 전압(V_{A})에 대해 그와 무관하게 0mA에 근접한 매우 낮은 수준의 출력전류가 측정될 수 있다.
- [0154] 이를 통해 단일 시냅스 소자가 뛰어난 선형성을 바탕으로 곱 연산을 수행함을 알 수 있다.
- [0155] 도 6b를 참고하면, 그래프(610)는 실리콘 게이트드 다이오드가 입출력 간의 뛰어난 선형 관계를 보이며 곱 연산을 수행할 수 있다.
- [0156] 그래프(610)는 실험 결과(611)와 직선 피팅(612)을 나타낸다.
- [0157] 따라서, 본 발명은 CMOS 공정을 활용 가능하여 대규모 어레이 제작이 가능하고, 실리콘 게이트드 다이오드를 시냅틱 소자(synaptic device)로서 특성 편차가 거의 없어 인공신경망의 연산 정확도를 증가시킬 수 있다.
- [0158] 종래 기술의 차세대 메모리인 ReRAM 및 MRAM 등을 이용한 기술은 CMOS 공정을 적용할 수 없고 소자의 균일성 및 안정성이 떨어지고, 복잡한 공정과정으로 인해 실용화 되기 어렵다는 단점이 존재한다.
- [0159] 종래의 인공신경망 기술에서는 활성화 기능을 통해 여러 신경망 층을 연결하나 이를 구현하기 위해서는 복잡한 부가적인 뉴런 회로가 필요한데 이는 인공신경망의 면적 및 에너지 효율을 악화시킬 수 있다.
- [0160] 그러나, 본 발명은 실리콘 게이트드 다이오드의 우수한 메모리 특성을 이용하여 대기전력을 줄이면서, 우수한 스위칭 특성을 통해 낮은 소모전력으로 연산 효율을 증가시켜 차세대 인공지능 컴퓨팅 기술에 활용할 수 있는 이진화 신경망 회로를 구현할 수 있다.
- [0162] 도 7a 내지 도 8b는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로의 동작 방식에서 MAC(multiply-accumulate) 연산을 설명하는 도면이다.

- [0163] 도 7a 및 도 7b는 본 발명의 일실시예에 따른 실리콘 게이트 다이오드를 이용한 이진화 신경망 회로의 동작 방식에서 MAC 연산과 관련하여 4×1 형태로 연결된 실리콘 게이트 다이오드로 구성된 메모리 어레이를 사용한 경우를 예시한다.
- [0164] 도 7a를 참고하면, 본 발명의 일실시예에 따른 이진화 신경망 회로에 해당하는 메모리 어레이(700)는 출력 전류가 공통된 출력 라인(OL)을 통해 출력 전류(I_{OUT})으로 전류 덧셈(current summation)되어 합(accumulate) 연산이 수행된다.
- [0165] 도 7b를 참고하면, 본 발명의 일실시예에 따른 이진화 신경망 회로에 해당하는 타이밍도(710)는 입력 라인의 입력 전압(V_{IN1} 내지 V_{IN4})를 1.1V에서 단계마다 0.1V씩 2V까지 증가시킨다.
- [0166] 타이밍도(710)는 각 다이오드에서 출력 전류에 대하여 출력 전류가 공통된 출력 라인(OL)을 통해 출력 전류(I_{OUT})으로 전류 덧셈(current summation)되어 합(accumulate) 연산이 수행 결과를 보여준다.
- [0167] 도 8a 및 도 8b는 본 발명의 일실시예에 따른 실리콘 게이트 다이오드를 이용한 이진화 신경망 회로의 동작 방식에서 MAC 연산과 관련하여 행렬 MAC 연산을 예시한다.
- [0168] 도 8a를 참고하면, 본 발명의 일실시예에 따른 실리콘 게이트 다이오드를 이용한 이진화 신경망 회로(800)와 이진화 신경망 회로의 연산에 따른 시냅스 가중치 행렬(801)을 개시한다.
- [0169] 도 8b를 참고하면, 본 발명의 일실시예에 따른 실리콘 게이트 다이오드를 이용한 이진화 신경망 회로(800)와 이진화 신경망 회로의 연산과 관련된 타이밍도(810)를 예시한다.
- [0170] 이진화 신경망의 MAC 연산은 2×2 형태로 연결된 실리콘 게이트 다이오드 어레이를 이진화 신경망 회로(800)로 사용한다.
- [0171] 이진화 신경망 회로(800)와 관련된 메모리 어레이는 복수의 실리콘 게이트 다이오드가 $N \times N$ 형태로 연결되고, 입력 라인으로 인가되는 입력 신호와 가중치 라인으로 인가된 가중치 업데이트 신호에 기반하여 업데이트되는 시냅스 가중치의 곱 연산을 통해 출력 라인을 통해 각 전류가 더해지며 합 연산을 수행하여 MAC 연산 결과를 시냅스 가중치 행렬로 출력할 수 있다.
- [0172] 또한, 메모리 어레이는 N이 "2"인 경우에 입력 신호가 제1 입력 신호 및 제2 입력 신호로 구성되고, 시냅스 가중치가 제1 시냅스 가중치 내지 제4 시냅스 가중치로 구성되며, 출력 라인으로 출력되는 제1 전류 및 제2 전류로 구성되며, 제1 전류와 제2 전류로 구성되는 시냅스 가중치 행렬이 시냅스 가중치와 입력 신호의 벡터 행렬 곱연산 결과로 연산될 수 있다.
- [0173] 실리콘 게이트 다이오드는 각 입력신호(V_{IN1} , V_{IN2})와 시냅스 가중치(W_{11} , W_{12} , W_{21} , W_{22})의 곱(multiply) 연산을 수행하며 공통된 제1 출력 라인(OL_1), 제2 출력 라인(OL_2)을 통해 각 출력 전류(I_{OUT1} , I_{OUT2})가 더해지며 합(accumulate) 연산을 수행할 수 있다.
- [0174] 즉, 수학적으로 상기 2×2 어레이는 벡터-행렬 곱연산(
$$\begin{bmatrix} W_{11} & W_{12} \\ W_{21} & W_{22} \end{bmatrix} \begin{bmatrix} IN_1 \\ IN_2 \end{bmatrix} = \begin{bmatrix} OUT_1 \\ OUT_2 \end{bmatrix}$$
)을 수행할 수 있고, 시냅스 가중치 행렬(801)이 $\begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix}$ 인 것을 예시한다.
- [0175] 이진화 신경망 회로(800)는 각 소자의 시냅스 가중치를 업데이트한 후 V_w 는 1 V로 고정된 채 V_{IN1} 과 V_{IN2} 를 모두 인가하면 I_{OUT2} 에 비해 I_{OUT1} 은 정확히 두 배의 값을 가지고 이후 V_{IN1} 만 인가했을 때는 I_{OUT1} 과 I_{OUT2} 가 동일한 값을 가질 수 있다.
- [0176] 반대로 V_{IN2} 만 인가했을 때는 I_{OUT1} 만 입력신호에 비례하는 값을 가질 수 있다.
- [0177] 마지막으로 모든 입력신호를 인가하지 않았을 때는 I_{OUT1} 과 I_{OUT2} 모두 낮은 수준으로 측정될 수 있다.
- [0178] 이와 같은 결과는 입력 벡터와 시냅스 가중치 행렬 간의 곱연산과 일치함을 보여준다.
- [0179] 이진화 신경망 회로(800)를 통해 2×2 형태로 연결된 실리콘 게이트 다이오드 어레이가 자기 활성 이진화 신경망의 MAC 연산을 구현할 수 있음을 보인다.

- [0180] 이진화 신경망 회로(800)를 2x2 형태로 설명하나 $N \times M$ 형태로 확장 가능하다.
- [0181] 타이밍도(810)에서 제1 구역(811)은 V_{IN} 는 1 V로 고정된 채 V_{IN1} 과 V_{IN2} 를 모두 인가하면 I_{OUT2} 에 비해 I_{OUT1} 은 정확히 두 배의 값을 가지는 것을 보여준다.
- [0182] 제2 구역(812)은 V_{IN1} 만 인가했을 때는 I_{OUT1} 과 I_{OUT2} 가 동일한 값을 가질 수 있는 것을 보여준다.
- [0183] 제3 구역(813)은 V_{IN2} 만 인가했을 때는 I_{OUT1} 만 입력신호에 비례하는 값을 가질 수 있는 것을 보여준다.
- [0184] 제4 구역(814)은 모든 입력신호를 인가하지 않았을 때는 I_{OUT1} 과 I_{OUT2} 모두 낮은 수준으로 측정될 수 있는 것을 보여준다.
- [0185] 즉, 이진화 신경망 회로(800)와 관련된 메모리 어레이는 가중치 업데이트 신호가 1V로 고정된 상태에서 제1 및 제2 입력 신호가 모두 인가하면 제2 전류에 비해 제1 전류가 두 배의 값을 가지고 이후 제1 입력 신호만 인가되는 경우에는 제1 전류와 제2 전류가 동일한 값을 가질 수 있다.
- [0186] 또한, 메모리 어레이는 제2 입력 신호만 인가되는 경우에 제1 전류만 제2 입력 신호에 비례하는 값을 가지고, 제1 입력 신호 및 제2 입력 신호가 인가되지 않는 경우에는 제1 전류 및 상기 제2 전류가 0mA에 근사하게 측정될 수 있다.
- [0187] 따라서, 본 발명은 양성 피드백 루프 기반의 실리콘 게이트드 다이오드로 구성된 메모리 어레이가 뉴런 회로의 활성화 기능을 자체적으로 수행하고, 균일성과 안정성이 우수한 이진화 신경망 회로를 구현할 수 있다.
- [0188] 도 9a 내지 도 9f는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로의 가중치 업데이트에 따른 MAC 행렬 연산 수행 결과를 타이밍도로 예시한다.
- [0189] 도 9a 내지 도 9f에 도시된 타이밍도의 행렬 연산은 각각의 타이밍도 위에 있는 행렬식을 의미한다.
- [0190] 모든 행렬연산 시에 가중치 전압은 1V로 고정되며 입력전압은 0V 혹은 1V 내지 2V사이의 값을 가질 수 있다.
- [0191] 모든 행렬식에서 공통적으로 $\begin{bmatrix} I_{IN1} \\ I_{IN2} \end{bmatrix} = \begin{bmatrix} 1 \\ 1 \end{bmatrix}$ 가 포함되고, 이는 도7b에 있는 V_{IN} 펄스가 V_{IN1} 과 V_{IN2} 에 인가됨을 나타낸다.
- [0192] 즉, 입력 "1"과 "2"를 모두 "1"로 고정된 채로 2x2 어레이 소자들의 가중치가 달라짐에 따라 연산결과가 행렬식에 부합하는 결과를 도출한다는 것을 보여준다.
- [0193] 도 9a를 참고하면, MAC 행렬 연산 중 제1 출력 전류(I_{OUT1})가 "0"이고, 제2 출력 전류(I_{OUT2})가 "0"으로 측정되는 경우에 해당하는 타이밍도(900)를 나타낸다.
- [0194] 타이밍도(900)에 따른 행렬 연산은 타이밍도(900) 상의 행렬 연산과 같을 수 있다.
- [0195] 행렬 연산 동작 시에 가중치 전압은 1 V이며 입력 전압은 0 V 또는 1-2 V사이의 값을 가질 수 있다.
- [0196] 이후, 도 11c에서 행렬연산 동작을 수행하는 경우를 예시한다.
- [0197] 도 9b를 참고하면, MAC 행렬 연산 중 제1 출력 전류(I_{OUT1})에 따른 값은 "1"이고, 제2 출력 전류(I_{OUT2})에 따른 값은 "0"으로 측정되는 경우에 해당하는 타이밍도(910)를 나타낸다.
- [0198] 타이밍도(910)에 따른 행렬 연산은 타이밍도(910) 상의 행렬 연산과 같을 수 있다.
- [0199] 도 9c를 참고하면, MAC 행렬 연산 중 제1 출력 전류(I_{OUT1})에 따른 값은 "1"이고, 제2 출력 전류(I_{OUT2})에 따른 값은 "1"로 측정되는 경우에 해당하는 타이밍도(920)를 나타낸다.
- [0200] 타이밍도(920)에 따른 행렬 연산은 타이밍도(920) 상의 행렬 연산과 같을 수 있다.
- [0201] 도 9d를 참고하면, MAC 행렬 연산 중 제1 출력 전류(I_{OUT1})에 따른 값은 "2"이고, 제2 출력 전류(I_{OUT2})에 따른 값은 "0"로 측정되는 경우에 해당하는 타이밍도(930)를 나타낸다.
- [0202] 타이밍도(930)에 따른 행렬 연산은 타이밍도(930) 상의 행렬 연산과 같을 수 있다.

- [0204] 도 9e를 참고하면, MAC 행렬 연산 중 제1 출력 전류(I_{OUT1})에 따른 값은 "2"이고, 제2 출력 전류(I_{OUT2})에 따른 값은 "1"로 측정되는 경우에 해당하는 타이밍도(940)를 나타낸다.
- [0205] 타이밍도(940)에 따른 행렬 연산은 타이밍도(940) 상의 행렬 연산과 같을 수 있다.
- [0206] 도 9f를 참고하면, MAC 행렬 연산 중 제1 출력 전류(I_{OUT1})에 따른 값은 "2"이고, 제2 출력 전류(I_{OUT2})에 따른 값은 "2"로 측정되는 경우에 해당하는 타이밍도(950)를 나타낸다.
- [0207] 타이밍도(950)에 따른 행렬 연산은 타이밍도(950) 상의 행렬 연산과 같을 수 있다.
- [0208] 상술한 행렬 연산은 하기 수학적 식 1과 같이 정리할 수 있다.
- [0210] [수학적 식 1]
- [0211]
$$\begin{bmatrix} W_{11} & W_{12} \\ W_{21} & W_{22} \end{bmatrix} \begin{bmatrix} IN_1 \\ IN_2 \end{bmatrix} = \begin{bmatrix} OUT_1 \\ OUT_2 \end{bmatrix}$$
- [0213] 수학적 식 1에서 W 는 이진화 된 가중치(컨덕턴스)를 나타낼 수 있고, IN 은 입력신호(전압)를 나타낼 수 있으며, OUT 은 행렬연산에 따른 출력신호(전류)를 나타낼 수 있다.
- [0214] 타이밍도(900) 내지 타이밍도(950)에 따르면 제1 출력 전류(I_{OUT1}) 및 제2 출력 전류(I_{OUT2})에 따른 출력 전류는 7.5mA이면 "1"이고, 15mA이면 "2"이며, 7.5mA 미만이면 "0"인 경우를 예시한다.
- [0215] 다만, 상술한 예시에 따라 7.5mA가 출력 "1"을 의미하는 것으로 한정되지 않는다. 입력전압과 무관하게 출력전류가 0mA일때 출력 "0"을 의미하고 이와 달리 입력전압에 따라 출력전류가 일정 수준으로 측정될 때 "1"이라고 의미할 수 있다.
- [0216] 이러한 비례관계는 도6b를 통해 확인할 수 있고, . 출력 "1"은 소자 1개에 해당할 때이며 타이밍도(950)에서 출력전류가 입력전압에 비해 소자 1개의 전류대비 두배가 되므로 출력 "2"라고 의미할 수 있다.
- [0217] 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로는 각 가중치에 대해 이 경우 매트릭스 MAC 연산의 출력은 실리콘 게이트드 다이오드의 높은 균일성으로 인해 단순화된 VMM(vector-matrix multiplication) 방정식과 높은 일치성을 갖는 행렬 연산을 수행할 수 있다.
- [0219] 도 10은 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드의 광학 이미지를 설명하는 도면이다.
- [0220] 도 10은 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드의 광학 이미지를 예시한다.
- [0221] 도 10을 참고하면, 이미지(1010)는 이미지(1000)의 일부분을 확대하여 표시한다.
- [0222] 예를 들어, 이미지(1000) 및 이미지(1010)는 BNN의 이진화된 가중치와 아날로그 입력 사이에 행렬 MAC 연산을 수행하기 위한 실리콘 게이트드 다이오드의 광학 이미지일 수 있다.
- [0224] 도 11a 내지 도 11c는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로의 연산 작업을 설명하는 도면이다.
- [0225] 도 11a는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로의 연산 작업에서 가중치 업데이트를 예시한다.
- [0226] 도 11a를 참고하면, 가중치 업데이트 동작(1100)은 가중치 업데이트 동작에서 이진화된 가중치(W) 행렬은 $V_{IN}(2.0$ 또는 -2.0 V) 및 $V_W = 0.0$ V 인 어레이에서 선택된 실리콘 게이트드 다이오드는 2.0 V(-2.0 V)의 V_{IN} 에서 상승(또는 하강)되었다.
- [0227] 도 11b는 본 발명의 일실시예에 따른 실리콘 게이트드 다이오드를 이용한 이진화 신경망 회로의 연산 작업에서

대기 상태를 예시한다.

[0228] 도 11b를 참고하면, 대기 동작(1110)은 모든 가중치 라인에 1V가 인가되고, 모든 입력라인에 0V가 발생한다.

[0229] 실리콘 게이티드 다이오드는 매우 낮은 출력 전류(I_{Diodc})로 메모리 상태를 유지한다.

[0230] 도 11c는 본 발명의 일실시예에 따른 실리콘 게이티드 다이오드를 이용한 이진화 신경망 회로의 연산 작업에서 곱셈 연산을 예시한다.

[0231] 도 11c를 참고하면, 곱셈 연산 동작(1120)은 곱셈 연산에서 어레이에서 선택된 다이오드는 $V_W = 1.0V$ 및 $V_{IN} = 0.0V$ 또는 $V_{IN} = 1.1-2.0V$ 일 수 있다.

[0232] 입력 전압과 이진화된 가중치의 곱의 I_{OUT} 은 출력 전류(I_{Diodc})의 합으로부터 얻어질 수 있다.

[0234] 상술한 구체적인 실시 예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.

[0235] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시 예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.

[0236] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.

[0237] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.

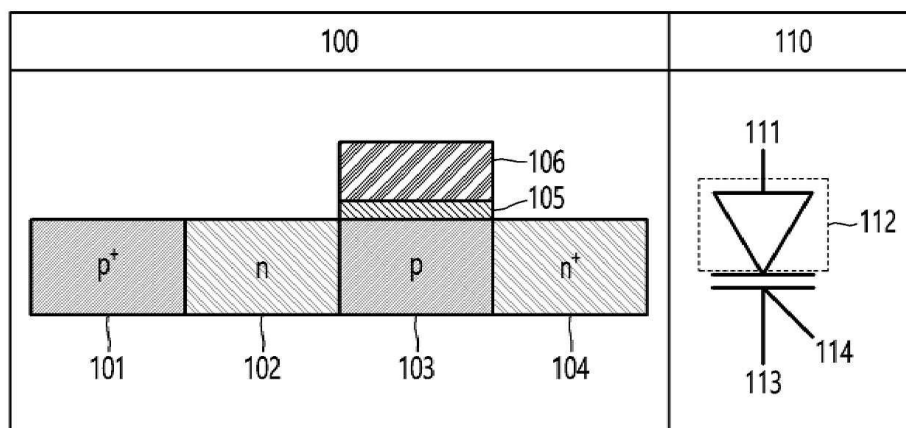
부호의 설명

[0238] 400: 이진화 신경망 회로 401: 실리콘 게이티드 다이오드

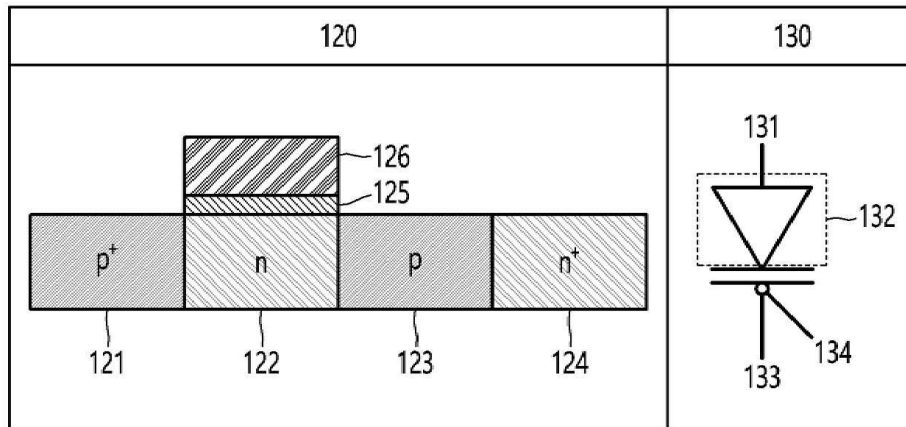
402: 입력 라인 처리부 403: 가중치 라인 처리부

도면

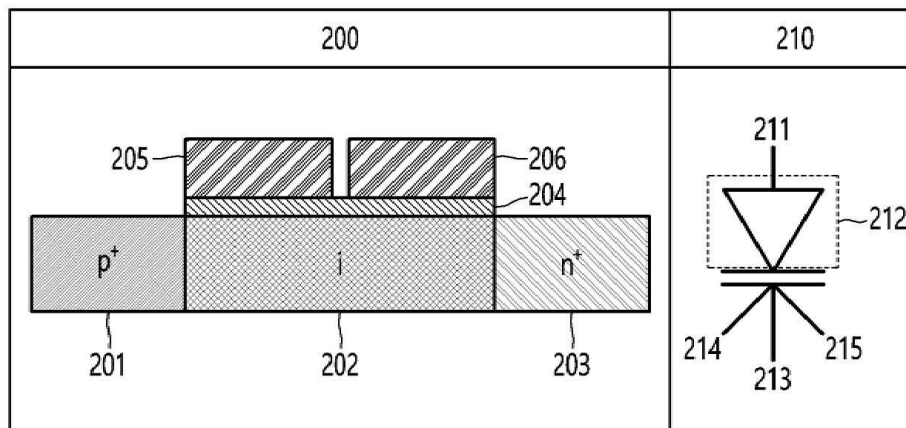
도면1a



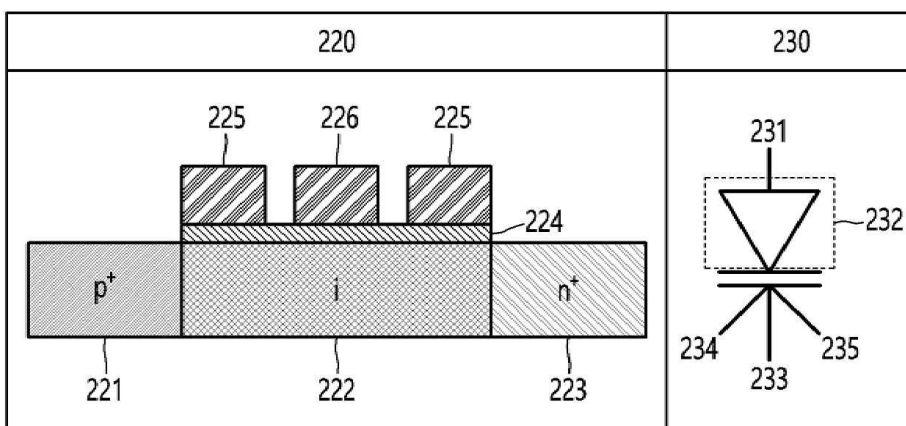
도면1b



도면2a

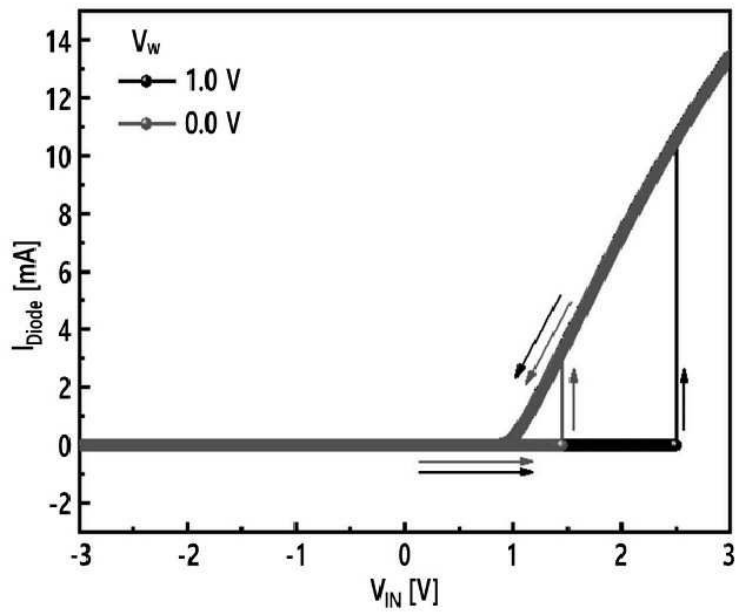


도면2b



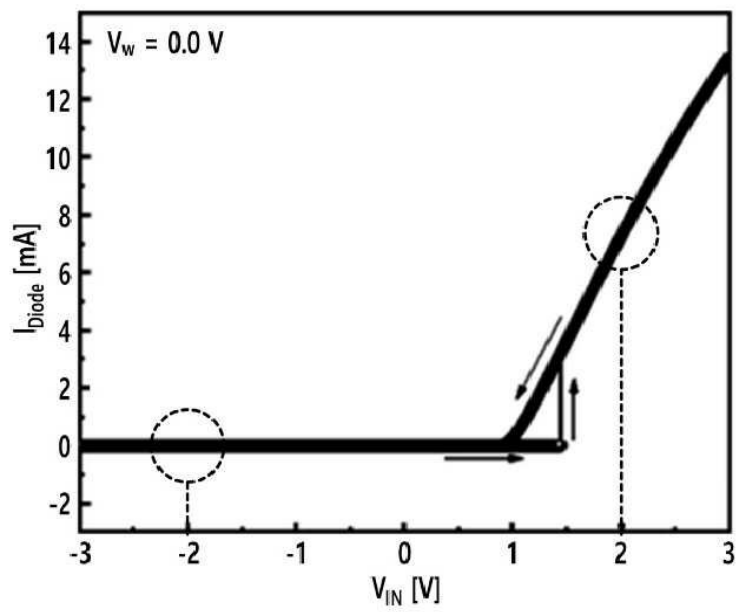
도면3a

300



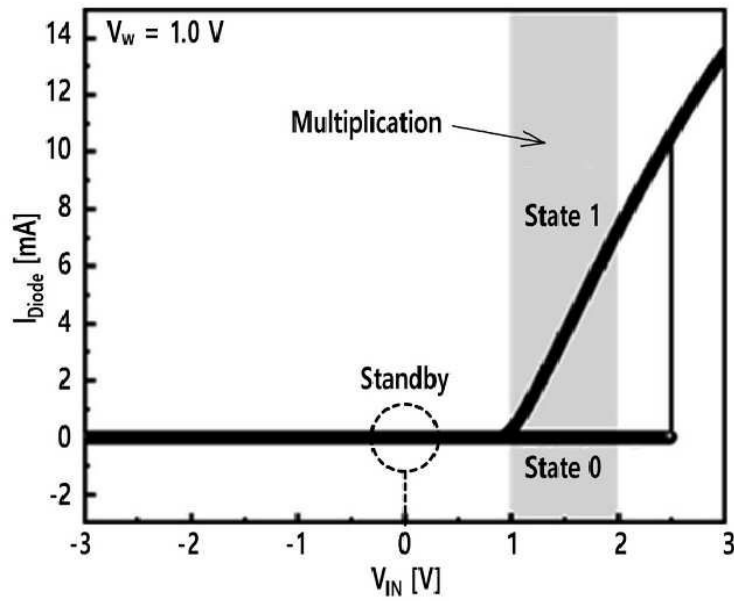
도면3b

310



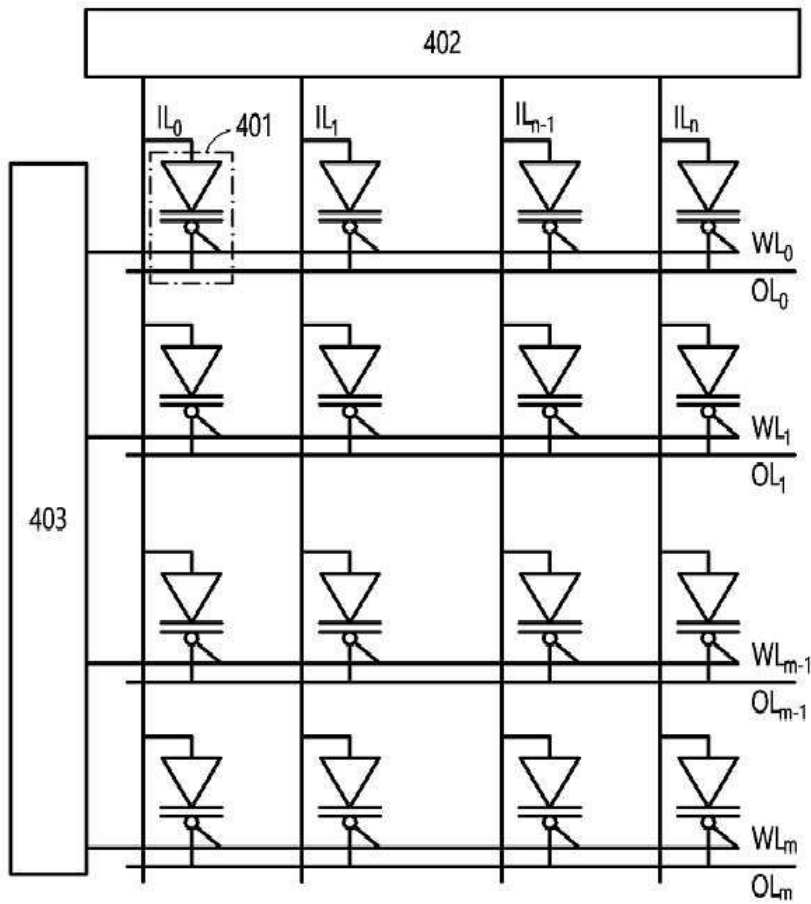
도면3c

320

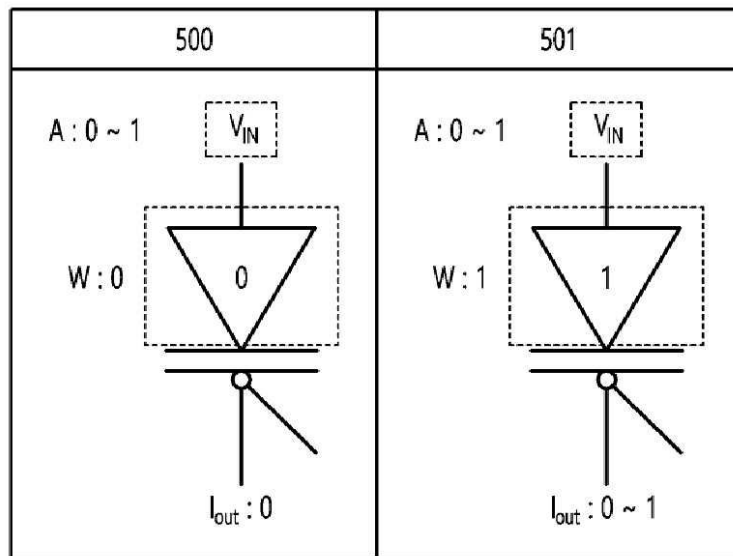


도면4

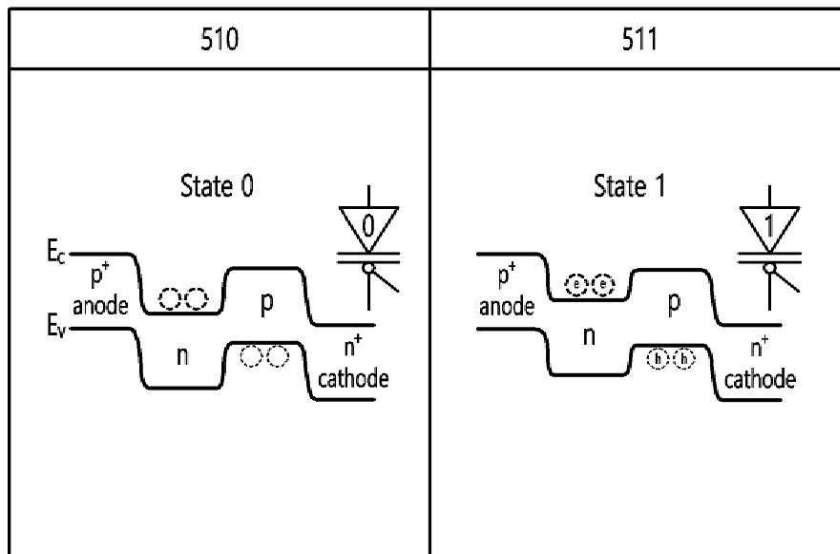
400



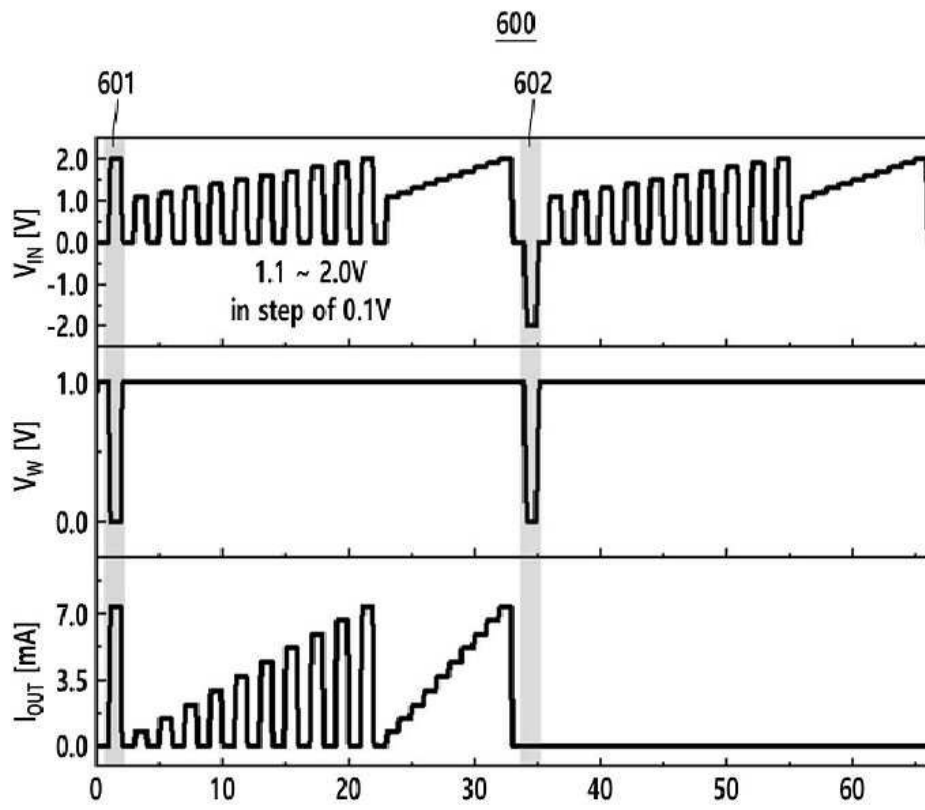
도면5a



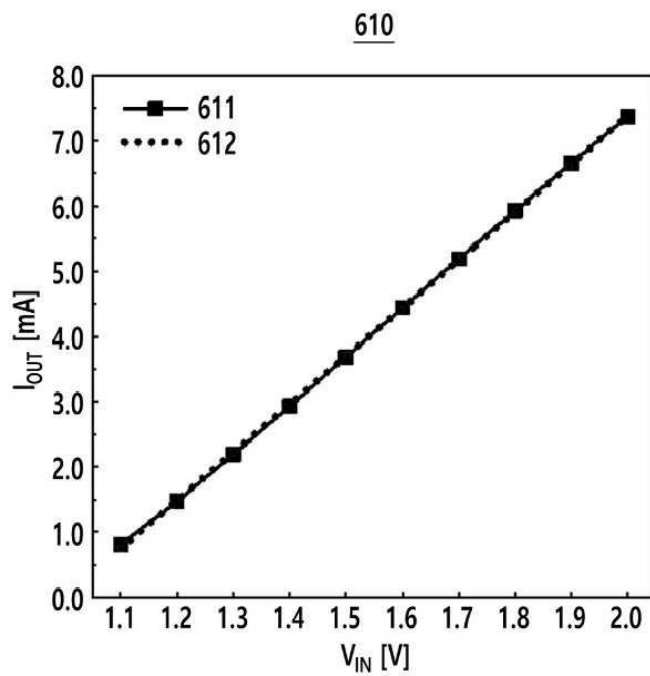
도면5b



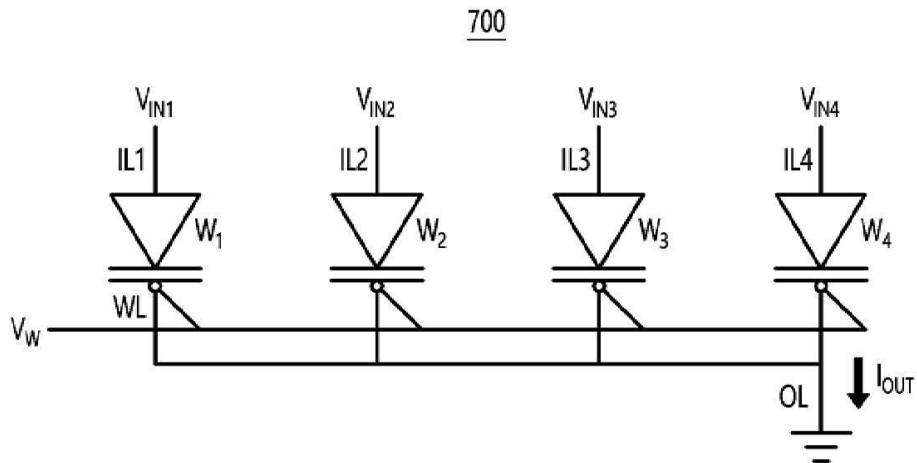
도면6a



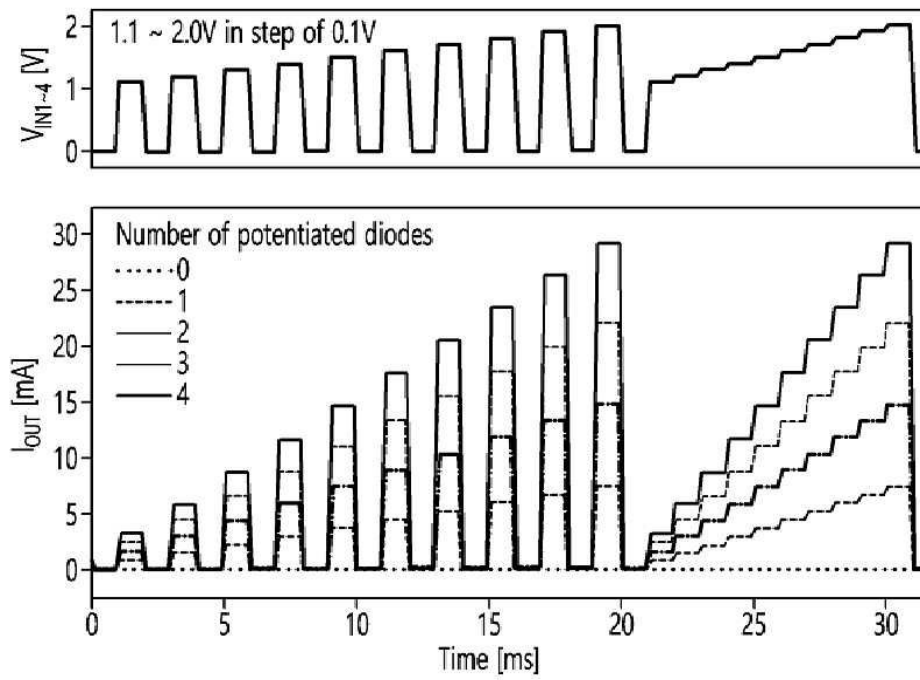
도면6b



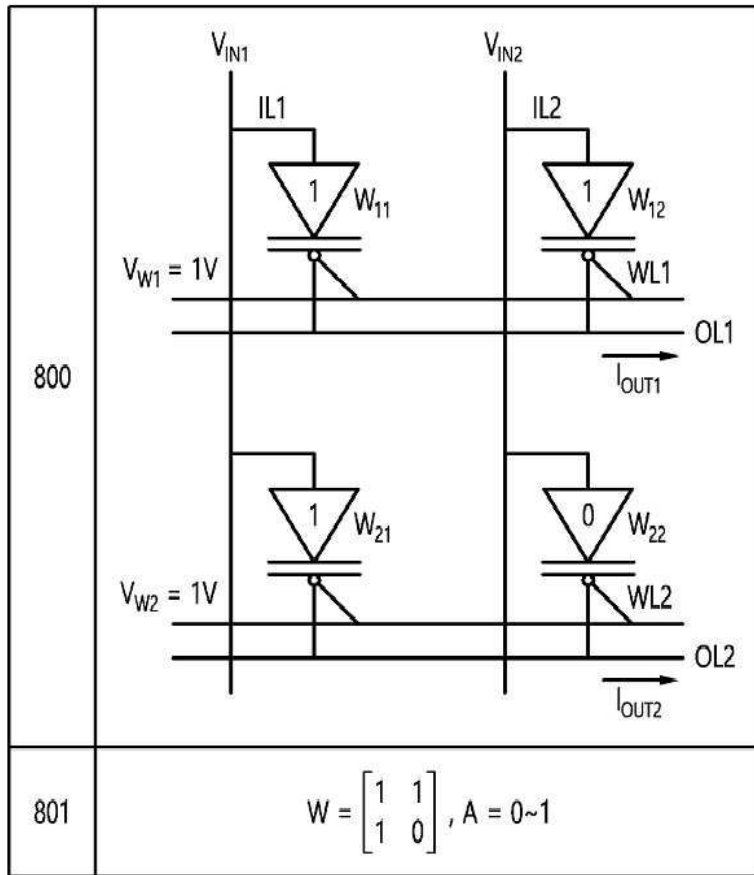
도면7a



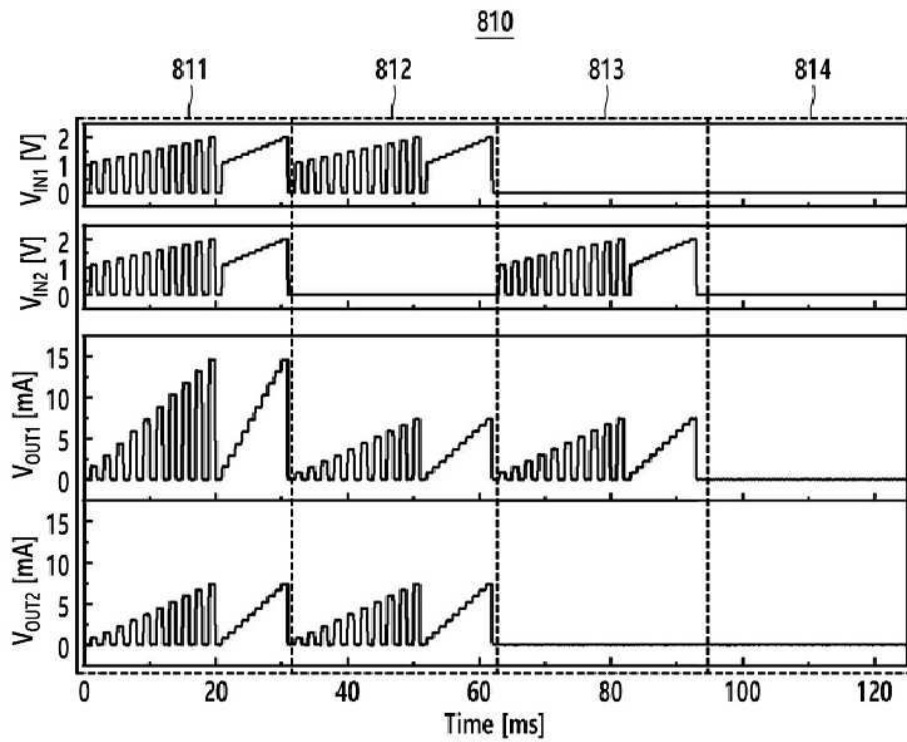
도면7b



도면8a



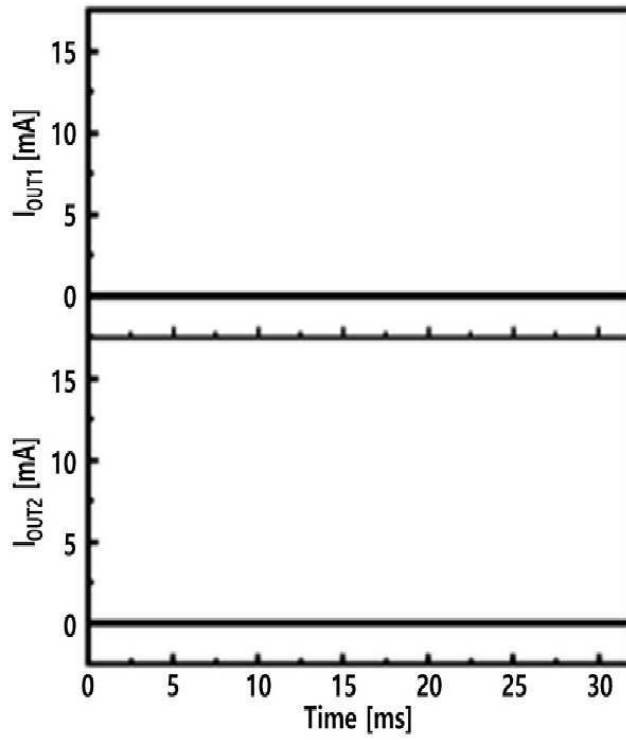
도면8b



도면9a

900

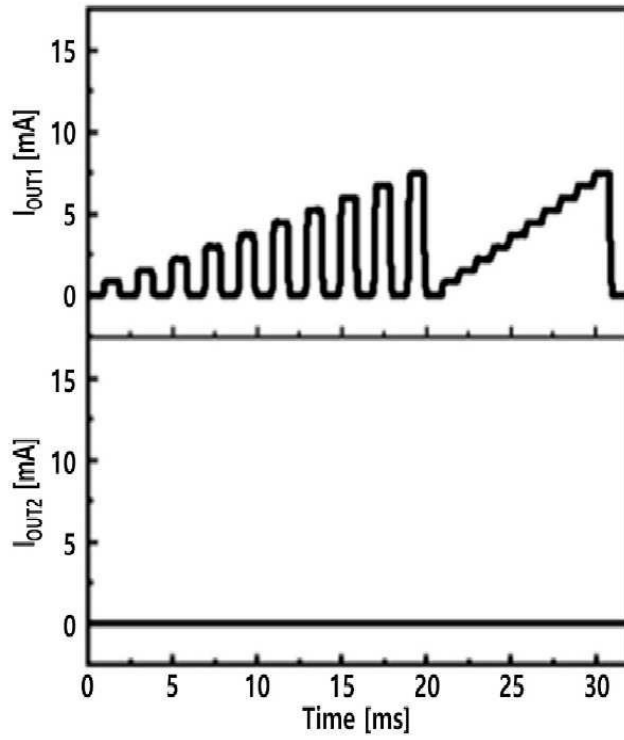
$$\begin{bmatrix} 0 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} 1 \\ 1 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \end{bmatrix}$$



도면9b

910

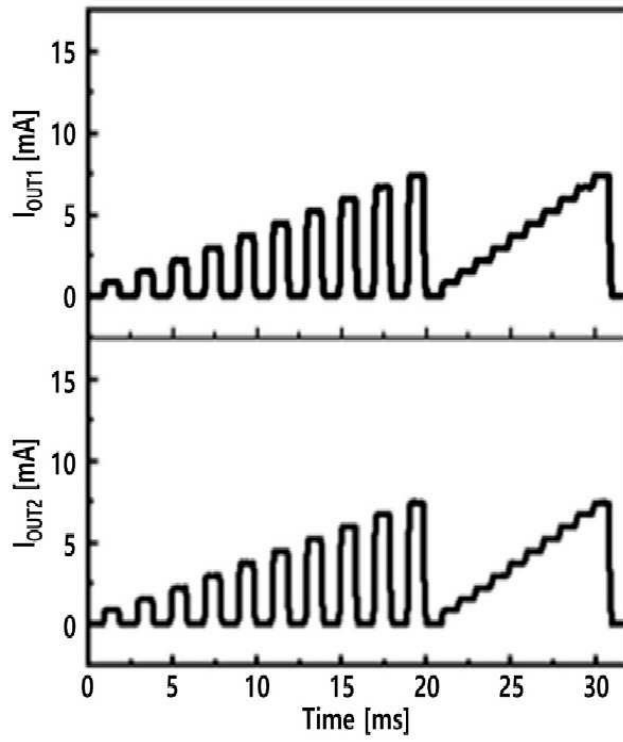
$$\begin{bmatrix} 1 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} 1 \\ 1 \end{bmatrix} = \begin{bmatrix} 1 \\ 0 \end{bmatrix}$$



도면9c

920

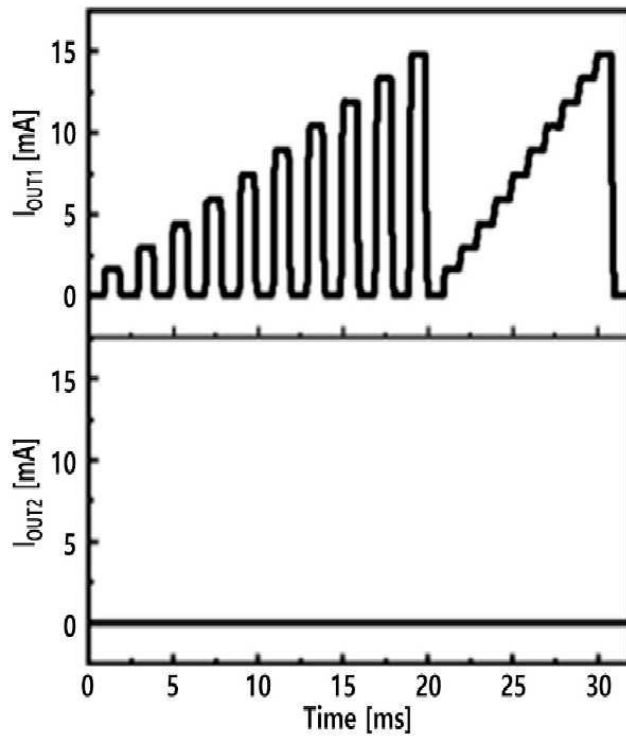
$$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 \\ 1 \end{bmatrix} = \begin{bmatrix} 1 \\ 1 \end{bmatrix}$$



도면9d

930

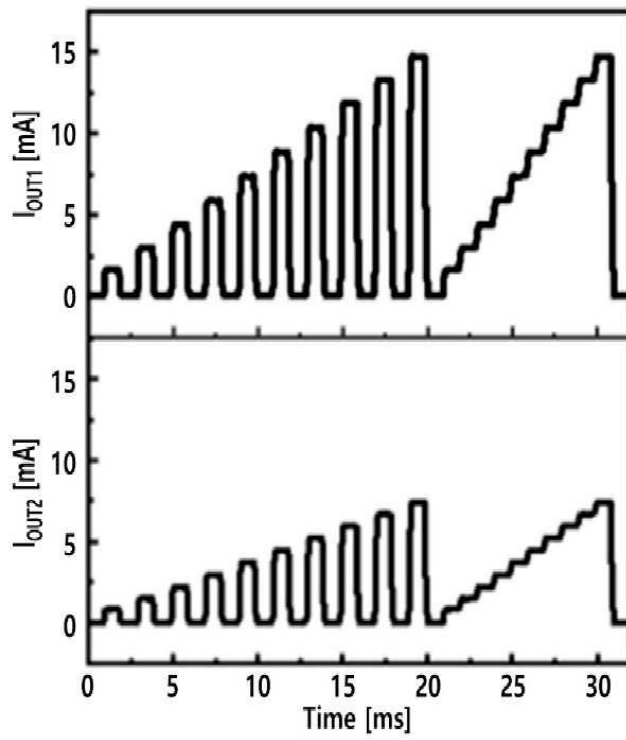
$$\begin{bmatrix} 1 & 1 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} 1 \\ 1 \end{bmatrix} = \begin{bmatrix} 2 \\ 0 \end{bmatrix}$$



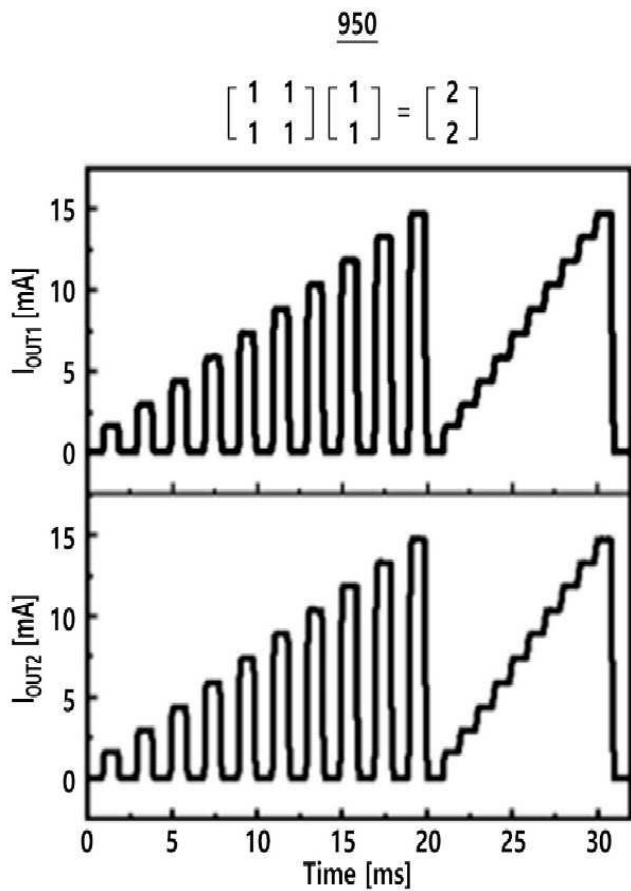
도면9e

940

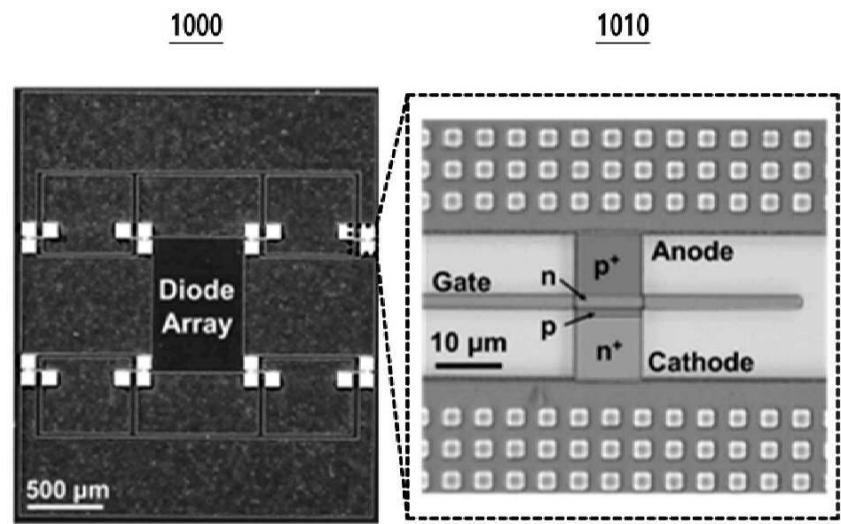
$$\begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} 1 \\ 1 \end{bmatrix} = \begin{bmatrix} 2 \\ 1 \end{bmatrix}$$



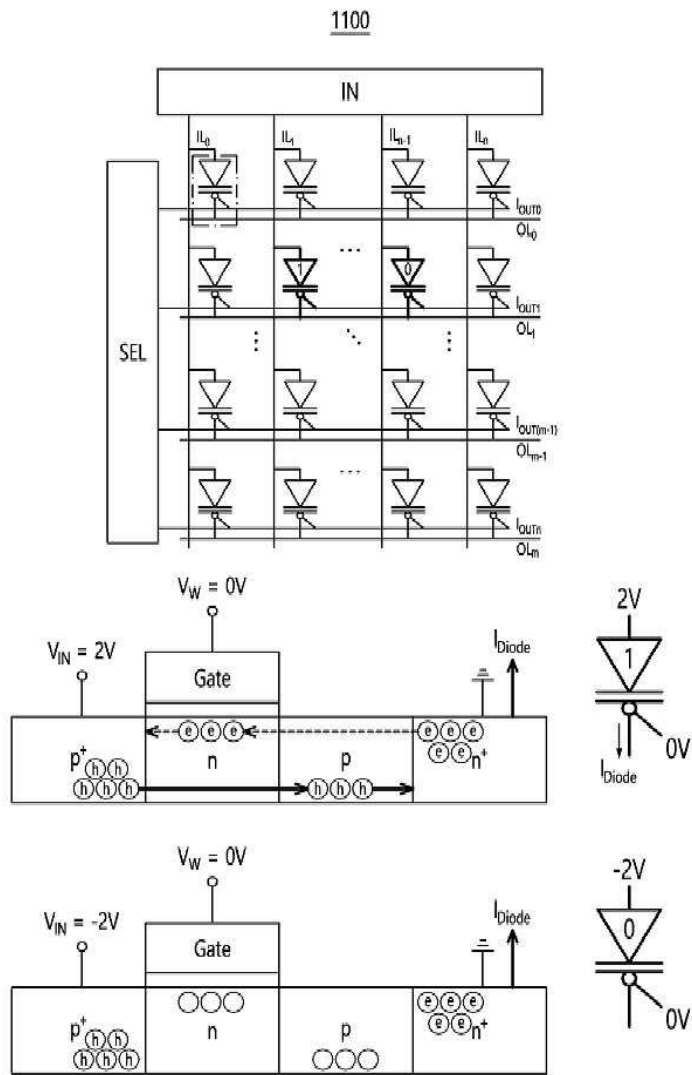
도면9f



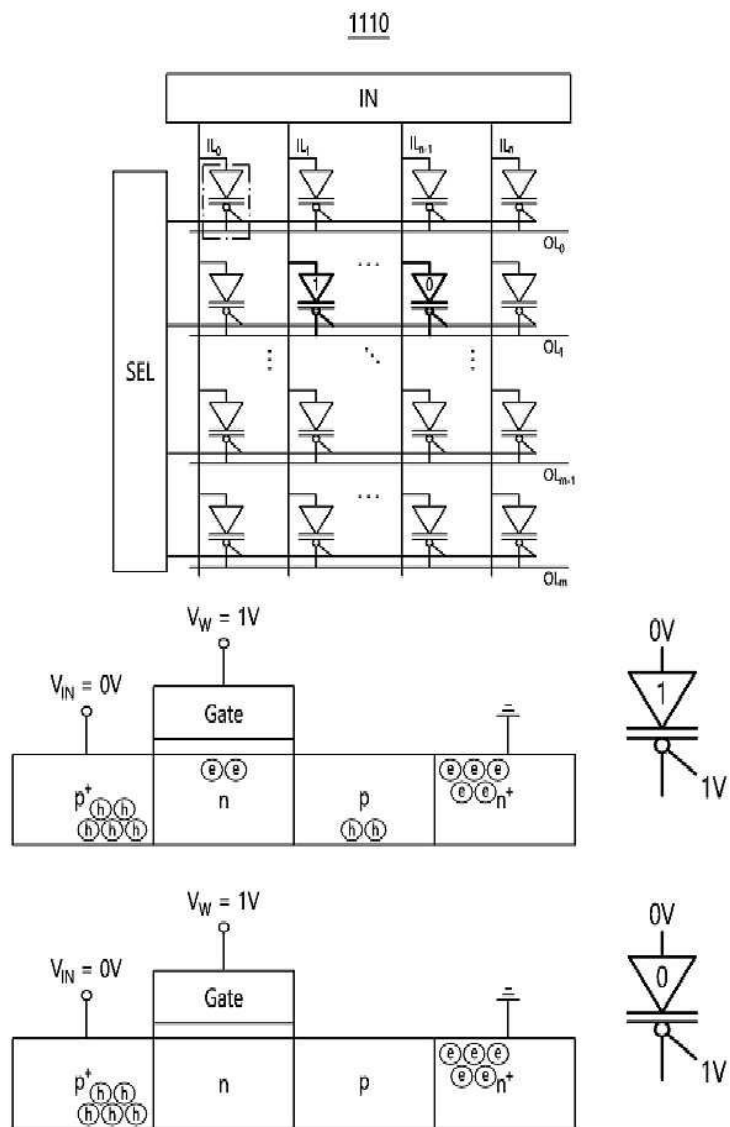
도면10



도면11a



도면11b



도면11c

