

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-191214
(P2019-191214A)

(43) 公開日 令和1年10月31日(2019.10.31)

| (51) Int.Cl. | F 1 | テーマコード (参考) |
|------------------------------|---------------|-------------|
| G02F 1/1345 (2006.01) | G02F 1/1345 | 2H088 |
| G02F 1/13 (2006.01) | G02F 1/13 505 | 2H092 |
| G02F 1/1368 (2006.01) | G02F 1/1368 | 2H189 |
| G02F 1/1335 (2006.01) | G02F 1/1335 | 2H192 |
| G02F 1/1333 (2006.01) | G02F 1/1333 | 2H199 |

審査請求 未請求 請求項の数 24 O L (全 23 頁) 最終頁に続く

| | | | |
|-----------|----------------------------|----------|---|
| (21) 出願番号 | 特願2018-79966 (P2018-79966) | (71) 出願人 | 000006013 |
| (22) 出願日 | 平成30年4月18日 (2018.4.18) | | 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号 |
| | | (74) 代理人 | 100088672 弁理士 吉竹 英俊 |
| | | (74) 代理人 | 100088845 弁理士 有田 貴弘 |
| | | (72) 発明者 | 棚原 学 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 F ターム (参考) 2H088 EA06 EA45 HA02 HA04 HA06 HA14 JA09 |

最終頁に続く

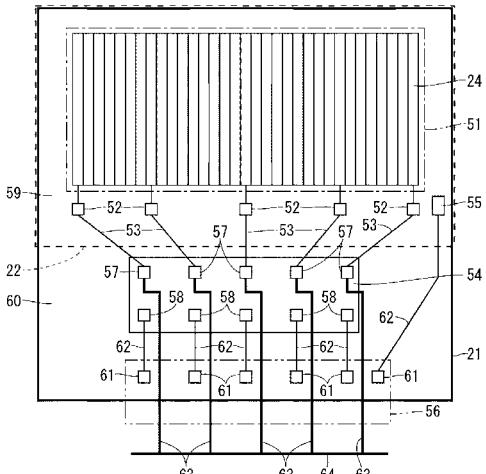
(54) 【発明の名称】表示装置およびその製造方法

(57) 【要約】 (修正有)

【課題】製造上の歩留まりを向上させることが可能な表示装置およびその製造方法を提供する。

【解決手段】表示装置は、表示パネルと、表示パネルと対向して設けられた視差バリアシャッタパネルとを備え、視差バリアシャッタパネルは、一定間隔で設けられた複数の第1透明電極24と、各第1透明電極24に印加する電圧を制御する駆動IC54と、駆動IC54の入力端子58と電気的に接続されたFPC端子61を有するFPC56とを有し、各第1透明電極24、駆動IC54の出力端子57、およびFPC端子61のうちの少なくとも1つは、ショートリング64と電気的に接続されている。

【選択図】図5



【特許請求の範囲】**【請求項 1】**

表示パネルと、
前記表示パネルと対向して設けられた視差バリアシャッタパネルと、
を備え、

前記視差バリアシャッタパネルは、
一定間隔で設けられた複数の透明電極と、
各前記透明電極に印加する電圧を制御する駆動 I C と、
前記駆動 I C の入力端子と電気的に接続された F P C 端子を有する F P C と、
を有し、

各前記透明電極、前記駆動 I C の出力端子、および前記 F P C 端子のうちの少なくとも 1 つは、ショートリングと電気的に接続されていることを特徴とする、表示装置。 10

【請求項 2】

前記視差バリアシャッタパネルは、各前記透明電極、前記駆動 I C の出力端子、および前記 F P C 端子のうちの少なくとも 1 つと前記ショートリングとの間に高抵抗素子をさらに備えることを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記高抵抗素子は、各前記透明電極間に設けられていることを特徴とする、請求項 2 に記載の表示装置。 20

【請求項 4】

前記駆動 I C は、前記複数の透明電極と電気的に接続された複数の出力端子と、複数の前記入力端子とを有し、

前記 F P C は、各前記入力端子と電気的に接続された複数の前記 F P C 端子を有し、

前記高抵抗素子は、各前記出力端子間、および各前記 F P C 端子間のうちの少なくとも 1 つに設けられていることを特徴とする、請求項 2 に記載の表示装置。 30

【請求項 5】

前記視差バリアシャッタパネルは、各前記透明電極、前記駆動 I C の出力端子、および前記 F P C 端子のうちの少なくとも 1 つとの間にスパークギャップをさらに備えることを特徴とする、請求項 1 に記載の表示装置。

【請求項 6】

前記スパークギャップは、各前記透明電極間に設けられていることを特徴とする、請求項 5 に記載の表示装置。 30

【請求項 7】

前記駆動 I C は、前記複数の透明電極と電気的に接続された複数の出力端子と、複数の前記入力端子とを有し、

前記 F P C は、各前記入力端子と電気的に接続された複数の前記 F P C 端子を有し、

前記スパークギャップは、各前記出力端子間、および各前記 F P C 端子間のうちの少なくとも 1 つに設けられていることを特徴とする、請求項 5 に記載の表示装置。 40

【請求項 8】

前記視差バリアシャッタパネルは、各前記透明電極、前記駆動 I C の出力端子、および前記 F P C 端子のうちの少なくとも 1 つと前記ショートリングとの間に容量をさらに備えることを特徴とする、請求項 1 に記載の表示装置。

【請求項 9】

前記容量は、各前記透明電極間に設けられていることを特徴とする、請求項 8 に記載の表示装置。 50

【請求項 10】

前記駆動 I C は、前記複数の透明電極と電気的に接続された複数の出力端子と、複数の前記入力端子とを有し、

前記 F P C は、各前記入力端子と電気的に接続された複数の前記 F P C 端子を有し、

前記容量は、各前記出力端子間、および各前記 F P C 端子間のうちの少なくとも 1 つに

設けられていることを特徴とする、請求項 8 に記載の表示装置。

【請求項 1 1】

前記視差パリアシャッタパネルは、各前記透明電極、前記駆動 I C の出力端子、および前記 F P C 端子のうちの少なくとも 1 つと前記ショートリングとの間に非線形素子をさらに備えることを特徴とする、請求項 1 に記載の表示装置。

【請求項 1 2】

前記非線形素子は、各前記透明電極間にも設けられていることを特徴とする、請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記駆動 I C は、前記複数の透明電極と電気的に接続された複数の出力端子と、複数の前記入力端子とを有し、

前記 F P C は、各前記入力端子と電気的に接続された複数の前記 F P C 端子を有し、

前記非線形素子は、各前記出力端子間、および各前記 F P C 端子間のうちの少なくとも 1 つに設けられていることを特徴とする、請求項 1 1 に記載の表示装置。

【請求項 1 4】

前記ショートリングは、前記視差パリアシャッタパネル内に設けられていることを特徴とする、請求項 1 から 1 3 のいずれか 1 項に記載の表示装置。

【請求項 1 5】

前記視差パリアシャッタパネルは、一の基板に複数設けられ、

前記ショートリングは、前記基板上であって前記視差パリアシャッタパネル外において、各前記視差パリアシャッタパネルで共通して設けられていることを特徴とする、請求項 1 から 1 3 のいずれか 1 項に記載の表示装置。

【請求項 1 6】

表示パネルと、

前記表示パネルと対向して設けられた視差パリアシャッタパネルと、
を備え、

前記視差パリアシャッタパネルは、

透明基板と、

前記透明基板上に設けられた電界シールド電極と、

前記電界シールド電極を覆うように設けられた絶縁層と、

前記絶縁層上に一定間隔で設けられた複数の透明電極と、
を有することを特徴とする、表示装置。

【請求項 1 7】

表示パネルと、

前記表示パネルと対向して設けられた視差パリアシャッタパネルと、
を備え、

前記視差パリアシャッタパネルは、

一定間隔で設けられた複数の透明電極と、

各前記透明電極に印加する電圧を制御する駆動 I C と、

前記駆動 I C の入力端子と電気的に接続された F P C 端子を有する F P C と、
とを有し、

前記駆動 I C は、前記複数の透明電極と電気的に接続された複数の出力端子と、複数の前記入力端子とを有し、

前記 F P C は、各前記入力端子と電気的に接続された複数の前記 F P C 端子を有し、

前記視差パリアシャッタパネルは、各前記透明電極間、各出力端子間、または各前記 F P C 端子間に高抵抗素子をさらに備えることを特徴とする、表示装置。

【請求項 1 8】

前記視差パリアシャッタパネルは、各前記透明電極と各前記出力端子との間に変換部を
さらに備え、

前記高抵抗素子は、各前記透明電極を介して前記変換部と対向する側において、各前記

10

20

30

40

50

透明電極間に設けられていることを特徴とする、請求項 1 7 に記載の表示装置。

【請求項 1 9】

前記視差バリアシャッタパネルは、前記高抵抗素子に代えて、スパークギャップ、容量、または非線形素子を備えることを特徴とする、請求項 1 7 または 1 8 に記載の表示装置。

【請求項 2 0】

- (a) 表示パネルを準備する工程と、
- (b) 前記表示パネルと対向して視差バリアシャッタパネルを設ける工程と、
を備え、
- 前記工程 (b) は、
- (c) 透明基板上に、複数の透明電極を一定間隔で形成する工程と、
- (d) 前記透明基板上に、各前記透明電極に印加する電圧を制御する駆動 I C の入力端子および出力端子を形成する工程と、
- (e) 前記透明基板上に、前記駆動 I C の入力端子と電気的に接続された F P C 端子を形成する工程と、

(f) 各前記透明電極、前記駆動 I C の出力端子、および前記 F P C 端子のうちの少なくとも 1 つと、前記視差バリアシャッタパネル外の前記透明基板上に形成されたショートリングとを電気的に接続する工程と、

(g) 前記工程 (f) で行った前記接続を切断し、前記透明基板から前記視差バリアシャッタパネルを切り出す工程と、
を含むことを特徴とする、表示装置の製造方法。

【請求項 2 1】

前記工程 (b) は、
(h) 各前記透明電極、前記駆動 I C の出力端子、および前記 F P C 端子のうちの少なくとも 1 つと前記ショートリングとの間に非線形素子を形成する工程
をさらに備えることを特徴とする、請求項 2 0 に記載の表示装置の製造方法。

【請求項 2 2】

前記工程 (h) において、前記非線形素子は半導体、および各前記透明電極は伝導体となるように処理されることを特徴とする、請求項 2 1 に記載の表示装置の製造方法。

【請求項 2 3】

前記工程 (b) において、前記工程 (c) の前に、
(i) 前記透明基板上に電界シールド電極を形成する工程と、
(j) 前記電界シールド電極を覆うように絶縁層を形成する工程と、
をさらに備え、
前記工程 (c) において、前記複数の透明電極は前記絶縁層上に形成され、
前記工程 (d) において、前記入力端子および前記出力端子は前記絶縁層上に形成され、
前記電界シールド電極は、前記 F P C 端子または前記出力端子と電気的に接続されていることを特徴とする、請求項 2 0 に記載の表示装置の製造方法。

【請求項 2 4】

- (a) 表示パネルを準備する工程と、
- (b) 前記表示パネルと対向して視差バリアシャッタパネルを設ける工程と、
を備え、
- 前記工程 (b) は、
- (c) 第 1 透明基板上に、複数の透明電極を一定間隔で形成する工程と、
- (d) 前記第 1 透明基板上に、各前記透明電極に印加する電圧を制御する駆動 I C の入力端子および出力端子を形成する工程と、
- (e) 前記第 1 透明基板上に、前記駆動 I C の入力端子と電気的に接続された F P C 端子を形成する工程と、
- (f) 前記第 1 透明基板と対向する第 2 透明基板上に第 2 透明電極を形成する工程と、

10

20

30

40

50

(g) 前記駆動ICの入力端子、前記駆動ICの出力端子、および前記FPC端子のうちの少なくとも1つと、前記第2透明電極とを電気的に接続する工程と、

(h) 前記工程(g)で行った前記接続を切断し、前記第1透明基板および前記第2透明基板から前記視差バリアシャッタパネルを切り出す工程と、
を含むことを特徴とする、表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、視差バリアシャッタパネルを備える表示装置およびその製造方法に関する。

10

【背景技術】

【0002】

従来、特殊な眼鏡を必要とすることなく裸眼で画像を立体視することが可能な裸眼立体画像表示方法として、パララックスバリア方式が知られている。パララックスバリア方式の表示装置は、透過表示装置とも呼ばれるパララックスバリアパネルと、複数のストライプ形状のバリアを電子制御によって発生させるバリア発生手段と、パララックスバリアパネルの後方に配設された表示画面とを備え、パララックスバリアに対応した、左眼用画像と右眼用画像とが交互に配列された多方向画像を表示することによって、立体視を可能としている。

【0003】

このような表示装置では、バリアを電子的に発生させるとともに、発生したバリアの形状、位置、および密度などを自由に可変制御できるため、2次元画像表示装置または立体画像表示装置として使用することができる（例えば、特許文献1参照）。バリアの形状は、ストライプの数、ストライプの幅、隣り合うストライプの間隔を含む。

20

【0004】

また、パララックスバリアパネルの製造上の歩留まりを向上させるために、静電気等による周辺引き回し配線の断線の対策として、バリア電極の両端に周辺引き回し配線を接続する技術が開示されている（例えば、特許文献2参照）。

【先行技術文献】

【特許文献】

【0005】

30

【特許文献1】特開2016-191890号公報

【特許文献2】特開2016-191894号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献2では、バリア電極の両端に周辺引き回し配線を接続しているため、周辺引き回し配線の断線に対する冗長性は向上するが、静電気による断線対策としては不十分である。従って、静電気による断線が要因となり製造上の歩留まりが低下するという問題がある。例えば、バリア電極の両端に接続されている周辺引き回し配線が断線した場合、または表示エリアにおいて2箇所以上断線した場合は、断線不良として視認されることになる。また、端子部が静電気により破壊された場合も、断線不良が発生することになる。特許文献1でも、静電気による断線対策が不十分であるため、製造上の歩留まりが低下するという問題がある。

40

【0007】

本発明は、このような問題を解決するためになされたものであり、製造上の歩留まりを向上させることが可能な表示装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記の課題を解決するために、本発明による表示装置は、表示パネルと、表示パネルと対向して設けられた視差バリアシャッタパネルとを備え、視差バリアシャッタパネルは、

50

一定間隔で設けられた複数の透明電極と、各透明電極に印加する電圧を制御する駆動 I C と、駆動 I C の入力端子と電気的に接続された F P C 端子を有する F P C とを有し、各透明電極、駆動 I C の出力端子、および F P C 端子のうちの少なくとも 1 つは、ショートリングと電気的に接続されている。

【 0 0 0 9 】

また、本発明による表示装置は、表示パネルと、表示パネルと対向して設けられた視差バリアシャッタパネルとを備え、視差バリアシャッタパネルは、透明基板と、透明基板上に設けられた電界シールド電極と、電界シールド電極を覆うように設けられた絶縁層と、絶縁層上に一定間隔で設けられた複数の透明電極とを有する。

【 0 0 1 0 】

また、本発明による表示装置の製造方法は、(a) 表示パネルを準備する工程と、(b) 表示パネルと対向して視差バリアシャッタパネルを設ける工程とを備え、工程(b)は、(c) 透明基板上に、複数の透明電極を一定間隔で形成する工程と、(d) 透明基板上に、各透明電極に印加する電圧を制御する駆動 I C の入力端子および出力端子を形成する工程と、(e) 透明基板上に、駆動 I C の入力端子と電気的に接続された F P C 端子を形成する工程と、(f) 各透明電極、駆動 I C の出力端子、および F P C 端子のうちの少なくとも 1 つと、視差バリアシャッタパネル外の透明基板上に形成されたショートリングとを電気的に接続する工程と、(g) 工程(f)で行った接続を切断し、透明基板から視差バリアシャッタパネルを切り出す工程とを含む。

【 0 0 1 1 】

また、本発明による表示装置の製造方法は、(a) 表示パネルを準備する工程と、(b) 表示パネルと対向して視差バリアシャッタパネルを設ける工程とを備え、工程(b)は、(c) 第 1 透明基板上に、複数の透明電極を一定間隔で形成する工程と、(d) 第 1 透明基板上に、各透明電極に印加する電圧を制御する駆動 I C の入力端子および出力端子を形成する工程と、(e) 第 1 透明基板上に、駆動 I C の入力端子と電気的に接続された F P C 端子を形成する工程と、(f) 第 1 透明基板と対向する第 2 透明基板上に第 2 透明電極を形成する工程と、(g) 駆動 I C の入力端子、駆動 I C の出力端子、および F P C 端子のうちの少なくとも 1 つと、第 2 透明電極とを電気的に接続する工程と、(h) 工程(g)で行った接続を切断し、第 1 透明基板および第 2 透明基板から視差バリアシャッタパネルを切り出す工程とを含む。

【 発明の効果 】

【 0 0 1 2 】

本発明によると、表示装置は、表示パネルと、表示パネルと対向して設けられた視差バリアシャッタパネルとを備え、視差バリアシャッタパネルは、一定間隔で設けられた複数の透明電極と、各透明電極に印加する電圧を制御する駆動 I C と、駆動 I C の入力端子と電気的に接続された F P C 端子を有する F P C とを有し、各透明電極、駆動 I C の出力端子、および F P C 端子のうちの少なくとも 1 つは、ショートリングと電気的に接続されているため、製造上の歩留まりを向上させることが可能となる。

【 0 0 1 3 】

また、表示装置は、表示パネルと、表示パネルと対向して設けられた視差バリアシャッタパネルとを備え、視差バリアシャッタパネルは、透明基板と、透明基板上に設けられた電界シールド電極と、電界シールド電極を覆うように設けられた絶縁層と、絶縁層上に一定間隔で設けられた複数の透明電極とを有するため、製造上の歩留まりを向上させることが可能となる。

【 0 0 1 4 】

また、表示装置の製造方法は、(a) 表示パネルを準備する工程と、(b) 表示パネルと対向して視差バリアシャッタパネルを設ける工程とを備え、工程(b)は、(c) 透明基板上に、複数の透明電極を一定間隔で形成する工程と、(d) 透明基板上に、各透明電極に印加する電圧を制御する駆動 I C の入力端子および出力端子を形成する工程と、(e) 透明基板上に、駆動 I C の入力端子と電気的に接続された F P C 端子を形成する工程と

10

20

30

40

50

、(f)各透明電極、駆動ICの出力端子、およびFPC端子のうちの少なくとも1つと、視差バリアシャッタパネル外の透明基板上に形成されたショートリングとを電気的に接続する工程と、(g)工程(f)で行った接続を切断し、透明基板から視差バリアシャッタパネルを切り出す工程とを含むため、製造上の歩留まりを向上させることが可能となる。

【0015】

また、表示装置の製造方法は、(a)表示パネルを準備する工程と、(b)表示パネルと対向して視差バリアシャッタパネルを設ける工程とを備え、工程(b)は、(c)第1透明基板上に、複数の透明電極を一定間隔で形成する工程と、(d)第1透明基板上に、各透明電極に印加する電圧を制御する駆動ICの入力端子および出力端子を形成する工程と、(e)第1透明基板上に、駆動ICの入力端子と電気的に接続されたFPC端子を形成する工程と、(f)第1透明基板と対向する第2透明基板上に第2透明電極を形成する工程と、(g)駆動ICの入力端子、駆動ICの出力端子、およびFPC端子のうちの少なくとも1つと、第2透明電極とを電気的に接続する工程と、(h)工程(g)で行った接続を切断し、第1透明基板および第2透明基板から視差バリアシャッタパネルを切り出す工程とを含むため、製造上の歩留まりを向上させることが可能となる。

10

【図面の簡単な説明】

【0016】

【図1】前提技術による表示装置の構成の一例を示す断面図である。

20

【図2】前提技術による視差バリアシャッタパネルの構成の一例を示す平面図である。

【図3】前提技術による視差バリアシャッタパネルを説明するための図である。

【図4】前提技術による第1透明基板の構成の一例を示す平面図である。

【図5】本発明の実施の形態1による第1透明基板の構成の一例を示す平面図である。

【図6】本発明の実施の形態1によるTFTアレイ基板の構成の一例を示す平面図である。

。

【図7】本発明の実施の形態1による第1透明基板の構成の一例を示す平面図である。

30

【図8】本発明の実施の形態1による第1透明基板の構成の一例を示す平面図である。

【図9】本発明の実施の形態1による第1透明基板の構成の一例を示す平面図である。

【図10】本発明の実施の形態2による第1透明基板の構成の一例を示す平面図である。

【図11】本発明の実施の形態3による第1透明基板の構成の一例を示す平面図である。

30

【図12】本発明の実施の形態3によるスパークギャップの構成の一例を示す図である。

【図13】本発明の実施の形態4による第1透明基板の構成の一例を示す平面図である。

【図14】本発明の実施の形態5による第1透明基板の構成の一例を示す断面図である。

【図15】本発明の実施の形態6による視差バリアシャッタパネルの構成の一例を示す断面図である。

【図16】本発明の実施の形態7による第1透明基板の構成の一例を示す平面図である。

40

【図17】本発明の実施の形態7による非線形素子の構成の一例を示す回路図である。

【図18】本発明の実施の形態7による視差バリアシャッタパネルの構成の一例を示す断面図である。

【図19】本発明の実施の形態8による第1透明基板の構成の一例を示す平面図である。

40

【図20】本発明の実施の形態8による第1透明基板の構成の一例を示す平面図である。

【図21】本発明の実施の形態8による第1透明基板の構成の一例を示す平面図である。

【発明を実施するための形態】

【0017】

本発明の実施の形態について、図面に基づいて以下に説明する。

【0018】

<前提技術>

本発明の前提となる技術である前提技術について説明する。

【0019】

図1は、前提技術による表示装置1の構成の一例を示す断面図である。図1において、

50

紙面の上下方向は表示装置1の奥行き方向に対応し、紙面の左右方向は表示装置1の横方向に対応し、紙面の奥行き方向は表示装置1の縦方向に対応している。

【0020】

表示装置1は、観察者の右眼に対する視差画像である右眼用画像、および観察者の左眼に対する視差画像である左眼用画像の2つの画像を同時に表示することが可能である。表示装置1は、観察者が特殊な眼鏡を用いることなく裸眼で立体画像を視認することができ、または異なる観察方向のそれぞれに異なる画像を表示することができる。すなわち、表示装置1は、前者の裸眼立体表示装置、または後者の2画面表示装置に応用することができる。2画面表示装置は、デュアルビュー表示装置とも呼ばれる。以下では、表示装置1は裸眼立体表示装置であるものとして説明する。

10

【0021】

図1に示すように、表示装置1には制御部32が接続されており、制御部32には検出部31が接続されている。検出部31は、観察者の頭などの位置を検出する。検出部31は、観察者の頭などの位置を一定時間ごとに検出することによって、観察者の頭などの動きを検出することができる。制御部32は、検出部31による検出結果および映像信号などに基づいて、表示装置1および検出部31を統括的に制御する。

20

【0022】

図1に示すように、表示装置1は、表示パネル10と、表示パネル10上に配置された視差バリアシャッタパネル20とを備えている。視差バリアシャッタパネル20は、光学誘導部材とも呼ばれる。

20

【0023】

表示パネル10は、マトリクス型の表示パネルであり、例えば、有機EL(Electro Luminescence)パネル、プラズマディスプレイパネル、液晶ディスプレイパネルなどが挙げられる。なお、表示パネル10として液晶ディスプレイパネルが用いられる場合、視差バリアシャッタパネル20は表示パネル10の下側に配置してもよい。

30

【0024】

図1では、表示パネル10として液晶ディスプレイパネルを用いる場合を一例として示している。表示パネル10は、2枚の透明基板11, 12と、透明基板11, 12間に挟持された液晶層13とを備えている。透明基板11の液晶層13側には、サブ画素透明電極14が形成されている。サブ画素透明電極14は、奥行き方向にストライプ状に延在するように形成されている。透明基板12の液晶層13側には、対向透明電極15が形成されている。対向透明電極15は、透明基板12上の全面に形成されている。サブ画素透明電極14および対向透明電極15は、液晶層13に電界を印加することによって、液晶層13を駆動する。

30

【0025】

透明基板11の液晶層13とは反対側には中間偏光板16が設けられ、透明基板12の液晶層13とは反対側には裏面偏光板17が設けられている。裏面偏光板17の透明基板12とは反対側にはバックライト30が設けられている。

【0026】

なお、図1において図示を省略しているが、透明基板11および透明基板12のそれぞれの液晶層13側の表面には、液晶層13を一定方向に配向させる配向膜が設けられている。また、表示パネル10の構成は、図1に示す構成に限るものではない。例えば、図1では、サブ画素透明電極14と対向透明電極15との位置が逆であってもよい。

40

【0027】

表示パネル10には、複数のサブ画素40が配置されている。サブ画素40のうちの右眼用画像を表示するサブ画素40は、右眼用サブ画素40aである。サブ画素40のうちの左眼用画像を表示するサブ画素40は、左眼用サブ画素40bである。右眼用サブ画素40aおよび左眼用サブ画素40bは、左右方向に交互に配置され、右眼用サブ画素40aと左眼用サブ画素40bとの間には遮光壁18が設けられている。換言すれば、右眼用サブ画素40aおよび左眼用サブ画素40bは、遮光壁18に挟まれている。

50

【0028】

右眼用サブ画素 40a および左眼用サブ画素 40b のそれぞれの左右方向の幅は、同一またはほぼ同一である。隣り合う一対の右眼用サブ画素 40a および左眼用サブ画素 40b は、左右に異なる 2 画像すなわち右眼用画像および左眼用画像を表示するサブ画素ペア 41 を構成している。サブ画素ペア 41 は、表示パネル 10 において左右方向に均一なピッチで配列されている。また、サブ画素ペア 41 は、左右方向だけでなく、上下方向にも配列されている。

【0029】

図 1 では、サブ画素ペア 41 の左右方向の基準ピッチとして基準視差バリアピッチ P が規定されている。基準視差バリアピッチ P は、サブ画素ペア 41 を構成する右眼用サブ画素 40a と左眼用サブ画素 40b との間にある遮光壁 18 の中心から出て、当該サブ画素ペア 41 に対応する基準視差バリアピッチ P の中心を通過する仮想の光線 LO が、表示装置 1 から上方に設計観察距離 D だけ離れた設計視認点 DO に集まるように設定される。なお、ここでは説明容易のため、基準視差バリアピッチ P は、右眼用サブ画素 40a の左右方向の幅と、左眼用サブ画素 40b の左右方向の幅との和とみなす。設計観察距離 D の最適化については、ここでは説明を省略する。

10

【0030】

視差バリアシャッタパネル 20 は、第 1 透明基板 21 と、第 2 透明基板 22 と、第 1 透明基板 21 と第 2 透明基板 22 との間に狭持された液晶層 23 とを備えている。

20

【0031】

第 1 透明基板 21 の液晶層 23 側には、奥行き方向に延在するストライプ状の第 1 透明電極 24 が複数形成されている。第 1 透明電極 24 は、基準視差バリアピッチ P 内において SW の幅で偶数個配置されている。図 1 の例では、第 1 透明電極 24 は基準視差バリアピッチ P 内において 8 つ配置されている。なお、各第 1 透明電極 24 は、特に言及しない限り、互いに電気的に絶縁されているものとする。

【0032】

第 2 透明基板 22 の液晶層 23 側には、少なくとも横方向に延在する第 2 透明電極 25 が形成されている。第 2 透明電極 25 は、基準視差バリアピッチ P の幅で奥行き方向に複数並べて配置される場合と、第 2 透明基板 22 の全面に配置される場合とがある。図 1 では、第 2 透明電極 25 は第 2 透明基板 22 の全面に配置されているものとする。

30

【0033】

第 1 透明電極 24 および第 2 透明電極 25 は、液晶層 23 に電界を印加することによって、液晶層 23 を駆動する。液晶層 23 の駆動モードとしては、ツイストネマティック (TN)、スーパーツイストネマティック (STN)、インプレインスイッチング (In Plane Switching)、バーティカルアライメント (VA)、またはオプティカルコンペンセイティッドバンド (OCB) などが利用可能である。

【0034】

第 1 透明基板 21 の上方には表示面偏光板 26 が設けられている。また、第 2 透明基板 22 の下方にも偏光板が設けられているが、当該偏光板は中間偏光板 16 が兼用されている。なお、図 1 では、第 1 透明基板 21 は第 2 透明基板の上方に配置されているが、第 1 透明基板 21 と第 2 透明基板との配置は逆であってもよい。

40

【0035】

第 1 透明電極 24 および第 2 透明電極 25 のそれぞれには、電圧が選択的に印加される。これにより、視差バリアシャッタパネル 20 は、第 1 透明電極 24 の左右方向の幅単位で、光透過状態と遮光状態とを切り替えることが可能である。以下では、電気的な制御によって第 1 透明電極 24 の幅単位で光透過状態と遮光状態とを切り替えることが可能な、視差バリアシャッタパネル 20 における光学的な開口をサブ開口という。

【0036】

サブ開口は、複数の第 1 透明電極のそれぞれに対応する位置に形成される。視差バリアシャッタパネル 20 では、基準視差バリアピッチ P 内に 8 つの第 1 透明電極 24 が左右方

50

向に配列されているため、図2に示すように、基準視差バリアピッチP内に8つのサブ開口200が左右方向に配列していることになる。すなわち、第1透明電極24の配置位置と、サブ開口200の配置位置とは対応している。

【0037】

図2では、全てのサブ開口200が開口して光透過状態となっているが、第1透明電極24に印加する電圧を制御することによって、視差バリアシャッタパネル20の各サブ開口200を光透過状態と遮光状態とに切り替えることができる。例えば、図3は、基準視差バリアピッチP内における(1)～(8)で示される8つのサブ開口200のうちの半分、すなわち(5)～(8)で示される4つのサブ開口200が遮光状態となっている例を示している。以下では、基準視差バリアピッチP内において光透過状態となっている一群のサブ開口200を総合開口300という。図3の例では、(1)～(4)で示される4つのサブ開口200をまとめて総合開口300という。

10

【0038】

総合開口300は、左眼用サブ画素40bから放出された光と、右眼用サブ画素40aから放出された光とのそれぞれを、互いに異なる方向に誘導する働きをする。図3では、基準視差バリアピッチPの左半分に、光透過状態の4つのサブ開口200からなる総合開口300が形成されているが、光透過状態にするサブ開口200を変更することによって、総合開口300の位置を変化させることができる。

20

【0039】

ここで、表示装置1の動作について簡単に説明する。

【0040】

検出部31は、観察者の動きを検出する。制御部32は、検出部31による検出結果に基づいて、視差バリアシャッタパネル20における各サブ開口200の光透過状態または遮光状態を制御することによって、総合開口300の位置を制御する。すなわち、制御部32は、観察者の位置が左右に移動すると、当該移動に合わせて総合開口300の位置を左右方向に移動させる。その結果、観察者は、左右方向に移動しても継続して立体画像を見ることができる。

【0041】

次に、第1透明基板21について説明する。図4は、前提技術による第1透明基板21の構成の一例を示す平面図である。

30

【0042】

図4に示すように、第1透明基板21は、サブ開口200により構成される表示エリア51と、表示エリア51を囲むように設けられた額縁エリア59と、駆動IC54およびFPC(Flexible Printed Circuit)56などが実装される実装エリア60とで構成されている。

【0043】

表示エリア51では、サブ開口200に対応して第1透明電極24が配置されている。第1透明電極24は、例えば、ITO(Indium Tin Oxide)などによって形成される。

【0044】

額縁エリア59では、複数の引き回し配線53、変換部52、および対向基板接続電極55が形成されている。ここで、変換部52について説明する。図4では詳細に図示していないが、例えば特許文献1の図12, 13に示すように、第1透明基板21では各第1透明電極24から配線が引き出されており、所定のブロックごとに8本周期で短絡されている。この短絡箇所が変換部52に相当する。従って、1本の引き回し配線53から第1透明電極24へは、変換部52を介して8本周期で同じ駆動電圧が入力されることになる。

40

【0045】

実装エリア60では、駆動IC出力端子57、駆動IC入力端子58、およびFPC端子61が形成されている。駆動IC出力端子57は、引き回し配線53および変換部52を介して第1透明電極24に接続されている。駆動IC入力端子58は、入力配線62を

50

介して F P C 端子 6 1 に接続されている。対向基板接続電極 5 5 は、入力配線 6 2 を介して F P C 端子 6 1 に接続されている。

【 0 0 4 6 】

引き回し配線 5 3 および入力配線 6 2 は、例えば、クロム (C r) 、アルミニウム (A l) 、タンタル (T a) 、チタン (T i) 、モリブデン (M o) 、タンゲステン (W) 、ニッケル (N i) 、銅 (C u) 、金 (A u) 、銀 (A g) などの高融点金属、低抵抗金属、当該高融点金属または低抵抗金属を主成分とする合金膜、または高融点金属、低抵抗金属、および合金膜の任意の組み合わせからなる積層膜によって形成される。

【 0 0 4 7 】

図 4 に示す前提技術による第 1 透明基板 2 1 では、例えば、駆動 I C 出力端子 5 7 、駆動 I C 入力端子 5 8 、および F P C 端子 6 1 のうちのいずれかに静電気が入力されると、引き回し配線 5 3 または入力配線 6 2 が断線することがある。このことは、表示装置 1 を製造上の歩留りが低下する要因となる。

【 0 0 4 8 】

本発明の実施の形態は、上記の問題を解決するためになされたものであり、以下に詳細に説明する。

【 0 0 4 9 】

< 実施の形態 1 >

図 5 は、本発明の実施の形態 1 による第 1 透明基板 2 1 の構成の一例を示す平面図である。

【 0 0 5 0 】

図 5 に示すように、接続配線 6 3 は、各駆動 I C 出力端子 5 7 から第 1 透明基板 2 1 外へ延在するように形成されている。ショートリング 6 4 は、第 1 透明基板 2 1 外に形成されている。本実施の形態 1 では、各駆動 I C 出力端子 5 7 が、接続配線 6 3 を介してショートリング 6 4 に接続されていることを特徴としている。その他の構成は、前提技術と同様であるため、ここでは詳細な説明を省略する。

【 0 0 5 1 】

図 5 は、表示装置 1 の製造過程、具体的には視差バリアシャッタパネル 2 0 の製造過程を示している。視差バリアシャッタパネル 2 0 の製造過程において、第 1 透明基板 2 1 は、例えば図 6 に示すような T F T アレイ基板 1 0 0 に複数形成される。なお、図 6 の例では、ショートリング 6 4 は複数の第 1 透明基板 2 1 で共通して形成されているが、図 5 の例では、ショートリング 6 4 は各第 1 透明基板 2 1 に対応して別個に形成されている。図 6 に示すように、ショートリング 6 4 は、第 1 透明基板 2 1 外の T F T アレイ基板 1 0 0 上に形成されている。

【 0 0 5 2 】

T F T アレイ基板 1 0 0 から第 1 透明基板 2 1 を切断して切り出す際、接続配線 6 3 も切断される。これにより、その後、駆動 I C 5 4 および F P C 5 6 を実装する際、各駆動 I C 出力端子 5 7 は電気的に独立しているため、駆動 I C 5 4 の動作時にショートリング 6 4 の影響を受けることはない。

【 0 0 5 3 】

なお、図 6 に示すように、ショートリング 6 4 は、第 1 透明基板 2 1 外の T F T アレイ基板 1 0 0 上において、複数の第 1 透明基板 2 1 で共通するように形成してもよい。

【 0 0 5 4 】

図 7 に示すように、各 F P C 端子 6 1 とショートリング 6 4 とを、接続配線 6 3 を介して接続してもよい。

【 0 0 5 5 】

図 8 に示すように、各駆動 I C 出力端子 5 7 および各 F P C 端子 6 1 とショートリング 6 4 とを、接続配線 6 3 を介して接続してもよい。

【 0 0 5 6 】

図 9 に示すように、各第 1 透明電極 2 4 とショートリング 6 4 とを、接続配線 6 3 を介

10

20

30

40

50

して接続してもよい。

【0057】

以上のことから、本実施の形態1によれば、視差バリアシャッタパネル20の製造過程において、各駆動IC出力端子57、各FPC端子61、および各第1透明電極24のうちの少なくとも1つは、接続配線63を介してショートリング64に接続されている。従って、各駆動IC出力端子57、各駆動IC入力端子58、および各FPC端子61のうちのいずれかに静電気が入力されたとしてもショートリング64を介して放電されるため、引き回し配線53または入力配線62の断線を防ぐことができる。これにより、表示装置1の製造上の歩留りを向上させることができる。

【0058】

<実施の形態2>

図10は、本発明の実施の形態2による第1透明基板21の構成の一例を示す平面図である。

【0059】

図10に示すように、ショートリング64は、第1透明基板21内に形成されている。本実施の形態2では、各駆動IC出力端子57とショートリング64との間に高抵抗素子65を設けることを特徴としている。すなわち、各駆動IC出力端子57は、接続配線63および高抵抗素子65を介してショートリング64に接続されている。その他の構成は、前提技術と同様であるため、ここでは詳細な説明を省略する。

【0060】

高抵抗素子65は、例えば、アモルファスシリコンまたはITOなど、高抵抗材料の微細パターンにより形成することができる。

【0061】

以上のことから、本実施の形態2によれば、各駆動IC出力端子57とショートリング64との間に高抵抗素子65を設けている。従って、各駆動IC出力端子57は駆動時に影響を及ぼさないレベルで接続されるとともに、静電気対策としても機能する。これにより、表示装置1の製造上の歩留りを向上させることができる。

【0062】

なお、高抵抗素子65は、実施の形態1で説明した図5, 7, 8, 9に示す構成に適用することができる。具体的には、図5において、各駆動IC出力端子57とショートリング64との間に高抵抗素子65を設けてもよい。図7において、各FPC端子61とショートリング64との間に高抵抗素子65を設けてもよい。図8において、各駆動IC出力端子57および各FPC端子61とショートリング64との間に高抵抗素子65を設けてもよい。図9において、各第1透明電極24とショートリング64との間に高抵抗素子65を設けてもよい。これらの構成の場合であっても、表示装置1の製造上の歩留りを向上させることができる。

【0063】

また、高抵抗素子65を、各駆動IC出力端子57間、各変換部52間、各引き出し配線53間、または各第1透明電極24間などにさらに設ける構成とすれば、より効果的である。

【0064】

<実施の形態3>

図11は、本発明の実施の形態3による第1透明基板21の構成の一例を示す平面図である。

【0065】

図11に示すように、ショートリング64は、第1透明基板21内に形成されている。本実施の形態3では、各駆動IC出力端子57とショートリング64との間にスパークギャップ66を設けることを特徴としている。すなわち、各駆動IC出力端子57は、接続配線63およびスパークギャップ66を介してショートリング64に接続されている。その他の構成は、前提技術と同様であるため、ここでは詳細な説明を省略する。

10

20

30

40

50

【0066】

図12に示すように、スパークギャップ66は、接続配線63とショートリング64との間に設けられた間隙である。

【0067】

以上のことから、本実施の形態3によれば、各駆動IC出力端子57とショートリング64との間にスパークギャップ66を設けている。従って、各駆動IC出力端子57に静電気が入力されたとしてもスパークギャップ66およびショートリング64を介して放電されるため、引き回し配線53または入力配線62の断線を防ぐことができる。これにより、表示装置1の製造上の歩留りを向上させることができる。

【0068】

なお、スパークギャップ66は、実施の形態1で説明した図5, 7, 8, 9に示す構成に適用することができる。具体的には、図5において、各駆動IC出力端子57とショートリング64との間にスパークギャップ66を設けてもよい。図7において、各FPC端子61とショートリング64との間にスパークギャップ66を設けてもよい。図8において、各駆動IC出力端子57および各FPC端子61とショートリング64との間にスパークギャップ66を設けてもよい。図9において、各第1透明電極24とショートリング64との間にスパークギャップ66を設けてもよい。これらの構成の場合であっても、表示装置1の製造上の歩留りを向上させることができる。

10

【0069】

また、スパークギャップ66を、各駆動IC出力端子57間、各変換部52間、各引き出し配線53間、または各第1透明電極24間などにさらに設ける構成とすれば、より効果的である。

20

【0070】

<実施の形態4>

図13は、本発明の実施の形態4による第1透明基板21の構成の一例を示す平面図である。

【0071】

図13に示すように、ショートリング64は、第1透明基板21内に形成されている。本実施の形態4では、各駆動IC出力端子57とショートリング64との間に容量67を設けることを特徴としている。すなわち、各駆動IC出力端子57は、接続配線63および容量67を介してショートリング64に接続されている。その他の構成は、前提技術と同様であるため、ここでは詳細な説明を省略する。

30

【0072】

容量67は、例えば、接続配線63とショートリング64とを絶縁膜を介して重畳することによって形成することができる。

【0073】

以上のことから、本実施の形態4によれば、各駆動IC出力端子57とショートリング64との間に容量67を設けている。容量64を介して各駆動IC出力端子57とショートリング64とを容量結合させることによって、剥離帶電などによる電位差が各駆動IC出力端子57間で生じにくくなる。これにより、表示装置1の製造上の歩留りを向上させることができる。

40

【0074】

なお、容量67は、実施の形態1で説明した図5, 7, 8, 9に示す構成に適用することができる。具体的には、図5において、各駆動IC出力端子57とショートリング64との間に容量67を設けてもよい。図7において、各FPC端子61とショートリング64との間に容量67を設けてもよい。図8において、各駆動IC出力端子57および各FPC端子61とショートリング64との間に容量67を設けてもよい。図9において、各第1透明電極24とショートリング64との間に容量67を設けてもよい。これらの構成の場合であっても、表示装置1の製造上の歩留りを向上させることができる。

【0075】

50

また、容量 67 を、各駆動 IC 出力端子 57 間、各変換部 52 間、各引き出し配線 53 間、または各第 1 透明電極 24 間などにさらに設ける構成とすれば、より効果的である。

【0076】

<実施の形態 5>

図 14 は、本発明の実施の形態 5 による第 1 透明基板 21 の構成の一例を示す断面図である。

【0077】

図 14 に示すように、第 1 透明基板 21 上であっての液晶層 23 側には、電界シールド電極である電界シールド用透明電極 84 が設けられている。電界シールド用透明電極 84 上には第 1 絶縁層 81 が設けられている。第 1 絶縁層 81 上には、下層透明電極 24a および第 1 金属層 87 が設けられている。第 1 金属層 87 上には駆動 IC 出力端子 57 が積層して設けられている。下層透明電極 24a、第 1 金属層 87、および駆動 IC 出力端子 57 を覆うように第 2 絶縁層 82 が設けられている。第 2 絶縁層 82 上には上層透明電極 24b が設けられている。上層透明電極 24b を覆うように第 3 絶縁層 83 が設けられている。駆動 IC 出力端子 57 の一部は、第 2 絶縁層 82 および第 3 絶縁層 83 から露出している。

10

【0078】

本実施の形態 5 では、第 1 透明基板 21 上に電界シールド用透明電極 84 を設けることを特徴としている。その他の構成は、前提技術と同様であるため、ここでは詳細な説明を省略する。

20

【0079】

電界シールド用透明電極 84 は、例えば、ITO などによって形成することができる。図 14 において、電界シールド用透明電極 84 は、第 1 透明基板 21 上の全面に形成されているが、これに限るものではない。例えば、電界シールド用透明電極 84 は、端面において露出しないようにパターニングされてもよい。あるいは、図示しないが、FPC 端子 61 または駆動 IC 出力端子 57 から延びる配線を電界シールド用透明電極 84 と電気的に接続して、電界シールド用透明電極 84 に電位が印加されるようにしてもよい。さらに、例えば表示装置の筐体やフレームのように一定電位に維持される箇所（図示しない）と電界シールド用透明電極 84 とを電気的に接続してもよい。これにより、電界シールド用透明電極 84 はフローティングではなくなるため、シールド効果を増大させることができる。

30

【0080】

以上のことから、本実施の形態 5 によれば、第 1 透明基板 21 上に電界シールド用透明電極 84 を設けているため、剥離帯電などによる電位差が各駆動 IC 出力端子 57 間で生じにくくなる。これにより、表示装置 1 の製造上の歩留りを向上させることができる。

【0081】

<実施の形態 6>

図 15 は、本発明の実施の形態 6 による視差バリアシャッタパネル 20 の構成の一例を示す断面図である。なお、図 15 は、表示装置 1 の製造過程、具体的には視差バリアシャッタパネル 20 の製造過程を示している。

40

【0082】

図 15 に示すように、第 1 透明基板 21 上であっての液晶層 23 側には、下層透明電極 24a および第 1 金属層 87 が設けられている。第 1 金属層 87 上には駆動 IC 出力端子 57 が積層して設けられている。下層透明電極 24a、第 1 金属層 87、および駆動 IC 出力端子 57 を覆うように第 1 絶縁層 81 が設けられている。第 1 絶縁層 81 上には上層透明電極 24b が設けられている。上層透明電極 24b を覆うように第 2 絶縁層 82 が設けられている。駆動 IC 出力端子 57 の一部は、第 1 絶縁層 81 および第 2 絶縁層 82 から露出している。第 2 透明基板 22 上であって液晶層 23 側には、第 2 透明電極 25 が設けられている。

【0083】

50

第2絶縁層82と第2透明電極25との間には、液晶層23がシール85によって封止されている。駆動IC出力端子57と第2透明電極25とは、接続用ダミーシール86を介して電気的に接続されている。なお、図15では、1つの駆動IC出力端子57と第2透明電極25とが接続用ダミーシール86を介して電気的に接続されているが、他の駆動IC出力端子57もそれぞれ第2透明電極25と接続用ダミーシール86を介して電気的に接続されている。TFTアレイ基板100から第1透明基板21を切断して切り出す際、接続用ダミーシール86も切断される。

【0084】

本実施の形態6では、駆動IC出力端子57と第2透明電極25とを接続用ダミーシール86を介して電気的に接続することを特徴としている。その他の構成は、前提技術と同様であるため、ここでは詳細な説明を省略する。

10

【0085】

接続用ダミーシール86は、シール85に導電性の粒子などを混入することによって形成することができる。導電性の粒子としては、例えば金パールなどが挙げられる。

【0086】

以上のことから、本実施の形態6によれば、TFTアレイ基板100から第1透明基板21を切断して切り出すまでは、各駆動IC出力端子57と第2透明電極25とは接続用ダミーシール86を介して電気的に接続されているため、第2透明電極25を実施の形態1～4で説明したショートリング64と同様に扱うことができる。すなわち、表示装置1の製造上の歩留りを向上させることができる。

20

【0087】

なお、図15では、各駆動IC出力端子57と第2透明電極25とを接続用ダミーシール86を介して電気的に接続する場合について説明したが、これに限るものではない。例えば、各駆動IC入力端子58と第2透明電極25とを接続用ダミーシール86を介して電気的に接続してもよく、各FPC端子61と第2透明電極25とを接続用ダミーシール86を介して電気的に接続してもよい。

【0088】

<実施の形態7>

図16は、本発明の実施の形態7による第1透明基板21の構成の一例を示す平面図である。

30

【0089】

図16に示すように、ショートリング64は、第1透明基板21内に形成されている。本実施の形態7では、各駆動IC出力端子57とショートリング64との間に非線形素子68を設けることを特徴としている。すなわち、各駆動IC出力端子57は、接続配線63および非線形素子68を介してショートリング64に接続されている。その他の構成は、前提技術と同様であるため、ここでは詳細な説明を省略する。

【0090】

非線形素子68は、例えば図17に示すように、アモルファスシリコンまたは酸化物半導体などを用いて形成した第1トランジスタ70および第2トランジスタ71を双方向に接続することによって形成することができる。

40

【0091】

非線形素子68に酸化物半導体を用いた場合は、第1透明電極24を導体化して伝導体とし、非線形素子68を半導体として用いることによって、視差バリアシャッタパネル20の生産性が改善される。第1透明電極24を導体化する方法としては、酸化物半導体を成膜した後に、表示エリア51のみを露出させた状態で水素プラズマ処理を行う方法などがある。非線形素子68に酸化物半導体を用いた場合における表示エリア51と非線形素子68を構成する第1トランジスタ70との断面図を図18に示す。例えば、図18において、第1絶縁層81上に酸化物半導体を成膜し、表示エリア51を露出させた状態で水素プラズマ処理を行う。その後、フォトリソグラフィ工程およびエッチング工程などを行うことによって所望のパターンに加工し、上層透明電極24bと半導体層89とを同時に

50

形成することができる。

【0092】

以上のことから、本実施の形態7によれば、各駆動IC出力端子57とショートリング64との間に非線形素子68を設けている。従って、各駆動IC出力端子57に静電気が入力されたとしても非線形素子68およびショートリング64を介して放電されるため、引き回し配線53または入力配線62の断線を防ぐことができる。これにより、表示装置1の製造上の歩留りを向上させることができる。

【0093】

なお、非線形素子68は、実施の形態1で説明した図5, 7, 8, 9に示す構成に適用することができる。具体的には、図5において、各駆動IC出力端子57とショートリング64との間に非線形素子68を設けてもよい。図7において、各FPC端子61とショートリング64との間に非線形素子68を設けてもよい。図8において、各駆動IC出力端子57および各FPC端子61とショートリング64との間に非線形素子68を設けてもよい。図9において、各第1透明電極24とショートリング64との間に非線形素子68を設けてもよい。これらの構成の場合であっても、表示装置1の製造上の歩留りを向上させることができる。

【0094】

また、非線形素子68を、各駆動IC出力端子57間、各変換部52間、各引き出し配線53間、または各第1透明電極24間などにさらに設ける構成とすれば、より効果的である。

【0095】

<実施の形態8>

実施の形態2～7では、視差バリアシャッタパネル20において、ショートリング64と、高抵抗素子65、スパークギャップ66、容量67、または非線形素子68のようなサージ電圧緩衝部とを設け、各第1透明電極24がサージ電圧緩衝部およびショートリング64を介して互いに接続される形態について説明した。本実施の形態8では、ショートリング64を省略し、隣接する各第1透明電極24間にサージ電圧緩衝部を設けることを特徴とする。

【0096】

図19は、本実施の形態8による第1透明基板21の構成の一例を示す平面図である。図19に示すように、本実施の形態8では、隣接する各駆動IC出力端子57間に高抵抗素子65を設けることを特徴としている。すなわち、隣接する各駆動IC出力端子57は、接続配線63および高抵抗素子65を介して接続されている。

【0097】

実施の形態2～7では、各第1透明電極24における電荷は、ショートリング64を介して放電されていた。一方、本実施の形態8では、ショートリングを介した放電はないが、高抵抗素子65を介して接続された隣接する各第1透明電極24と電荷を分け合うことになり、静電気によるダメージを軽減する効果がある。

【0098】

本実施の形態8は、ショートリングを備える形態よりも静電気に対する耐久性は劣るものとの、パターン設計上などの理由からショートリングを設けることができない場合には本実施の形態8を採用することに意義がある。

【0099】

なお、図19では、隣接する各駆動IC出力端子57間に高抵抗素子65を設ける形態について説明したが、高抵抗素子65に代えて、スパークギャップ66、容量67、または非線形素子68のいずれか1つが設けられる形態であっても、上記と同様の効果を奏する。

【0100】

<変形例1>

図20は、本実施の形態8の変形例1であり、第1透明基板21の構成の一例を示す平

10

20

30

40

50

面図である。図20に示すように、本変形例1では、隣接する各FPC端子61間に高抵抗素子65を設けることを特徴としている。すなわち、隣接する各FPC端子61は、接続配線63および高抵抗素子65を介して接続されている。

【0101】

本変形例1は、ショートリングを設けない点は実施の形態8と共通するが、高抵抗素子65を設ける箇所が異なる。本変形例1では、各第1透明電極24における電荷の放電よりは、各FPC端子61から駆動IC入力端子58への電荷流入によって駆動IC54が受けるダメージを抑制する効果が高い。

【0102】

なお、図20では、隣接する各FPC端子61間に高抵抗素子65を設ける形態について説明したが、高抵抗素子65に代えて、スパークギャップ66、容量67、または非線形素子68のいずれか1つが設けられる形態であっても、上記と同様の効果を奏する。

【0103】

<変形例2>

図21は、実施の形態8の変形例2であり、第1透明基板21の構成の一例を示す平面図である。図21に示すように、本変形例2では、隣接する各第1透明電極24間に高抵抗素子65を設けることを特徴としている。すなわち、隣接する各第1透明電極21は、接続配線63および高抵抗素子65を介して接続されている。

【0104】

本変形例2は、ショートリングを設けない点は実施の形態8と共通するが、高抵抗素子65を設ける箇所が異なる。本変形例2では、各第1透明電極21の変換部52が設けられていない側、すなわち表示エリア51を介して変換部52と対向する側に高抵抗素子65を設けている。本変形例2でも、実施の形態8と同様の効果を奏する。また、通常、変換部52を設ける領域には隙間がないため高抵抗素子65を設けることは困難であるが、本変形例2ではそのような制限がなく、高抵抗素子65を設けることができる。

【0105】

なお、図21では、隣接する各第1透明電極24間に高抵抗素子65を設ける形態について説明したが、高抵抗素子65に代えて、スパークギャップ66、容量67、または非線形素子68のいずれか1つが設けられる形態であっても、上記と同様の効果を奏する。

【0106】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

【0107】

1 表示装置、10 表示パネル、11 透明基板、12 透明基板、13 液晶層、
 14 サブ画素透明電極、15 対向透明電極、16 中間偏光板、17 裏面偏光板、
 18 遮光壁、20 視差バリアシャッタパネル、21 第1透明基板、22 第2透明基板、
 23 液晶層、24 第1透明電極、25 第2透明電極、26 表示面偏光板、
 30 バックライト、31 検出部、32 制御部、40a 右眼用サブ画素、40b
 左眼用サブ画素、41 サブ画素ペア、51 表示エリア、52 変換部、53 引き回し配線、54 駆動IC、55 対向基板接続電極、56 FPC、57 駆動IC出力端子、
 58 駆動IC入力端子、59 額縁エリア、60 実装エリア、61 FPC端子、
 62 入力配線、63 接続配線、64 ショートリング、65 高抵抗素子、66
 スパークギャップ、67 容量、68 非線形素子、70 第1トランジスタ、71
 第2トランジスタ、81 第1絶縁層、82 第2絶縁層、83 第3絶縁層、84 電界シールド用透明電極、85 シール、86 接続用ダミーシール、87 第1金属層、
 88 第2金属層、89 半導体層、100 TFTアレイ基板、200 サブ開口、300 総合開口。

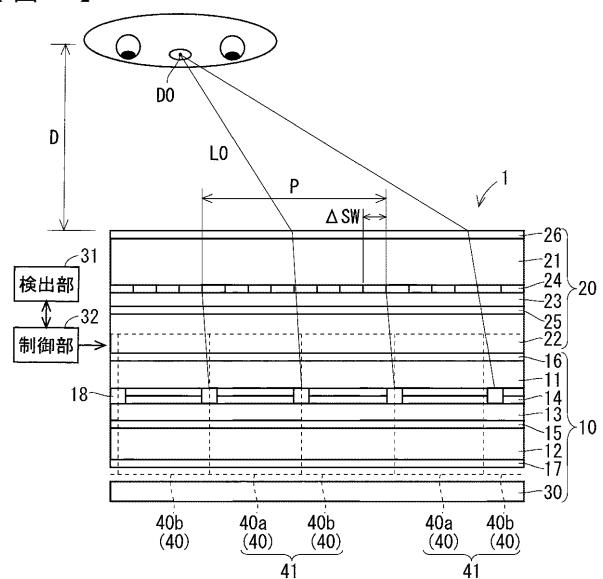
10

20

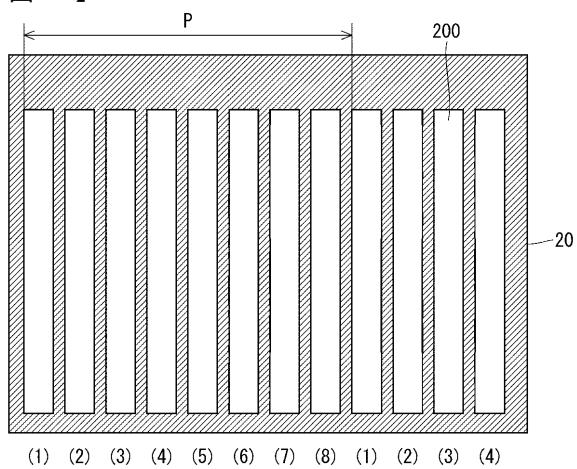
30

40

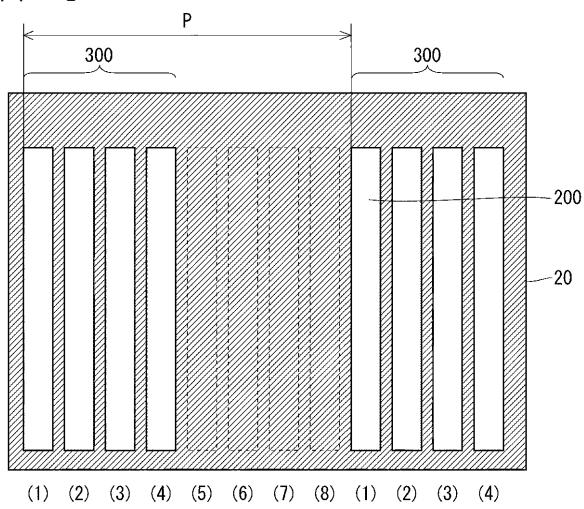
【図1】



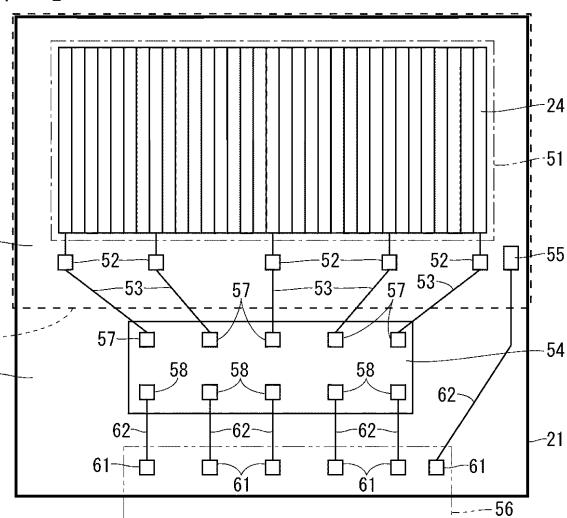
【 図 2 】



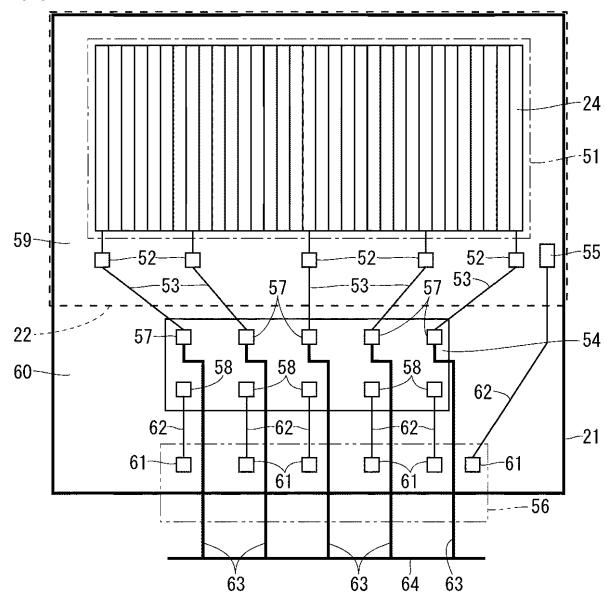
【 3 】



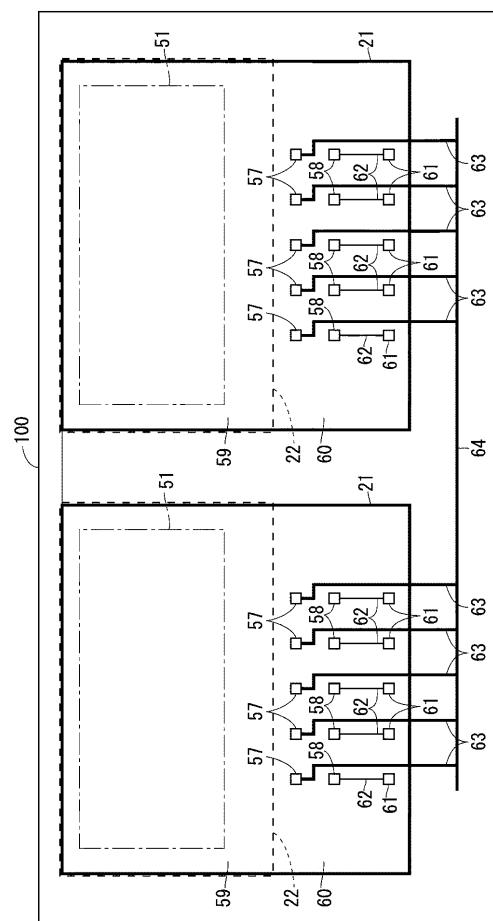
【 図 4 】



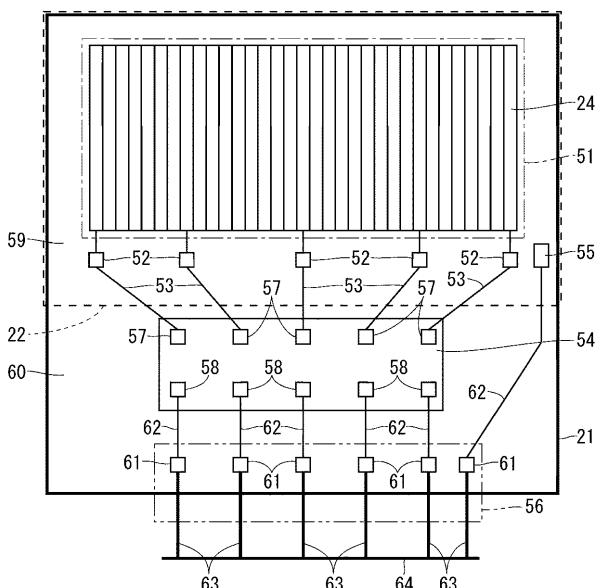
【図5】



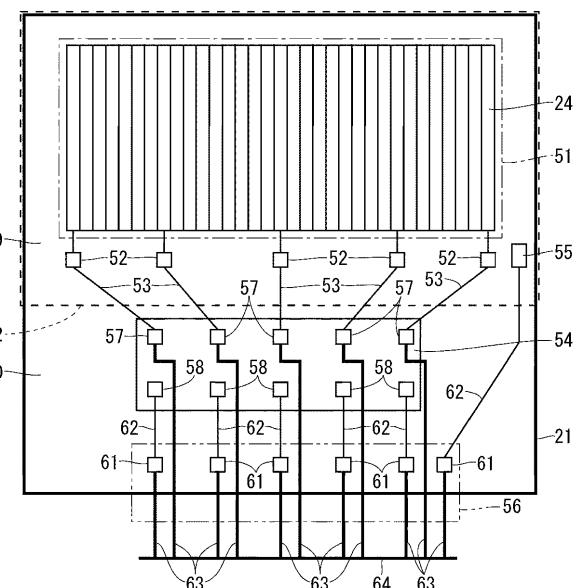
【図6】



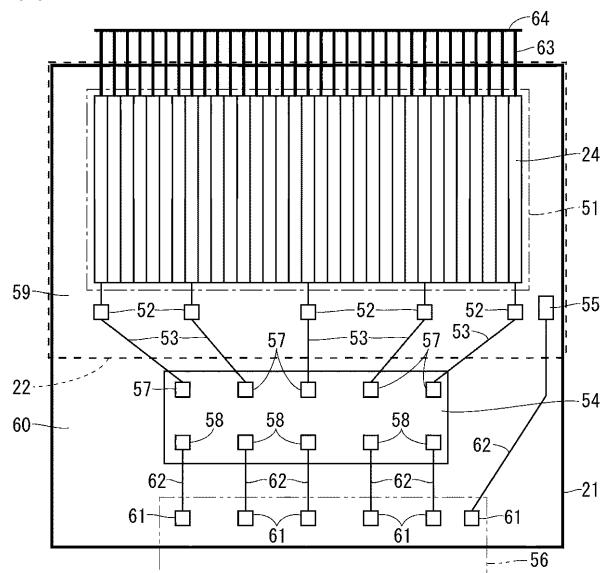
【図7】



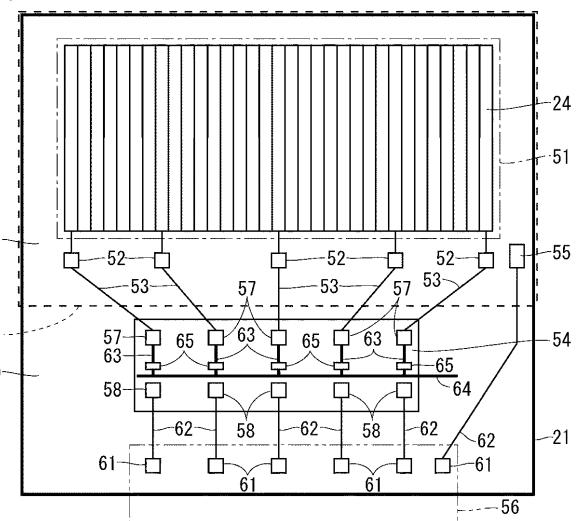
【図8】



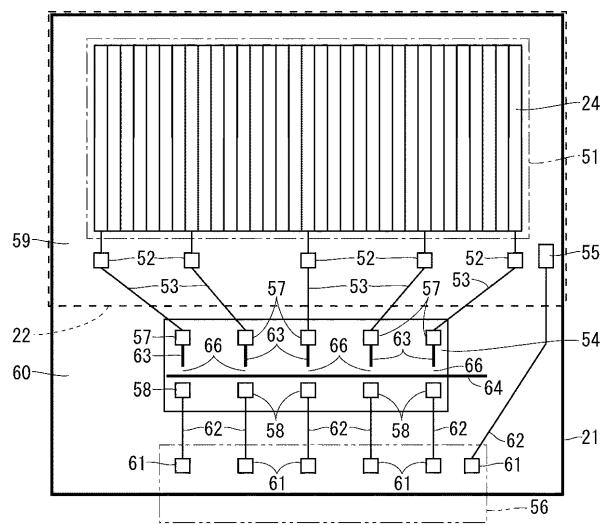
【図9】



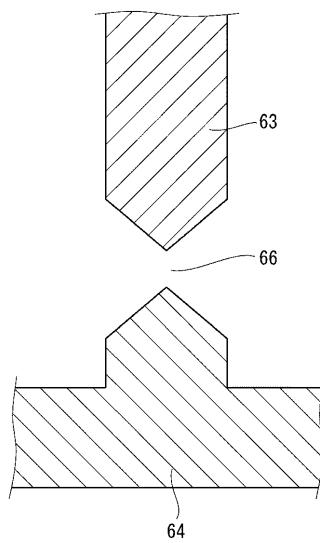
【 図 1 0 】



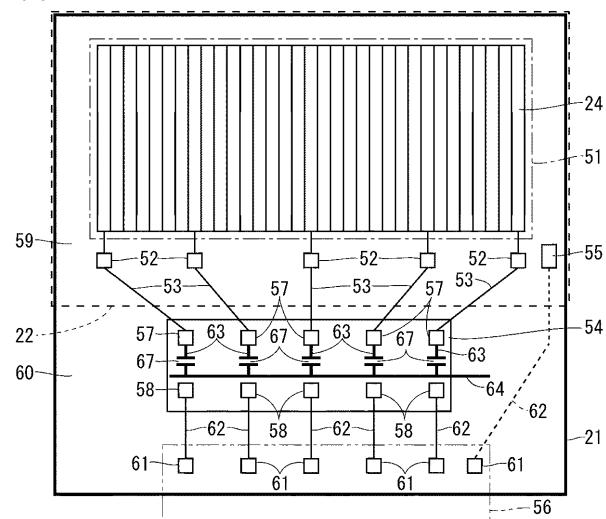
【 図 1 1 】



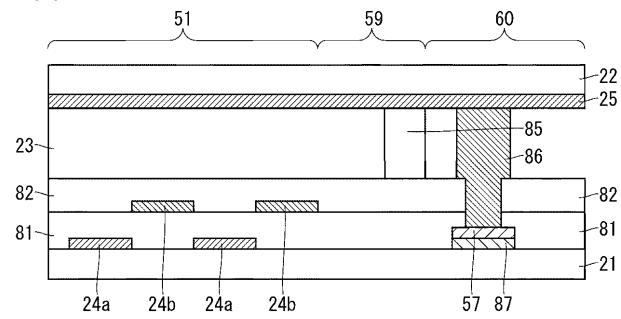
【 図 1 2 】



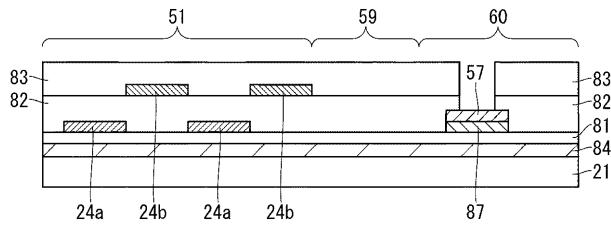
【図 1 3】



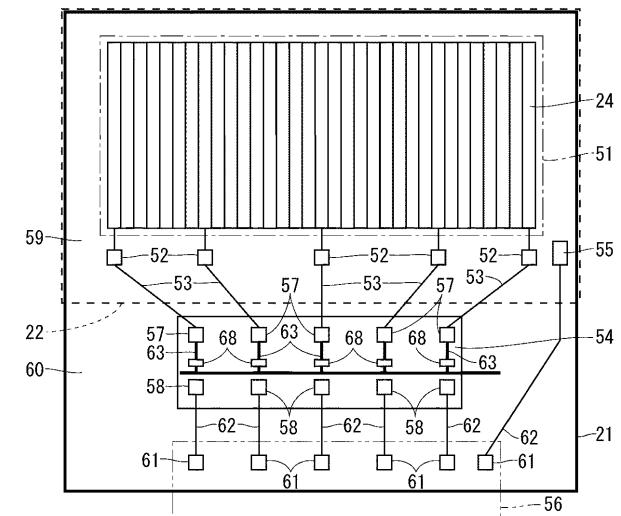
【図 1 5】



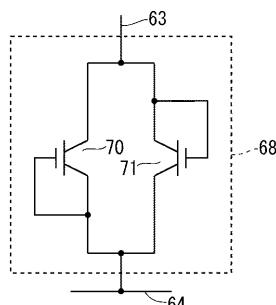
【図 1 4】



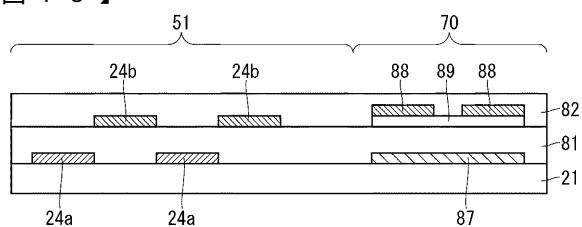
【図 1 6】



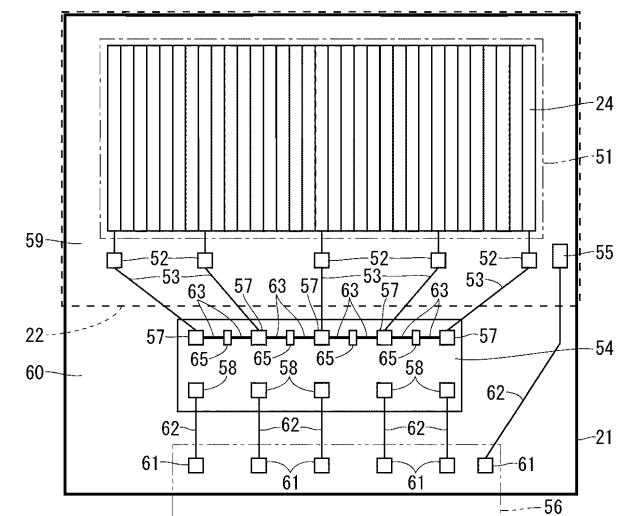
【図 1 7】



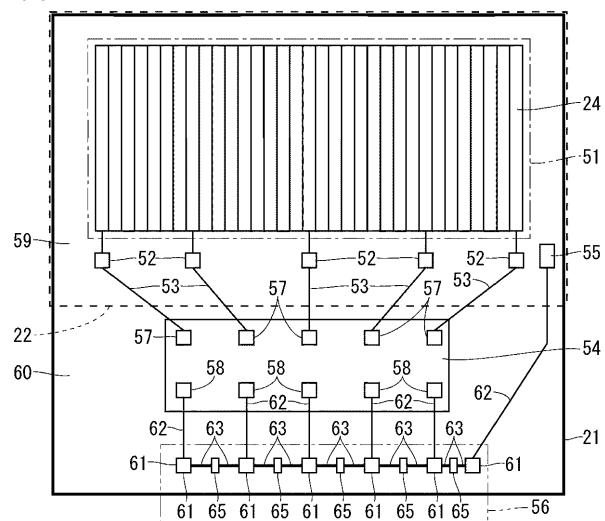
【図 1 8】



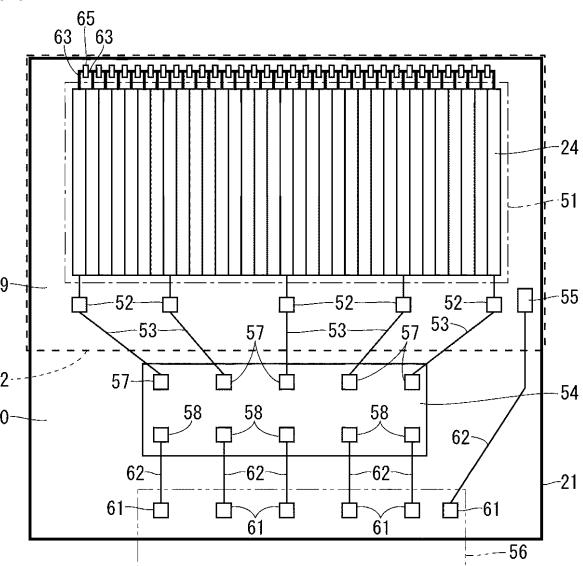
【図 1 9】



【図20】



【 図 2 1 】



フロントページの続き

| (51) Int.CI. | | F I | | | | テーマコード(参考) | | | |
|----------------|---------------|------------------|--|--|--|----------------|---------------|------------------|------------------|
| <i>G 0 2 B</i> | <i>27/22</i> | <i>(2006.01)</i> | | | | <i>G 0 2 B</i> | <i>27/22</i> | <i>2 H 2 9 1</i> | |
| <i>G 0 9 F</i> | <i>9/00</i> | <i>(2006.01)</i> | | | | <i>G 0 9 F</i> | <i>9/00</i> | <i>3 1 3</i> | <i>5 C 0 6 1</i> |
| <i>H 0 4 N</i> | <i>13/31</i> | <i>(2018.01)</i> | | | | <i>G 0 9 F</i> | <i>9/00</i> | <i>3 0 9 A</i> | <i>5 G 4 3 5</i> |
| <i>H 0 4 N</i> | <i>13/376</i> | <i>(2018.01)</i> | | | | <i>G 0 9 F</i> | <i>9/00</i> | <i>3 6 1</i> | |
| | | | | | | <i>G 0 9 F</i> | <i>9/00</i> | <i>3 3 8</i> | |
| | | | | | | <i>H 0 4 N</i> | <i>13/31</i> | | |
| | | | | | | <i>H 0 4 N</i> | <i>13/376</i> | | |

F ターム(参考) 2H092 GA14 GA33 GA35 GA42 GA50 GA60 GA64 HA04 HA12 HA24
 JA24 JB54 JB79 KA08 MA32 PA09
 2H189 AA22 AA27 AA35 AA37 AA90 AA92 CA33 CA36 JA05 JA08
 JA10 JA12 JA14 LA03 LA04 LA08 LA15 LA20 NA13
 2H192 AA24 AA62 AA63 EA04 FA52 FA73 FA76 FB22 FB25 FB34
 GA03 GA13 GA14 GA15 JB04 JB13
 2H199 BA09 BA45 BB10 BB43 BB52 BB53 BB68
 2H291 FA14Y FA17X FA17Y FA92X FB14 FD04 FD07 FD15 GA05 GA17
 HA06 HA09 HA11 HA13 HA15 MA01
 5C061 AA08 AB14 AB18
 5G435 AA17 BB05 BB06 BB12 CC09 FF13 GG13 GG32