

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年10月26日(26.10.2012)



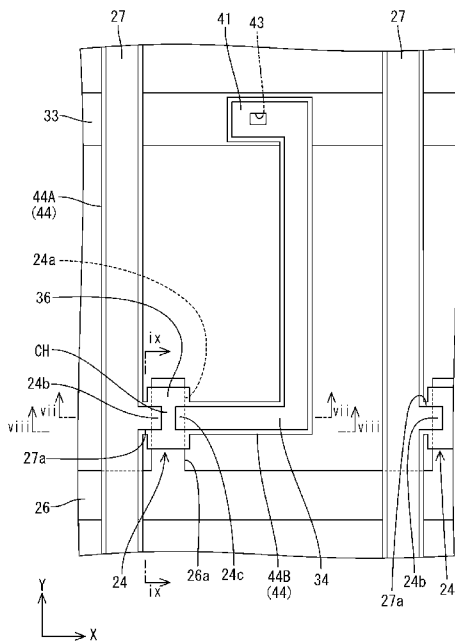
(10) 国際公開番号
WO 2012/144401 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) G02F 1/1368 (2006.01)
 - (21) 国際出願番号: PCT/JP2012/059971
 - (22) 国際出願日: 2012年4月12日(12.04.2012)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2011-093083 2011年4月19日(19.04.2011) JP
 - (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 中村 謙太 (NAKAMURA Kenta).
 - (74) 代理人: 特許業務法人暁合同特許事務所 (AKAT-SUKI UNION PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目1番1号 日土地名古屋ビル5階 Aichi (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY ELEMENT, DISPLAY DEVICE, AND TELEVISION RECEIVER

(54) 発明の名称: 表示素子、表示装置、及びテレビ受信装置

[図6]



(57) Abstract: An array substrate (20) is provided with: a glass substrate (GS); gate wiring (26) formed on the glass substrate (GS); a gate electrode (24a) formed on the gate wiring (26); a gate insulating film (35) formed on the gate wiring (26) and the gate electrode (24a); a semiconductor film (36), which is formed on the gate insulating film (35), and has a channel region (CH); source wiring (27), which is formed on the gate insulating film (35), and intersects the gate wiring (26); a source electrode (24b), which is formed on the source wiring (27), and is connected to one end side of the semiconductor film (36); a drain electrode (24c), which is connected to the other end side of the semiconductor film (36), and is connected to the source electrode (24b) with the channel region (CH) therebetween; and a semiconductor film extending section (44), which is formed to the semiconductor film (36), and extends to as far as a region that overlaps at least a part of the source wiring (27) in planar view.

(57) 要約: アレイ基板 20 は、ガラス基板 GS と、ガラス基板 GS 上に形成されたゲート配線 26 と、ゲート配線 26 に形成されたゲート電極 24a と、ゲート配線 26 及びゲート電極 24a 上に形成されたゲート絶縁膜 35 と、ゲート絶縁膜 35 上に形成されチャンネル領域 CH を有する半導体膜 36 と、ゲート絶縁膜 35 上に形成されゲート配線 26 と交差するソース配線 27 と、ソース配線 27 に形成され半導体膜 36 の一端側に接続されたソース電極 24b と、半導体膜 36 の他端側に接続されソース電極 24b に対してチャンネル領域 CH を介して接続されるドレイン電極 24c と、半導体膜 36 に形成され少なくともソース配線 27 の一部と平面に視て重畳する範囲にまで延在する半導体膜延在部 44 とを備える。

WO 2012/144401 A1

明 細 書

発明の名称：表示素子、表示装置、及びテレビ受信装置

技術分野

[0001] 本発明は、表示素子、表示装置、及びテレビ受信装置に関する。

背景技術

[0002] 液晶表示装置に用いられる液晶パネルは、一对のガラス基板間に液晶層が挟持された構成とされているが、そのうち一方のガラス基板は、各画素の動作を制御するためのアクティブ素子としてTFTが形成されたアレイ基板とされる。このアレイ基板には、その表示領域内にゲート配線とソース配線とが多数本ずつ格子状に設けられ、ゲート配線とソース配線との交差部にTFTが設けられた構成を有している。そして、ゲート配線とソース配線とに囲まれた領域に画素電極が配され、これにより表示単位としての画素が構成されている。この種の液晶パネルの一例として下記特許文献1に記載されたものが知られている。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-122885号公報

[0004] (発明が解決しようとする課題)

ところで、TFTは、ガラス基板上に形成されゲート配線に接続されたゲート電極と、ゲート電極上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されるとともにソース配線に接続されたソース電極と、ゲート絶縁膜上に形成されるとともにコンタクトホールを介して画素電極に接続されたドレイン電極と、一端側がソース電極に他端側がドレイン電極にそれぞれ接続されることでチャンネル領域を有する半導体膜とを備えてなる。

[0005] このうち半導体膜は、ソース電極とドレイン電極とを架け渡す範囲に形成されるものであるのに対し、ソース配線から分岐されたソース電極は、半導体膜の端部に乗り上げるために段差部を有している。この段差部では、当該

TFTをフォトリソグラフィ法により形成するに際して、ソース電極及びソース配線をウェットエッチングによりパターンニングする工程において、エッチング液が染み込み易くなるおそれがある。その理由は、例えばソース電極と下地であるゲート絶縁膜との密着性が段差部において局所的に悪化するため、などと推考される。エッチング液が段差部に染み込むと、そこで線幅が細くなったり、断線する可能性があり、そうなるに接続信頼性を損なうおそれがある。

発明の概要

[0006] 本発明は上記のような事情に基づいて完成されたものであって、接続信頼性を向上させることを目的とする。

[0007] (課題を解決するための手段)

本発明の表示素子は、基板と、前記基板上に形成されたゲート配線と、前記ゲート配線に形成されたゲート電極と、前記ゲート配線及び前記ゲート電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されチャンネル領域を有する半導体膜と、前記ゲート絶縁膜上に形成され前記ゲート配線と交差するソース配線と、前記ソース配線に形成され前記半導体膜の一端側に接続されたソース電極と、前記半導体膜の他端側に接続され前記ソース電極に対して前記チャンネル領域を介して接続されるドレイン電極と、前記半導体膜に形成され少なくとも前記ソース配線の一部と平面に視て重畳する範囲にまで延在する半導体膜延在部とを備える。

[0008] このようにすれば、ゲート電極が形成されたゲート配線に走査信号を、ソース電極が形成されたソース配線にデータ信号をそれぞれ供給すると、ソース電極とドレイン電極との間には、半導体膜のチャンネル領域を介してドレイン電流が流れる。本発明では、半導体膜に少なくともソース配線の一部と平面に視て重畳する範囲にまで延在する半導体膜延在部が形成されていることから、ソース電極とソース配線との間に半導体膜に起因する段差が生じるのを回避することができる。従って、従来のようにソース電極とソース配線との間に半導体膜に起因する段差部が形成されたものに比べると、製造過程に

においてソース電極及びソース配線に対してウェットエッチング処理を行うに際して断線などが生じ難くなっている。これにより、高い接続信頼性を得ることができる。

[0009] ここで、仮にソース電極とソース配線との間に断線が生じた場合には、ソース配線の途中に断線が生じた場合のような予備配線などの手段による救済が極めて難しいという事情があることから、この箇所（ソース電極とソース配線との間）での断線を防止することは高い接続信頼性を得る上で極めて有用であると言える。

[0010] 本発明の実施態様として、次の構成が好ましい。

(1) 前記半導体膜延在部は、前記ソース配線のほぼ全域と平面に視て重畳する範囲にまで延在する。このようにすれば、ソース配線のほぼ全域において半導体膜に起因する断線などが生じるのを防ぐことができるから、接続信頼性を一層高いものとすることができる。

[0011] (2) 前記半導体膜延在部は、前記ソース配線よりも平面に視て大きくなるよう形成されている。仮に半導体膜延在部とソース配線とが、製造上生じ得る精度誤差などの影響により、平面方向に沿う一方向について位置ずれした場合であっても、半導体膜延在部がソース配線よりも平面に視て大きく形成されているから、位置ずれ量が両者の一方向についての大きさの差の範囲内であれば、半導体膜延在部及びソース配線における平面に視た全体の大きさが変動することが避けられる。これにより、半導体膜延在部及びソース配線が、他の配線などとの間で形成する容量の値に変化が生じ難いものとなり、もって電氣的な悪影響が及ぶ事態が回避される。

[0012] (3) 前記半導体膜延在部は、その両外縁が前記ソース配線の両外縁よりも外側に配されている。このようにすれば、半導体膜延在部とソース配線とが、平面方向に沿う一方向について位置ずれした場合でも、半導体膜の両外縁のいずれかからソース配線がはみだす事態が生じるのを防ぐことができる。

[0013] (4) 前記ソース電極及び前記ドレイン電極は、前記半導体膜上に形成され不純物が添加されたドーピング半導体膜と、前記ドーピング半導体膜上に形

成され金属材料からなる金属膜との積層構造を有しているのに対し、前記ソース配線は、前記ソース電極を構成する前記金属膜と同一材料からなるものとされており、前記半導体膜延在部は、前記ドーピング半導体膜の端部から前記ソース配線側に延在している。このようにすれば、ソース電極及びドレイン電極をなす金属膜は、ドーピング半導体膜により半導体膜に対してオーミック接触される。その上で、半導体膜延在部がドーピング半導体膜の端部からソース配線側に延在しているから、従来のようにドーピング半導体膜と半導体膜との端部が揃えられた場合にソース配線とソース電極との間にドーピング半導体膜の膜厚と半導体膜の膜厚とを足し合わせた大きさの段差部が形成されるのに比べると、生じる段差がドーピング半導体膜の膜厚分のみで済むことになる。これにより、断線などを生じ難くすることができ、もって高い接続信頼性を得ることができる。

[0014] (5) 画素電極と、前記ゲート絶縁膜上に形成されるとともに一端側が前記ドレイン電極に接続されたドレイン配線と、前記ドレイン配線他端側に接続されるとともに前記画素電極に接続されたコンタクト部とを備えており、前記半導体膜延在部は、少なくとも前記ドレイン配線の一部と平面に視て重畳する範囲にまで延在する。このようにすれば、ゲート配線及びソース配線にそれぞれ供給される走査信号及びデータ信号に基づいて、ドレイン電極に接続されたドレイン配線及びコンタクト部を介して画素電極に所定の電圧を充電させることができる。その上で、半導体膜延在部が少なくともドレイン配線の一部と平面に視て重畳する範囲にまで延在されているから、ドレイン電極とドレイン配線との間に半導体膜に起因する段差が生じるのを回避することができる。これにより、製造過程においてドレイン電極及びドレイン配線に対してウェットエッチング処理を行うに際して断線などが生じ難くなっており、もって高い接続信頼性を得ることができる。

[0015] (6) 前記半導体膜延在部は、前記ドレイン配線のほぼ全域と平面に視て重畳する範囲にまで延在する。このようにすれば、ドレイン配線のほぼ全域において半導体膜に起因する断線などが生じるのを防ぐことができ、接続信頼

性を一層高いものとすることができる。

[0016] (7) 前記半導体膜延在部は、前記ドレイン配線よりも平面に視て大きくなるよう形成されている。仮に半導体膜延在部とドレイン配線とが、製造上生じ得る精度誤差などの影響により、平面方向に沿う一方向について位置ずれした場合であっても、半導体膜延在部がドレイン配線よりも平面に視て大きく形成されているから、位置ずれ量が両者の一方向についての大きさの差の範囲内であれば、半導体膜延在部及びドレイン配線における平面に視た全体の大きさが変動することが避けられる。これにより、半導体膜延在部及びドレイン配線が、他の配線などとの間で形成する容量の値に変化が生じ難いものとなっており、もって電氣的な悪影響が及ぶ事態が回避される。

[0017] (8) 前記半導体膜延在部は、その両外縁が前記ドレイン配線の両外縁よりも外側に配されている。このようにすれば、半導体膜延在部とドレイン配線とが、平面方向に沿う一方向について位置ずれした場合でも、半導体膜の両外縁のいずれかからドレイン配線がはみだす事態が生じるのを防ぐことができる。

[0018] (9) 前記半導体膜延在部は、前記コンタクト部のほぼ全域と平面に視て重畳する範囲にまで延在する。このようにすれば、ドレイン配線に加えてコンタクト部のほぼ全域において半導体膜に起因する断線などが生じるのを防ぐことができ、接続信頼性を一層高いものとすることができる。

[0019] (10) 前記半導体膜延在部は、前記コンタクト部よりも平面に視て大きく形成されている。仮に半導体膜延在部とコンタクト部とが、製造上生じ得る精度誤差などの影響により、平面方向に沿う一方向について位置ずれした場合であっても、半導体膜延在部がコンタクト部よりも平面に視て大きく形成されているから、位置ずれ量が両者の一方向についての大きさの差の範囲内であれば、半導体膜延在部及びコンタクト部における平面に視た全体の大きさが変動することが避けられる。これにより、半導体膜延在部及びコンタクト部が、他の配線などとの間で形成する容量の値に変化が生じ難いものとなっており、もって電氣的な悪影響が及ぶ事態が回避される。

[0020] (11) 前記半導体膜延在部は、その外周縁が前記コンタクト部の外周縁よりも外側に配されている。このようにすれば、半導体膜延在部とコンタクト部とが、平面方向に沿う一方向について位置ずれした場合でも、半導体膜の外周縁のいずれかからコンタクト部がはみだす事態が生じるのを防ぐことができる。

[0021] 次に、上記課題を解決するために、本発明の表示装置は、上記記載の表示素子と、前記表示素子と対向状をなす対向表示素子と、前記表示素子と前記対向表示素子との間に封入される液晶層とを備える。

[0022] このような表示装置によると、表示素子において接続信頼性が高いものとされているから、表示に係る信頼性についても高いものとなる。また、このような表示装置は液晶表示装置として、種々の用途、例えばテレビやパソコンのディスプレイ等に適用でき、特に大型画面用として好適である。

[0023] (発明の効果)

本発明によれば、接続信頼性を向上させることができる。

図面の簡単な説明

[0024] [図1]本発明の実施形態1に係るテレビ受信装置の概略構成を示す分解斜視図

[図2]テレビ受信装置が備える液晶表示装置の概略構成を示す分解斜視図

[図3]液晶表示装置の断面構成を概略的に示す断面図

[図4]液晶パネルの断面構成を概略的に示す断面図

[図5]液晶パネルを構成するアレイ基板における表示領域の平面構成を示す平面図

[図6]アレイ基板におけるTFT近傍の平面構成を示す平面図

[図7]図6のvii-vii線に沿った断面図

[図8]図6のviii-vii線に沿った断面図

[図9]図6のix-ix線に沿った拡大断面図

[図10]アレイ基板の製造過程において、第3の層上に塗布したレジストをパターンニングした状態を示す平面図

[図11]図10のxi-xi線に沿った断面図

[図12]図10のxii-xii線に沿った断面図

[図13]図10のxiii-xiii線に沿った拡大断面図

[図14]ソース電極、ドレイン電極、ソース配線、ドレイン配線及びコンタクト部に対して半導体膜及び半導体膜延在部がY軸方向について位置ずれして形成された状態を示す平面図

[図15]図14のxv-xv線に沿った拡大断面図

[図16]ソース電極、ドレイン電極、ソース配線、ドレイン配線及びコンタクト部に対して半導体膜及び半導体膜延在部がX軸方向について位置ずれして形成された状態を示す平面図

[図17]図16のxvii-xvii線に沿った拡大断面図

[図18]本発明の実施形態2に係るアレイ基板におけるTFE近傍の平面構成を示す平面図

発明を実施するための形態

[0025] <実施形態1>

本発明の実施形態1を図1から図17によって説明する。本実施形態では、液晶表示装置10を構成する液晶パネル（表示素子）11について例示する。なお、各図面の一部にはX軸、Y軸及びZ軸を示しており、各軸方向が各図面で示した方向となるように描かれている。また、上下方向については、図1を基準とし、且つ同図上側を表側とするとともに同図下側を裏側とする。

[0026] 本実施形態に係るテレビ受信装置TVは、図1に示すように、液晶表示装置（表示装置）10と、当該液晶表示装置10を挟むようにして収容する表裏両キャビネットCa、Cbと、電源Pと、チューナTと、スタンドSとを備えて構成される。液晶表示装置10は、全体として横長の方形をなし、図2及び図3に示すように、表示パネルである液晶パネル11と、外部光源であるバックライト装置（照明装置）12とを備え、これらがベゼル13などにより一体的に保持されるようになっている。

[0027] 先にバックライト装置12の構成の概略について説明する。バックライト

装置 12 は、液晶パネル 11 の背面直下に光源を配置してなる、いわゆる直下型とされる。バックライト装置 12 は、表側（光出射側、液晶パネル 11 側）に開口したシャーシ 14 と、シャーシ 14 内に敷設される反射シート（反射部材） 15 と、シャーシ 14 の開口部分に取り付けられる光学部材 16 と、光学部材 16 を固定するためのフレーム 17 と、シャーシ 14 内に並列した状態で收容される複数本の冷陰極管（光源） 18 と、冷陰極管 18 の端部を遮光するとともに自身が光反射性を備えてなるランプホルダ 19 と、を有して構成されている。

[0028] 続いて、液晶パネル 11 について説明する。液晶パネル 11 は、図 4 に示すように、一对の基板 20、21 間に、電界印加に伴って光学特性が変化する物質である液晶材料を含む液晶層 22 を封入してなる。液晶パネル 11 を構成する両基板 20、21 のうち裏側（バックライト装置 12 側）に配されるものが、アレイ基板（表示素子、アクティブマトリクス基板） 20 とされ、表側（光出射側）に配されるものが、CF 基板（対向表示素子、対向基板） 21 とされている。なお、両基板 20、21 の外面側には、表裏一对の偏光板 23 がそれぞれ貼り付けられている。

[0029] アレイ基板 20 は、ほぼ透明な（透光性を有する）ガラス基板 GS の板面上に複数の構造物（薄膜）を積層形成してなるものである。詳しくは、アレイ基板 20 をなすガラス基板 GS の内面側（液晶層 22 側、CF 基板 21 との対向面側）には、図 5 に示すように、3 つの電極 24 a ~ 24 c を有するスイッチング素子である TFT（Thin Film Transistor） 24 及び画素電極 25 が多数個並んで設けられるとともに、これら TFT 24 及び画素電極 25 の周りには、格子状をなすゲート配線 26 及びソース配線 27 が取り囲むようにして配設されている。画素電極 25 は、ITO（Indium Tin Oxide）などの透明導電膜からなる。ゲート配線 26 及びソース配線 27 は、共に導電材料からなる。特に、ソース配線 27 については、異なる金属膜 39、40 を積層してなる 2 層構造とされており、そのうち下層側の金属膜 39 がチタン（Ti）からなるのに対し、上層側の金属膜 40 がアルミニウム（Al

）からなる（図7を参照）。下層側の金属膜39がチタンを含むことで、配線抵抗が低抵抗になるのに加え、緻密で機械強度も大きいのでバリアメタルとして高い機能を発揮することができ、もって高い接続信頼性を得ることができる。上層側の金属膜40がアルミニウムを含むことで、配線抵抗が低抵抗になるとともに成膜や加工が容易なものとされる。

[0030] 互いに交差するゲート配線26及びソース配線27における交差部の付近からは、図5に示すように、それぞれ分岐線26a, 27aが延出して形成されており、これらの分岐線26a, 27aの一部（延出方向の先端部側）によってTFT24を構成するゲート電極24aとソース電極24bとがそれぞれ構成されている。また、TFT24を構成するドレイン電極24cは、後述するドレイン配線（画素接続配線）34の一端側に形成されている。アレイ基板20には、ゲート配線26に並行するとともに画素電極25に対して平面に視て重畳する容量配線（補助容量配線、蓄積容量配線、Cs配線）33が設けられている。容量配線33は、Y軸方向についてゲート配線26と交互に配されており、隣り合うゲート配線26と容量配線33との間の間隔はほぼ等しく設定されている。ゲート配線26がY軸方向に隣り合う画素電極25の間に配されているのに対し、容量配線33は、各画素電極25におけるY軸方向のほぼ中央部を横切る位置に配されている。なお、互いに交差するソース配線27と、ゲート配線26及び容量配線33とは、その間にゲート絶縁膜35が介在することで、相互が絶縁状態に保たれている。このアレイ基板20の端部には、ゲート配線26及び容量配線33から引き回された端子部、及びソース配線27から引き回された端子部が設けられており、これらの各端子部には、図示しない外部回路から各信号または基準電位が入力されるようになっており、それによりTFT24の駆動が制御される。また、アレイ基板20の内面側には、液晶層22に含まれる液晶分子を配向させるための配向膜28が形成されている。

[0031] 一方、CF基板21は、アレイ基板20と同様にほぼ透明な（透光性を有する）ガラス基板GSの板面上に構造物を積層形成してなるものである。詳

しくは、CF基板21をなすガラス基板GSの内面側（液晶層22側、アレイ基板20との対向面側）には、図4に示すように、アレイ基板20側の各画素電極25と平面に視て重畳する位置に多数個のカラーフィルタが並んで設けられている。カラーフィルタは、R（赤色）、G（緑色）、B（青色）を呈する各着色部29がX軸方向に沿って交互に並ぶ配置とされる。また、各着色部29の外形は、画素電極25の外形に倣って平面に視て縦長の方形状をなしている。カラーフィルタを構成する各着色部29間には、混色を防ぐための格子状をなす遮光部（ブラックマトリクス）30が形成されている。遮光部30は、アレイ基板20側のゲート配線26、ソース配線27及び容量配線33に対して平面視重畳する配置とされる。また、各着色部29及び遮光部30の表面には、アレイ基板20側の画素電極25と対向する対向電極31が設けられている。また、CF基板21の内面側には、液晶層22に含まれる液晶分子を配向させるための配向膜32がそれぞれ形成されている。

[0032] ここで、アレイ基板20が有する構造物のうち特にスイッチング素子であるTF T 24に関して詳しく説明する。TF T 24は、図6及び図7に示すように、アレイ基板20をなすガラス基板GS上に複数の薄膜を順次に積層した構成とされており、具体的には下層側（ガラス基板GS側）から順に、ゲート配線26に接続されたゲート電極24a、ゲート絶縁膜35、半導体膜36、ドーピング半導体膜42、ソース配線27に接続されたソース電極24b及びドレイン配線34に接続されたドレイン電極24c、層間絶縁膜（パッシベーション膜）37、保護膜38が積層されている。なお、図6では、画素電極25、ゲート絶縁膜35、層間絶縁膜37及び保護膜38の図示を省略している。

[0033] ゲート電極24aは、ゲート配線26と同一材料からなるとともにゲート配線26と同一工程にてガラス基板GSの直上にパターニングされており、例えばアルミニウム（Al）の他、クロム（Cr）、タンタル（Ta）、チタン（Ti）、銅（Cu）等の金属膜単体又はこれらの積層膜で形成するこ

とができる。ゲート電極 24 a は、図 6 に示すように、X 軸方向に沿って延在するゲート配線 26 におけるソース配線 27 との交差点付近から Y 軸方向に沿って延出する分岐線 26 a における延出先端部によって構成されている。ゲート絶縁膜 35 は、例えばシリコン窒化膜 (SiN_x) からなり、図 7 に示すように、ゲート電極 24 a と次述する半導体膜 36 とを絶縁状態に保つものとされる。このゲート絶縁膜 35 は、TFT 24 の形成領域のみならずガラス基板 GS のほぼ全面にわたるベタ状のパターンとされている。

[0034] 半導体膜 36 は、例えばアモルファスシリコン (a-Si) からなるものとされ、一端側がソース電極 24 b に、他端側がドレイン電極 24 c にそれぞれ接続されることで、相互間の導通を図るチャネル領域 CH を有している。この半導体膜 36 は、図 6 に示すように、Y 軸方向 (ソース電極 24 b とドレイン電極 24 c との並び方向と直交する方向) についての寸法がゲート電極 24 a より小さいものの、次述するソース電極 24 b 及びドレイン電極 24 c より大きなものとされている。ドーピング半導体膜 42 は、例えばリン (P) 等の n 型不純物を高濃度にドーピングしたアモルファスシリコン (n+Si) からなるものとされる。ドーピング半導体膜 42 は、半導体膜 36 に沿って延在するもののチャネル領域 CH の範囲に関しては除去されており、そのチャネル領域 CH を挟んで配される一対の部分が次述するソース電極 24 b 及びドレイン電極 24 c の一部を構成している。ドーピング半導体膜 42 は、Y 軸方向についての寸法がソース電極 24 b 及びドレイン電極 24 c とほぼ同じとされる。

[0035] ソース電極 24 b 及びドレイン電極 24 c は、ソース配線 27 及びドレイン配線 34 と同一材料を含むとともにソース配線 27 及びドレイン配線 34 と同一工程にてガラス基板 GS 上にパターニングされている。ソース電極 24 b 及びドレイン電極 24 c は、図 6 及び図 7 に示すように、X 軸方向について所定の間隔を空けつつ対向状に配置されている。ソース電極 24 b 及びドレイン電極 24 c は、それぞれゲート電極 24 a に対してゲート絶縁膜 35 及び半導体膜 36 を介して上層側に配されるとともに、その一部 (対向部

分) がゲート電極 24 a に対して平面に視て重畳する位置に配され、その重畳部分がゲート電極 24 a 上に乗り上げている。ソース電極 24 b 及びドレイン電極 24 c は、図 7 に示すように、下層側 (半導体膜 36 側) の第 1 導電膜 24 b 1, 24 c 1 と、上層側 (層間絶縁膜 37 側) の第 2 導電膜 24 b 2, 24 c 2 とを積層した構成とされる。下層側の第 1 導電膜 24 b 1, 24 c 1 は、既述したドーピング半導体膜 42 の端部によってそれぞれ構成されており、下層側の半導体膜 36 に対してオーミック接触されるオーミックコンタクト層として機能するものである。上層側の第 2 導電膜 24 b 2, 24 c 2 は、異なる金属膜を積層してなる 2 層構造とされており、そのうち下層側の金属膜 39 がチタン (Ti) からなるのに対し、上層側の金属膜 40 がアルミニウム (Al) からなる。つまり、ソース電極 24 b 及びドレイン電極 24 c は、2 層の金属膜 39, 40 からなる第 2 導電膜 24 b 2, 24 c 2 を有している点でソース配線 27 と共通しているが、ドーピング半導体膜 42 からなる第 1 導電膜 24 b 1, 24 c 1 を有している点でソース配線 27 とは構成上異なる。言い換えると、ソース配線 27 は、ソース電極 24 b 及びドレイン電極 24 c のうち、第 2 導電膜 24 b 2, 24 c 2 (39, 40) のみからなり、第 1 導電膜 24 b 1, 24 c 1 (42) を有していない点でこれらとは構成上異なる。また、ソース電極 24 b は、図 6 に示すように、Y 軸方向に沿って延在するソース配線 27 におけるゲート配線 26 との交差部付近から X 軸方向に沿って延出する分岐線 27 a における延出先端部によって構成されている。

[0036] 上記したソース電極 24 b 及びドレイン電極 24 c は、図 7 に示すように、所定の間隔を挟んで対向状に配されているため、相互が直接的には電氣的に接続されていない。しかし、ソース電極 24 b 及びドレイン電極 24 c は、その下層側の半導体膜 36 を介して間接的に電氣的に接続されており、この半導体膜 36 における両電極 24 b, 24 c 間のブリッジ部分がドレイン電流が流れるチャネル領域 CH として機能する。また、ソース電極 24 b とドレイン電極 24 c とは、互いに対称形状とされている。

[0037] 層間絶縁膜37は、例えばシリコン窒化膜(SiNx)からなり、上記したゲート絶縁膜35と同一材料とされる。保護膜38は、有機材料であるアクリル樹脂(例えばポリメタクリル酸メチル樹脂(PMMA))やポリイミド樹脂からなる。従って、この保護膜38は、他の無機材料からなるゲート絶縁膜35、層間絶縁膜37に比べて膜厚が厚いものとされるとともに、平坦化膜として機能するものである。これら層間絶縁膜37及び保護膜38は、いずれもTF T 24の形成領域のみならずガラス基板GSのほぼ全面にわたるベタ状のパターンとされている。層間絶縁膜37及び保護膜38は、TF T 24の形成領域外においては、相対的に下層側のソース配線27、ドレイン配線34及びコンタクト部41と、相対的に上層側の画素電極25との間に介在していてこれらを絶縁状態に保つものとされる。

[0038] 上記のような構成とされるTF T 24のうち、ドレイン電極24cに接続されるドレイン配線34は、図6に示すように、平面に視て略L字型をなしており、その一端側がドレイン電極24cに接続されるのに対して、他端側が画素電極25に対してコンタクトされるコンタクト部41に接続されている。詳しくは、ドレイン配線34は、ドレイン電極24cからX軸方向に沿って延出してから、容量配線33側に向けて屈曲されてY軸方向に沿って延出することで、コンタクト部41に接続されている。このドレイン配線34は、図7に示すように、ゲート絶縁膜35上に形成されるものであり、ソース配線27と同一の材料からなり且つ同一の2層構造とされており、チタン(Ti)からなる下層側の金属膜39と、アルミニウム(Al)からなる上層側の金属膜40とからなる。従って、ドレイン配線34は、ソース配線27と同様に、ソース電極24b及びドレイン電極24cのうち、第2導電膜24b2, 24c2(39, 40)のみからなり、第1導電膜24b1, 24c1(42)を有していない点でこれらとは構成上異なる。

[0039] 続いて、コンタクト部41について詳しく説明する。コンタクト部41は、図6に示すように、遮光領域である容量配線33に対して平面に視て重畳する位置に配されている。従って、画素電極25をコンタクト部41にコン

タクトさせる構造を形成するのに伴って、画素電極 25 並びに配向膜 28 の表面に凹凸が形成され、それに起因して液晶層 22 に含まれる液晶分子の配向状態に乱れが生じた場合であっても、光漏れが生じるのを回避することができる。コンタクト部 41 は、平面に視て容量配線 33 の延在方向（X 軸方向）に沿って横長な方形状をなしており、その短辺寸法が容量配線 33 の配線幅よりも狭いものとされる。コンタクト部 41 は、ドレイン配線 34 の他端側、つまりドレイン電極 24c 側とは反対側の端部に接続されており、ドレイン配線 34 の端部から X 軸方向に沿って図 6 に示す左側（TFT 24 側）に突き出す形で配されている。コンタクト部 41 は、既述したソース配線 27 及びドレイン配線 34 と同一材料からなるとともにソース配線 27 及びドレイン配線 34 と同一工程にてガラス基板 GS 上にパターニングされている。コンタクト部 41 は、ゲート絶縁膜 35 上に形成されており、さらにその上層側には層間絶縁膜 37、保護膜 38 及び画素電極 25 の順で積層されている。そして、層間絶縁膜 37 及び保護膜 38 のうちコンタクト部 41 と平面に視て重畳する位置には、コンタクトホール 43 が開口形成されており、このコンタクトホール 43 を通して画素電極 25 がコンタクト部 41 に対して接続されている。

[0040] さて、本実施形態に係るアレイ基板 20 に備えられた構造物のうち、半導体膜 36 及びドーピング半導体膜 42 には、図 6 に示すように、ソース配線 27 及びドレイン配線 34 に対して平面に視て重畳する範囲にまでそれぞれ延在する半導体膜延在部 44 が形成されている。この半導体膜延在部 44 は、半導体膜 36 及びドーピング半導体膜 42 を延長することで形成されるものであり、半導体膜 36 及びドーピング半導体膜 42 と同一の材料からなるとともに同一の工程にてパターニングされている。つまり、半導体膜延在部 44 は、下層側の半導体膜 36 の延長部分と、上層側のドーピング半導体膜 42 の延長部分とからなる二層構造となっている。半導体膜延在部 44 は、X 軸方向（ソース電極 24b とドレイン電極 24c との並び方向）について半導体膜 36 及びドーピング半導体膜 42 におけるチャンネル領域 CH 側とは

反対側の両端部からそれぞれソース配線 27 及びドレイン配線 34 に沿って延出する形で一对形成されている。半導体膜延在部 44 は、半導体膜 36 及びドーピング半導体膜 42 の端部から X 軸方向に沿って延在する部分における Y 軸方向についての寸法が、TFT 24 の形成領域における半導体膜 36 の同寸法よりも相対的に小さなものとされている。なお、以下では一对の半導体膜延在部 44 を区別する場合には、ソース配線 27 に対して重畳するものを「第 1 半導体膜延在部」として符号に添え字 A を、ドレイン配線 34 に対して重畳するものを「第 2 半導体膜延在部」として符号に添え字 B を付し、区別せずに総称する場合には、符号に添え字を付さないものとする。

[0041] 詳しくは、一对の半導体膜延在部 44 のうちの第 1 半導体膜延在部 44 A は、図 6 及び図 7 に示すように、半導体膜 36 及びドーピング半導体膜 42 を、ソース電極 24 b の端部からさらにソース配線 27 の分岐線 27 a (X 軸方向) に沿って図 6 及び図 7 に示す左側 (ソース配線 27 の本体側) に向けて延出することで、分岐線 27 a に対して下層側に重畳して配されている。この第 1 半導体膜延在部 44 A は、半導体膜 36 及びドーピング半導体膜 42 の延長部分により構成されていることから、その上に積層されるソース配線 27 の分岐線 27 a は、ソース電極 24 b に対して途中で段差を生じること無く、フラットな状態のまま接続されている。第 1 半導体膜延在部 44 A は、ソース配線 27 の本体 (分岐線 27 a を除いた幹線) に達したところで、さらにソース配線 27 の本体に沿って Y 軸方向について図 6 に示す上下に延出することで、ソース配線 27 の本体に対して下層側に重畳して配されている。そして、第 1 半導体膜延在部 44 A は、ソース配線 27 の本体のほぼ全域に対して平面に視て重畳する範囲にわたって形成されている。つまり、第 1 半導体膜延在部 44 A は、分岐線 27 a を含めたソース配線 27 のほぼ全域に対して平面に視て重畳する範囲にわたって形成されていることになる。従って、ソース配線 27 の本体の下層側には、ほぼ全域にわたって第 1 半導体膜延在部 44 A が存在しており、それによりソース配線 27 は、ほぼ全域にわたって第 1 半導体膜延在部 44 A よりも下層側にあるゲート絶縁膜

35に接することがなく、それに伴う段差も生じることがない。

[0042] さらに詳しくは、第1半導体膜延在部44Aは、図6に示すように、重畳するソース配線27（分岐線27aを含む）よりも平面に視て広範囲にわたって形成されており、平面に視た大きさ（面積）が相対的に大きなものとされている。具体的には、第1半導体膜延在部44Aのうち下層側の半導体膜36の延長部分は、図6から図9に示すように、ほぼ全域にわたってその延在方向に沿う両外縁がソース配線27の両外縁よりも外側に配されている。第1半導体膜延在部44Aのうち下層側の半導体膜36の延長部分は、その幅方向の中央位置がソース配線27の幅方向の中央位置とほぼ一致しており、その各外縁とソース配線27の対応する各外縁との間の距離（非重畳部分の幅）D1がほぼ等しいものとされる（図7及び図9を参照）。その一方で、第1半導体膜延在部44Aのうち上層側のドーピング半導体膜42の延長部分については、ソース配線27と線幅がほぼ同一とされ、平面に視てその両外縁からはみ出すことがないものとされる。

[0043] 一对の半導体膜延在部44のうちの第2半導体膜延在部44Bは、図6及び図7に示すように、半導体膜36及びドーピング半導体膜42を、ドレイン電極24cの端部からさらにドレイン配線34に並行しつつ延出して形成されており、ドレイン配線34と同様に平面に視て略L字型をなす屈曲形状とされている。これにより、第2半導体膜延在部44Bは、ドレイン配線34の下層側に重畳して配されている。この第2半導体膜延在部44Bは、半導体膜36及びドーピング半導体膜42の延長部分により構成されていることから、その上に積層されるドレイン配線27は、ドレイン電極24cに対して途中で段差を生じること無く、フラットな状態のまま接続されている。そして、この第2半導体膜延在部44Bは、ドレイン配線34のほぼ全域に対して平面に視て重畳する範囲にわたって形成されている。さらには、第2半導体膜延在部44Bは、ドレイン配線34の端部に接続されたコンタクト部41に対して平面に視て重畳する範囲にまで延在する形態とされている。詳しくは、第2半導体膜延在部44Bのうち、ドレイン電極24c側とは反

対側の端部がコンタクト部41に沿うよう、図6に示す左側に向けて突き出す形とされている。そして、第2半導体膜延在部44Bは、コンタクト部41のほぼ全域に対して平面に視て重畳する範囲にわたって形成されている。従って、ドレイン配線34及びコンタクト部41の下層側には、ほぼ全域にわたって第2半導体膜延在部44Bが存在しており、それによりドレイン配線34及びコンタクト部41は、ほぼ全域にわたって第2半導体膜延在部44Bよりも下層側にあるゲート絶縁膜35に接することがなく、それに伴う段差も生じることがない。

[0044] さらに詳しくは、第2半導体膜延在部44Bは、図6に示すように、重畳するドレイン配線34及びコンタクト部41よりも平面に視て広範囲にわたって形成されており、平面に視た大きさ（面積）がこれらよりも相対的に大きなものとされている。具体的には、第2半導体膜延在部44Bにおける下層側の半導体膜36の延長部分のうちドレイン配線34との重畳部分は、図6に示すように、その延在方向に沿った両外縁がドレイン配線34の両外縁よりも外側に配されている。第2半導体膜延在部44Bにおける下層側の半導体膜36の延長部分のうちコンタクト部41との重畳部分は、その外周縁がコンタクト部41の外周縁よりも外側に配されている。つまり、第2半導体膜延在部44Bにおける下層側の半導体膜36の延長部分は、その外周縁がほぼ全域にわたってドレイン配線34の両外縁及びコンタクト部41の外周縁よりも外側に配されている。第2半導体膜延在部44Bにおける下層側の半導体膜36の延長部分のうちドレイン配線34との重畳部分は、その幅方向の中央位置がドレイン配線34の幅方向の中央位置とほぼ一致しており、その各外縁とドレイン配線34の対応する各外縁との間の距離（非重畳部分の幅）D1がほぼ等しいものとされる。この距離D1は、既述した第1半導体膜延在部44Aにおける下層側の半導体膜36の延長部分の各外縁とソース配線27の対応する各外縁との間の距離D1と等しいものとされる（図6、図7及び図9を参照）。第2半導体膜延在部44Bにおける下層側の半導体膜36の延長部分のうちコンタクト部41との重畳部分は、その中心位

置がコンタクト部41の中心位置とほぼ一致しており、その外周縁とコンタクト部41の外周縁との間の距離（非重畳部分の幅）が全周にわたってほぼ等しいものとされる。この距離は、既述した第1半導体膜延在部44Aにおける下層側の半導体膜36の延長部分の各外縁とソース配線27の対応する各外縁との間の距離D1、及び第2半導体膜延在部44Bのうちドレイン配線34との重畳部分の各外縁とドレイン配線34の対応する各外縁との間の距離D1と等しいものとされる（図6を参照）。つまり、本実施形態に係る半導体膜延在部44は、その外周縁と、重畳対象となる構造物（ソース配線27、ドレイン配線34及びコンタクト部41）の外周縁との間の距離（非重畳部分の幅）D1がほぼ全域にわたって等しくなる形態とされている。その一方で、第2半導体膜延在部44Bのうち上層側のドーピング半導体膜42の延長部分については、ドレイン配線27及びコンタクト部41と平面に視た大きさがほぼ同一とされ、平面に視てドレイン配線27及びコンタクト部41の各外縁からはみ出すことがないものとされる。

[0045] 本実施形態は以上のような構造であり、続いてその作用を説明する。ここでは、液晶パネル11のうち、特にアレイ基板20の製造手順について詳しく説明する。

[0046] アレイ基板20をなすガラス基板GSの板面に対して既知のフォトリソグラフィ法により各構造物（薄膜）を順次に積層形成していく。具体的には、まず、ガラス基板GSの表面に第1の層であるゲート電極24a、ゲート配線26及び容量配線33を所定のフォトマスクを用いてパターニングした後、第2の層であるゲート絶縁膜35を成膜し、さらに第3の層である半導体膜36及び第4の層であるドーピング半導体膜42を所定のフォトマスクを用いてパターニングする。このとき、半導体膜36及びドーピング半導体膜42の延長部分により構成される半導体膜延在部44は、ソース配線27、ドレイン配線34及びコンタクト部41の形成予定範囲にまで延在する形とされる。その後、第5の層であるソース配線27、ドレイン配線34及びコンタクト部41を所定のフォトマスクを用いてパターニングする。なお、ソ

ース電極 24 b 及びドレイン電極 24 c は、第 4 の層（ドーピング半導体膜 4 2）と第 5 の層（金属膜 3 9, 4 0）とからなるものとされる。

[0047] 積層構造である第 3 の層及び第 4 の層のパターニングに関して詳しく説明する。まず、第 2 の層をパターニングしたガラス基板 G S 上に半導体膜 3 6 の材料からなる半導体材料膜、及びドーピング半導体膜 4 2 の材料からなるドーピング半導体材料膜を順次に連続して成膜し、上層側のベタ状のドーピング半導体材料膜上にさらにレジストを塗布する。塗布したレジストを、所定のフォトマスクを介して露光した後、そのレジストを現像したら、続いて半導体材料膜及びドーピング半導体材料膜をエッチング（例えばドライエッチング）することで、所定のパターンの半導体膜 3 6、ドーピング半導体膜 4 2 及び半導体膜延在部 4 4 が形成される。この段階では、ドーピング半導体膜 4 2 及び半導体膜延在部 4 4 を構成するドーピング半導体膜 4 2 の延長部分は、平面に視て半導体膜 3 6 及び半導体膜延在部 4 4 を構成する半導体膜 3 6 の延長部分と同一のパターン形状（平面に視た大きさが同一）となっている。

[0048] 次に、第 5 の層のパターニングについて説明する。ドーピング半導体膜 4 2 が形成されたガラス基板 G S 上に下層側の金属膜 3 9 の材料であるチタンからなる下層側金属材料膜 M 1 を成膜し、そのベタ状の下層側金属材料膜 M 1 上に上層側の金属膜 4 0 の材料であるアルミニウムからなる上層側金属材料膜 M 2 を成膜したら、さらにベタ状の上層側金属材料膜 M 2 上にレジスト R を塗布する。塗布したレジスト R は、所定のフォトマスクを介して露光された後に現像されることで、図 1 0 に示すパターンとされる。この残されたレジスト R の形成範囲は、ソース電極 24 b、ドレイン電極 24 c、ソース配線 2 7、ドレイン配線 3 4 及びコンタクト部 4 1 の形成予定範囲と一致している。なお、図 1 0 において網掛け状にして示した範囲がパターニングされたレジスト R の形成範囲である。また、図 1 0 では、いずれもベタ状のゲート絶縁膜 3 5、下層側金属材料膜 M 1 及び上層側金属材料膜 M 2 の図示を省略している。

[0049] そして、図 1 1 から図 1 3 に示すように、このレジスト R をマスクとして各金属材料膜 M 1, M 2 をエッチングする。このとき、ウェットエッチング装置を用いたウェットエッチングを行う際には、ガラス基板 G S に対してエッチング液を供給することで、各金属材料膜 M 1, M 2 のうちレジスト R により覆われていない部分をエッチング液により腐食溶解させて除去する。ここで、各金属材料膜 M 1, M 2 においてエッチングされる範囲は、理論上はレジスト R により覆われない非被覆領域と一致するのであるが、例えば下地との密着性が芳しくない箇所においては、レジスト R による被覆領域であったとしても、隣接する非被覆領域に浸透したエッチング液が境界を越えて染み込んできてオーバーエッチングされる可能性がある。そして、各金属材料膜 M 1, M 2 における下地との密着性は、段差部の有無や段差部（ギャップ）の高さ（大きさ）によって変化し得るものであり、段差部が高くなるほど悪化する傾向にある。

[0050] このため、従来のように半導体膜の端部とドーピング半導体膜の端部とが揃えられた構成では、その上に積層される各金属材料膜に半導体膜とドーピング半導体膜との膜厚を足し合わせた高さの段差が生じることになるため、その段差部において各金属材料膜同士の密着性や下層側金属材料膜とゲート絶縁膜との密着性が著しく悪化するおそれがある。その結果、エッチング液によるオーバーエッチングが生じ易くなって、線幅が予定よりも細くなったり、断線が生じる可能性が高いものとなっていた。その点、本実施形態では、図 1 0 から図 1 2 に示すように、半導体膜 3 6 及びドーピング半導体膜 4 2 の端部からソース配線 2 7、ドレイン配線 3 4 及びコンタクト部 4 1 と平面に視て重畳する半導体膜延在部 4 4 が延在して形成された構成であるから、各金属材料膜 M 1, M 2 には半導体膜 3 6 及びドーピング半導体膜 4 2 に起因する段差が生じることが回避されている。

[0051] 詳しくは、各金属材料膜 M 1, M 2 は、図 1 1 及び図 1 2 に示すように、ほぼ全域にわたって半導体膜 3 6、ドーピング半導体膜 4 2 及びそれらの延長部分である半導体膜延在部 4 4 の上に配されていて、ゲート電極 2 4 a に

起因する段差以外には、段差を生じることがない。従って、各金属材料膜M1、M2には、従来のような半導体膜36及びドーピング半導体膜42に起因する段差が生じることがなく、それにより下地との密着性についても相対的に良好なものとなっている。このため、ウェットエッチングを行う際には、各金属材料膜M1、M2のうちレジストRによる被覆領域には、隣接する非被覆領域に浸透したエッチング液が境界を越えて染み込み難くなっており、それによりオーバーエッチングが生じ難くなっている。

[0052] 以上により、各金属材料膜M1、M2をレジストRのパターン通りに正確にエッチングすることができ、エッチングにより形成されたソース電極24bとソース配線27との境界位置や、ドレイン電極24cとドレイン配線34との境界位置において、線幅が細くなったり断線が生じるのを効果的に防止することができる。これにより、高い接続信頼性を得ることができ、TFT24の動作信頼性、並びに液晶表示装置10の表示に係る信頼性をいずれも向上させることができる。ここで、例えばソース配線27の途中で断線が生じた場合には、図示しない予備配線などの配線修理手段によって救済することが可能であるのに対し、ソース電極24bとソース配線27との境界位置や、ドレイン電極24cとドレイン配線34との境界位置において断線が生じた場合には、そのような救済が極めて困難であるという事情がある。こうした観点からも、本実施形態に係る半導体膜延在部44によってソース電極24bとソース配線27との境界位置や、ドレイン電極24cとドレイン配線34との境界位置において断線を防止することは、高い接続信頼性を確保する上で極めて有用である。しかも、本実施形態に係る半導体膜延在部44は、ソース配線27、ドレイン配線34及びコンタクト部41のほぼ全域に対して平面視重畳する範囲にまで延在されていることから、ソース配線27、ドレイン配線34及びコンタクト部41のほぼ全域において断線などの発生を防止することができ、もって接続信頼性を一層向上させることができる。

[0053] なお、各金属材料膜M1、M2のエッチングに際しては、ドライエッチン

グとウェットエッチングとを時間を前後して行う場合があり、その場合ウェットエッチングにより上層側金属材料膜M2のみを選択的にエッチングすることがあるが、そのような場合でも上記と同様の効果、つまり上層側金属材料膜M2の断線を防止できる効果を得ることができる。また、各金属材料膜M1、M2のエッチングを終えたら、引き続きドーピング半導体膜42（半導体膜延在部44のうちのドーピング半導体膜42の延長部分を含む）をエッチングし、その後、上層側金属材料膜M2上のレジストRを剥離する。これにより、ドーピング半導体膜42を半導体膜36のチャネル領域CH分の間隔を空けて左右に分離することができる。

[0054] 上記のようにして第5の層であるソース配線27、ドレイン配線34及びコンタクト部41をパターニングしたら、続いて第6の層である層間絶縁膜37、第7の層である保護膜38を順次に成膜してこれらを一括してパターニングする。その後、第8の層である画素電極25をパターニングした後、さらにその上に配向膜28を成膜することで、アレイ基板20の製造が完了する。製造されたアレイ基板20は、別途に製造されたCF基板21に対して液晶層22を介在させつつ貼り合わせられることで、図4に示す液晶パネル11が得られる。製造された液晶パネル11は、ベゼル13を介してバックライト装置12に対して組み付けられることで、図2及び図3に示す液晶表示装置10が得られる。

[0055] ところで、アレイ基板20上に各構造物を積層形成する工程においては、第3の層（半導体膜36）及び第4の層（ドーピング半導体膜42）と、第5の層（ソース配線27、ドレイン配線34及びコンタクト部41）とでは、それぞれ別のフォトマスクが用いられてパターニングがなされるため、その露光精度によってはアレイ基板20の板面に沿う方向について正規位置（設計した位置）から位置ずれして形成される可能性がある。ところが、本実施形態では、半導体膜36及び半導体膜延在部44における半導体膜36の延長部分は、ソース電極24b、ドレイン電極24c、ソース配線27、ドレイン配線34及びコンタクト部41よりも平面に視て大きくなるよう形成

され、後者が前者の範囲内（外周縁内）に配される関係とされていることから、上記のような位置ずれが生じた場合でも、両者における平面に視た大きさ（面積）に変動が殆ど生じることがないものとなっている。詳しくは、半導体膜延在部 4 4 における半導体膜 3 6 の延長部分と、ソース配線 2 7、ドレイン配線 3 4 及びコンタクト部 4 1 とにおける平面に視た大きさの差（距離 D 1、マージン）は、製造装置におけるフォトマスクの露光精度によって生じ得る位置ずれ量の最大値と同じかそれ以上の大きさに設定されていることから、両者が最大限にまで位置ずれしても、ソース配線 2 7、ドレイン配線 3 4 及びコンタクト部 4 1 が半導体膜延在部 4 4 における半導体膜 3 6 の延長部分の外周縁からはみ出す事態が確実に回避されるようになっている。

[0056] 具体的には、図 1 4 及び図 1 5 に示すように、相対的に大きな半導体膜延在部 4 4 における半導体膜 3 6 の延長部分に対して相対的に小さなソース配線 2 7、ドレイン配線 3 4 及びコンタクト部 4 1 が Y 軸方向について位置ずれした場合でも、その位置ずれ量が距離 D 1 を上回ることがない設計とされていることから、ソース配線 2 7、ドレイン配線 3 4 及びコンタクト部 4 1 は、半導体膜延在部 4 4 における半導体膜 3 6 の延長部分の両外縁よりも内側に存しており、両外縁のいずれかから外側にはみ出すような事態が確実に回避されている。また、図 1 6 及び図 1 7 に示すように、相対的に大きな半導体膜延在部 4 4 における半導体膜 3 6 の延長部分に対して相対的に小さなソース配線 2 7、ドレイン配線 3 4 及びコンタクト部 4 1 が X 軸方向について位置ずれした場合でも、その位置ずれ量が距離 D 1 を上回ることがない設計とされていることから、ソース配線 2 7、ドレイン配線 3 4 及びコンタクト部 4 1 は、半導体膜延在部 4 4 における半導体膜 3 6 の延長部分の両外縁よりも内側に存しており、両外縁のいずれかから外側にはみ出すような事態が確実に回避されている。従って、半導体膜延在部 4 4 における半導体膜 3 6 の延長部分と、ソース配線 2 7、ドレイン配線 3 4 及びコンタクト部 4 1 とにおける全体の平面に視た大きさは、相対的に広範囲な半導体膜延在部 4 4 における半導体膜 3 6 の延長部分が支配的となっており、ソース配線 2 7

、ドレイン配線 3 4 及びコンタクト部 4 1 が位置ずれしたとしても変動することがほぼなく、常に一定に保たれる。これにより、共に導体である半導体膜延在部 4 4 における半導体膜 3 6 の延長部分と、ソース配線 2 7、ドレイン配線 3 4 及びコンタクト部 4 1 とが、例えば容量配線 3 3 などの他の配線との間に形成する容量の値が変動することが避けられる。容量配線 3 3 との間で形成される容量値が安定すれば、容量配線 3 3 との間で容量を形成する画素電極 2 5 に充電される電圧値にも変動が生じることが避けられる。もって、画素電極 2 5 に充電された電圧値に基づいて表示される表示画像の階調値にばらつきが生じるのが回避されるとともに良好な表示品位を得ることができる。

[0057] 以上説明したように本実施形態のアレイ基板（表示素子） 2 0 は、ガラス基板（基板） G S と、ガラス基板 G S 上に形成されたゲート配線 2 6 と、ゲート配線 2 6 に形成されたゲート電極 2 4 a と、ゲート配線 2 6 及びゲート電極 2 4 a 上に形成されたゲート絶縁膜 3 5 と、ゲート絶縁膜 3 5 上に形成されチャンネル領域 C H を有する半導体膜 3 6 と、ゲート絶縁膜 3 5 上に形成されゲート配線 2 6 と交差するソース配線 2 7 と、ソース配線 2 7 に形成され半導体膜 3 6 の一端側に接続されたソース電極 2 4 b と、半導体膜 3 6 の他端側に接続されソース電極 2 4 b に対してチャンネル領域 C H を介して接続されるドレイン電極 2 4 c と、半導体膜 3 6 に形成され少なくともソース配線 2 7 の一部と平面に視て重畳する範囲にまで延在する半導体膜延在部 4 4 とを備える。

[0058] このようにすれば、ゲート電極 2 4 a が形成されたゲート配線 2 6 に走査信号を、ソース電極 2 4 b が形成されたソース配線 2 7 にデータ信号をそれぞれ供給すると、ソース電極 2 4 b とドレイン電極 2 4 c との間には、半導体膜 3 6 のチャンネル領域 C H を介してドレイン電流が流れる。本実施形態では、半導体膜 3 6 に少なくともソース配線 2 7 の一部と平面に視て重畳する範囲にまで延在する半導体膜延在部 4 4 が形成されていることから、ソース電極 2 4 b とソース配線 2 7 との間に半導体膜 3 6 に起因する段差が生じる

のを回避することができる。従って、従来のようにソース電極とソース配線との間に半導体膜に起因する段差部が形成されたものに比べると、製造過程においてソース電極 24b 及びソース配線 27 に対してウェットエッチング処理を行うに際して断線などが生じ難くなっている。これにより、高い接続信頼性を得ることができる。

ここで、仮にソース電極 24b とソース配線 27 との間に断線が生じた場合には、ソース配線 27 の途中に断線が生じた場合のような予備配線などの手段による救済が極めて難しいという事情があることから、この箇所（ソース電極 24b とソース配線 27 との間）での断線を防止することは高い接続信頼性を得る上で極めて有用であると言える。本実施形態によれば、接続信頼性を向上させることができる。

[0059] また、半導体膜延在部 44 は、ソース配線 27 のほぼ全域と平面に視て重畳する範囲にまで延在する。このようにすれば、ソース配線 27 のほぼ全域において半導体膜 36 に起因する断線などが生じるのを防ぐことができるから、接続信頼性を一層高いものとすることができる。

[0060] また、半導体膜延在部 44 は、ソース配線 27 よりも平面に視て大きくなるよう形成されている。仮に半導体膜延在部 44 とソース配線 27 とが、製造上生じ得る精度誤差などの影響により、平面方向に沿う一方向について位置ずれした場合であっても、半導体膜延在部 44 がソース配線 27 よりも平面に視て大きく形成されているから、位置ずれ量が両者の一方向についての大さの差の範囲内であれば、半導体膜延在部 44 及びソース配線 27 における平面に視た全体の大さが変動することが避けられる。これにより、半導体膜延在部 44 及びソース配線 27 が、他の配線などとの間で形成する容量の値に変化が生じ難いものとなっており、もって電氣的な悪影響が及ぶ事態が回避される。

[0061] また、半導体膜延在部 44 は、その両外縁がソース配線 27 の両外縁よりも外側に配されている。このようにすれば、半導体膜延在部 44 とソース配線 27 とが、平面方向に沿う一方向について位置ずれした場合でも、半導体

膜36の両外縁のいずれかからソース配線27がはみだす事態が生じるのを防ぐことができる。

[0062] また、ソース電極24b及びドレイン電極24cは、半導体膜36上に形成され不純物が添加されたドーピング半導体膜42と、ドーピング半導体膜42上に形成され金属材料からなる金属膜39、40との積層構造を有しているのに対し、ソース配線27は、ソース電極24bを構成する金属膜39、40と同一材料からなるものとされており、半導体膜延在部44は、ドーピング半導体膜42の端部からソース配線27側に延在している。このようにすれば、ソース電極24b及びドレイン電極24cをなす金属膜39、40は、ドーピング半導体膜42により半導体膜36に対してオーミック接触される。その上で、半導体膜延在部44がドーピング半導体膜42の端部からソース配線27側に延在しているから、従来のようにドーピング半導体膜と半導体膜との端部が揃えられた場合にソース配線とソース電極との間にドーピング半導体膜の膜厚と半導体膜の膜厚とを足し合わせた大きさの段差部が形成されるのに比べると、生じる段差がドーピング半導体膜42の膜厚分のみで済むことになる。これにより、断線などを生じ難くすることができ、もって高い接続信頼性を得ることができる。

[0063] また、画素電極25と、ゲート絶縁膜35上に形成されるとともに一端側がドレイン電極24cに接続されたドレイン配線34と、ドレイン配線34の他端側に接続されるとともに画素電極25に接続されたコンタクト部41とを備えており、半導体膜延在部44は、少なくともドレイン配線34の一部と平面に視て重畳する範囲にまで延在する。このようにすれば、ゲート配線26及びソース配線27にそれぞれ供給される走査信号及びデータ信号に基づいて、ドレイン電極24cに接続されたドレイン配線34及びコンタクト部41を介して画素電極25に所定の電圧を充電させることができる。その上で、半導体膜延在部44が少なくともドレイン配線34の一部と平面に視て重畳する範囲にまで延在されているから、ドレイン電極24cとドレイン配線34との間に半導体膜36に起因する段差が生じるのを回避すること

ができる。これにより、製造過程においてドレイン電極 24c 及びドレイン配線 34 に対してウェットエッチング処理を行うに際して断線などが生じ難くなっており、もって高い接続信頼性を得ることができる。

[0064] また、半導体膜延在部 44 は、ドレイン配線 34 のほぼ全域と平面に視て重畳する範囲にまで延在する。このようにすれば、ドレイン配線 34 のほぼ全域において半導体膜 36 に起因する断線などが生じるのを防ぐことができ、接続信頼性を一層高いものとすることができる。

[0065] また、半導体膜延在部 44 は、ドレイン配線 34 よりも平面に視て大きくなるよう形成されている。仮に半導体膜延在部 44 とドレイン配線 34 とが、製造上生じ得る精度誤差などの影響により、平面方向に沿う一方向について位置ずれした場合であっても、半導体膜延在部 44 がドレイン配線 34 よりも平面に視て大きく形成されているから、位置ずれ量が両者の一方向についての大きさの差の範囲内であれば、半導体膜延在部 44 及びドレイン配線 34 における平面に視た全体の大きさが変動することが避けられる。これにより、半導体膜延在部 44 及びドレイン配線 34 が、他の配線などとの間で形成する容量の値に変化が生じ難いものとなっており、もって電氣的な悪影響が及ぶ事態が回避される。

[0066] また、半導体膜延在部 44 は、その両外縁がドレイン配線 34 の両外縁よりも外側に配されている。このようにすれば、半導体膜延在部 44 とドレイン配線 34 とが、平面方向に沿う一方向について位置ずれした場合でも、半導体膜 36 の両外縁のいずれかからドレイン配線 34 がはみだす事態が生じるのを防ぐことができる。

[0067] また、半導体膜延在部 44 は、コンタクト部 41 のほぼ全域と平面に視て重畳する範囲にまで延在する。このようにすれば、ドレイン配線 34 に加えてコンタクト部 41 のほぼ全域において半導体膜 36 に起因する断線などが生じるのを防ぐことができ、接続信頼性を一層高いものとすることができる。

[0068] また、半導体膜延在部 44 は、コンタクト部 41 よりも平面に視て大きく

形成されている。仮に半導体膜延在部44とコンタクト部41とが、製造上生じ得る精度誤差などの影響により、平面方向に沿う一方向について位置ずれした場合であっても、半導体膜延在部44がコンタクト部41よりも平面に視て大きく形成されているから、位置ずれ量が両者の一方向についての大さの差の範囲内であれば、半導体膜延在部44及びコンタクト部41における平面に視た全体の大さが変動することが避けられる。これにより、半導体膜延在部44及びコンタクト部41が、他の配線などとの間で形成する容量の値に変化が生じ難いものとなっており、もって電氣的な悪影響が及ぶ事態が回避される。

[0069] また、半導体膜延在部44は、その外周縁がコンタクト部41の外周縁よりも外側に配されている。このようにすれば、半導体膜延在部44とコンタクト部41とが、平面方向に沿う一方向について位置ずれした場合でも、半導体膜36の外周縁のいずれかからコンタクト部41がはみだす事態が生じるのを防ぐことができる。

[0070] <実施形態2>

本発明の実施形態2を図18によって説明する。この実施形態2では、半導体膜延在部144の形成範囲を変更したものを示す。なお、上記した実施形態1と同様の構造、作用及び効果について重複する説明は省略する。

[0071] 本実施形態に係る半導体膜延在部144は、図18に示すように、ソース配線27及びドレイン配線34の各一部に対してそれぞれ平面に視て重畳する範囲にまで延在する形態とされている。詳しくは、第1半導体膜延在部144Aは、半導体膜136及びドーピング半導体膜（図示せず）におけるソース電極24b側の端部からソース配線27の本体に向けてX軸方向に沿って延在するとともに、ソース配線27のうちの分岐線27aの全域と、本体における分岐線27aの接続箇所とに対して平面に視て重畳している。従って、第1半導体膜延在部144Aは、ソース配線27の本体のうち分岐線27aの接続箇所を除いた大部分に対しては、平面視重畳しない関係とされる。これに対して、第2半導体膜延在部144Bは、半導体膜136及びドー

ピング半導体膜におけるドレイン電極 24 c 側の端部からドレイン配線 34 に沿って X 軸方向に沿って延在するとともに、ドレイン配線 34 のうち X 軸方向に沿う第 1 部 34 a のほぼ全域に対して平面に視て重畳している。従って、第 2 半導体膜延在部 144 B は、ドレイン配線 34 のうち Y 軸方向に沿う第 2 部 34 b のほぼ全域に対しては、平面視重畳しない関係とされる。このような構成であっても、ソース電極 24 b とソース配線 27 との境界位置において、第 1 半導体膜延在部 144 A により半導体膜 136 及びドーピング半導体膜に起因する段差が生じるのが回避され、同様にドレイン電極 24 c とドレイン配線 34 との境界位置においても、第 2 半導体膜延在部 144 B により半導体膜 136 及びドーピング半導体膜に起因する段差が生じるのが回避されるから、これらの境界位置において線幅が細くなったり断線が生じるのを効果的に防止することができる。

[0072] <他の実施形態>

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

(1) 上記した実施形態 2 では、第 1 半導体膜延在部がソース配線の一部に対して平面視重畳する範囲にわたって延在するものを示したが、第 1 半導体膜延在部の具体的な形成範囲は適宜に変更可能である。具体的には、例えば第 1 半導体膜延在部を、ソース配線の分岐線の全域と、ソース配線の本体のうち分岐線の接続箇所を含む所定長さ部分とに対して平面視重畳する形成範囲とすることができる。また、第 1 半導体膜延在部を、ソース配線の分岐線の一部に対してのみ平面視重畳し、ソース配線の本体とは平面視重畳しない形成範囲とすることも可能である。

[0073] (2) 上記した実施形態 2 では、第 2 半導体膜延在部がドレイン配線の一部に対して平面視重畳する範囲にわたって延在するものを示したが、第 2 半導体膜延在部の具体的な形成範囲は適宜に変更可能である。具体的には、例えば第 2 半導体膜延在部を、ドレイン配線の全域に対して平面視重畳するものの、コンタクト部とは平面視重畳しない形成範囲とすることができる。ま

た、第2半導体膜延在部を、ドレイン配線の第1部の全域と、第2部の一部とに対して平面視重畳する形成範囲とすることも可能である。また、第2半導体膜延在部を、ドレイン配線の第1部の一部に対してのみ平面視重畳し、ドレイン配線の第2部及び第1部の残りの部分とは平面視重畳しない形成範囲とすることも可能である。また、第2半導体膜延在部を、ドレイン配線の全域と、コンタクト部の一部とに対して平面視重畳する形成範囲とすることも可能である。

[0074] (3) 上記した各実施形態では、第1半導体膜延在部の各外縁とソース配線の各外縁との間の距離（第1半導体膜延在部の幅寸法）と、第2半導体膜延在部の各外縁とドレイン配線の各外縁との間の距離（第2半導体膜延在部の幅寸法）とがほぼ等しくなる構成のものを示したが、上記した各距離が互いに異なる大きさとされるものも本発明に含まれる。その場合、前者が後者よりも相対的に大きくなる関係としたり、その逆の関係とすることも可能である。

[0075] (4) 上記した各実施形態では、半導体膜延在部とソース配線、ドレイン配線及びコンタクト部とが正規位置（設計した位置）においてほぼ同心となる配置のものを示したが、正規位置において両者が偏心配置される構成とすることも可能である。

[0076] (5) 上記した(4)以外にも、正規位置において、例えば第1半導体膜延在部における一外縁が、ソース配線の一外縁と面一状をなす配置としたり、第2半導体膜延在部における一外縁が、ドレイン配線の一外縁及びコンタクト部の一外縁と面一状をなす配置とすることも可能である。

[0077] (6) 上記した各実施形態では、第1半導体膜延在部が、ソース配線よりも平面に視て広範囲にわたる大きさに形成されたものを示したが、半導体膜延在部が、ソース配線と平面に視て同じ大きさに形成されたものも本発明に含まれる。この関係は、第2半導体膜延在部と、ドレイン配線及びコンタクト部とも同様に適用可能である。

[0078] (7) 上記した各実施形態では、半導体膜延在部の外縁が、ソース配線、

ドレイン配線及びコンタクト部の各外縁よりも外側に配される構成のものを示したが、半導体膜延在部の外縁が、ソース配線、ドレイン配線またはコンタクト部の少なくともいずれか1つの外縁よりも内側に配される構成とすることも可能である。

[0079] (8) 上記した各実施形態では、コンタクト部とドレイン電極とを接続するドレイン配線を有するものを例示したが、例えば、ドレイン電極にコンタクト部を設ける構成としてドレイン配線を省略することも可能である。つまり、ドレイン電極に対して画素電極を直接接続するようにすれば、ドレイン配線を設ける必要がなく、そのような構成とした場合でも本発明は適用可能である。その場合には、第2半導体膜延在部を除去することができる。なお、その場合でもソース配線に対して平面視重畳する第1半導体膜延在部については設けることで、ソース配線に生じ得る断線などを防止する効果を得ることができる。

[0080] (9) 上記した各実施形態では、ソース配線、ドレイン配線、コンタクト部などを構成する上層側の金属膜がアルミニウムからなるものを示したが、アルミニウム以外にも、例えばモリブデン (Mo) や銅 (Cu) などを用いることも可能である。

[0081] (10) 上記した各実施形態では、ソース配線、ドレイン配線、コンタクト部などを構成する下層側の金属膜がチタンを含むものを示したが、チタン以外にも、例えばクロム (Cr)、タンタル (Ta)、銅 (Cu) などを用いることも可能である。

[0082] (11) 上記した各実施形態では、液晶表示装置を構成するバックライト装置の光源として冷陰極管を用いた場合を示したが、熱陰極管やLEDなど他の光源を用いたものも本発明に含まれる。

[0083] (12) 上記した各実施形態では、液晶表示装置が備えるバックライト装置として直下型のものを例示したが、エッジライト型のバックライト装置を用いるようにしたものも本発明に含まれる。

[0084] (13) 上記した各実施形態では、外部光源であるバックライト装置を備

えた透過型の液晶表示装置を例示したが、本発明は、外光を利用して表示を行う反射型液晶表示装置にも適用可能であり、その場合はバックライト装置を省略することができる。

[0085] (14) 上記した各実施形態では、液晶表示装置のスイッチング素子としてTFTを用いたが、TFT以外のスイッチング素子（例えば薄膜ダイオード(TFD)）を用いた液晶表示装置にも適用可能であり、カラー表示する液晶表示装置以外にも、白黒表示する液晶表示装置にも適用可能である。

[0086] (15) 上記した各実施形態では、表示パネルとして液晶パネルを用いた液晶表示装置を例示したが、他の種類の表示パネル（PDPや有機ELパネルなど）を用いた表示装置にも本発明は適用可能である。その場合、バックライト装置を省略することも可能である。

符号の説明

[0087] 10…液晶表示装置（表示装置）、12…バックライト装置（照明装置）、20…アレイ基板（表示素子）、21…CF基板（対向表示素子）、24a…ゲート電極、24b…ソース電極、24c…ドレイン電極、25…画素電極、26…ゲート配線、27…ソース配線、34…ドレイン配線、35…ゲート絶縁膜、36…半導体膜、39…下層側の金属膜（金属膜）、40…上層側の金属膜（金属膜）、41…コンタクト部、42…ドーピング半導体膜、44, 144…半導体膜延在部、CH…チャンネル領域、GS…ガラス基板（基板）、TV…テレビ受信装置

請求の範囲

- [請求項1] 基板と、
前記基板上に形成されたゲート配線と、
前記ゲート配線に形成されたゲート電極と、
前記ゲート配線及び前記ゲート電極上に形成されたゲート絶縁膜と、
、
前記ゲート絶縁膜上に形成されチャンネル領域を有する半導体膜と、
前記ゲート絶縁膜上に形成され前記ゲート配線と交差するソース配線と、
前記ソース配線に形成され前記半導体膜の一端側に接続されたソース電極と、
前記半導体膜の他端側に接続され前記ソース電極に対して前記チャンネル領域を介して接続されるドレイン電極と、
前記半導体膜に形成され少なくとも前記ソース配線の一部と平面に視て重畳する範囲にまで延在する半導体膜延在部とを備える表示素子。
。
- [請求項2] 前記半導体膜延在部は、前記ソース配線のほぼ全域と平面に視て重畳する範囲にまで延在する請求項1記載の表示素子。
- [請求項3] 前記半導体膜延在部は、前記ソース配線よりも平面に視て大きくなるよう形成されている請求項2記載の表示素子。
- [請求項4] 前記半導体膜延在部は、その両外縁が前記ソース配線の両外縁よりも外側に配されている請求項3記載の表示素子。
- [請求項5] 前記ソース電極及び前記ドレイン電極は、前記半導体膜上に形成され不純物が添加されたドーピング半導体膜と、前記ドーピング半導体膜上に形成され金属材料からなる金属膜との積層構造を有しているのに対し、前記ソース配線は、前記ソース電極を構成する前記金属膜と同一材料からなるものとされており、
前記半導体膜延在部は、前記ドーピング半導体膜の端部から前記ソ

ース配線側に延在している請求項 1 から請求項 4 のいずれか 1 項に記載の表示素子。

[請求項6] 画素電極と、前記ゲート絶縁膜上に形成されるとともに一端側が前記ドレイン電極に接続されたドレイン配線と、前記ドレイン配線の他端側に接続されるとともに前記画素電極に接続されたコンタクト部とを備えており、

前記半導体膜延在部は、少なくとも前記ドレイン配線の一部と平面に視て重畳する範囲にまで延在する請求項 1 から請求項 5 のいずれか 1 項に記載の表示素子。

[請求項7] 前記半導体膜延在部は、前記ドレイン配線のほぼ全域と平面に視て重畳する範囲にまで延在する請求項 6 記載の表示素子。

[請求項8] 前記半導体膜延在部は、前記ドレイン配線よりも平面に視て大きくなるよう形成されている請求項 7 記載の表示素子。

[請求項9] 前記半導体膜延在部は、その両外縁が前記ドレイン配線の両外縁よりも外側に配されている請求項 8 記載の表示素子。

[請求項10] 前記半導体膜延在部は、前記コンタクト部のほぼ全域と平面に視て重畳する範囲にまで延在する請求項 6 から請求項 9 のいずれか 1 項に記載の表示素子。

[請求項11] 前記半導体膜延在部は、前記コンタクト部よりも平面に視て大きく形成されている請求項 10 記載の表示素子。

[請求項12] 前記半導体膜延在部は、その外周縁が前記コンタクト部の外周縁よりも外側に配されている請求項 11 記載の表示素子。

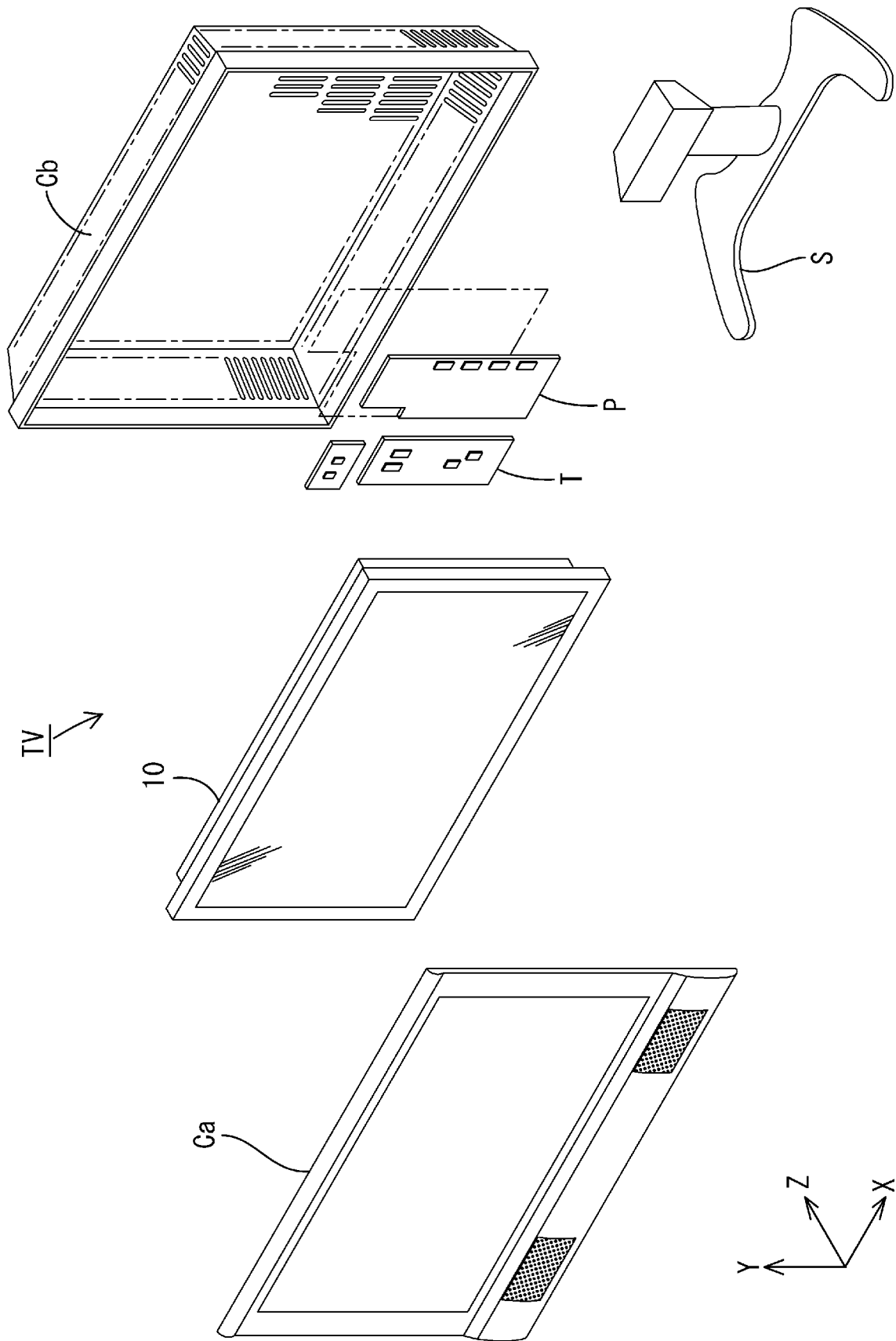
[請求項13] 請求項 1 から請求項 12 のいずれか 1 項に記載の表示素子と、前記表示素子と対向状をなす対向表示素子と、前記表示素子と前記対向表示素子との間に封入される液晶層とを備える表示装置。

[請求項14] 前記表示素子及び前記対向表示素子に向けて光を照射する照明装置を備える請求項 13 記載の表示装置。

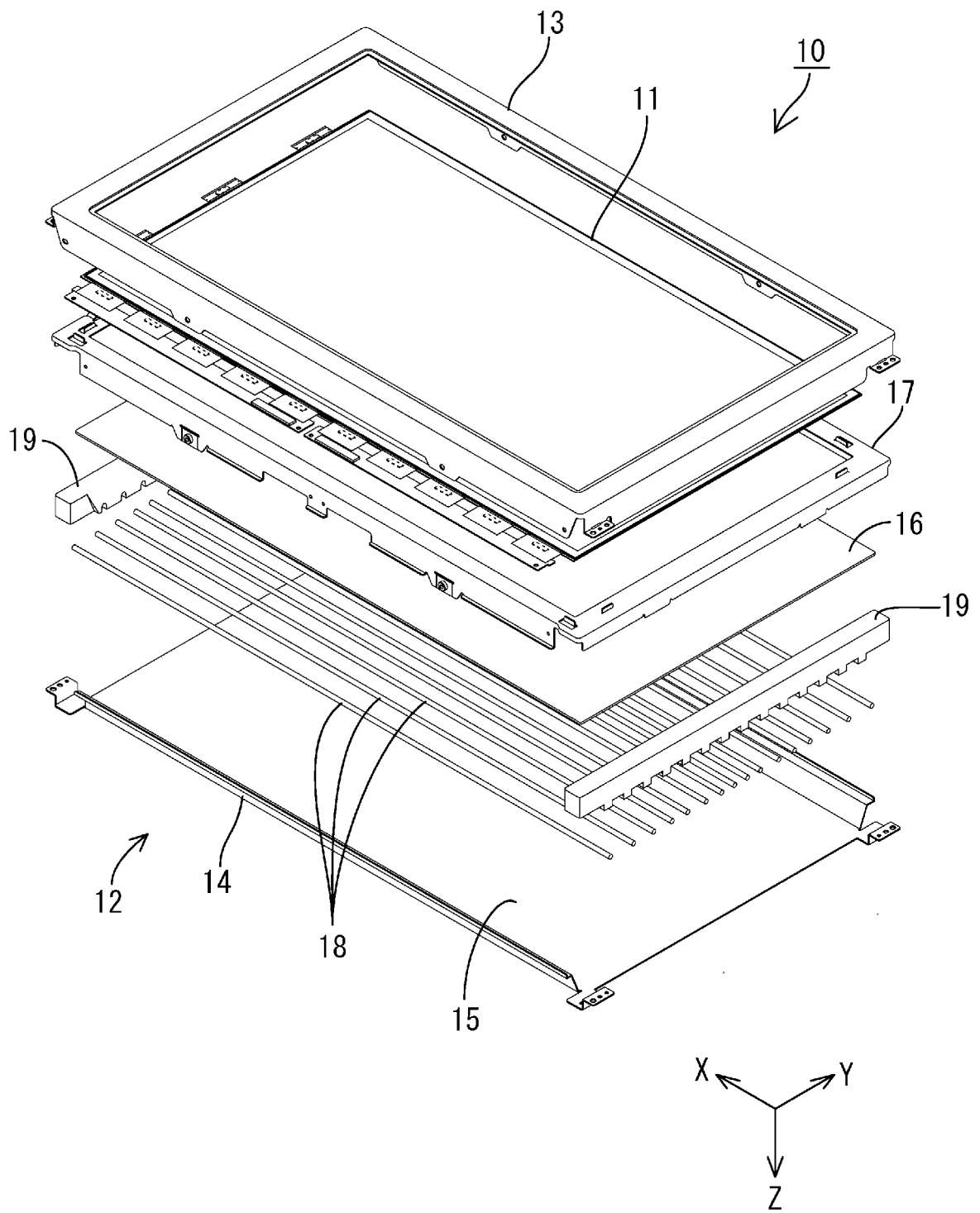
[請求項15] 請求項 13 または請求項 14 に記載された表示装置を備えるテレビ

受信装置。

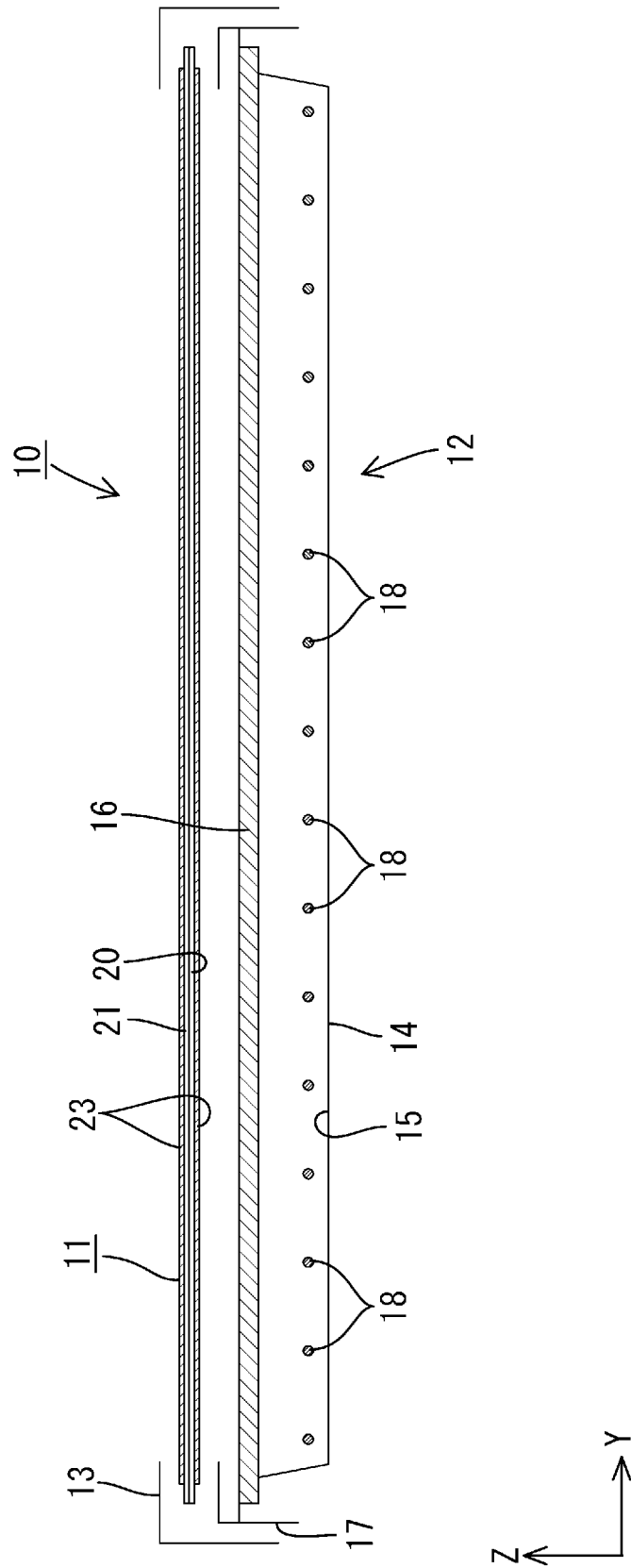
[図1]



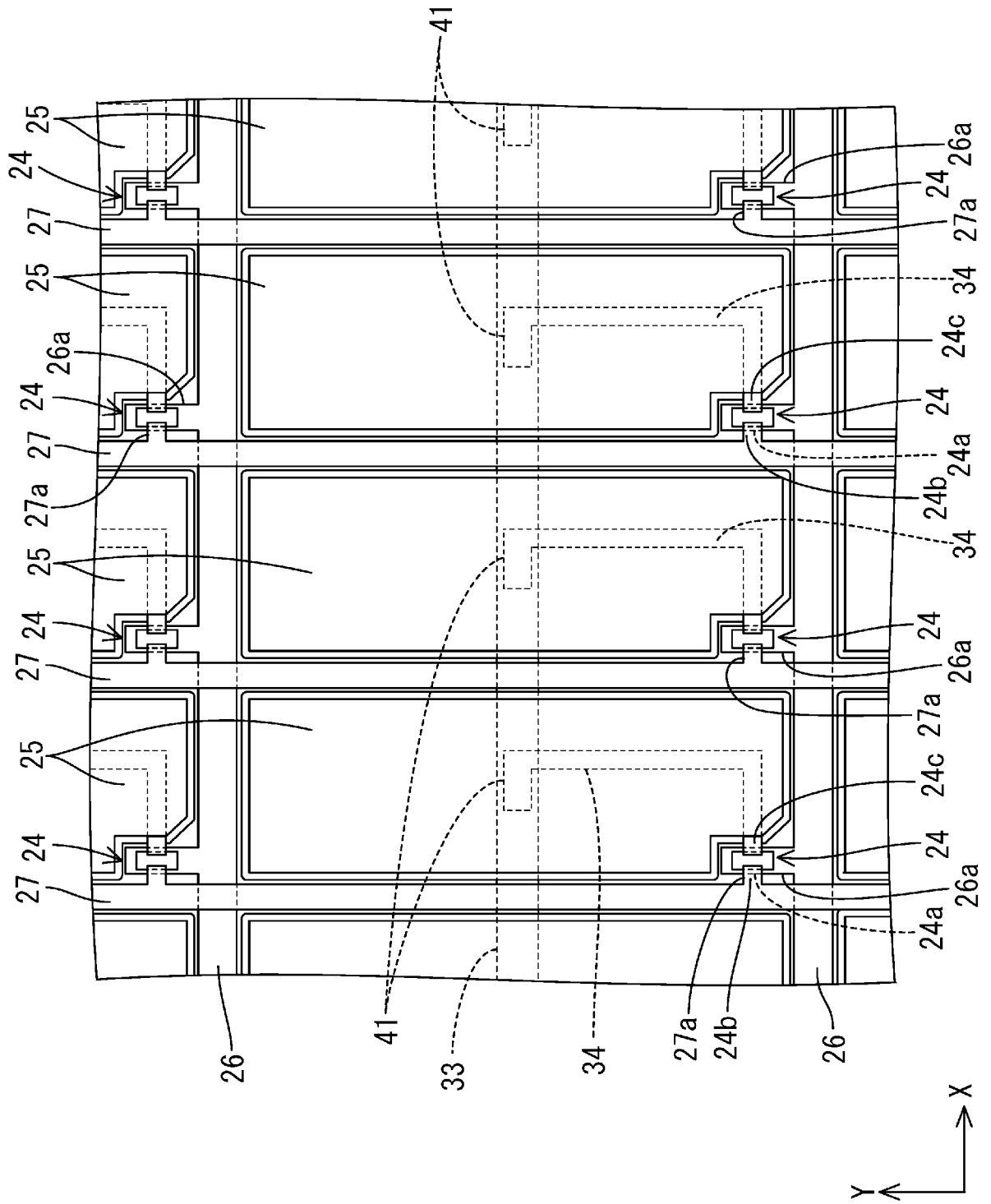
[図2]



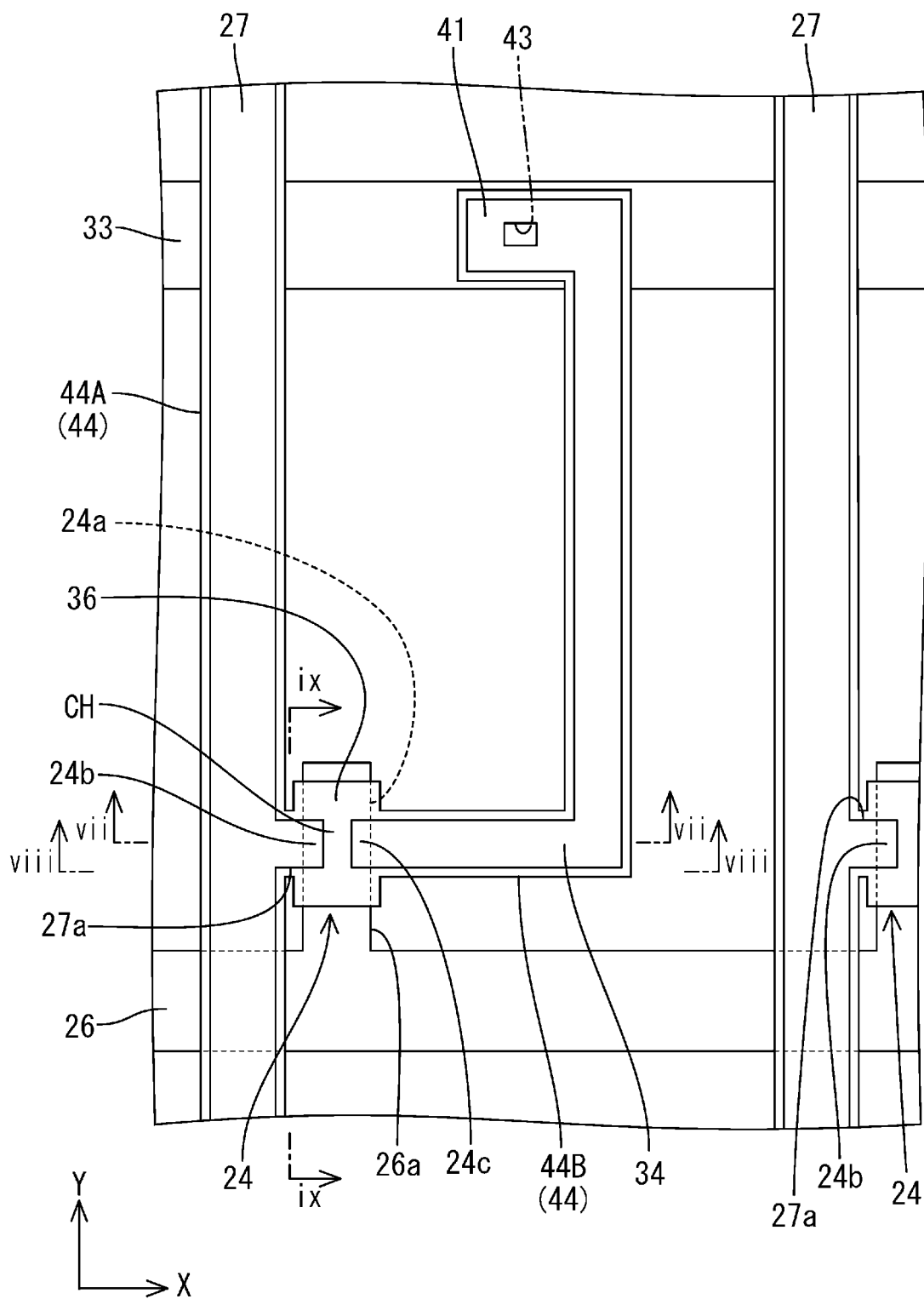
[図3]



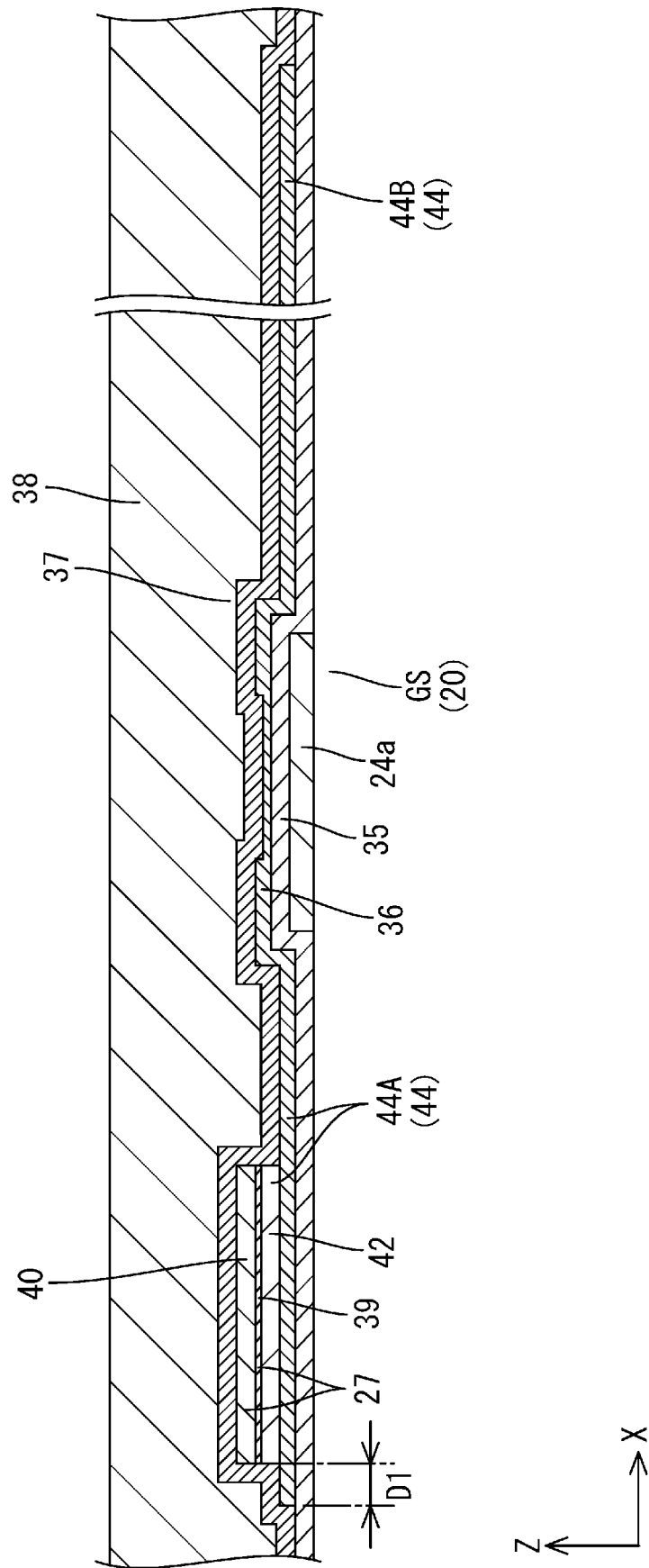
[図5]



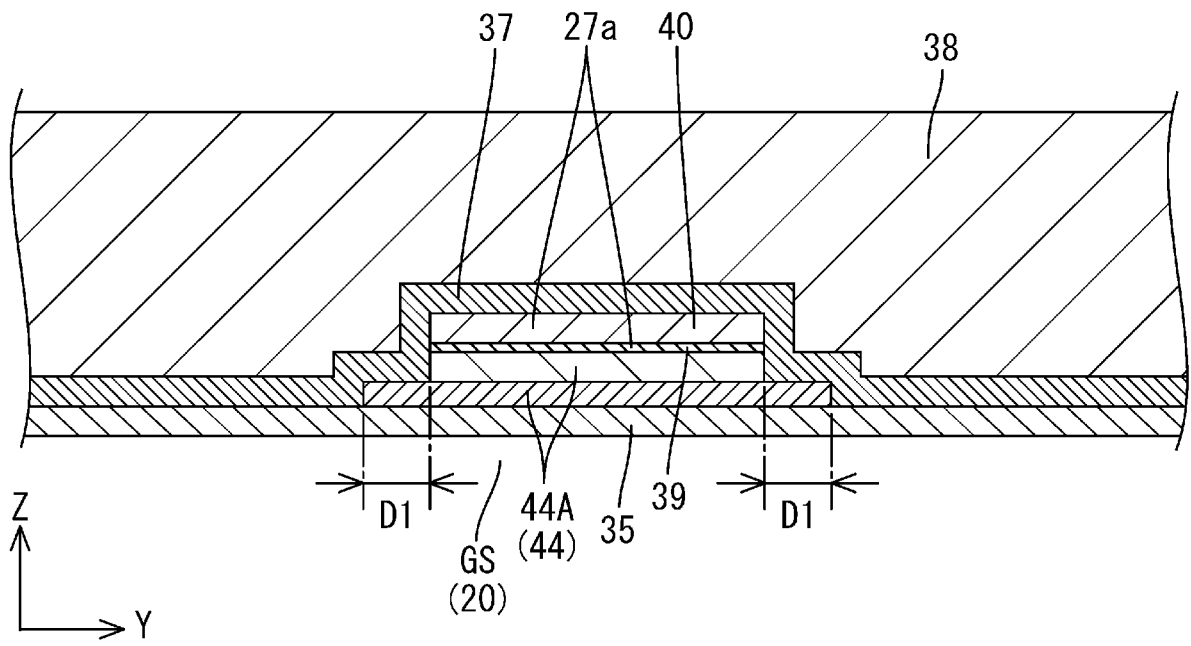
[図6]



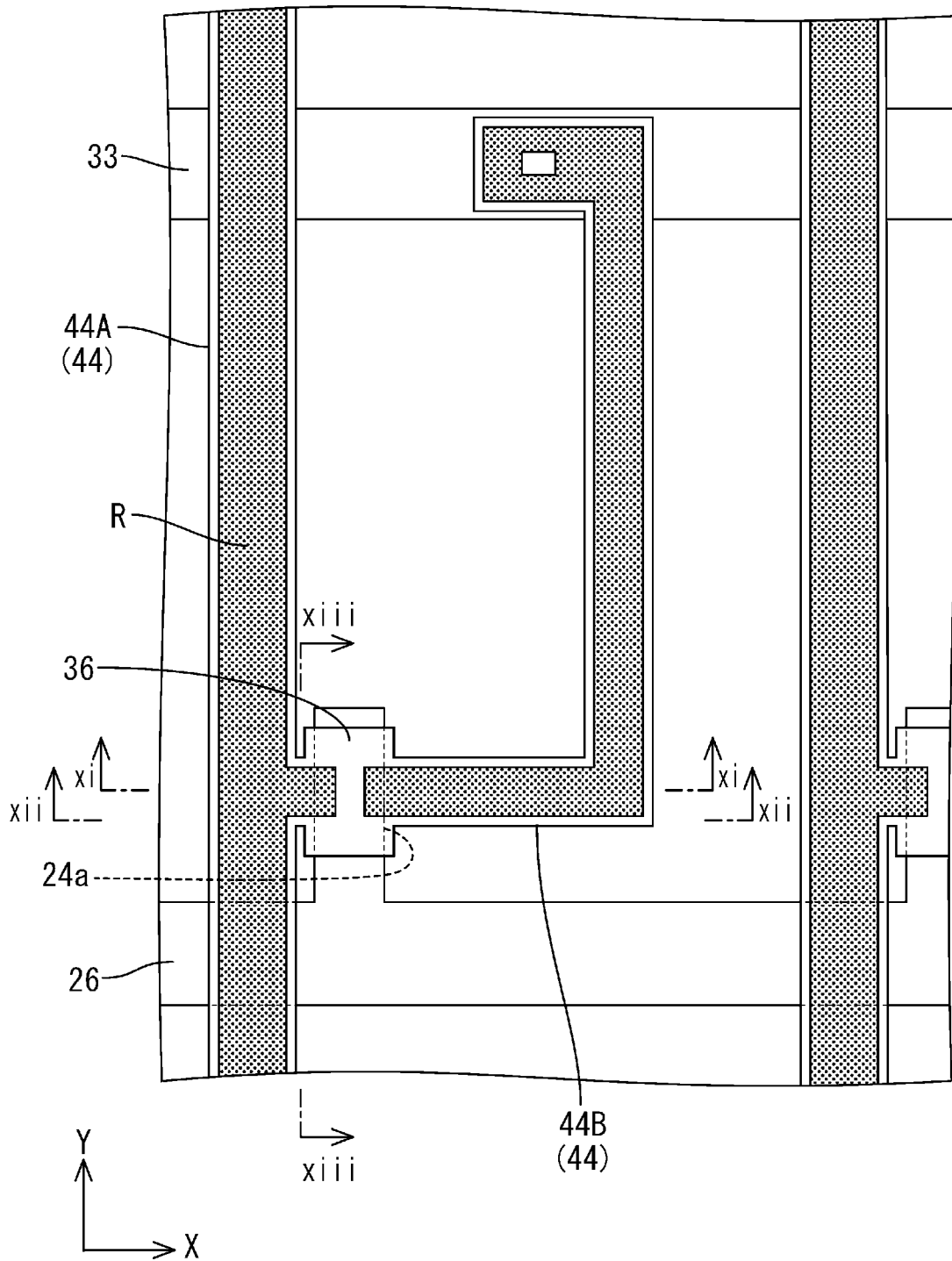
[図8]



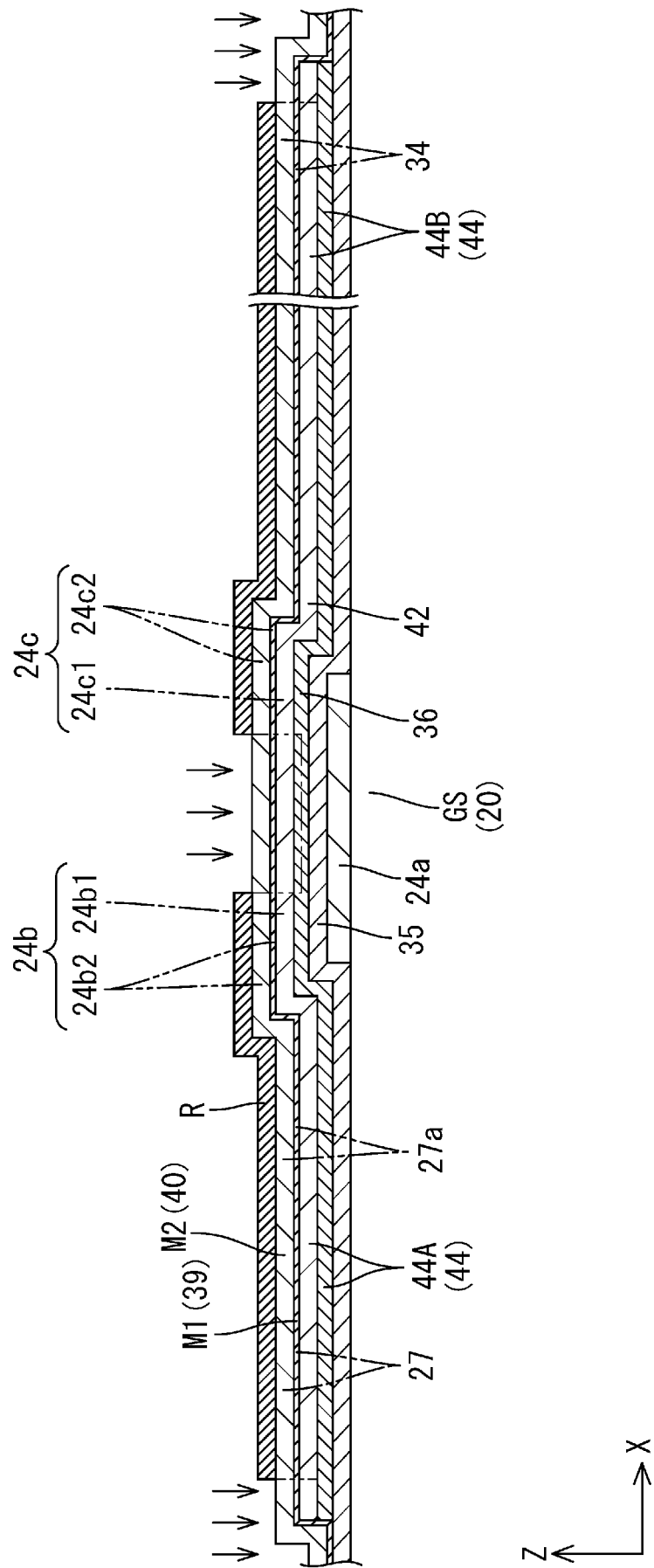
[図9]



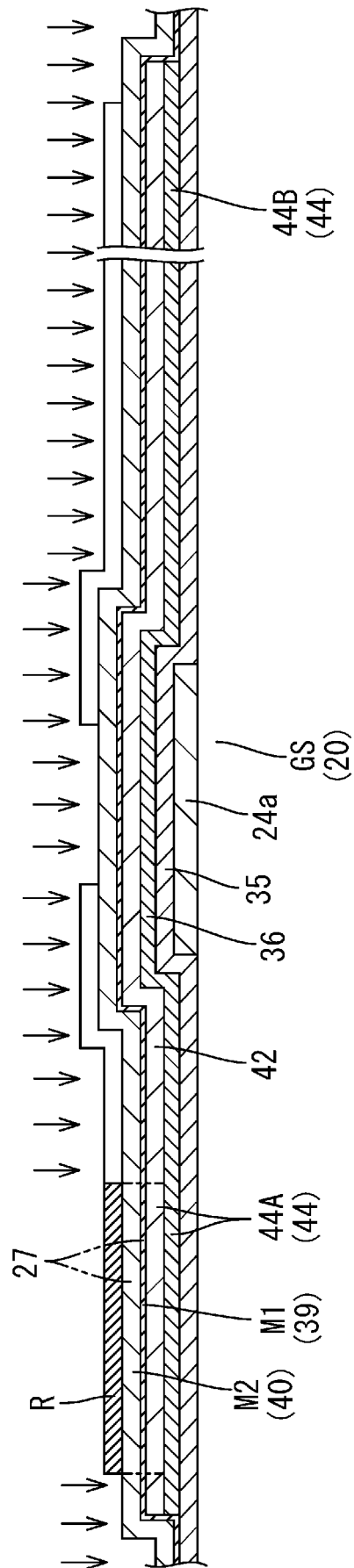
[図10]



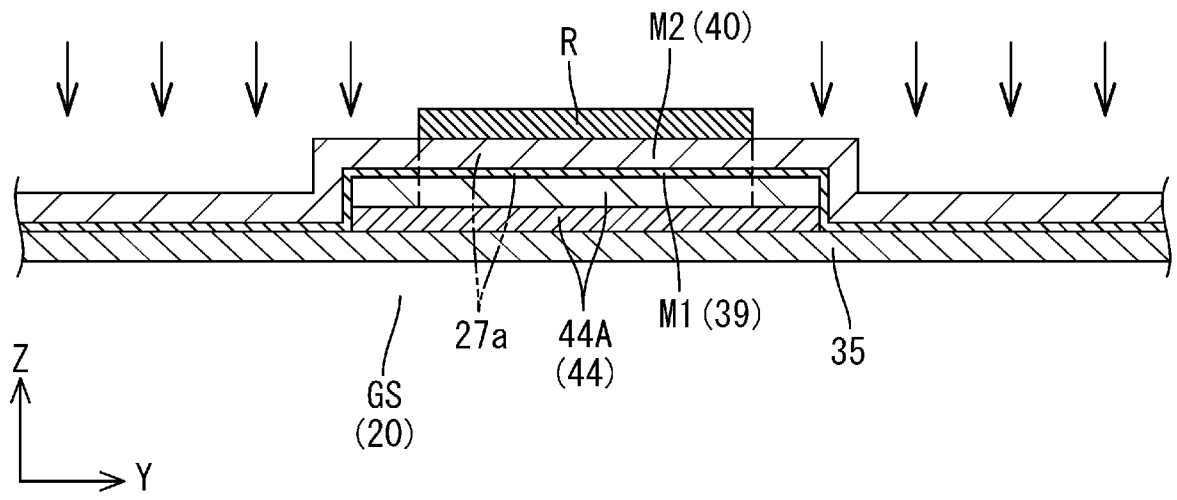
[図11]



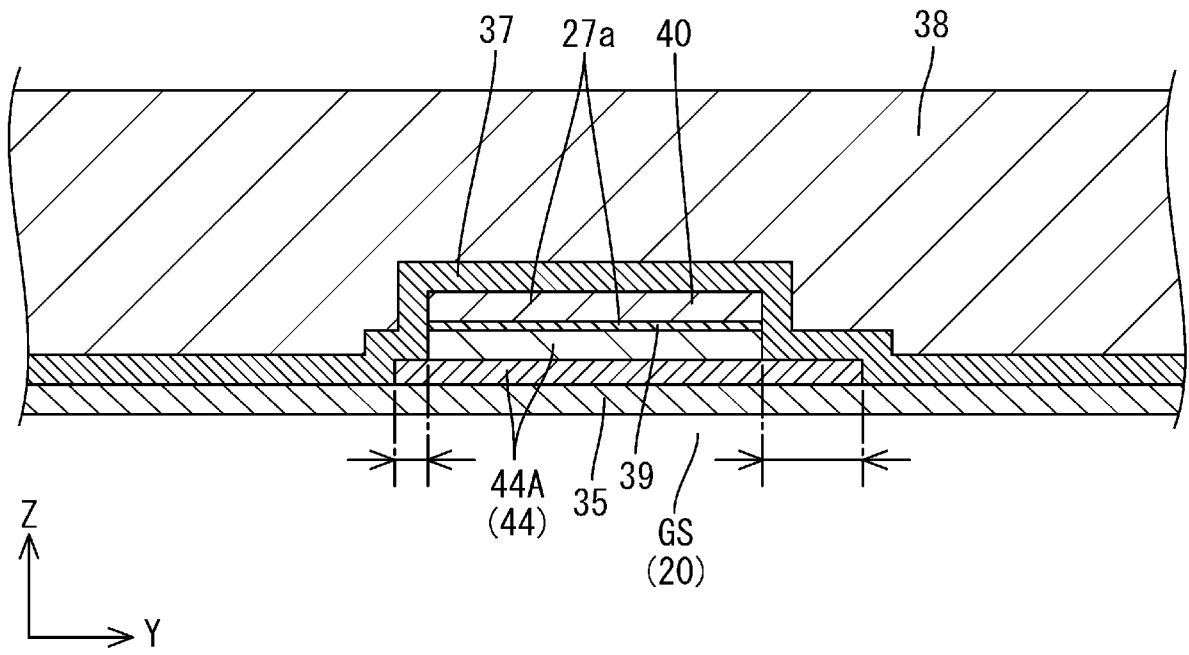
[図12]



[図13]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059971

A. CLASSIFICATION OF SUBJECT MATTER
G09F9/30(2006.01) i, G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 G09F9/30, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012
 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-206571 A (Samsung Electronics Co., Ltd.), 28 July 2000 (28.07.2000), paragraphs [0041], [0112]; fig. 3 to 5 & US 6287899 B1 & KR 10-2000-0047012 A	1-15
A	JP 2004-212992 A (L.G. Philips LCD Co., Ltd.), 29 July 2004 (29.07.2004), claim 1; fig. 7 to 8 & US 2004/0129936 A1 & KR 10-0497096 B1 & CN 1516533 A	1-15
A	JP 8-146462 A (Hitachi, Ltd.), 07 June 1996 (07.06.1996), entire text (Family: none)	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
 18 June, 2012 (18.06.12)

Date of mailing of the international search report
 26 June, 2012 (26.06.12)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059971

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-122821 A (Hitachi, Ltd.), 17 May 1996 (17.05.1996), entire text & EP 709718 A2 & CN 1126844 A	1-15
A	JP 3-156427 A (Oki Electric Industry Co., Ltd.), 04 July 1991 (04.07.1991), entire text (Family: none)	1-15
A	JP 2002-98994 A (Sharp Corp.), 05 April 2002 (05.04.2002), entire text (Family: none)	1-15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059971

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The matter common to the inventions of claims 1-15 is the matter set forth in claim 1.

However, the search revealed that the above-said matter is disclosed in the document 1: JP 2000-206571 A, and consequently, the matter is not novel.

Accordingly, there is no special technical feature which is common to all of the inventions of claims 1-15.

Consequently, it is obvious that the inventions of claims 1-15 do not comply with the requirement of unity of invention.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09F9/30(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09F9/30, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2000-206571 A (三星電子株式会社) 2000.07.28, [0041]、 [0112] 及び図3-5 & US 6287899 B1 & KR 10-2000-0047012 A	1-15
A	JP 2004-212992 A (エルジー・フィリップス エルシーデーカンパ ニー, リミテッド) 2004.07.29, 請求項1 及び図7-8 & US 2004/0129936 A1 & KR 10-0497096 B1 & CN 1516533 A	1-15
A	JP 8-146462 A (株式会社日立製作所) 1996.06.07, 全文 (ファミリ	1-15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

18.06.2012

国際調査報告の発送日

26.06.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

渡邊 吉喜

電話番号 03-3581-1101 内線 3273

21

3406

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	ーなし)	
A	JP 8-122821 A (株式会社日立製作所) 1996.05.17, 全文 & EP 709718 A2 & CN 1126844 A	1 - 1 5
A	JP 3-156427 A (沖電気工業株式会社) 1991.07.04, 全文 (ファミリーーなし)	1 - 1 5
A	JP 2002-98994 A (シャープ株式会社) 2002.04.05, 全文 (ファミリーーなし)	1 - 1 5

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1-15に係る発明の共通の事項は、請求項1に記載の事項である。

しかしながら、調査の結果、上記事項は、文献1：JP 2000-206571 Aに開示されているから、新規でないことが事後的に明らかになった。

それゆえ、請求項1-15に係る発明全てに共通の特別な技術的特徴は無い。

よって、請求項1-15に係る発明は、発明の単一性の要件を満たしていないことは明らかである。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。