

(52) CPC특허분류

H01L 21/768 (2013.01)

H01L 23/5226 (2013.01)

명세서

청구범위

청구항 1

배선 기관으로서,

배선층;

상기 배선층 상에 배치되며, 전자 부품을 실장하기 위해 사용되는 메탈 포스트(metal post)들; 및

상기 메탈 포스트들이 배치되는 상기 배선층의 표면을 덮는 보호층을 포함하고,

상기 배선층은 시드층 및 상기 시드층 상에 형성되는 금속 도금층을 포함하고, 상기 금속 도금층은 평면도(plan view)에서 상기 시드층과 동일한 크기를 갖고;

상기 메탈 포스트들 각각은, 상기 보호층으로부터 돌출되는 상단, 및 상기 상단과 동일하거나 그보다 큰 폭을 갖는 하단을 포함하며; 또한

상기 보호층은 상기 메탈 포스트들 각각에 대한 필렛(fillet)을 포함하고, 상기 필렛은 상기 메탈 포스트들 중의 대응하는 메탈 포스트의 상단 표면쪽으로 연장되어, 상기 메탈 포스트들 중의 상기 대응하는 메탈 포스트의 측면과 접촉하는, 배선 기관.

청구항 2

제 1 항에 있어서,

상기 메탈 포스트들 각각의 상단 표면을 덮는 표면 처리층을 더 포함하는, 배선 기관.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 메탈 포스트들 각각의 상단 표면은 거칠기 처리되어 있는, 배선 기관.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 메탈 포스트들이 배치되는 표면의 반대편에 있는 상기 배선층의 표면 상에 형성되는 절연층을 더 포함하고,

상기 배선층은 상기 메탈 포스트들이 배치되는 제 1 배선층, 및 상기 메탈 포스트들이 존재하지 않는 제 2 배선층을 포함하며; 또한

상기 보호층은 상기 제 2 배선층의 상부면의 일 부분 및 상기 절연층의 상부면의 일 부분 중의 적어도 하나를 노출시키는 개구를 포함하는, 배선 기관.

청구항 5

전자 부품을 위한 메탈 포스트를 포함하는 배선 기관의 제조 방법으로서,

절연층 상에 시드층을 형성하는 단계;

상기 시드층을 덮으며, 또한 미리 결정된 위치에서 개구를 포함하는 제 1 레지스트층을 형성하는 단계;

상기 시드층을 전원 공급층으로 사용하여 상기 제 1 레지스트층의 개구 내에 금속 도금층을 형성하는 단계;

상기 제 1 레지스트층을 제거하는 단계;

상기 시드층 및 상기 금속 도금층을 덮는 제 2 레지스트층을 형성하는 단계로서, 상기 제 2 레지스트층은 상기

금속 도금층의 상부면 중의 일 부분을 노출시키는 개구를 포함하는, 상기 제 2 레지스트층을 형성하는 단계;

상기 시드층을 전원 공급층으로 사용하여 상기 제 2 레지스트층의 개구 내에 상기 메탈 포스트를 형성하는 단계;

상기 제 2 레지스트층을 제거하는 단계;

상기 금속 도금층을 마스크로 사용하여 상기 시드층을 에칭하는 단계;

상기 메탈 포스트를 덮는 수지층을 형성하는 단계; 및

상기 수지층을 씨닝(thinning)하여 상기 메탈 포스트의 상단을 노출시키는 단계를 포함하는, 배선 기판의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 수지층을 씨닝하는 것 이후에, 상기 수지층에 개구를 형성하는 단계를 더 포함하는, 배선 기판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 배선 기판 및 배선 기판 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자는 예를 들어, 회로 기판에 플립-칩 실장될 수 있다. 회로 기판은 전극들(패드들) 및 레지스트층을 포함한다. 전극들은 레지스트 필름에 형성된 개구를 통해 노출된다. 노출된 전극에는 솔더 펄프들이 형성된다. 솔더 펄프들은 회로 기판을 반도체 소자에 연결시킨다. 다른 회로 기판은 레지스트층의 개구들을 통해 노출된 펄프들을 포함한다. 전극과의 연결을 위해 각각의 펄프에는 도금이 적용된다. 펄프들은 회로 기판을 반도체 소자에 연결시킨다(일본국 특개 2007-103878호 참조).

발명의 내용

해결하려는 과제

[0003] 반도체 소자들의 통합으로 인해, 반도체 소자들을 배선 기판에 연결시키는 단자들(핀들)의 수가 증가되었으며, 반도체 소자들의 접속 단자 피치가 협소화되었다. 따라서, 이러한 반도체 소자들에 적용될 수 있는 배선 기판이 필요하다.

과제의 해결 수단

[0004] 본 발명의 일 양태는 배선층을 포함하는 배선 기판이다. 상기 배선층 상에는 메탈 포스트들이 배치된다. 상기 메탈 포스트들은 전자 부품을 실장하기 위해 사용된다. 보호층이 상기 메탈 포스트들이 배치되는 배선층의 표면을 덮는다. 상기 배선층은 시드층 및 상기 시드층 상에 형성되는 금속 도금층을 포함한다. 상기 금속 도금층은 평면도에서 상기 시드층과 동일한 크기를 갖는다. 상기 메탈 포스트들 각각은, 상기 보호층으로부터 돌출되는 상단(upper end), 및 상기 상단과 동일하거나 그보다 큰 폭을 갖는다. 상기 보호층은 메탈 포스트들 각각에 대한 필렛을 포함한다. 상기 필렛은 상기 메탈 포스트들 중의 대응하는 메탈 포스트의 상단 표면쪽으로 연장되어, 상기 메탈 포스트들 중의 상기 대응하는 메탈 포스트의 측면과 접촉한다.

[0005] 본 발명의 다른 양태들 및 이점들은 본 발명의 원리들을 예시에 의해 도시한 첨부 도면들과 함께 취해지는 다음의 상세한 설명으로부터 명백해질 것이다.

도면의 간단한 설명

[0006] 본 발명, 그 목적들 및 이점들은 첨부 도면과 함께, 현재의 바람직한 실시예에 대한 다음의 설명을 참조함으로써 용이하게 이해될 수 있다.

도 1a는 반도체 디바이스의 개략 단면도.

도 1b는 배선 기관의 부분 단면도.

도 1c는 포스트 및 레지스트 필름의 부분 단면도.

도 2a 내지 도 2e는 배선 기관을 제조하기 위한 절차를 도시한 단면도(포스트).

도 3a 내지 도 3e는 배선 기관을 제조하기 위한 절차를 도시한 단면도(포스트).

도 4a 및 도 4b는 다른 배선 기관의 부분 단면도.

도 5는 다른 반도체 디바이스의 개략 단면도.

도 6a는 다른 배선 기관의 개략 평면도.

도 6b는 다른 배선 기관의 부분 단면도.

발명을 실시하기 위한 구체적인 내용

[0007] 이하, 반도체 디바이스의 실시예들에 대해 설명하도록 한다.

[0008] 도면들에 있어서, 구성요소들은 간략화 및 명확화를 위해 도시된 것이며, 반드시 축적대로 도시되지는 않았다. 이해를 돕기 위해, 단면도들에서는 해칭선들이 도시되지 않을 수도 있다.

[0009] 도 1a에 도시된 바와 같이, 반도체 디바이스(1)는 배선 기관(10) 및 배선 기관(10)의 한쪽 면(도면에서는 상부면(upper surface))에 실장되는 반도체 소자(60)를 포함한다. 반도체 디바이스(1)는 마더보드와 같은 기관에 실장된다.

[0010] 본 실시예에서는, 편의를 위해, 반도체 소자(60)가 실장되는 배선 기관(10)의 측을 상부측(upper side)으로 지칭한다. 또한, 배선 기관(10) 내 각 부재의 상부측 상의 표면을 상부면으로 지칭한다. 배선 기관(10)이 임의의 각도에서 사용되거나 배치될 때에는 반대로 뒤집어질 수도 있다. 평면도는 반도체 소자(60)가 실장된 표면에 수직한 방향에서 취해진 대상물의 도면이다. 평면도 형상은 평면도에서의 형상을 지칭한다.

[0011] 배선 기관(10)은 코어 기관(11)을 포함한다. 코어 기관(11)은 주성분이 에폭시 수지인 열경화성 절연 수지를 이용하여 글라스 클로스(글라스 페브릭)를 함침함으로써 얻어지는 글라스 에폭시 기관으로서, 보강재의 역할을 한다.

[0012] 관통홀들(11X)은 상부면과 하부면 사이의 미리 결정된 위치들에서 코어 기관(11)을 통과하여 연장된다. 관통 전극(12)은 상부면으로부터 하부면까지 코어 기관(11)을 통과하여 연장되는 각각의 관통홀(11X) 내에 형성된다. 관통 전극(12)은 예를 들어, 구리(Cu) 또는 구리 합금으로 형성될 수 있다. 관통 전극(12)은 대응하는 관통홀(11X)의 벽면에 적용되는 도금막에 의해 형성될 수도 있다. 그리고, 관통홀(11X) 내의 관통 전극(12)은 절연 수지로 채워질 수도 있다.

[0013] 코어 기관(11)의 상부면에는, 배선층(21), 절연층(22), 배선층(23), 절연층(24), 및 배선층(25)이, 이러한 순서로 스택킹된다. 배선층들(21, 23, 및 25) 및 배선층들(31, 33, 및 35)은 구리 또는 구리 합금으로 형성될 수 있다. 절연층들(22 및 24) 및 절연층들(32 및 34)은, 예를 들어, 에폭시 수지 또는 폴리이미드 수지와 같은 절연 수지로 형성될 수 있다. 대안적으로, 절연층들(22 및 24) 및 절연층들(32 및 34)은 상기 수지들 중의 하나에 대해 실리카 또는 알루미늄과 같은 필러를 혼합하여 얻어지는 수지 재료로 형성될 수도 있다.

[0014] 코어 기관(11)의 상부면의 배선층(21) 내 배선은, 코어 기관(11)의 하부면 상의 배선층(31) 내의 대응 배선들에 전기적으로 연결된다.

[0015] 코어 기관(11)의 상부측에서, 절연층(22)의 비아홀들 내에 형성된 비아들(23V)은, 배선층(23)을 배선층(21)에 전기적으로 연결시킨다. 동일한 방식으로, 비아들(25V)은 배선층(25)을 배선층(23)에 전기적으로 연결시킨다.

[0016] 절연층(24) 상에 형성된 배선층(25)은, 미리 결정된 형상들로 패터닝된 배선들을 포함한다. 이들 배선들 각각은 배선층(25)으로서 기술될 것이다. 배선층(25)은, 반도체 소자(60)(실장 영역)에 대응하는 영역 내측에 위치되는 배선층(25a)(제 1 배선층), 및 실장 영역 외측에 위치되는 배선층(25b)(제 2 배선층)을 포함한다. 배선층(25a) 상에는 메탈 포스트들(27)이 형성된다. 보다 구체적으로, 각각의 메탈 포스트(27)는 배선층(25a) 내의 배선들 중의 하나에 형성된다. 메탈 포스트(27)는 예를 들어, 원통형이다. 메탈 포스트(27)는 상단(27c) 및

상단(27c)의 것 이하인 폭(직경)을 갖는 하단(27d)을 구비한다. 따라서, 상단(27c)의 근처에 있는 메탈 포스트(27)의 측면은 하단(27d)의 근처(메탈 포스트(27)가 배선층(25a)에 연결되어 있는 근처)에 있는 메탈 포스트(27)의 측면을 넘어 측면으로 돌출되어 있지 않다. 메탈 포스트(27)는 사각형 또는 육각형의 막대와 같은 다각형 막대의 모양이될 수 있다. 메탈 포스트(27)는 예를 들어, 구리(Cu)로 형성된다. 또한, 메탈 포스트(27)는 니켈, 주석, 은, 금, 팔라듐, 알루미늄, 또는 이들 금속의 합금으로 형성될 수도 있다. 본 실시예에서, 배선층(25b) 상에는 메탈 포스트들(27)이 형성되어 있지 않다. 배선층(25b)은, 예를 들어, 배선층(25a)을 내부 배선층(23)에 연결시키는데 사용되지 않는다. 서로 구별되지 않는 경우, 배선층들(25a 및 25b)은 배선층(25)으로서 기술될 수도 있다.

[0017] 솔더 레지스트층(41)은 최외층들인, 절연층(24) 및 배선층(25)의 표면들을 덮고 있다. 각각의 메탈 포스트(27)는 솔더 레지스트층(41)의 상부면(41a)으로부터 돌출되어 있다. 도면에는 나타나 있지 않지만, 배선층들(21, 23, 및 25)의 표면들(도면에서 볼 때 상부면들), 코어 기관(11)의 상부면, 절연층들(22 및 24)의 표면들(도면에서 볼 때 상부면들), 및 메탈 포스트들(27)의 상단 표면들(27a)이 거칠기 처리되어 있다.

[0018] 코어 기관(11)의 하부측에는, 절연층(32)의 비아홀들 내에 형성된 비아들(33V)이, 배선층(33)을 배선층(31)에 전기적으로 연결시킨다. 동일한 방식으로, 비아들(35V)은 배선층(35)을 배선층(33)에 전기적으로 연결시킨다. 솔더 레지스트층(42)은 최외층들인 절연층(34) 및 배선층(35)의 표면들을 덮고 있다. 개구들(42X)은 미리 결정된 위치들에서 솔더 레지스트층(42)을 통과하여 연장된다. 각각의 개구(42X)는 패드(35a)로서의 배선층(35)을 노출시킨다. 도면에는 나타나 있지 않지만, 배선층들(31, 33, 및 35)의 표면들(도면에서 볼 때 하부면들), 코어 기관(11)의 하부면, 및 절연층들(32 및 34)의 표면들(도면에서 볼 때 하부면들)은 거칠기 처리되어 있다.

[0019] 표면 처리층이 각각의 패드(35a)의 표면에 대해 적용될 수 있다. 표면 처리층은 도금층 또는 OSP(organic solderability preservative) 막일 수 있다. 도금층은 예를 들어, 니켈 및 금 또는 니켈, 팔라듐, 및 금을 이러한 순서로 스택킹함으로써 형성되는 도금막일 수 있다. OSP 막은 이미다졸 화합물 또는 아졸 화합물로 형성되는 막일 수 있다.

[0020] 배선 기관(10)의 각각의 메탈 포스트(27)는 솔더(71)에 의해서 반도체 소자(60)에 연결된다. 배선 기관(10) 상에는 반도체 소자(60)가 플립-칩 실장된다. 언더필 수지(72)는 배선 기관(10)와 반도체 소자(60) 사이의 간극을 채운다. 언더필 수지(72)는 예를 들어, 에폭시 수지와 같은 절연 수지일 수 있다.

[0021] 도 1a는 배선 기관의 일 예를 도시한 것이다. 배선 기관은 배선층(25)과 배선층(35)을 서로 간에 전기적으로 연결시키는 구조를 포함하기만 하면 된다. 따라서, 배선층들의 수는 변경될 수도 있다. 또한, 배선층들은 생략될 수도 있다. 배선 기관은, 예를 들어 코어 기관을 포함하는 코어 빌드업 기관이거나 또는 코어 기관을 제외한 코어리스 기관일 수 있다.

[0022] 도 1b에 도시된 바와 같이, 배선층(25a)은 절연층(24)에 적용되는 시드층(seed layer)(26a) 및 시드층(26a)에 적용되는 금속 도금층(26b)을 포함한다. 시드층(26a)은 구리 또는 구리 합금으로 형성될 수 있다. 금속 도금층(26b)은 구리 또는 구리 합금으로 형성될 수 있다. 시드층(26a)은 예를 들어, 스퍼터링 처리 또는 무전해 도금 처리를 통해 형성될 수 있다. 금속 도금층(26b)은 예를 들어, 시드층(26a)을 전원 공급층으로서 사용하는 전해 도금 처리를 통해 형성될 수 있다. 금속 도금층(26b)과 동일한 방식으로, 메탈 포스트(27)는 예를 들어, 시드층(26a)을 전원 공급층으로서 사용하는 전해 도금 처리를 통해 형성될 수 있다.

[0023] 표면 처리층(28)은 각각의 메탈 포스트(27)의 상단(27c)의 상단 표면(27a) 및 측면(27b)을 덮고 있다. 표면 처리층(28)은 예를 들어, 도금층이다. 표면 처리층(28)은 메탈 포스트(27)의 표면에 대한 산화 등을 제한한다. 표면 처리층(28)은 OSP 처리되는 OSP 막일 수 있다. OSP 막은 이미다졸 화합물 또는 아졸 화합물로 형성된 막일 수 있다.

[0024] 도금층은 예를 들어, 니켈(Ni), 금(Au), 팔라듐(Pd), 은(Ag), 또는 이들 금속의 합금으로 형성될 수 있다. 도금층은 단일의 층 또는 복수의 층으로 형성될 수 있다. 예를 들어, 도금층은 Ni 또는 Ni 합금막 및 Au 또는 Au 합금막을 이러한 순서로 스택킹함으로써 형성되는 도금막일 수 있다. 대안적으로, 도금막은 Ni 또는 Ni 합금막, Pd 또는 Pd 합금막, 및 Au 또는 Au 합금막; Ni 또는 Ni 합금막, Pd 또는 Pd 합금막, Ag 또는 Ag 합금막, 및 Au 또는 Au 합금막; Ag 또는 Ag 합금막; Ni 또는 Ni 합금막 및 Ag 또는 Ag 합금막; Ni 또는 Ni 합금막, Pd 또는 Pd 합금막, 및 Ag 또는 Ag 합금막을 스택킹함으로써 형성될 수 있다.

[0025] 도금층 내의 Ni 또는 Ni 합금층 막은 0.5 μm 이상의 두께를 갖는 것이 바람직하다. 도금막 내의 Au 또는 Au 합금막 및 Ag 또는 Ag 합금막은 각각 0.1 μm 이상의 두께를 갖는 것이 바람직하다. 또한, 도금막 내의 Pd 또는

Pd 합금막은 0.005 μm 이상의 두께를 갖는다.

[0026] 반도체 소자(60)는 패드들(60b)을 포함하는 회로 형성면(60a)(도 1b에서 하부면)을 갖는다. 각각의 패드(60b)는 솔더(71)에 의해서 대응하는 배선 기관(10)의 메탈 포스트(27)로 연결된다. 솔더(71)는, 예를 들어, 반도체 소자(60)의 패드 상에 형성되는 솔더 범프이다. 솔더 범프는 예를 들어, 반도체 소자(60)의 패드에 마이크로-볼(micro-ball)을 형성하거나 솔더 페이스트를 적용하는 것에 의해 형성된다. 범프는, 반도체 소자(60) 또는 배선 기관(10) 중의 적어도 하나에 형성되기만 하면 된다.

[0027] 메탈 포스트들(27)은 반도체 소자(60)의 패드들(60b)에 대응하는 매트릭스 배열로 배치된다. 메탈 포스트들(27)은 40 내지 200 μm 의 피치(포스트 피치)(예를 들면, 150 μm)로 레이아웃 된다. 각각의 메탈 포스트(27)는, 20 내지 150 μm 의 직경(포스트 직경)(예를 들면, 90 μm) 및 1 내지 50 μm 의 높이(솔더 레지스트층(41)의 상부면(41a)로부터의 돌출량, 포스트 높이)(예를 들면, 10 μm)를 갖는다. 배선층(25a)은 5 내지 20 μm 의 두께(예를 들면, 15 μm)를 갖는다. 솔더 레지스트층(41)은, 5 μm 이상의 두께(배선층(25a)으로부터 솔더 레지스트층(41)의 상부면(41a)까지의 두께)(예를 들면, 10 μm)를 갖는다.

[0028] 도 1c에 도시된 바와 같이, 솔더 레지스트층(41)은 각각의 메탈 포스트(27)의 측면(27b)과 접촉하며, 솔더 레지스트층(41)의 상부면(41a)으로부터 메탈 포스트(27)의 상단 표면(27a)쪽으로 연장되는 필렛(fillet)(41b)을 포함한다. 따라서, 필렛(41b)은 각각의 메탈 포스트(27)의 측면(27b)을 덮고 있다. 필렛(41b)은 예를 들어, 굽어진(curved) 단면을 갖고 있다. 필렛(41b)은 공극 및 잔존물의 형성을 감소시킨다. 솔더 레지스트층(41)의 각 개구에 메탈 포스트를 형성하는 경우, 솔더 레지스트층(41)의 상부면(41a)은 메탈 포스트(27)의 측면(27b)에 직각으로 연장된다. 이것은 솔더 레지스트층(41)의 상부면(41a)과 메탈 포스트(27)의 측면(27b) 사이에 직각 코너를 형성할 수 있다. 언더필 수지(72)가 적용되는 경우, 직각 코너는 언더필 수지(72) 내에 공기 공극들을 형성할 수도 있다. 또한, 직각 코너는, 배선 기관(10)이 세척 또는 표면-처리되는 경우에 잔류 화학제들을 야기할 수도 있다.

[0029] 이제, 배선 기관(10) 상에서의 배선층(25a) 및 메탈 포스트들(27)의 형성에 대하여 설명하도록 한다.

[0030] 먼저, 도 1a에 도시된 배선층(25a)이 패터닝된다.

[0031] 도 2a에 도시된 바와 같이, 시드층(26a)이 절연층(24)의 전체 표면(상부면)을 덮도록 형성된다. 예를 들어, 무전해 구리 도금 처리 또는 스퍼터링 처리를 수행하여 시드층(26a)을 형성한다.

[0032] 이어서, 도 2b에 도시된 바와 같이, 미리 결정된 위치들에서 개구들(101X)을 포함하는 도금 레지스트층(101)이, 시드층(26a) 상에 형성된다. 개구들(101X)은 도 1a에 도시된 배선층(25a)에 대응하는 부분들(영역들)에서 시드층(26a)을 노출시킨다. 도금 레지스트층(101)은 도금 저항을 갖는 재료로 형성된다. 예를 들어, 도금 레지스트층(101)은 감광성 드라이 필름 레지스트 또는 액상 포토레지스트(예를 들면, 노볼락 수지(novolac resin) 또는 아크릴 수지의 드라이 필름 레지스트 또는 액상 레지스트)로 형성될 수 있다. 예를 들어, 감광성 드라이 필름 레지스트를 사용할 경우에는, 열 압착(thermocompression bonding)을 수행하여 시드층(26a)의 상부면에 대하여 드라이 필름을 적층한다. 이어서, 포토리소그래피 처리를 수행함으로써 드라이 필름을 패터닝하여, 개구들(101X)을 포함하는 도금 레지스트층(101)을 형성한다. 동일한 단계들이, 액상 포토레지스트를 사용하여 도금 레지스트층(101)을 형성하는 경우에 수행된다.

[0033] 이어서, 도 1a에 도시된 메탈 포스트들(27)이 형성된다.

[0034] 도 2c를 참조하면, 도금 레지스트층(101)을 도금 마스크로서 사용하고 시드층(26a)을 전원 공급층으로서 사용하는 전해 도금 처리를 수행하여, 시드층(26a)의 상부면 상에 있는 도금 레지스트층(101)의 개구들(101X) 내에 금속 도금층(26b)을 형성한다. 이어서, 예를 들어, 디폴리에이션 처리(defoliation process)를 수행하여 도금 레지스트층(101)을 제거한다.

[0035] 도 2d를 참조하면, 미리 결정된 위치들에서 개구들(102X)을 포함하는 도금 레지스트층(102)이, 시드층(26a) 및 금속 도금층(26b) 상에 형성된다. 개구들(102X)은 도 1a에 도시된 메탈 포스트들(27)에 대응하는 부분들(영역들)에서 배선층(25a)(금속 도금층(26b))을 노출시키기 위해 형성된다. 도금 레지스트층(101)과 동일한 방식으로, 도금 레지스트층(102)이 도금 저항을 갖는 재료, 예를 들어, 감광성 드라이 필름 레지스트 또는 액상 포토레지스트(예를 들면, 노볼락 수지 또는 아크릴 수지의 드라이 필름 레지스트 또는 액상 레지스트)로 형성될 수 있다.

[0036] 도 2e를 참조하면, 도금 레지스트층(102)을 도금 마스크로서 사용하고 시드층(26a)을 전원 공급층으로서 사용하

는 전해 구리 도금 처리를 수행하여, 금속 도금층(26b)의 상부면 상에 있는 도금 레지스트층(102)의 개구들(102X) 내의 메탈 포스트들(27)을 형성한다.

[0037] 도 3a를 참조하면, 예를 들어, 디폴리에이션 처리를 수행하여 도금 레지스트층(102)를 제거한다. 또한, 플래시 에칭(flash etching)을 수행하여 금속 도금층(26b)으로부터 노출되어 있는 시드층(26a)의 부분들을 제거한다. 이것으로 시드층(26a) 및 금속 도금층(26b)을 포함하는 배선층(25a), 및 그 배선층(25a) 상에 위치하는 메탈 포스트들(27)이 얻어진다.

[0038] 이어서, 도 1a에 도시된 솔더 레지스트층(41)이 형성된다.

[0039] 도 3a에 도시된 구조의 표면(배선층(25a) 및 메탈 포스트들(27)의 표면들)에는 거칠기 처리(roughening process)가 수행된다. 거칠기 처리는, 예를 들어, 에칭 처리, CZ 처리, 흑색 산화 처리(산화 처리), 또는 블라스팅 처리(blasting process)일 수 있다. CZ 처리는 포름산 용액을 이용하여 에칭 처리를 수행한다. 흑색 산화 처리(산화 처리)는 아연소산나트륨, 수산화나트륨, 인산나트륨 등의 용액을 이용하여 산화 처리를 수행한다. 거칠기 처리는 배선층(25a) 및 메탈 포스트들(27)의 표면들의 거칠기를 증대시킨다.

[0040] 배선층(25a) 및 메탈 포스트들(27)의 표면들은, 예를 들어, 100 내지 500 μm 의 범위에 있는(예를 들면, 350 μm) 표면 거칠기 Ra 값에 의해 표시되는 거칠기를 갖는다. 전술한 거칠기 처리로 인하여, 배선층(25a)의 측면들 및 메탈 포스트들(27)로부터 노출되어 있는 배선층(25a)의 상부면의 거칠기는, 배선층(25a) 및 메탈 포스트들(27)이 결합되어 있는 표면보다도 큰 거칠기를 갖게 된다.

[0041] 도 3b를 참조하면, 수지층(110)은 배선층(25a) 및 메탈 포스트들(27)을 덮도록 형성된다. 수지층(110)은 도 1a에 도시된 솔더 레지스트층(41)을 형성하기 위해서 사용된다. 수지층(110)은 에폭시 수지와 같은 절연 수지로 형성될 수 있다. 수지층(110)은 도 3a에 도시된 구조 상에 반경화 수지 필름을 스택킹함으로써 형성된다. 액상 또는 페이스트의 절연 수지를 사용하여 프린팅 처리 또는 스핀 코팅 처리를 수행함으로써 수지층(110)을 형성할 수도 있다. 이어서, 수지층(110)의 상부면(110a)이 평탄화된다. 예를 들어, 프레스 장치(pressing machine)를 사용하여 수지층(110)을 프레스하고 그 상부면(110a)을 평탄화한다.

[0042] 도 3c를 참조하면, 씨닝 처리(thinning process)가 수지층(110) 상에서 수행된다. 씨닝 처리는 수지층(110)의 거칠기를 증대시킨다. 씨닝 처리는 드라이 블라스팅(dry blasting), 웨트 블라스팅(wet blasting), 알칼리 용액 등을 사용하는 용해일 수 있다. 수지층(110) 상에서 수행되는 씨닝 처리로 인하여 각각의 메탈 포스트(27)의 상단 표면(27a)이 노출된다. 각각의 메탈 포스트(27)의 돌출량은 씨닝 처리의 처리 시간에 의해서 제어될 수 있다. 씨닝 처리는 도 1c에 도시된 필렛(41b)을 형성한다.

[0043] 도 3d를 참조하면, 솔더 레지스트층(41)이 형성된다. 솔더 레지스트층(41)은, 수지층(110)에 자외선(UV) 광을 조사하고 히팅 처리(heating process)를 수행하여 수지층(110)을 경화시킴으로써 얻어진다. 솔더 레지스트층(41)의 표면 거칠기(즉, 경화된 수지층(110)의 표면 거칠기)는 예를 들어, 50 내지 200 μm 범위에 있는(예를 들면, 100 μm) 표면 거칠기 Ra 값으로 표시된다.

[0044] 이어서, 표면-처리가 수행된다.

[0045] 도 3e를 참조하면, 각각의 메탈 포스트(27)의 표면으로부터 수지 잔존물을 제거하는 처리가 수행된다. 제거 처리는, 예를 들어, 플라즈마 처리, 블라스팅 처리, 또는 에칭 처리일 수 있다. 에칭 처리에서는, 과망간산 용액을 이용하여 에칭이 수행될 수 있다. 이어서, 표면 처리층(28)이 각각의 메탈 포스트(27)의 표면을 덮도록 형성된다. 예를 들어, 무전해 도금 처리 또는 전해 도금 처리를 수행하여 표면 처리층(28)을 형성할 수 있다.

[0046] 이제, 배선 기관(10)의 운용에 대하여 설명하도록 한다.

[0047] 먼저, 메탈 포스트들을 형성하기 위한 종래의 방법에 대하여 설명하도록 한다.

[0048] 종래 방법에서는, 솔더 레지스트층이 형성되고, 최외배선층의 상부면을 노출시키는 개구가 솔더 레지스트층에 형성된다. 솔더 레지스트층에는 시드층이 형성된다. 미리 결정된 위치들에서 개구들을 포함하는 도금 레지스트층이 시드층을 덮고 있다. 시드층을 전원 공급층으로서 사용하는 전해 구리 도금을 수행하여 도금 레지스트층의 개구들 내에 메탈 포스트들을 형성한다. 이러한 방법에서는, 각각의 메탈 포스트가 솔더 레지스트층에 대한 도금 레지스트층의 얼라인먼트 정밀도로 인하여, 대응하는 솔더 레지스트층의 개구보다 커져버릴 수도 있다. 또한, 메탈 포스트들은, 솔더 레지스트층과 도금 레지스트층의 얼라인먼트 정밀도로 인하여 변위될 수도 있다. 또한, 솔더 레지스트층의 상부면 상에 있는 시드층의 잔존물들은 단락(short-circuit)과 같은 장애를 야기할 수

도 있다.

- [0049] 본 실시예의 배선 기관(10)에서는, 배선층(25a) 상에 메탈 포스트들(27)을 형성한 이후에, 메탈 포스트들(27)을 덮고 있는 수지층(110)을 씨닝함으로써, 솔더 레지스트층(41)을 형성한다. 따라서, 메탈 포스트들(27)은, 솔더 레지스트층(41)의 포지셔닝 정밀도(positioning accuracy)와 관계없이 정밀하게 형성될 수 있다. 또한, 각각의 메탈 포스트(27)는 원통형으로서, 종래의 방법에서 형성되는 메탈 포스트보다 작은 상부면을 갖고 있다. 이로 인하여, 메탈 포스트(27)는 더 작은 직경을 가질 수 있게 되며, 협소 피치(narrowed pitch)를 갖는 반도체 소자에 적용될 수 있게 된다.
- [0050] 또한, 솔더 레지스트층(41)은, 불필요한 시드층(26a)을 제거한 이후에 형성된다. 따라서, 솔더 레지스트층(41)의 상부면(41a)에는 잔존물이 존재하지 않게 된다. 이것은 단락과 같은 장애 발생을 제한한다.
- [0051] 본 실시예는 후술하는 이점들을 갖는다.
- [0052] (1) 반도체 소자(60)가 실장되는 배선 기관(10)은, 배선층(25a) 및 그 배선층(25a) 상에 형성되는 메탈 포스트들(27)을 포함한다. 배선층(25a)은 솔더 레지스트층(41)에 의해 덮여 있으며, 메탈 포스트들(27)의 상단들(27c)은 솔더 레지스트층(41)의 상부면(41a)으로부터 돌출되어 있다. 각각의 메탈 포스트(27)는 솔더(71)에 의해서 페이스-다운(face-down) 실장된 반도체 소자(60)의 대응 접속 단자(패드(60b))에 연결된다. 메탈 포스트(27)의 상단 표면(27a)이 솔더 레지스트층(41)의 상부면(41a)보다도 낮은 경우에는, 솔더(71)에 대한 범프 등의 높이가 증가해야만 한다. 그러나, 솔더 등에 대한 범프의 높이가 증가되는 경우에는, 인접 범프와의 접촉으로 인하여 단락이 발생할 수도 있다. 따라서, 솔더 레지스트층(41)의 상부면(41a)으로부터 메탈 포스트들(27)을 돌출시킨 것으로 인하여, 반도체 소자(60)는 그 반도체 소자를 연결시키는데 사용되는 범프들의 크기를 증가시키는 것 없이도 실장될 수 있게 된다. 이것은, 협소 피치로 배치되는 패드들(60b)을 포함하는 반도체 소자(60)의 실장을 가능하게 한다.
- [0053] (2) 배선층(25a)은 절연층(24) 상에 형성되는 시드층(26a), 및 시드층(26a) 상에 형성되며 평면도에서 시드층(26a)과 동일한 형상을 갖는 금속 도금층(26b)을 포함한다. 시드층(26a)을 전원 공급층으로서 사용하는 전해 구리 도금 처리를 수행하여 금속 도금층(26b)을 형성한다. 또한, 시드층(26a)을 전원 공급층으로서 사용하는 전해 구리 도금 처리를 수행하여, 배선층(25a) 상에 메탈 포스트들(27)을 형성한다. 이어서, 금속 도금층(26b)을 마스크로서 사용하여 시드층(26a)의 불필요한 부분들을 제거한다. 메탈 포스트들(27)을 형성한 이후에 시드층(26a)으로부터 불필요한 부분들을 제거함으로써, 배선층(25a) 및 메탈 포스트들(27)이 다른 배선층들과 연결되는 것을 방지한다. 즉, 배선층(25a) 및 메탈 포스트들(27)은 전기적으로 절연된다. 이러한 방식으로 전기적 절연된 배선층(25a) 및 메탈 포스트들(27)은, 비-연결 단자(NC 단자)로서 세팅될 수도 있다. 전기적으로 연결되는 배선층(25a) 및 메탈 포스트들(27)의 형성은, 전기적으로 연결된 메탈 포스트들(27)만을 사용하는 경우와 비교하여, 배선 기관(10)과 반도체 소자(60) 간의 연결들의 수를 증가시킨다. 이것은 반도체 소자(60)의 안정적인 실장을 가능하게 한다.
- [0054] (3) 메탈 포스트들(27)의 상단들(27c)은, 솔더 레지스트층(41)의 상부면(41a)으로부터 돌출되어 있다. 이로 인하여 반도체 소자(60)에 연결하기 위해 사용되는 범프들의 크기를 증가시키는 것 없이도 스탠드오프(standoff)를 얻게 된다. 이러한 방식으로 얻어지는 스탠드오프는 언더필 수지(72)의 형성을 용이하게 하며, 반도체 소자(60)와 배선 기관(10) 간의 단선(wire breakage) 또는 반도체 소자(60)의 분리와 같은 장애를 감소시킨다.
- [0055] (4) 배선 기관(10)을 제조할 때, 메탈 포스트들(27)은 시드층(26a) 및 금속 도금층(26b)을 덮고 있는 도금 레지스트층(102)의 개구들(102X) 내에 형성된다. 이어서, 메탈 포스트들(27)을 덮고 있는 수지층(110)을 씨닝 처리한 이후에, 수지층(110)을 경화하여서 솔더 레지스트층(41)을 형성한다. 종래 방법에서는, 시드층이 솔더 레지스트층(41) 상에 형성되고, 메탈 포스트들은 그 시드층을 덮고 있는 레지스트층의 개구들 내에 형성된다. 이 경우, 각각의 메탈 포스트는 솔더 레지스트층에 대한 도금 레지스트층의 얼라인먼트 정밀도로 인하여 솔더 레지스트층 내의 대응 개구보다도 커져버릴 수가 있다. 또한, 메탈 포스트들은 솔더 레지스트층에 대한 도금 레지스트층의 얼라인먼트 정밀도로 인하여 변위될 수도 있다. 본 실시예에서는, 배선층(25a) 상에 메탈 포스트들(27)을 형성한 이후에, 메탈 포스트들(27)을 덮고 있는 수지층(110)을 씨닝 처리하여 솔더 레지스트층(41)을 형성하고 있다. 따라서, 메탈 포스트들(27)은 솔더 레지스트층(41)의 포지셔닝 정밀도와 관계없이 정밀하게 형성될 수 있다. 또한, 각각의 메탈 포스트(27)는 원통형으로서, 종래의 방법에서 형성되는 메탈 포스트의 것보다도 작은 상단 표면(27a)을 갖고 있다. 이로 인하여 메탈 포스트(27)는 작은 직경을 가질 수 있게 되며, 협소 피치를 가진 반도체 소자에 적용될 수 있게 된다.

- [0056] (5) 배선 기관(10)을 제조할 때, 솔더 레지스트층(41)은, 시드층(26a), 금속 도금층(26b), 및 메탈 포스트들(27)을 형성한 이후에 형성된다. 종래 기술에서는, 솔더 레지스트층의 개구들 내에 최외배선층이 형성된다. 그러나, 이것은 단락과 같은 장애를 야기할 수도 있는 솔더 레지스트층의 상부면 상에 있는 시드층의 잔존물을 형성하게 된다. 이에 대하여, 본 실시예는 불필요한 시드층(26a)을 제거한 이후에 솔더 레지스트층(41)을 형성한다. 따라서, 솔더 레지스트층(41)의 상부면(41a) 상에는 잔존물들이 남아있지 않게 된다. 이것은 단락과 같은 장애들의 발생을 제한한다.
- [0057] (6) 메탈 포스트들(27)은 수지층(110)에 의해 덮이게 되고, 수지층(110)은 씨닝 및 경화 처리되어 솔더 레지스트층(41)을 형성하게 된다. 따라서, 솔더 레지스트층(41)은 각각의 메탈 포스트(27)의 상단 표면(27a)을 향하여, 상부면(41a)으로부터 메탈 포스트(27)의 측면(27b)으로 연장되는 필렛(41b)을 포함한다. 필렛(41b)은 언더필 수지(72) 내에서의 공동(voids) 형성을 제한한다. 이것은 언더필 수지(72)의 균열과 디폴리에이션을 제한하여서 반도체 소자(60)를 안정적으로 고정하게 한다. 또한, 필렛(41b)은 배선 기관(10)이 세척 또는 표면-처리되는 경우에 잔류 화학제들을 감소시킨다.
- [0058] (7) 메탈 포스트들(27) 및 배선층(25a)의 표면들을 거칠기 처리하여, 메탈 포스트들(27) 및 배선층(25a)에 대한 솔더 레지스트층(41)의 점착력을 향상시킨다. 이것은 메탈 포스트들(27)의 측면들로부터의 솔더 레지스트층(41)의 디폴리에이션을 제한한다. 메탈 포스트들(27)의 측면들로부터의 솔더 레지스트층(41)의 디폴리에이션은, 메탈 포스트들(27) 또는 배선층(25a) 하단들(27d)의 부식을 야기할 수도 있다. 따라서, 디폴리에이션이 제한되는 경우에는, 부식도 제한될 수 있다. 이것은 전기적 신뢰성을 향상시킨다.
- [0059] (8) 솔더 레지스트층(41)의 표면을 거칠기 처리함으로써, 반도체 소자(60)를 실장할 시의 언더필 수지(72)와 솔더 레지스트층(41)의 습윤성 및 점착력을 향상시킨다. 이것은 반도체 소자(60)의 연결 신뢰성을 향상시킨다.
- [0060] (9) 솔더 레지스트층(41)으로부터 노출되는 각각의 메탈 포스트(27)의 상단 표면(27a) 및 측면(27b)은, 표면 처리층(28)에 의해 덮이게 된다. 이것은 메탈 포스트(27)의 부식 저항력을 향상시킨다. 그 결과, 반도체 소자(60)의 연결 신뢰성이 향상된다.
- [0061] 본 발명은 본 발명의 사상 또는 범위를 이탈하지 않는 범위 내에서 다수의 다른 특정 형태로 구체화될 수 있다는 것이 당업자에게는 명백할 것이다. 특히, 본 발명은 다음의 형태들로 구체화될 수도 있다는 것을 이해해야 한다.
- [0062] 상기 실시예에서는, 전자 부품의 역할을 하는 반도체 소자(60)가 배선 기관(10) 상에 실장되었다. 그러나, 반도체 소자를 포함하는 다른 배선 기관 또는 반도체 모듈(반도체 패키지)이 배선 기관(10) 상에 실장될 수도 있다. 즉, 메탈 포스트들(27)은 다른 배선 기관 또는 반도체 모듈(반도체 패키지)을 실장하기 위해 사용될 수도 있다.
- [0063] 상기 실시예에서, 형상들은 변경될 수도 있으며, 부품들이 부가될 수도 있다.
- [0064] 예를 들어, 도 4a를 참조하면, 솔더 레지스트층(41)은 개구들(41X)을 포함할 수도 있다. 예를 들어, 도 3c에 도시된 수지층(110) 상에서 포토리소그래피 처리를 수행함으로써 개구들(41X)을 형성할 수도 있다. 예를 들어, 감광성 수지층(110)을 형성하고, 수지층(110)을 노광 및 현상하여 개구들(41X)을 형성한다.
- [0065] 개구들(41X)은 절연층(24)의 상부 부분(24a)을 노출시킨다. 개구들(41X)은 예를 들어, 배선 기관을 절단할 경우에 효과적이다. 배선 기관이 그 배선 기관들의 배치(batch)를 포함하는 경우, 개별화된 배선 기관들의 평면도 형상에 따르는 코너들의 형성으로 인하여, 파선으로 나타나는 절단 위치들이 용이하게 발견될 수 있게 된다. 또한, 절단을 위해 사용되는 도구에의, 솔더 레지스트층(41)의 부착이 감소된다.
- [0066] 도 4b를 참조하면, 개구들(41Y)은 배선층(25)의 상부면을 노출시키기 위하여 형성될 수 있다. 개구들로부터 노출되는 배선층(25)의 표면은, 포지셔닝 마크(얼라인먼트 마크)로서 사용될 수 있으며, 또는 배선 기관(10)의 타입이나 일련 번호를 나타내도록 표시될 수 있다.
- [0067] 개구(41Y)로부터 노출되는 배선층(25)의 부분들은 연결 패드들로서 사용될 수도 있다.
- [0068] 보다 구체적으로, 도 5에 도시된 바와 같이, 반도체 디바이스(200)는 다수의(도 5에서는 2개) 스택킹된 반도체 패키지들(반도체 디바이스들)(201 및 202)을 포함한다. 반도체 디바이스(200)는 패키지온패키지(Package on Package; PoP) 제품이다.
- [0069] 반도체 패키지(201)는 배선 기관(210) 및 반도체 소자(220)를 포함한다. 배선 기관(210)은 배선 기관(10)과 동

일한 방식으로 형성된다. 상세하게는, 배선 기판(210)은 기판 본체(211), 배선층들(212, 212a, 및 216), 메탈 포스트들(213), 표면 처리층(214), 및 솔더 레지스트층들(215 및 217)을 포함한다. 기판 본체(211)는 상부면 상의 배선층들(212 및 212a)을 하부면 상의 배선층들(216)에 전기적으로 연결시키는 부재를 포함한다. 따라서, 필요한 경우에는, 도 1a에 도시된 배선 기판(10)의 것들과 유사한 배선층들이 기판 본체(211)에 형성될 수도 있다. 기판 본체(211)는 예를 들어, 코어 기판을 포함하는 코어 빌드업 기판, 또는 코어 기판을 제외한 코어리스 기판일 수 있다.

[0070] 도 1b에 도시된 배선층(25a)과 동일한 방식으로, 배선층들(212 및 212a)은 시드층 및 금속 도금층을 포함한다. 배선층(212a) 상에는 메탈 포스트들(213)이 형성된다. 솔더 레지스트층(215)은 기판 본체(211)의 상부면을 덮는다. 각각의 메탈 포스트(213)는 솔더 레지스트층(215)으로부터 돌출되는 상단(27c)을 포함한다. 각각의 메탈 포스트(213)의 표면 상에는 표면 처리층(214)이 형성된다. 표면 처리층(214)은 예를 들어, 표면 처리층(28)에서와 같은 도금층 또는 OSP 막일 수 있다. 표면 처리층(214)은 반드시 형성될 필요는 없다.

[0071] 각각의 메탈 포스트(213)는 솔더(221)에 의해서 반도체 소자(220)의 패드에 연결된다. 배선 기판(210)과 반도체 소자(220) 사이에는 언더필 수지(222)가 형성된다.

[0072] 솔더 레지스트층(215)은 배선층(212)의 부분들을 패드들(P11)로서 노출시키는 개구들(215X)을 포함한다. 패드들(P11)은 반도체 패키지(202)와의 연결을 위해서 사용된다.

[0073] 솔더 레지스트층(217)은 기판 본체(211)의 하부면을 덮는다. 솔더 레지스트층(217)은 배선층(216)의 부분들을 패드들(P12)로서 노출시키는 개구들(217X)을 포함한다. 패드들(P12)은 마더보드와 같은 기판 상에 반도체 디바이스(200)를 실장할 경우에 사용된다.

[0074] 반도체 패키지(201)와 마찬가지로, 반도체 패키지(202)는 배선 기판(230) 및 반도체 소자(240)를 포함한다. 배선 기판(210)과 마찬가지로, 배선 기판(230)은 기판 본체(231), 배선층들(232 및 236), 메탈 포스트들(233), 표면 처리층(234), 및 솔더 레지스트층들(235 및 237)을 포함한다. 기판 본체(231)는 상부면 상의 배선층(232)과 하부면 상의 배선층(236)을 전기적으로 연결시키는 부재를 포함한다. 필요한 경우에는, 도 1a에 도시된 배선 기판(10)의 것과 유사한 배선층들이 기판 본체(231)에 형성될 수도 있다. 기판 본체(231)는 예를 들어, 코어 기판을 포함하는 코어 빌드업 기판, 또는 코어 기판이 제외된 코어리스 기판일 수 있다.

[0075] 도 1b에 도시된 배선층(25a)과 동일한 방식으로, 배선층(232)은 시드층 및 금속 도금층을 포함한다. 배선층(232) 상에는 메탈 포스트들(233)이 형성된다. 솔더 레지스트층(235)은 기판 본체(231)의 상부면을 덮는다. 각각의 메탈 포스트(233)는 솔더 레지스트층(235)으로부터 돌출되는 상단을 포함한다. 각각의 메탈 포스트(233)의 표면 상에는 표면 처리층(234)이 형성된다. 표면 처리층(234)은 예를 들어, 표면 처리층(28)과 마찬가지로 도금층 또는 OSP 막이 될 수 있다. 표면 처리층(234)은 반드시 형성되어야 하는 것은 아니다.

[0076] 각각의 메탈 포스트(233)는 솔더(241)에 의해서 반도체 소자(240)의 패드에 연결된다. 배선 기판(230)과 반도체 소자(240) 사이에는 언더필 수지(242)가 형성된다.

[0077] 솔더 레지스트층(237)은 기판 본체(231)의 하부면을 덮는다. 솔더 레지스트층(237)은 배선층(236)의 부분들을 패드들(P22)로서 노출시키는 개구들(237X)을 포함한다. 패드들(P22)은 반도체 패키지(202)를 반도체 패키지(201)에 연결시킬 경우에 사용된다.

[0078] 솔더 볼들(251)은 배선 기판(210)의 패드들(P11)을 배선 기판(230)의 패드들(P22)에 전기적으로 연결시킨다. 각각의 솔더 볼(251)은 예를 들어, 금속 코어 솔더 볼이다. 금속은, 예를 들어, 구리이다. 솔더 볼(251)은 금속 코어 대신에 수지 코어를 포함할 수도 있다.

[0079] 배선 기판(210)과 배선 기판(230) 사이의 공간은 수지(252)로 채워져 있다. 수지(252)는 배선 기판들(210 및 230)이 연결되는 부분을 보호한다. 수지(252)는 배선 기판(210)과 배선 기판(230)을 연결시키는 강도를 증가시킨다. 수지(252)는 에폭시 수지 또는 폴리이미드 수지와 같은 절연 수지, 또는 실리카(SiO_2)와 같은 필러가 혼합된 절연 수지일 수 있다.

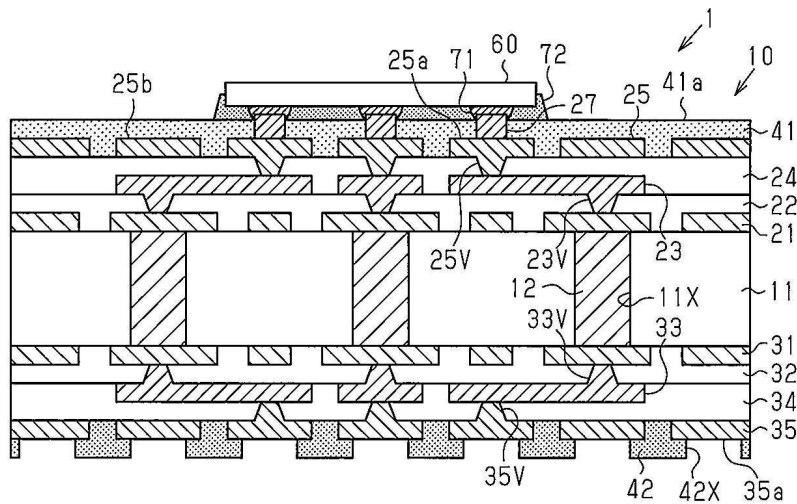
[0080] 배선 기판(210)에 있어서, 각각의 메탈 포스트(213)는 50 내지 300 μm (예를 들면, 75 μm)의 직경을 가질 수 있다. 또한, 각각의 메탈 포스트(213)는 50 내지 200 μm (예를 들면, 100 μm)의 높이(솔더 레지스트층(215)으로부터 돌출량)를 가질 수 있다.

[0081] 도 1a에 도시된 배선층(25a)의 두 부분 사이에는 배선이 형성될 수 있다.

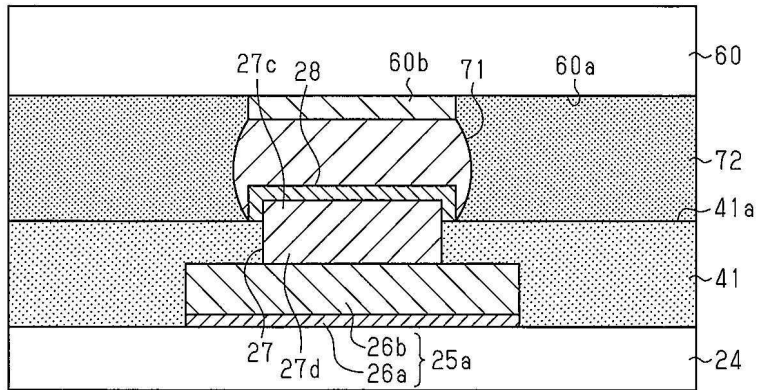
- [0082] 예를 들어, 도 6a에 도시된 바와 같이, 메탈 포스트들(301)은 배선 기관(300)의 상부면(300a)(반도체 소자가 실장되는 표면) 상에 배치된다. 메탈 포스트들(301)은 평면도에서 매트릭스 배열로 레이아웃 되며, 패드들의 레이아웃에 따라 반도체 소자의 패드들에 각각 연결된다. 메탈 포스트들(301)은 메탈 포스트들(27)과 동일한 방식으로 형성된다.
- [0083] 배선 기관(300)은 메탈 포스트들(301)로부터, 그 메탈 포스트들(301)이 형성되는 영역의 외측에 위치하는 관통홀들(302)로 연장되는 배선들(303)을 포함한다. 배선들(303)은 매트릭스 배열의 메탈 포스트들(301) 사이에서 연장된다. 배선 기관(300)의 솔더 레지스트층(305)(도 6b 참조)은, 배선들(303) 및 관통홀들(302)을 덮는다. 이해의 용이화를 위해, 관통홀들(302) 및 배선들(303)은 도 6a에서 실선으로 나타나 있다.
- [0084] 도 6b에 도시된 바와 같이, 메탈 포스트들(301)이 연결되는 배선층(304)의 부분들 사이에는 배선들(303)이 형성되어 있다. 배선층(25a)과 동일한 방식으로, 배선층(304)은 시드층 및 금속 도금층을 포함한다. 각각의 배선(303)은 배선층(304)(배선층(25a))과 동일한 방식으로 형성된다.
- [0085] 상기 실시예와 동일한 방식으로 형성되는 메탈 포스트들(301)이, 높은 정밀도로 형상화 및 포지셔닝되어 있다. 따라서, 메탈 포스트들이 형성되는 배선층(304)은 메탈 포스트들의 연결을 허용하는 크기를 가질 수 있다. 따라서, 전술한 바와 같이, 배선들(303)은 2개의 인접하는 배선층(304)의 부분들 사이에 형성될 수 있다. 배선들(303)은, 이러한 배선들을 포함하지 않는 배선 기관과 비교할 때, 배선 기관(300)에서의 적층되는 배선층들 및 절연층들의 수를 감소시킨다. 이로 인하여, 배선 기관(300)은 두께가 감소될 수 있으며, 또한 보다 신속하고 적은 비용으로 제조될 수 있게 된다.
- [0086] 본 예시들 및 실시예들은 한정이 아닌 예시적인 것으로서 고려되어야 하고, 본 발명은 본 명세서에서 제공된 세부사항들로 제한되지 않고, 첨부된 청구항들의 범위 및 등가물의 범위 내에서 변형될 수도 있다.

도면

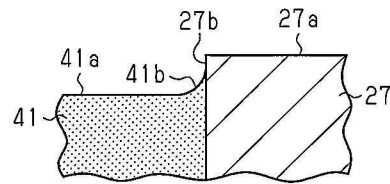
도면1a



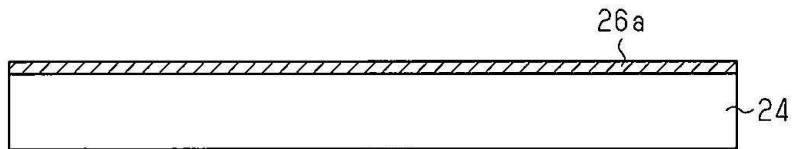
도면1b



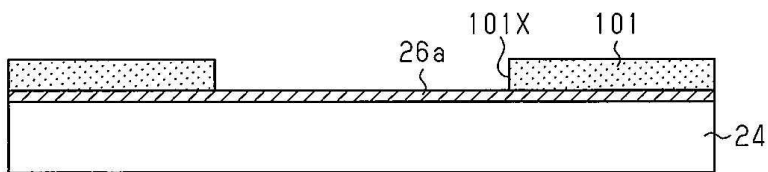
도면1c



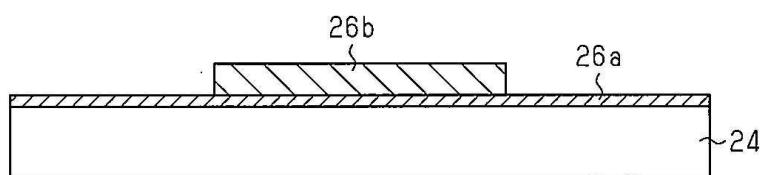
도면2a



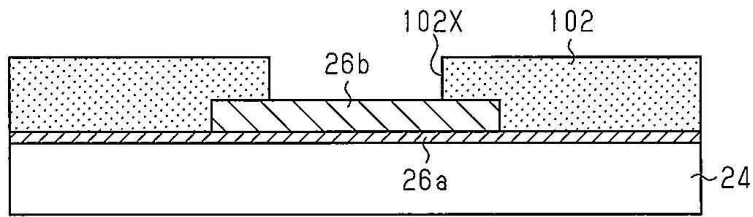
도면2b



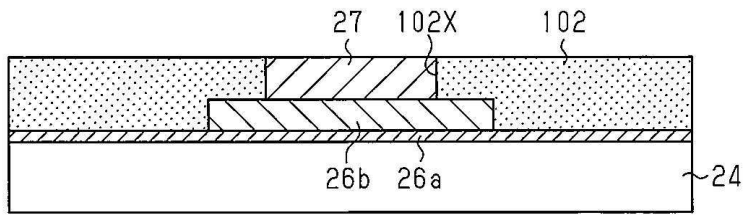
도면2c



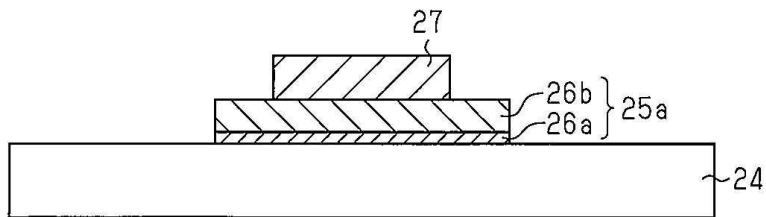
도면2d



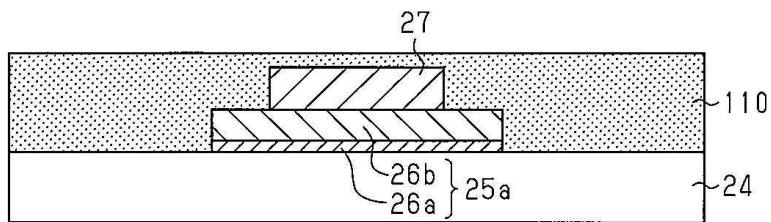
도면2e



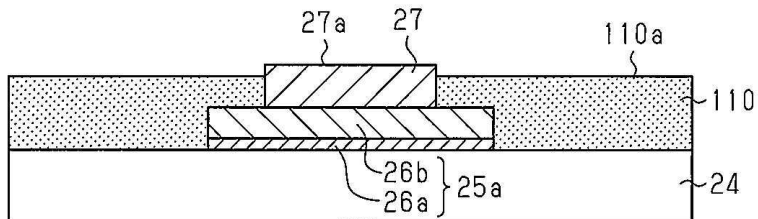
도면3a



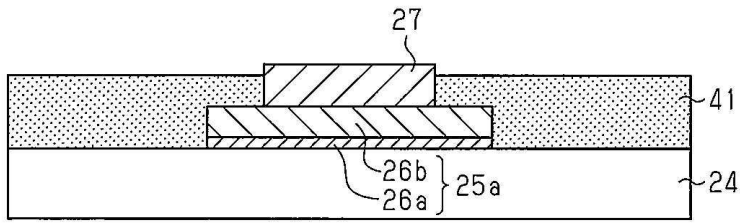
도면3b



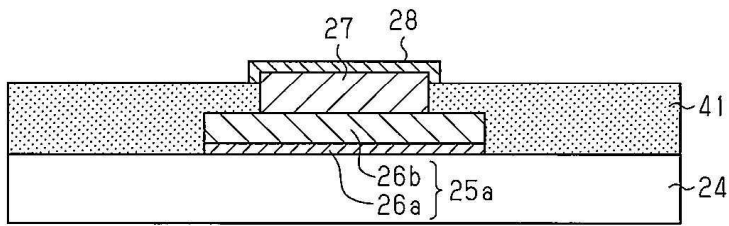
도면3c



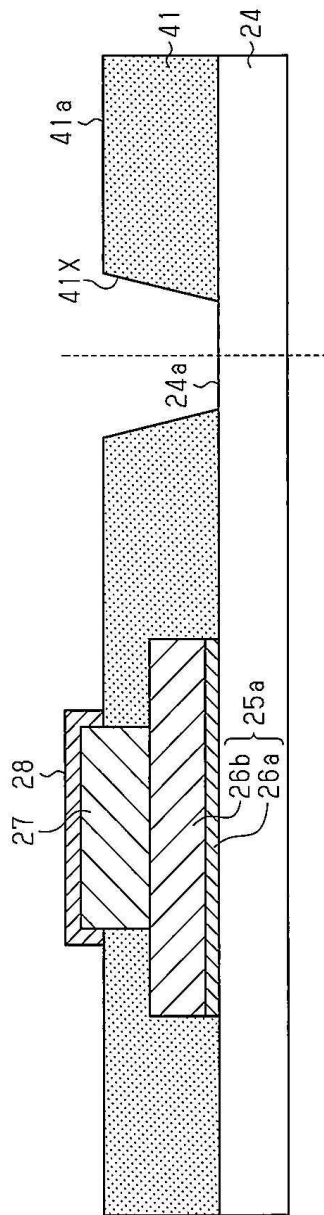
도면3d



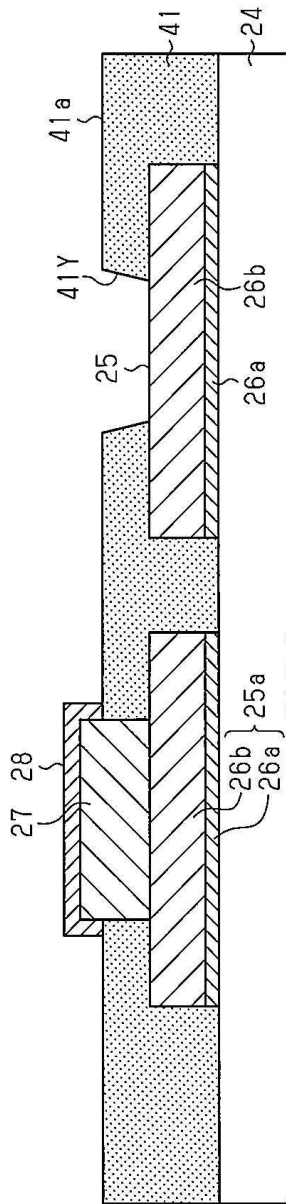
도면3e



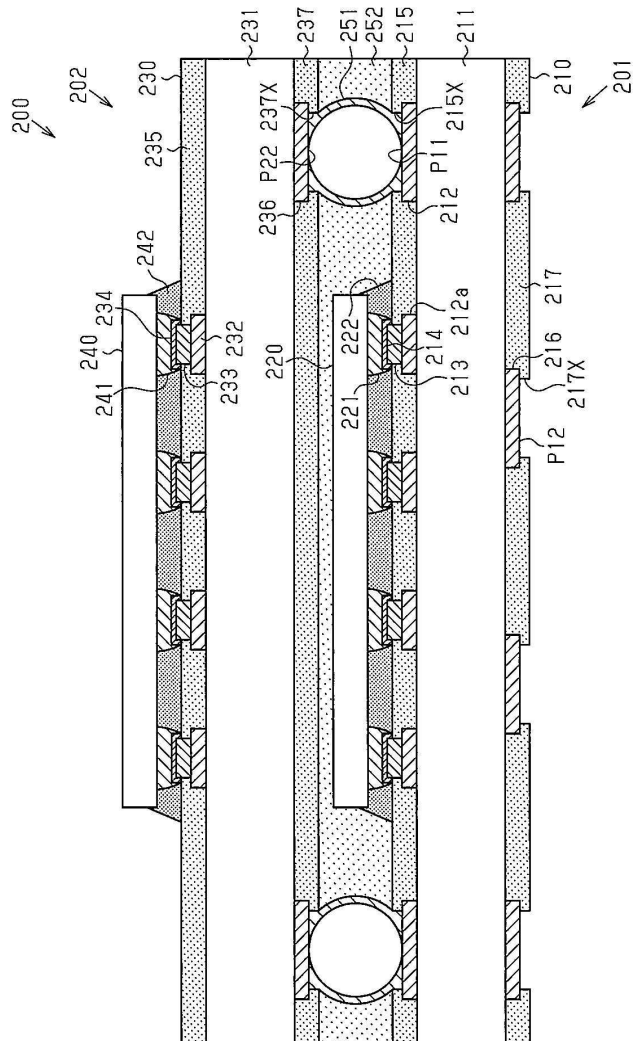
도면4a



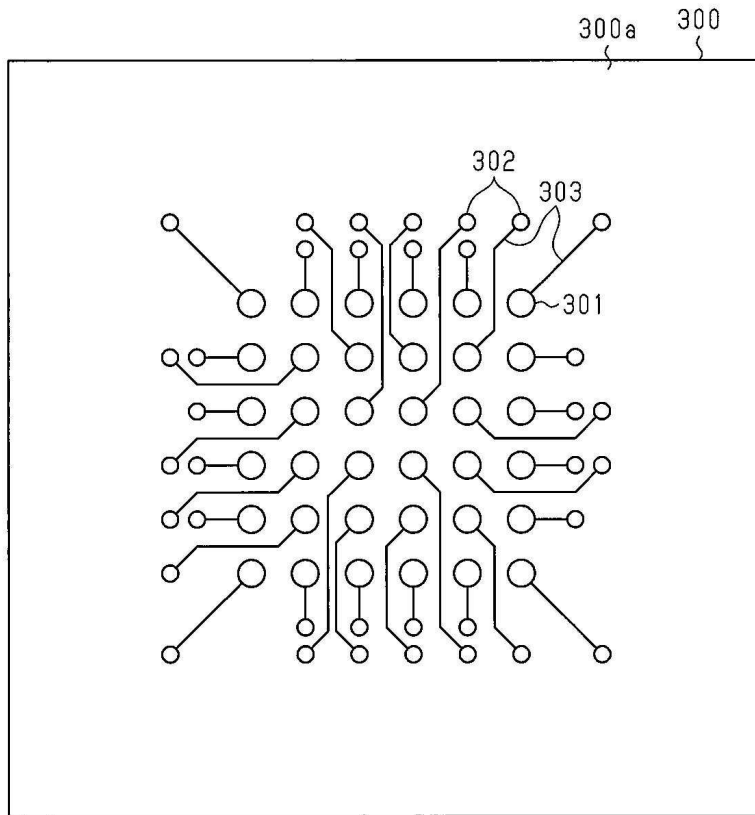
도면4b



도면5



도면6a



도면6b

