

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
15. August 2002 (15.08.2002)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 02/063687 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 23/66**,  
23/58

(DE). JANKE, Marcus [DE/DE]; Spitzingplatz 3, 81539  
München (DE). HOFREITER, Peter [DE/DE]; Jahnsteig  
25, 83624 Otterfing (DE).

(21) Internationales Aktenzeichen: PCT/DE02/00470

(74) Anwalt: EPPING, HERMANN & FISCHER; Ridlerstr.  
55, 80339 München (DE).

(22) Internationales Anmeldedatum:  
8. Februar 2002 (08.02.2002)

(81) Bestimmungsstaaten (national): BR, CA, CN, IL, IN, JP,  
KR, MX, RU, UA, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
NL, PT, SE, TR).

(26) Veröffentlichungssprache: Deutsch

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu  
veröffentlichen nach Erhalt des Berichts

(30) Angaben zur Priorität:  
101 05 725.3 8. Februar 2001 (08.02.2001) DE

Zur Erklärung der Zweibuchstaben-Codes und der anderen  
Abkürzungen wird auf die Erklärungen ("Guidance Notes on  
Codes and Abbreviations") am Anfang jeder regulären Ausgabe  
der PCT-Gazette verwiesen.

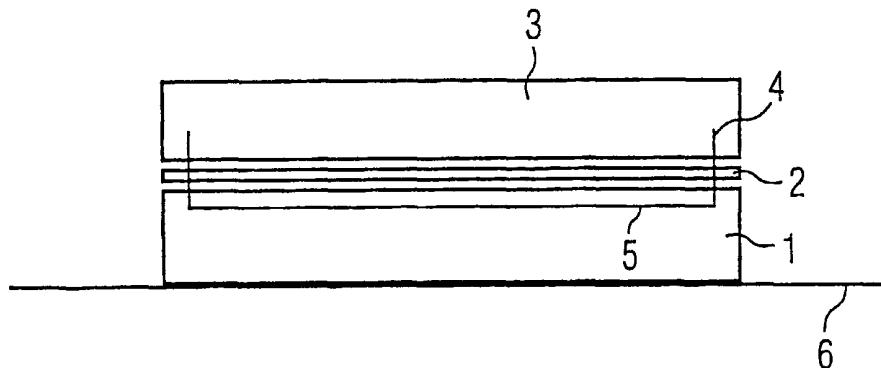
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-  
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): AUMÜLLER, Chris-  
tian [DE/DE]; Raistinger Str. 6 d, 82362 Weilheim

(54) Title: SCREENING DEVICE FOR INTEGRATED CIRCUITS

(54) Bezeichnung: ABSCHIRMVORRICHTUNG FÜR INTEGRIERTE SCHALTUNGEN



**WO 02/063687 A2**

(57) Abstract: The invention relates to a screening device comprising means for optical and/or electrical screening which are arranged in the semiconductor chip on the side of the integrated circuit facing the substrate. Preferred embodiments use an SOI substrate with the integrated circuit in the body silicon layer (3) and with the isolator layer (2) as an optical screening device of the bulk silicon layer (1). Electrical conductors (5) can be provided in the bulk silicon layer as an optical and electrical screening device and can be connected to the circuit by means of platings (4).

(57) Zusammenfassung: Die Abschirmvorrichtung umfasst Mittel zur optischen und/oder elektrischen Abschirmung, die auf der dem Substrat zugewandten Seite der integrierten Schaltung in dem Halbleiterchip angeordnet sind. Bevorzugte Ausgestaltungen verwenden ein SOI-Substrat mit der integrierten Schaltung in der Body-Siliziumschicht (3) und der Isolatorschicht (2) als optischer Abschirmvorrichtung von der Bulk-Siliziumschicht (1) her. In der Bulk-Siliziumschicht können elektrische Leiter (5) als optische und elektrische Abschirmvorrichtung vorhanden und mit Durchkontaktierungen (4) mit der Schaltung verbunden sein.

## Beschreibung

### Abschirmvorrichtung für integrierte Schaltungen

5 Die vorliegende Erfindung betrifft eine Abschirmvorrichtung, mit der ein wirksamer Schutz gegen Angriffe auf eine integrierte Schaltung erreicht wird.

Bei integrierten Schaltungen in sicherheitsrelevanten Anwendungsgebieten tritt die Schwierigkeit auf, dass die Schaltungen gegen Angriffe zum Ausspionieren oder Analysieren der betreffenden Schaltung, z. B. mittels FIB (Focused Ion Beam), geschützt werden müssen. Auch optische oder mechanische Analysemethoden werden angewandt.

15 Es bestehen bereits eine Anzahl von Sicherheitskonzepten, mit denen die integrierten Schaltungen gegen derartige Angriffe geschützt, insbesondere mit einem Schutzschild versehen werden können. Besonders wirkungsvoll ist dabei ein aktiver Schutzschild (active shield), bei dem stromführende Leiterbahnen und/oder aktive Bauelemente eingesetzt werden, um einen äußeren Angriff auf die Schaltung abzuschirmen. Bisher wurde die Gefahr einer Analyse der Schaltungen von der Rückseite des Halbleiterchips, d. h. durch das Halbleitersubstrat 25 hindurch, vernachlässigt.

In der Halbleitertechnologie wird vielfach ein so genanntes SOI-Substrat (Silicon On Insulator) verwendet. Es besteht im Volumen größtenteils aus einer Bulk-Siliziumschicht, auf der sich, durch eine dünne Isolatorschicht von der Bulk-Siliziumschicht getrennt, eine dünne, in der Regel kristalline Body-Siliziumschicht befindet, in der die Halbleiterbauelemente ausgebildet sind.

35 Aufgabe der vorliegenden Erfindung ist es, einen wirksamen Schutz gegen Angriffe auf integrierte Schaltungen von der Substratrückseite her anzugeben.

Diese Aufgabe wird mit der Abschirmvorrichtung für integrierte Schaltungen mit den Merkmalen des Anspruchs 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

5

Die erfindungsgemäße Abschirmvorrichtung umfasst Mittel zur optischen und/oder elektrischen Abschirmung, die auf der dem Substrat zugewandten Seite der integrierten Schaltung in dem Halbleiterchip angeordnet sind. Bevorzugte Ausgestaltungen

10 verwenden ein SOI-Substrat, um die integrierte Schaltung in der Body-Siliziumschicht des SOI-Substrates auszubilden und die Isolatorschicht des SOI-Substrates als optische Abschirmvorrichtung von der Bulk-Siliziumschicht her zu nutzen.

15 Weiterbildungen der Erfindung sehen vor, in der Bulk-Siliziumschicht eines SOI-Substrates, vorzugsweise in der Nähe der Isolatorschicht, elektrische Leiter, insbesondere Leiterbahnen oder Leiterflächen, als Abschirmvorrichtung vorzusehen. Diese Leiter können mit einer oder mehreren Durchkontaktierungen, die durch die Isolationsschicht hindurch in die Body-Siliziumschicht geführt sind, mit der Body-Siliziumschicht oder einem oder mehreren in der Body-Siliziumschicht vorhandenen Bauelementen der Schaltung verbunden sein. So kann eine aktive Ansteuerung der in der Bulk-Siliziumschicht 20 angeordneten Leiter realisiert sein.

25 Es folgt eine Beschreibung von Beispielen der erfindungsgemäßen Abschirmvorrichtung anhand der beigefügten Figur. Diese Figur zeigt im Querschnitt ein SOI-Substrat mit einer erfindungsgemäß angeordneten Leiterstruktur.

Das SOI-Substrat (Silicon On Insulator) besteht aus einer Bulk-Siliziumschicht 1, die als Siliziumkörper denjenigen Bestandteil bildet, der das wesentliche Volumen des Substrates 30 ausmacht, einer darauf aufgebrachten oder in dem Siliziumkörper ausgebildeten dünnen Isolatorschicht 2 und einer ebenfalls dünnen, vorzugsweise kristallinen Body-Siliziumschicht

3, in der die Halbleiterbauelemente der integrierten Schaltung ausgebildet sind. In der Figur sind die Dicken der Schichten nicht maßstabsgetreu dargestellt, da es nur auf die prinzipielle Anordnung der Schichten zueinander ankommt.

5

In der Figur sind mit vertikalen Strichen elektrisch leitende Durchkontakteierungen 4 dargestellt, die durch die Isolatorschicht 2 hindurch gehen und die Body-Siliziumschicht 3 mit der Bulk-Siliziumschicht 1 elektrisch verbinden. In der Body-Siliziumschicht 3 können diese Durchkontakteierungen 4 in einer beliebigen Weise an Komponenten einer in der Body-Siliziumschicht 3 integrierten Schaltung angeschlossen sein. Die Durchkontakteierungen 4 sind elektrisch leitend verbunden mit Leitern 5, die in der Bulk-Siliziumschicht 1, vorzugsweise in der Nähe der Isolatorschicht 2, angebracht sind. Diese elektrischen Leiter können als Leiterbahnen, die gitterartig oder doppelgitterartig strukturiert sein können, oder als Leiterflächen oder dergleichen ausgebildet sein. Diese Leiter 5 können bei der Herstellung des Substrates durch Implantation von Dotierstoff in das Halbleitermaterial der Bulk-Siliziumschicht 1 hergestellt werden. Es ist von Vorteil, wenn die Leiter 5 einen möglichst großen Bereich der Substratfläche bedecken. Das SOI-Substrat ist in diesem Beispiel auf einem Modulträger 6 montiert, der aber für die Erfindung nicht wesentlich ist.

Die Verwendung eines SOI-Substrates auch bei Halbleiterschaltungen, für die normalerweise kein SOI-Substrat vorgesehen wird, bewirkt, dass eine optische Inspektion mittels Rückseitenmikroskopie (Backside IR Microscopy) aufgrund der unterschiedlichen Brechungsindices des Halbleitermaterials und des Isolators nicht mehr möglich ist. Die Isolatorschicht bildet daher eine erfindungsgemäße Abschirmvorrichtung. In einem herkömmlichen Halbleitersubstrat oder speziell in der Bulk-Siliziumschicht eines SOI-Substrates, wie in dem beschriebenen Ausführungsbeispiel, können als Abschirmkomponenten elektrische Leiter vorgesehen werden; insbesondere können diese

Leiter über vertikale elektrisch leitende Verbindungen, z. B. die beschriebenen Durchkontaktierungen, aktiv mit Komponenten der integrierten Schaltung angesteuert werden.

- 5 Bei Ausgestaltungen mit elektrischen Leitern als Abschirmvorrichtung auf der Substratseite des Halbleiterchips und elektrisch leitenden Verbindungen zwischen diesen Leitern und der integrierten Schaltung ist es insbesondere möglich, den Leitern der Abschirmvorrichtung Signalimpulse zuzuführen und  
10 mittels einer nachfolgenden Verifikation dieser zugeführten Signalimpulse eventuelle Manipulationen von der Rückseite des Substrates, d. h. in dem Ausführungsbeispiel mit SOI-Substrat von der Bulk-Siliziumschicht her, zu detektieren. Damit ist ein aktiver Rückseitenschirm (backside shield) realisiert.  
15 Obwohl die Verwendung eines SOI-Substrates erfindungsgemäß bevorzugt ist, kann eine aktive Rückseitenabschirmung des Substrates auch bei einem herkömmlichen Substrat ohne Isolationsschicht vorgesehen werden. Ein solcher Schutzschild  
20 wirkt im Prinzip wie ein aktiver Schutzschild auf der Oberseite des IC-Chips.

Bezugszeichenliste

- 1 Bulk-Siliziumschicht
- 2 Isolatorschicht
- 5 3 Body-Siliziumschicht
- 4 Durchkontaktierung
- 5 Leiter
- 6 Modulträger

## Patentansprüche

1. Abschirmvorrichtung für eine integrierte Schaltung in einem Halbleiterchip, der ein Substrat umfasst,  
5 durch gekennzeichnet, dass Mittel zur optischen und/oder elektrischen Abschirmung auf der dem Substrat zugewandten Seite der integrierten Schaltung in dem Halbleiterchip angeordnet sind.
- 10 2. Abschirmvorrichtung nach Anspruch 1, bei der das Substrat ein SOI-Substrat ist und die Mittel zur Abschirmung eine Isolationsschicht (2) des Substrates umfassen.
- 15 3. Abschirmvorrichtung nach Anspruch 1 oder 2, bei der die Mittel zur Abschirmung mindestens einen Leiter (5) umfassen, der auf der dem Substrat zugewandten Seite der integrierten Schaltung in dem Substrat angeordnet ist.
- 20 4. Abschirmvorrichtung nach Anspruch 3, bei der der Leiter (5) in einer Bulk-Siliziumschicht (1) eines SOI-Substrates angeordnet ist, eine Durchkontaktierung (4) in einer Isolatorschicht (2) des Substrates vorhanden ist und die Durchkontaktierung den Leiter (5) mit einer Body-Siliziumschicht (3) des Substrates oder einem darin ausgebildeten Bauelement elektrisch leitend verbindet.
- 25 5. Abschirmvorrichtung nach Anspruch 3 oder 4, bei der der Leiter (5) ein Element aus der Gruppe von Leiterfläche, Leiterbahn, Leitergitter und Leiterdoppelgitter ist.
- 30 6. Abschirmvorrichtung nach einem der Ansprüche 3 bis 5, bei der der Leiter (5) als dotierter Bereich in dem Substrat ausgebildet ist.

1/1

