



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I471860 B

(45)公告日：中華民國 104 (2015) 年 02 月 01 日

(21)申請案號：101108720 (22)申請日：中華民國 101 (2012) 年 03 月 14 日

(51)Int. Cl. : G11C11/00 (2006.01) G11C13/00 (2006.01)

(30)優先權：2011/05/26 日本 2011-117555

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
日本

(72)發明人：出口淳 DEGUCHI, JUN (JP) ; 戶田春希 TODA, HARUKI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW	201106361A1	TW	201106370A1
JP	2010-33675A	JP	2010-192040A
US	2004/0257864A1	US	2007/0041235A1
US	2010/0054019A1	US	2011/0116300A1

審查人員：鄧嘉琳

申請專利範圍項數：20 項 圖式數：13 共 43 頁

(54)名稱

半導體記憶裝置

SEMICONDUCTOR MEMORY DEVICE

(57)摘要

一種半導體記憶裝置包括：一記憶單元陣列，其包含在複數個第一線與複數個第二線之相交處提供之複數個記憶單元；及一寫入電路。在執行一寫入操作時，該寫入電路執行如下之一第一步驟：跨連接至一資料寫入目標的經選擇之記憶單元之第一線及第二線施加一電壓且跨連接至一非資料寫入目標的該複數個記憶單元之未經選擇之記憶單元之第一線及第二線施加一不同電壓，及在執行該第一步驟之後，執行如下之一第二步驟：跨連接至該經選擇之記憶單元之第一線及第二線施加對寫入資料必需之一電壓、且將連接至該未經選擇之記憶單元之第一線及第二線之至少一者帶入至浮動狀態中。

A semiconductor memory device comprises a memory cell array including plural memory cells provided at the intersections of plural first lines and plural second lines; and a write circuit. The write circuit, on execution of a write operation, executes a first step of applying a voltage across the first and second lines connected to a data-write-targeted, selected memory cell, and a different voltage across the first and second lines connected to a data-write-untargeted, unselected memory cell of the plural memory cells and, after execution of the first step, executes a second step of applying a voltage, required for data write, across the first and second lines connected to the selected memory cell, and bringing at least one of the first and second lines connected to the unselected memory cell into the floating state.

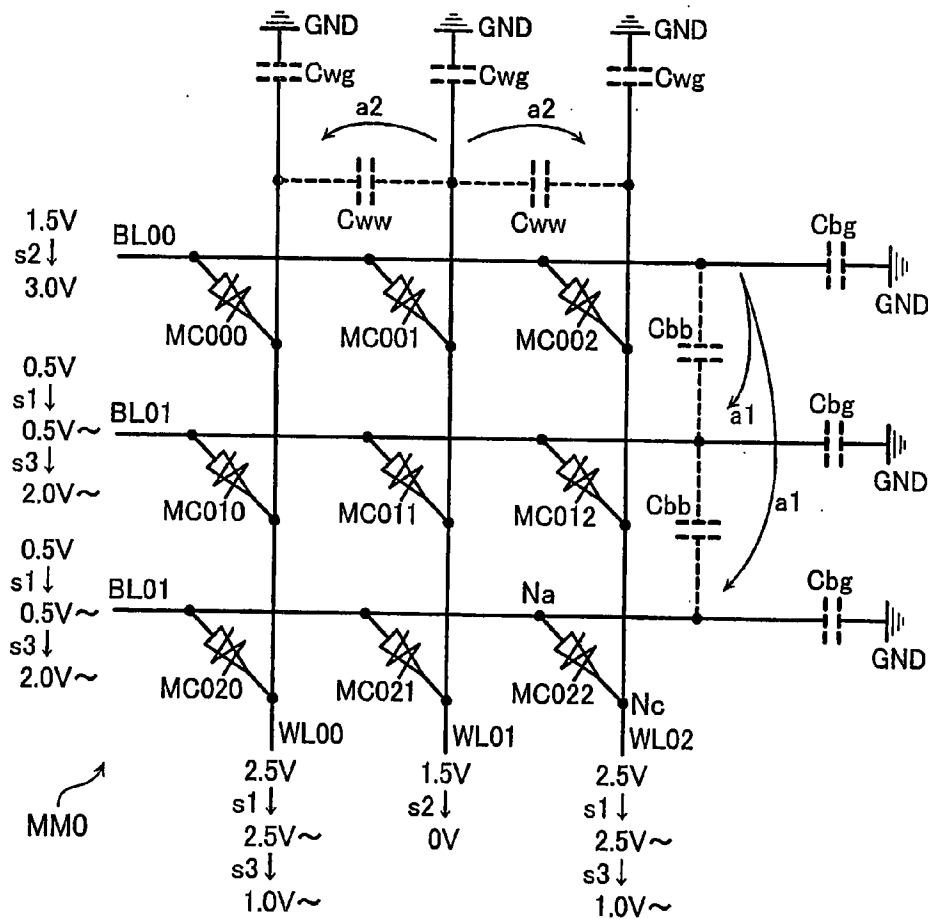


圖 5

- a1 . . . 箭頭
- a2 . . . 箭頭
- BL00 . . . 位元線
- BL01 . . . 位元線
- Cbb . . . 寄生電容
- Cbg . . . 寄生電容
- Cwg . . . 寄生電容
- Cww . . . 寄生電容
- GND . . . 接地線
- MC000 . . . 記憶單元
- MC001 . . . 記憶單元
- MC002 . . . 記憶單元
- MC010 . . . 記憶單元
- MC011 . . . 記憶單元
- MC012 . . . 記憶單元
- MC020 . . . 記憶單元
- MC021 . . . 記憶單元
- MC022 . . . 記憶單元
- MM0 . . . 記憶單元墊
- Na . . . 節點/陽極
- Nc . . . 節點/陰極
- WL00 . . . 字線
- WL01 . . . 字線
- WL02 . . . 字線

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101108720

※申請日：101.3.14

※IPC 分類：G11C 11/00 (2006.01)

一、發明名稱：(中文/英文)

G11C 13/00 (2006.01)

半導體記憶裝置

SEMICONDUCTOR MEMORY DEVICE

二、中文發明摘要：

一種半導體記憶裝置包括：一記憶單元陣列，其包含在複數個第一線與複數個第二線之相交處提供之複數個記憶單元；及一寫入電路。在執行一寫入操作時，該寫入電路執行如下之一第一步驟：跨連接至一資料寫入目標的經選擇之記憶單元之第一線及第二線施加一電壓且跨連接至一非資料寫入目標的該複數個記憶單元之未經選擇之記憶單元之第一線及第二線施加一不同電壓，及在執行該第一步驟之後，執行如下之一第二步驟：跨連接至該經選擇之記憶單元之第一線及第二線施加對寫入資料必需之一電壓，且將連接至該未經選擇之記憶單元之第一線及第二線之至少一者帶入至浮動狀態中。

三、英文發明摘要：

A semiconductor memory device comprises a memory cell array including plural memory cells provided at the intersections of plural first lines and plural second lines; and a write circuit. The write circuit, on execution of a write operation, executes a first step of applying a voltage across the first and second lines connected to a data-write-targeted, selected memory cell, and a different voltage across the first and second lines connected to a data-write-untargeted, unselected memory cell of the plural memory cells and, after execution of the first step, executes a second step of applying a voltage, required for data write, across the first and second lines connected to the selected memory cell, and bringing at least one of the first and second lines connected to the unselected memory cell into the floating state.

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

a1	箭頭
a2	箭頭
BL00	位元線
BL01	位元線
Cbb	寄生電容
Cbg	寄生電容
Cwg	寄生電容
Cww	寄生電容
GND	接地線
MC000	記憶單元
MC001	記憶單元
MC002	記憶單元
MC010	記憶單元
MC011	記憶單元
MC012	記憶單元
MC020	記憶單元
MC021	記憶單元
MC022	記憶單元
MM0	記憶單元墊
Na	節點/陽極
Nc	節點/陰極

WL00 字線

WL01 字線

WL02 字線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本實施例係關於一種半導體記憶裝置。

本申請案係基於且主張於2011年5月26日申請之先前日本專利申請案第2011-117555號之優先權，該案之全部內容以引用的方式併入本文中。

【先前技術】

一種可輕易形成於三維空間中的可變電阻記憶體(ReRAM：電阻隨機存取記憶體)已作為可儲存大量使用資料之一半導體記憶裝置而受到關注。該可變電阻記憶體之單元之特徵在於根據施加至記憶單元之電壓之極性大幅改變之電壓-電流特性。

包含可變電阻記憶單元之半導體記憶裝置習知藉由將不同於施加至經選擇之記憶單元之一偏壓施加至所有未經選擇之記憶單元以自外部存取至該經選擇之記憶單元而區別一選擇目標記憶單元(在下文稱為「經選擇之記憶單元」)與其他記憶單元(在下文稱為「未經選擇之記憶單元」)。根據該偏壓之設定，可增加未經選擇之記憶單元之故障操作之限度，藉此確保單元陣列之可靠操作。然而，偏壓之設定並不易，且若其意欲在一最佳偏壓條件下存取，則例如電流消耗增加成為一問題。

因此，若此等可變電阻記憶體係用於大量儲存半導體記憶裝置，則無法充分增加存取目標單元陣列之大小。結果，一半導體記憶裝置中的記憶單元中共用降低，使得三

維結構之優點無法充分運用。

[專利文獻 1] JP 2010-33675A

【實施方式】

根據實施例之一半導體記憶裝置包括：一記憶單元陣列，其包含複數個第一線、與該等第一線相交之複數個第二線，及該等第一線及該等第二線之相交處提供之且經操作以根據不同電阻狀態儲存資料之複數個記憶單元；及一寫入電路，其經操作以對一資料寫入目標的該複數個記憶單元之經選擇之記憶單元執行一寫入操作；該記憶單元具有在施加第一極性之一設定電壓時將電阻狀態自第一電阻狀態改變至第二電阻狀態之一設定操作，及在施加與該第一極性極性相對之第二極性之一重設電壓時將電阻狀態自第二電阻狀態改變至第一電阻狀態之一重設操作，且該第一極性處之電壓-電流特性與該第二極性處之電壓-電流特性為不對稱；在執行該寫入操作時，該寫入電路執行如下之一第一步驟：跨連接至經選擇之記憶單元之第一線及第二線施加一電壓、且跨連接至一非資料寫入目標的該複數個記憶單元之未經選擇之記憶單元之第一線及第二線施加一不同電壓，及在執行該第一步驟之後，執行如下之一第二步驟：跨連接至經選擇之記憶單元之第一線及第二線施加對資料寫入必需之一電壓、且將連接至未經選擇之記憶單元之第一線及第二線之至少一者帶入至浮動狀態中。

根據實施例之半導體記憶裝置現將參考圖式於下文予以

詳細描述。

[第一實施例]

圖1係展示根據一第一實施例之一半導體記憶裝置之組態之一圖式。此半導體記憶裝置包括一記憶單元陣列1。該記憶單元陣列1包含複數個堆疊記憶單元墊(記憶單元層)。各記憶單元墊包含複數個位元線BL(第一線)及複數個字線WL(第二線)，及藉由此等字線WL及位元線BL選擇之記憶單元MC。在下文中，該等位元線BL及該等字線WL一般亦可稱為「線」。在本實施例中，不一定總是需要包含複數個記憶單元墊。

記憶單元墊中的位元線BL電連接至一行控制電路2，其經操作以控制該等位元線BL且執行擦除記憶單元MC中的資料，將資料寫入記憶單元MC中且自記憶單元MC讀取資料。在下文中，擦除記憶單元MC中的資料及將資料寫入記憶單元MC中亦可統稱為「寫入操作」。此外，該寫入操作及自記憶單元MC讀取資料亦可統稱為「存取操作」。該行控制電路2包含經操作以將存取操作所需要之一電壓供應至位元線BL之一位元線驅動器2'，及經操作以感測及放大在讀取操作時流入記憶單元MC中的電流，以判定儲存於該記憶單元MC中的資料之一感測放大器SA。

另一方面，記憶單元墊中的字線WL電連接至經操作以在存取操作時在該等字線WL之中選擇之一列控制電路3。該列控制電路3包含經操作以將存取操作所需要之一電壓供應至該字線WL之一字線驅動器3'。該列控制電路3連同

該行控制電路2一起包含於一寫入電路中。

圖2係展示記憶單元陣列1之部分之一透視圖。

該記憶單元陣列1為交叉點類型之一記憶單元陣列。該記憶單元陣列1中的記憶單元墊MM包含平行安置之複數個位元線BL，及在與該等位元線BL相交之方向上平行安置之複數個字線WL。位元線BL與字線WL之各相交點擁有如夾置於兩根線之間的一記憶單元MC。該記憶單元陣列1包含如上文所描述之堆疊於多個層中的複數個此記憶單元墊MM，其中垂直鄰近之記憶單元墊MM共用字線WL或位元線BL。在圖2之情況中，該記憶單元陣列1之最低層中的一記憶單元墊MM0與鄰近位於該記憶單元墊MM0之上之一記憶單元墊MM1共用字線WL00至WL02。

圖3(A)係展示記憶單元MC之一電路符號之一圖式。圖3(B)係展示記憶單元MC之電壓-電流特性之一圖式。在下文中，圖3(A)中展示之節點Na稱為「陽極」，及節點Nc稱為「陰極」。藉由圖3(A)中的箭頭所展示之自陽極Na面向陰極Nc之方向稱為「正向方向」，及與其相反之方向稱為「反向方向」。因此，若陰極Nc上之電壓低於陽極Na上之電壓，則一偏壓為正向偏壓(第一極性)，而若陰極Nc上之電壓高於陽極Na上之電壓，則一偏壓為反向偏壓(第二極性)。

該記憶單元MC包括一可變電阻元件且根據該可變電阻元件之不同電阻狀態儲存資料。在下文中，包含處於高電阻狀態(第一電阻狀態)之可變電阻元件之記憶單元MC之一

狀態稱為「重設狀態」，而包含處於低電阻狀態(第二電阻狀態)之可變電阻元件之記憶單元MC之一狀態稱為「設定狀態」。此外，用於將處於重設狀態之記憶單元MC改變成設定狀態之操作稱為「設定操作」，而用於將處於設定狀態之記憶單元MC改變成重設狀態之操作稱為「重設操作」。因此，寫入操作稱為使記憶單元MC經受設定操作或重設操作。

該記憶單元MC具有一固態電解質之性質。此為根據一偏壓方向(一所施加電壓之極性)使電壓-電流特性不對稱之性質，如圖3(B)中所展示。如自圖3(B)可發現，記憶單元MC之電壓-電流特性使得單元電流可近似為 $I \sim A \exp(\alpha V)$ (A 及 α 為恆定)，所施加電壓 $V=0$ 之附近除外。係數 α 在處於重設狀態之記憶單元MC受正向偏壓時與在處於重設狀態之記憶單元MC受反向偏壓時及與在處於設定狀態之記憶單元MC受反向偏壓時幾乎相同。相比之下，係數 α 在處於設定狀態之記憶單元MC受正向偏壓時變得極大。此外， $\ln I$ 在所施加電壓 $V=0$ 之附近變為 $\pm\infty$ 。

當處於重設狀態之記憶單元MC受正向偏壓時，該記憶單元MC在自接近0 V至一設定電壓 V_{set} 之所施加電壓 V 之一範圍內仍保持處於重設狀態。在此情況中，流入該記憶單元MC中的單元電流 I 可根據所施加電壓 V 之變更而可逆改變(箭頭a0)。當所施加電壓 V 變得等於或高於設定電壓 V_{set} 時，記憶單元MC之狀態自重設狀態不可逆地改變成設定狀態(設定操作)(箭頭a1)。

另一方面，當處於設定狀態之記憶單元MC受正向偏壓時，流入該記憶單元MC中的單元電流I根據所施加電壓V之變更而可逆改變(箭頭a2)。然而，即使增加所施加電壓V，只要其為正向偏壓，處於設定狀態之記憶單元MC亦不可轉變成重設狀態。

當處於重設狀態之記憶單元MC受反向偏壓時，流入該記憶單元MC中的單元電流I根據所施加電壓V之變更而可逆改變(箭頭a3)。然而，即使增加所施加電壓V，只要其為反向偏壓，處於重設狀態之記憶單元MC亦不可轉變成設定狀態。

另一方面，當處於設定狀態之記憶單元MC受反向偏壓時，該記憶單元MC在自0 V至一電壓(V_{reset} (在下文中， V_{reset} 稱為「重設電壓」))之所施加電壓(反向偏壓)之一範圍內仍保持處於設定狀態。在此情況中，流入該記憶單元MC中的單元電流I根據所施加電壓V之變更而可逆改變(箭頭a3)。當該所施加電壓V變為等於或低於電壓(V_{reset})時，該記憶單元MC之狀態自設定狀態不可逆地改變成重設狀態(重設操作)。

圖4係記憶單元陣列1之部分之一等效電路圖。此圖展示位元線BL0至BL2、字線WL00至WL02及作為記憶單元陣列之部分之記憶單元墊MM0中的複數個記憶單元MC。

在圖4之情況中，位元線BL係連接至陽極Na，及字線WL係連接至陰極Nc。

參考圖4之等效電路，接著描述對記憶單元MC之寫入操

作。為方便描述，一存取目標記憶單元亦可稱為一「經選擇之記憶單元」，其他記憶單元稱為「未經選擇之記憶單元」，連接至經選擇之記憶單元之一位元線稱為一「經選擇之位元線」，連接至經選擇之記憶單元之一字線稱為一「經選擇之字線」，連接至一未經選擇之記憶單元之一位元線稱為一「未經選擇之位元線」，及連接至一未經選擇之記憶單元之一字線稱為一「未經選擇之字線」。經選擇之位元線及經選擇之字線一般亦可稱為「經選擇之線」，及未經選擇之位元線及未經選擇之字線一般亦稱為「未經選擇之線」。

對於所有記憶單元MC處於重設狀態，其中一記憶單元墊MM0中的一記憶單元MC001被判定為一經選擇之記憶單元，及該經選擇之記憶單元MC001經受設定操作之情況給定下列描述。

當該經選擇之記憶單元MC001經受設定操作時，連接至該經選擇之記憶單元MC001之經選擇之位元線BL00施加有一設定電壓Vset，連接至經選擇之記憶單元MC001之經選擇之字線WL01施加有0 V。此時，需要一想法以在其他未經選擇之記憶單元MC(諸如，記憶單元MC000、MC002)中防止資料干擾。

作為一此方法，有一種施加等於跨未經選擇之位元線BL01及BL02及未經選擇之字線WL00及WL0之設定電壓Vset之一半之一電壓 $Vset/2$ 之方法。

在此情況中，連接至未經選擇之位元線BL01及BL02與

未經選擇之字線 WL00 及 WL02 之相交點之未經選擇之記憶單元 MC10、MC012、MC020 及 MC022 未被偏壓。連接至經選擇之位元線 BL00 之未經選擇之記憶單元 MC000 及 MC002 及連接至經選擇之字線 WL01 之未經選擇之記憶單元 MC011 及 MC021 施加有電壓 $V_{set}/2$ 之一正向偏壓。然而，如圖 3(B) 中所展示之記憶單元 MC 之特性可發現，電壓 $V_{set}/2$ 並非為可引起設定操作之一足夠正向偏壓。

因此，上述方法可使該經選擇之記憶單元 MC001 在未於未經選擇之記憶單元 MC 中引起資料干擾之情況下經受設定操作。

然而，使用此方法使複數個未經選擇之記憶單元於固定電位之間引起正向偏壓且因此增加電流消耗(例如，作為一問題)。因此，使用記憶單元作為大容量記憶體檔案(例如)需要處理同時抑制關於寫入操作之記憶單元之範圍使其儘可能窄。結果，整個裝置中的記憶單元之共用降低使得可能無法充分運用輕易形成於三維空間中的交叉點類型之記憶單元之特性。

作為解決上述問題之一方法，有透過一浮動存取方法之一寫入操作。

圖 12 係展示對本實施例提供一比較實例，透過浮動存取方法在寫入操作(設定操作)時之一記憶單元陣列之一偏壓狀態之一圖式。在圖 12 中，「~」指示其處於浮動狀態。例如，「 $V_{set}/2\sim$ 」意謂將其帶入至浮動狀態中同時施加有電壓 $V_{set}/2$ 。

該浮動存取方法為一種將設定電壓或重設電壓施加至經選擇之記憶單元同時將連接至未經選擇之記憶單元之位元線及字線之至少一者帶入至浮動狀態中的方法。其為一種將未經選擇之記憶單元置於以一自身對準方式分佈之偏壓狀態中的方法。

對所有記憶單元MC處於重設狀態時(作為一特定實例)，其中一記憶單元墊MM0中的一記憶單元MC001被判定為一經選擇之記憶單元，及該經選擇之記憶單元MC001經受一設定操作之情況給定下列描述。

可藉由兩個步驟認知透過浮動存取方法之寫入操作，該兩個步驟包含將保持記憶單元MC之電阻狀態之狀態(在下文稱為一「備用狀態」)轉至使該記憶單元MC可存取之狀態(在下文稱為一「主動備用狀態」)之一存取準備步驟(第一步驟)，及對處於主動備用狀態之記憶單元陣列中的記憶單元MC實際上構成存取之一存取步驟(第二步驟)。該存取步驟時之記憶單元陣列之狀態稱為一「存取狀態」。

在設定操作之前，記憶單元陣列1處於備用狀態。在此狀態中，位元線驅動器及字線驅動器(未展示)將約等於接地電壓(0 V)之一電壓施加至所有位元線BL00至BL02及字線WL00至WL02。

隨後，在存取準備步驟時，如圖12中所展示，位元線驅動器及字線驅動器將等於設定電壓Vset之一半之一電壓Vset/2施加至所有位元線BL00至BL02及字線WL00至WL02。

接著，在存取步驟時，如圖 12 所展示，在將未經選擇之位元線 BL01 及 BL02 及未經選擇之字線 WL00 及 WL02 帶入至浮動狀態 ($V_{set}/2$) 之後 (圖 12 中的 s1)，位元線驅動器及字線驅動器將設定電壓 V_{set} 施加至經選擇之位元線 BL00，及將 0 V 施加至經選擇之字線 WL01 (圖 12 中的 s2)。

在存取步驟時，經選擇之記憶單元 MC001 施加有設定電壓 V_{set} 之一正向偏壓。另一方面，未經選擇之記憶單元 MC 透過自經選擇之位元線 BL00 朝向經選擇之字線 WL00 延伸之電流路徑而施加有相同偏壓。

穿過未經選擇之記憶單元 MC 之電流路徑穿過至少三個未經選擇之記憶單元 MC。例如，在以圖 12 中的虛線展示之一電流路徑 P0 之情況中，該電流路徑透過三個未經選擇之記憶單元 MC000、MC010 及 MC011 自經選擇之位元線 BL00 穿過朝向經選擇之字線 WL01。

總而言之，在穿過未經選擇之記憶單元之電流路徑中，設定電壓 V_{set} 分配於至少三個未經選擇之記憶單元 MC。結果，一未經選擇之記憶單元 MC 僅施加有一電壓，該電壓係根據以一自身對準方式對準之該未經選擇之記憶單元 MC 之位置而判定且低於設定電壓 V_{set} 。

穿過未經選擇之記憶單元之電流路徑總是涉及一反向偏壓、未經選擇之記憶單元 MC (諸如，電流路徑 P0 中的未經選擇之記憶單元 MC010)。因此，容許一極微小電流流於其內。結果，可抑制記憶單元陣列中的電力消耗。

此外，透過浮動存取方法之寫入操作在存取步驟時僅需

要將未經選擇之線帶入至浮動狀態中。因此，其可在不需要特定周邊電路且晶片面積不增加下實現。

根據比較實例之上述寫入操作假定一記憶單元陣列具有一理想特性。在實踐中，例如，在記憶單元陣列中，記憶單元陣列之精細處理可分別於位元線BL之間、字線WL之間、位元線BL與接地線GND之間及字線WL與接地線GND之間引起寄生電容 C_{bb} 、 C_{ww} 、 C_{bg} 及 C_{wg} (如圖13中虛線所示)。因此，根據比較實例之寫入操作引起下列問題。

當精細處理記憶單元陣列時，相較於位元線BL與接地線GND之間或字線WL與接地線GND之間的距離，位元線BL與字線WL之間的距離變得極短。因此，因此，上述寄生電容呈 $C_{bb} \gg C_{bg}$ 、 $C_{ww} \gg C_{wg}$ 之關係。

因此，在實踐中，在將未經選擇之位元線BL01及BL02帶入至浮動狀態中時(圖13中的s1)，及接著經選擇之位元線BL00上之電位自電壓 $V_{set}/2$ 改變成設定電壓 V_{set} (圖13中的s2)，透過寄生電容 C_{bb} 之電容性耦合升高該等未經選擇之位元線BL01及BL02上之電位(圖11中的a1、s3)。例如，若位元線BL之間的電容性耦合具有1之一耦合係數，則處於浮動狀態之未經選擇之位元線BL01及BL02上之電位自接近電壓 $V_{set}/2$ 上升電壓 $V_{set}/2$ 至接近設定電壓 V_{set} 。

此類似於字線WL之情況。例如，若字線WL之間的電容性耦合具有1之一耦合係數，則未經選擇之字線WL上之電位自接近電壓 $V_{set}/2$ 下降電壓 $V_{set}/2$ 至接近0 V(圖13中的s3)。

結果，未經選擇之記憶單元MC亦施加有設定電壓Vset之一正向偏壓。此外，於未經選擇之記憶單元MC中發生資料干擾。

在記憶單元MC經受重設操作之情況中，儘管其之詳細描述被省略，然而線之間的電容性耦合之影響有可能引起資料干擾，在上述設定操作之情況中亦如此。

因此，為抑制由電容性耦合之影響引起之資料干擾，本實施例使用透過在存取步驟時可確保一足夠干擾裕度之浮動存取方法之寫入操作。

圖5係展示透過根據本實施例之浮動存取方法在寫入操作(設定操作)時之記憶單元陣列1之一偏壓狀態之一圖式。該圖中的指示遵循圖13。

圖6係展示根據本實施例之在設定操作時各線上之一電位變更之一圖式。在該圖中，以粗實線展示之電位為完成存取準備步驟時之一電位，及以細實線展示之電位指示在將設定電壓施加至經選擇之位元線之後之一電位。該細實線指示在線之間的電容性耦合具有1之一耦合係數時之一電位。

於本文描述所有記憶單元MC皆處於重設狀態，及一記憶單元墊MM0中的一記憶單元MC001被判定為一經選擇之記憶體時之一特定實例。在此情況中，該經選擇之記憶單元MC001經受設定操作。

為容易理解，給定指示特定數字之描述。例如，設定電壓Vset為3.0 V及位元線BL之間的電容性耦合及字線WL之

間的電容性耦合具有1之一耦合係數。然本實施例不限於如稍後所描述之此等所指示之數字。此點應注意。

如下文所描述，在存取準備步驟時的記憶單元陣列1之偏壓狀態方面，根據本實施例之設定操作不同於根據比較實例之設定操作。

對於在設定操作之前之備用狀態，其類似於比較實例之情況中的備用狀態，且因此自描述中省略。

隨後，在存取準備步驟時，如圖5所展示，位元線驅動器2'將1.5 V施加至經選擇之位元線BL00，且將0.5 V施加至未經選擇之位元線BL01及BL02。此外，字線驅動器3'將1.5 V施加至經選擇之字線WL01，且將2.5 V施加至未經選擇之字線WL00及WL02。

在存取步驟時，如圖5所展示，在將未經選擇之位元線BL01及BL02及未經選擇之字線WL00及WL02帶入至浮動狀態(0.5 V~及2.5 V~)中之後(圖5中的s1)，位元線驅動器2'將3.0 V施加至經選擇之位元線BL00，及字線驅動器3'將0 V施加至經選擇之字線WL01(圖5中的s2)。

在存取步驟時，經選擇之記憶單元MC001施加有設定電壓Vset之一正向偏壓，即，3.0 V。

另一方面，當經選擇之位元線BL00上之電位自1.5 V改變至3.0 V時(圖5及圖6中的s2)，透過寄生電容Cbb之電容性耦合升高未經選擇之位元線BL01及BL02上之電位(圖5中的a1，圖5及圖6中的s3)。具體言之，處於浮動狀態之該等未經選擇之位元線BL01及BL02上之電位自接近0.5 V上

升 1.5 V 至接近 2.0 V。

此類似於字線 WL 之情況。當經選擇之字線 WL01 上之電位自 1.5 V 改變至 0 V 時(圖 5 及圖 6 中的 s2)，未經選擇之字線 WL00 及 WL02 上之電位經由寄生電容 C_{ww} 下降(圖 5 中的 a2，圖 5 及圖 6 中的 s3)。具體言之，處於浮動狀態之該等未經選擇之字線 WL00 及 WL02 上之電位自接近 2.5 V 下降 1.5 V 至接近 1.0 V。

然而，在不同於比較實例之情況之本實施例之情況中，每個未經選擇之記憶單元 MC 僅施加有低於 3.0 V 之無法達到設定電壓 V_{set} 之一正向偏壓。具體言之，連接至經選擇之位元線 BL00 之未經選擇之記憶單元 MC00 及 MC02 僅施加有 2.0 V 之一正向偏壓且其他未經選擇之記憶單元施加有 1.0 V。總而言之，即使假定線之間的電容性耦合在最差條件下具有 1 之一耦合係數，根據本實施例之設定操作可確保最少 1.0 V 之一干擾裕度。

圖 7 係展示透過根據本實施例之浮動存取方法在寫入操作(設定操作)時之各線上之一電位變更之一圖式。該圖中的指示遵循圖 6。對於展示根據本實施例在重設操作時之記憶單元陣列 1 之一偏壓狀態之圖式，其除了特定數字之外類似於圖 5 且因此被省略。

為容易理解，給定指示特定數字之下列描述。例如，重設電壓 V_{reset} 為 3.0 V 及位元線 BL 之間的電容性耦合及字線 WL 之間的電容性耦合具有 1 之一耦合係數。然本實施例不限於如稍後所描述之此等所指示數字。此點應注意。

對於在重設操作之前之備用狀態，其類似於比較實例之情況中的備用狀態，且因此自描述中省略。

隨後，在存取準備步驟時，如圖7所展示，位元線驅動器2'將0.5 V施加至經選擇之位元線BL，且將1.5 V施加至未經選擇之位元線BL。此外，字線驅動器3'將2.5 V施加至經選擇之字線WL，且將1.5 V施加至未經選擇之字線WL。

在存取步驟時，如圖7所展示，在將未經選擇之位元線BL及未經選擇之字線WL帶入至浮動狀態中之後，位元線驅動器2'將0 V施加至經選擇之位元線BL，及字線驅動器3'將3.0 V施加至經選擇之字線WL(圖7中的s2)。

在存取步驟時，經選擇之記憶單元MC施加有重設電壓Vreset之一反向偏壓，即，3.0 V。

另一方面，當經選擇之位元線BL上之電位自0.5 V改變至0 V時(圖5中的s2)，未經選擇之位元線BL上之電位經由寄生電容Cbb下降(圖5中的s3)。具體言之，處於浮動狀態之該等未經選擇之位元線BL上之電位自接近1.5 V下降0.5 V至接近1.0 V。

此類似於字線WL之情況。當經選擇之字線WL上之電位自2.5 V改變至3.0 V時(圖7中的s2)，透過寄生電容Cww之電容性耦合升高未經選擇之字線WL上之電位(圖7中的s3)。具體言之，處於浮動狀態之該等未經選擇之字線WL上之電位自接近1.5 V上升0.5 V至接近2.0 V。

然而，每個未經選擇之記憶單元MC僅施加有低於3.0 V無法達到重設電壓Vreset之一反向偏壓。具體言之，連接

於經選擇之位元線BL與未經選擇之字線W之間的未經選擇之記憶單元MC及連接於未經選擇之位元線BL與經選擇之字線WL之間的未經選擇之位元線BL僅施加有2.0 V之一反向偏壓且其他未經選擇之記憶單元施加有1.0 V。總而言之，即使假定線之間的電容性耦合在最差條件下具有1之一耦合係數，根據本實施例之重設操作可確保最少1.0 V之一干擾裕度。

在圖5至圖7中所展示之寫入操作之實例中，假定電容性耦合具有1之一耦合係數，及經選擇之線上之電位變更引起所有未經選擇之線上之電位之相同變更。

然而，在實踐中，經選擇之線與未經選擇之線之間的所有電容性耦合不具有1之一耦合係數，但具有分佈於0至1之一範圍之耦合係數。此外，該分佈隨著自未經選擇之線至經選擇之線之距離變得更長而趨於變更小。

因此，在重設操作時，當經選擇之記憶單元MC施加有設定電壓Vset之一正向偏壓(即，在存取步驟時為3.0 V)時，某些未經選擇之位元線BL有可能展現自接近0.5 V上升至接近2.0 V之此等電位，而其他未經選擇之位元線BL有可能展現自接近0.5 V幾乎不改變之此等電位。總而言之，在實踐中，在經選擇之記憶單元MC施加有設定電壓Vset之一正向偏壓之後，未經選擇之位元線BL上之電位分佈於0.5 V至2.0 V之一範圍。此點應注意。

此外，在重設操作時亦類似於此情況，在經選擇之記憶單元MC施加有重設電壓Vreset之一反向偏壓之後，未經選

擇之位元線BL上之電位分佈於1.0 V至1.5 V之一範圍。此點應注意。

在任一情況中，參考圖5至圖7描述之根據本實施例之寫入操作可確保最少1.0 V之一干擾裕度。

到目前為止，使用特定數字描述根據本實施例之寫入操作。一般而言，各線上之電位可描述為如下。

圖8係展示根據本實施例在設定操作時之各線上之一電位變更之一圖式。該圖中的指示遵循圖6。

在完成存取準備步驟時，分別藉由 $U_b(U1)$ 、 U 、 $V_w(V1)$ 及 V 經表示選擇之位元線上之電位、未經選擇之位元線上之電位、經選擇之字線上之電位及未經選擇之字線上之電位。此外，藉由 Δ 表示意欲確保之干擾裕度。在此情況中，該等之間的關係一般可表示為公式(1)至(5)。

$$V-U \leq V_{reset} - \Delta \quad (1)$$

$$(U + V_{set} - U_b) - (V - V_w) \leq V_{set} - \Delta \quad (2)$$

$$V_w + \Delta \leq V \quad (3)$$

$$U + \Delta \leq U_b \quad (4)$$

$$U < U_b \leq V_w < V \quad (5)$$

公式(1)及(2)表示未經選擇之位元線與未經選擇之字線之間的電位關係。公式(3)表示經選擇之位元線與未經選擇之字線之間的電位關係。公式(4)表示未經選擇之位元線與經選擇之字線之間的電位關係。公式(5)指示用於在存取準備步驟時反向偏壓所有記憶單元之條件。

確保干擾裕度 Δ 處於設定操作需要以未正向偏壓所有記

憶單元之此一方式在存取準備步驟時設定各線上之電位。

因此，設定各線上之電位以便滿足公式(5)之 $V_w - U_b > V - U$ 。

若可能無法準備用於方便設計位元線驅動器 2' 及字線驅動器 3' 之許多電位，(例如)則使用 $V_w = U_b$ 即已足夠，且因此 $U + 2\Delta \leq V$ ，如圖 5 及圖 6 中所展示之特定實例。

圖 9 係展示根據本實施例在重設操作時之各線上之一電位變更之一圖式。該圖中的指示遵循圖 7。

在重設操作之情況中，對各線完成存取準備步驟時，經選擇之位元線上之電位、未經選擇之位元線上之電位、經選之字線上之電位及未經選擇之字線上之電位之間的關係一般可表示為公式(6)至(10)。

$$V + \Delta \leq V_w \quad (6)$$

$$U_b + \Delta \leq U \quad (7)$$

$$V_w - U_b \leq V_{\text{reset}} - \Delta \quad (8)$$

$$(V + V_{\text{reset}} - V_w) - (U - U_b) \leq V_{\text{reset}} - \Delta \quad (9)$$

$$U_b < U \leq V < V_w \quad (10)$$

公式(6)表示經選擇之位元線與未經選擇之字線之間的電位關係。公式(7)表示未經選擇之位元線與經選擇之字線之間的電位關係。公式(8)表示經選擇之位元線與經選擇之字線之間的電位關係。公式(9)表示未經選擇之位元線與未經選擇之字線之間的電位關係。公式(10)指示用於在存取準備步驟時反向偏壓所有記憶單元之條件。

確保干擾裕度 Δ 處於重設操作需要以未正向偏壓所有記

憶單元之此一方式在存取準備步驟時設定各線上之電位，類似於設定操作時之方法。

總而言之，設定各線上之電位以便滿足公式(10)之 $V_w - U_b > V - U$ 。

若可能無法準備用於方便設計位元線驅動器2'及字線驅動器3'之許多電位，(例如)則使用 $V=U$ 即已足夠，且因此 $U_b + 2\Delta \leq V_w$ ，如圖7中所展示之特定實例。

因此，本實施例類似於比較實例之情況在未增加晶片面積之情況下實現降低電力消耗。亦可提供可實現高可靠性寫入操作之一半導體記憶裝置。

[第二實施例]

第一實施例描述一記憶單元MC之寫入操作之情況。相比之下，一第二實施例描述複數個記憶單元MC之同時寫入操作之情況。

圖10係展示透過根據本實施例之一浮動存取方法在寫入操作時之線選擇之一實例之一圖式。

當過多單元電流流於一記憶單元MC中時，其改變該記憶單元MC之特性。因此，在寫入操作時，需要一感測放大器SA以監測流於該記憶單元MC中的單元電流。

關於此方面，在對複數個記憶單元MC同時進行寫入操作時，(例如)一位元線BL00可被判定為一經選擇之位元線。在此情況中，若連接至此之複數個記憶單元MC000、MC001...被判定為經選擇之記憶單元，則流於此等經選擇之記憶單元MC000、MC001...中的單元電流以一重疊方式

流於該經選擇之位元線BL00中。因此，感測放大器SA無法個別監測該等經選擇之記憶單元MC000、MC001...中的單元電流。

因此，在本實施例中，在對複數個記憶單元MC進行同時寫入操作時，一字線WL01被判定為一經選擇之字線，(例如)如圖10中所展示，及連接至此之複數個記憶單元MC000、MC011、MC021、MC031...被判定為經選擇之記憶單元。

此選擇使得可以對應感測放大器SA監測該等記憶單元MC中的單元電流且同時將資料寫入於複數個記憶單元MC中。

此外，若記憶單元MC共同連接至如上文所描述之一字線WL，則本實施例可同時將資料寫入記憶單元MC中。因此，在如圖2中所展示記憶單元陣列1之情況中，當字線WL01被判定為一經選擇之字線時，(例如)可將資料同時寫入於共用該字線WL01之兩個記憶單元墊MM0及MM1中。因此，可對複數個記憶單元較快速地處理同時寫入操作。

相反地，例如，如圖11中所展示，當字線WL01被判定為一經選擇之字線，及連接至此之記憶單元MC被替代地判定為經選擇之記憶單元時，可減少經受同時寫入操作之記憶單元MC之數量。在此情況中，記憶單元MC001、MC021...變為經選擇之記憶單元，及位元線BL00、BL02...變為經選擇之位元線。

因此，例如，若兩個鄰近位元線BL(諸如，BL01及

BL02)共用一感測放大器SA，則線選擇方法為有效的。此外，其可在需要時用以相對於字線驅動器3'之驅動能力而限制經受同時資料寫入之記憶單元之數量。

對於在設定操作及重設操作時之記憶單元陣列1之偏壓狀態及各線上之電位變更，其等類似於第一實施例中的該等且因此自描述中省略。

[其他]

儘管已描述某些實施例，然此等實施例僅作為實例呈現且不意欲限制本發明之範疇。事實上，本文所描述之新穎方法及系統可以各種其他形式體現：此外，在不脫離本發明之精神之情況下，可作出以本文所描述之方法及系統之形式之各種省略、替代及改變。隨附申請專利範圍及其等效物意欲涵蓋如落入本發明之範疇及精神內之此等形式或修改。

【圖式簡單說明】

圖1係展示根據一第一實施例之一半導體記憶裝置之組態之一圖式。

圖2係根據該相同實施例之半導體記憶裝置中的一記憶單元之部分之一透視圖。

圖3(A)及圖3(B)係展示根據該相同實施例之半導體記憶裝置中的一記憶單元之一電路符號及一電壓-電流特性之一圖式。

圖4係根據該相同實施例之半導體記憶裝置中的記憶單元陣列之部分之一等效電路圖。

圖5係展示透過根據該相同實施例之半導體記憶裝置中的一浮動存取方法在寫入操作(設定操作)時之記憶單元陣列之一偏壓狀態之一圖式。

圖6係展示透過根據該相同實施例之半導體記憶裝置中的該浮動存取方法在寫入操作(設定操作)時之各線上之一特定電位變更之一圖式。

圖7係展示透過根據該相同實施例之半導體記憶裝置中的該浮動存取方法在寫入操作(重設操作)時之各線上之一特定電位變更之一圖式。

圖8係展示透過根據該相同實施例之半導體記憶裝置中的該浮動存取方法在寫入操作(設定操作)時之各線上之一一般電位變更之一圖式。

圖9係展示透過根據該相同實施例之半導體記憶裝置中的該浮動存取方法在寫入操作(重設操作)時之各線上之一一般電位變更之一圖式。

圖10係繪示透過根據一第二實施例之半導體記憶裝置中的一浮動存取方法在寫入操作時之線選擇之一實例之一圖式。

圖11係繪示透過根據該相同實施例之半導體記憶裝置中的該浮動存取方法在寫入操作時之線選擇之另一實例之一圖式。

圖12係展示透過根據一比較實例之一半導體記憶裝置中的一浮動存取方法在寫入操作(設定操作)時之一記憶單元陣列之一偏壓狀態之一圖式。

圖 13 係展示考慮圖 12 中的耦合於線之間的電容性之記憶單元陣列之一偏壓狀態之一圖式。

【主要元件符號說明】

1	記憶單元陣列
2	行控制電路
2'	位元線驅動器
3	列控制電路
3'	字線驅動器
a0	箭頭
a1	箭頭
a2	箭頭
a3	箭頭
BL	位元線
BL00	位元線
BL01	位元線
BL02	位元線
BL03	位元線
BL10	位元線
BL11	位元線
BL12	位元線
BL20	位元線
BL21	位元線
BL22	位元線
Cbb	寄生電容

Cbg	寄生電容
Cwg	寄生電容
Cww	寄生電容
GND	接地線
I	單元電流
MC	記憶單元
MC000	記憶單元
MC001	記憶單元
MC002	記憶單元
MC003	記憶單元
MC010	記憶單元
MC011	記憶單元
MC012	記憶單元
MC013	記憶單元
MC020	記憶單元
MC021	記憶單元
MC022	記憶單元
MC023	記憶單元
MC030	記憶單元
MC031	記憶單元
MC032	記憶單元
MC033	記憶單元
MM0	記憶單元墊
MM1	記憶單元墊

MM2	記憶單元墊
MM3	記憶單元墊
Na	節點/陽極
Nc	節點/陰極
P0	電流路徑
SA	感測放大器
Vreset	重設電壓
Vset	設定電壓
WL	字線
WL00	字線
WL01	字線
WL02	字線
WL03	字線
WL10	字線
WL11	字線
WL12	字線

七、申請專利範圍：

1. 一種半導體記憶裝置，其包括：

一記憶單元陣列，其包含複數個第一線、與該等第一線相交之複數個第二線，及在該複數個第一線與該複數個第二線之相交處提供且經操作以根據不同電阻狀態儲存資料之複數個記憶單元；及

一寫入電路，其經操作以對一資料寫入目標的該複數個記憶單元之經選擇之記憶單元執行一寫入操作；

該記憶單元具有在施加第一極性之一設定電壓時將該電阻狀態自第一電阻狀態改變至第二電阻狀態之一設定操作，及在施加與該第一極性極性相對之第二極性之一重設電壓時將該電阻狀態自該第二電阻狀態改變至該第一電阻狀態之一重設操作，且該第一極性處之電壓-電流特性與該第二極性處之電壓-電流特性為不對稱；

該寫入電路，在執行該寫入操作時，

執行如下之一第一步驟：跨連接至該經選擇之記憶單元之該第一線及該第二線施加一電壓、且跨連接至一非資料寫入目標的該複數個記憶單元之未經選擇之記憶單元之該第一線及該第二線施加一不同電壓，且

在執行該第一步驟之後，執行如下之一第二步驟：跨連接至該經選擇之記憶單元之該第一線及該第二線施加對資料寫入必需之一電壓、且將連接至該未經選擇之記憶單元之該第一線及該第二線之至少一者帶入至浮動狀態中。

2. 如請求項1之半導體記憶裝置，其中

連接至該經選擇之記憶單元之該第一線及該第二線上之電位分別以 U_1 及 V_1 表示，且連接至該未經選擇之記憶單元之該第一線及該第二線上之電位分別以 U 及 V 表示，且在進行使該記憶單元經受設定操作之該寫入操作時，該寫入電路在 $V-U > V_1-U_1$ 之條件下執行該第一步驟。

3. 如請求項2之半導體記憶裝置，其中

在進行使該記憶單元經受設定操作之該寫入操作時，該寫入電路在 $U_1=V_1$ 且 $U < V$ 之條件下執行該第一步驟。

4. 如請求項1之半導體記憶裝置，其中

連接至該經選擇之記憶單元之該第一線及該第二線上之電位分別以 U_1 及 V_1 表示，且連接至該未經選擇之記憶單元之該第一線及該第二線上之電位分別以 U 及 V 表示，且在進行使該記憶單元經受重設操作之該寫入操作時，該寫入電路在 $V_1-U_1 > V-U$ 之條件下執行該第一步驟。

5. 如請求項4之半導體記憶裝置，其中

在進行使該記憶單元經受重設操作之該寫入操作時，該寫入電路在 $V=U$ 且 $U_1 < V_1$ 之條件下執行該第一步驟。

6. 如請求項1之半導體記憶裝置，其中

該寫入電路判定連接至該複數個第二線之一第二線之複數個記憶單元作為經選擇之記憶單元，且對該複數個經選擇之記憶單元執行同時寫入操作。

7. 如請求項6之半導體記憶裝置，其中

該寫入電路判定鄰近於該複數個經選擇之記憶單元之

記憶單元作為未經選擇之記憶單元，且對該複數個經選擇之記憶單元執行同時寫入操作。

8. 一種半導體記憶裝置，其包括：

一記憶單元陣列，其包含複數個第一線、與該等第一線相交之複數個第二線，及在該複數個第一線及該複數個第二線之相交處提供且經操作以根據不同電阻狀態儲存資料之複數個記憶單元；及

一寫入電路，其經操作以對一資料寫入目標的該複數個記憶單元之經選擇之記憶單元執行一寫入操作；

該記憶單元具有在施加第一極性之一設定電壓時將該電阻狀態自第一電阻狀態改變至第二電阻狀態之一設定操作，及在施加與該第一極性極性相對之第二極性之一重設電壓時將該電阻狀態自該第二電阻狀態改變至該第一電阻狀態之一重設操作；

該寫入電路，在執行該寫入操作時，

執行如下之一第一步驟：跨連接至該經選擇之記憶單元之該第一線及該第二線施加一電壓、且跨連接至一非資料寫入目標的該複數個記憶單元之未經選擇之記憶單元之該第一線及該第二線施加一不同電壓，且

在執行該第一步驟之後，執行如下之一第二步驟：跨連接至該經選擇之記憶單元之該第一線及該第二線施加對資料寫入必需之一電壓、且將連接至該未經選擇之記憶單元之該第一線及該第二線之至少一者帶入至浮動狀態中。

9. 如請求項8之半導體記憶裝置，其中

連接至該經選擇之記憶單元之該第一線及該第二線上之電位分別以U1及V1表示，且連接至該未經選擇之記憶單元之該第一線及該第二線上之電位分別以U及V表示，且在進行使該記憶單元經受設定操作之該寫入操作時，該寫入電路在 $V-U > V1-U1$ 之條件下執行該第一步驟。

10. 如請求項9之半導體記憶裝置，其中

在進行使該記憶單元經受設定操作之該寫入操作時，該寫入電路在 $U1=V1$ 且 $U < V$ 之條件下執行該第一步驟。

11. 如請求項8之半導體記憶裝置，其中

連接至該經選擇之記憶單元之該第一線及該第二線上之電位分別以U1及V1表示，且連接至該未經選擇之記憶單元之該第一線及該第二線上之電位分別以U及V表示，且在進行使該記憶單元經受重設操作之該寫入操作時，該寫入電路在 $V1-U1 > V-U$ 之條件下執行該第一步驟。

12. 如請求項11之半導體記憶裝置，其中

在進行使該記憶單元經受重設操作之該寫入操作時，該寫入電路在 $V=U$ 且 $U1 < V1$ 之條件下執行該第一步驟。

13. 如請求項8之半導體記憶裝置，其中

該寫入電路判定連接至該複數個第二線之一第二線之複數個記憶單元作為經選擇之記憶單元，且對該複數個經選擇之記憶單元執行同時寫入操作。

14. 如請求項13之半導體記憶裝置，其中

該寫入電路判定鄰近於該複數個經選擇之記憶單元之

記憶單元作為未經選擇之記憶單元，且對該複數個經選擇之記憶單元執行同時寫入操作。

15. 一種半導體記憶裝置，其包括：

一記憶單元陣列，其包括堆疊之複數個記憶單元墊，各記憶單元墊包含複數個第一線、與該等第一線相交之複數個第二線，及在該等複數個第一線與該等複數個第二線之相交處提供且經操作以根據不同電阻狀態儲存資料之複數個記憶單元；及

一寫入電路，其經操作以對一資料寫入目標的該複數個記憶單元之經選擇之記憶單元執行一寫入操作；

一特定記憶單元墊，其與在堆疊方向上定位鄰近於該特定記憶單元墊之另一記憶單元墊共用該第一線或該第二線；

該記憶單元具有在施加第一極性之一設定電壓時將該電阻狀態自第一電阻狀態改變至第二電阻狀態之一設定操作，及在施加與該第一極性極性相對之第二極性之一重設電壓時將該電阻狀態自該第二電阻狀態改變至該第一電阻狀態之一重設操作，且該第一極性處之電壓-電流特性與該第二極性處之電壓-電流特性為不對稱；

該寫入電路，在執行該寫入操作時，

執行如下之一第一步驟：跨連接至該經選擇之記憶單元之該第一線及該第二線施加一特定電壓、且跨連接至一非資料寫入目標的該複數個記憶單元之未經選擇之記憶單元之該第一線及該第二線施加高於該特定電壓之一

電壓，且

在執行該第一步驟之後，執行如下之一第二步驟：跨連接至該經選擇之記憶單元之該第一線及該第二線施加對資料寫入必需之一電壓、且將連接至該未經選擇之記憶單元之該第一線及該第二線之至少一者帶入至浮動狀態中。

16. 如請求項15之半導體記憶裝置，其中

連接至該經選擇之記憶單元之該第一線及該第二線上之電位分別以 $U1$ 及 $V1$ 表示，且連接至該未經選擇之記憶單元之該第一線及該第二線上之電位分別以 U 及 V 表示，且

在進行使該記憶單元經受設定操作之該寫入操作時，該寫入電路在 $V-U > V1-U1$ 之條件下執行該第一步驟。

17. 如請求項16之半導體記憶裝置，其中

在進行使該記憶單元經受設定操作之該寫入操作時，該寫入電路在 $U1=V1$ 且 $U < V$ 之條件下執行該第一步驟。

18. 如請求項15之半導體記憶裝置，其中

連接至該經選擇之記憶單元之該第一線及該第二線上之電位分別以 $U1$ 及 $V1$ 表示，且連接至該未經選擇之記憶單元之該第一線及該第二線上之電位分別以 U 及 V 表示，且

在進行使該記憶單元經受重設操作之該寫入操作時，該寫入電路在 $V1-U1 > V-U$ 之條件下執行該第一步驟。

19. 如請求項18之半導體記憶裝置，其中

在進行使該記憶單元經受重設操作之該寫入操作時，該寫入電路在 $V=U$ 且 $U1 < V1$ 之條件下執行該第一步驟。

20. 如請求項15之半導體記憶裝置，其中

一特定記憶單元墊與在堆疊方向上定位鄰近於該特定記憶單元墊之另一記憶單元墊共用一特定第二線，且

該寫入電路判定連接至該特定第二線之複數個記憶單元作為經選擇之記憶單元，且對該複數個經選擇之記憶單元執行同時寫入操作。

八、圖式：

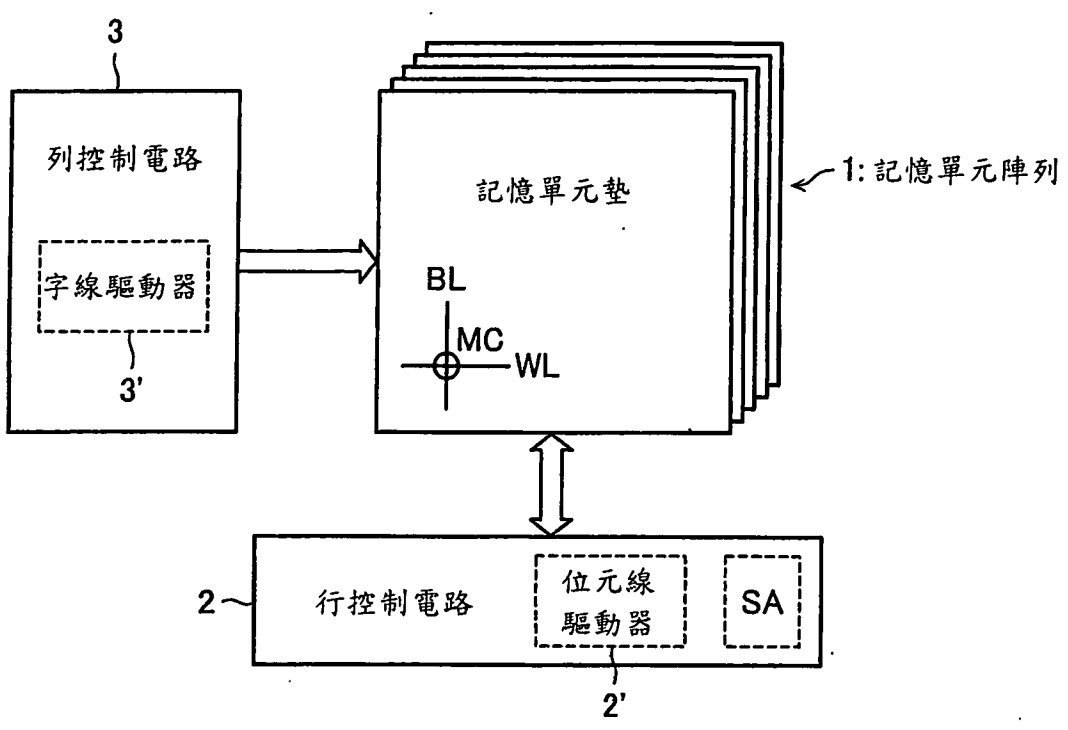


圖 1

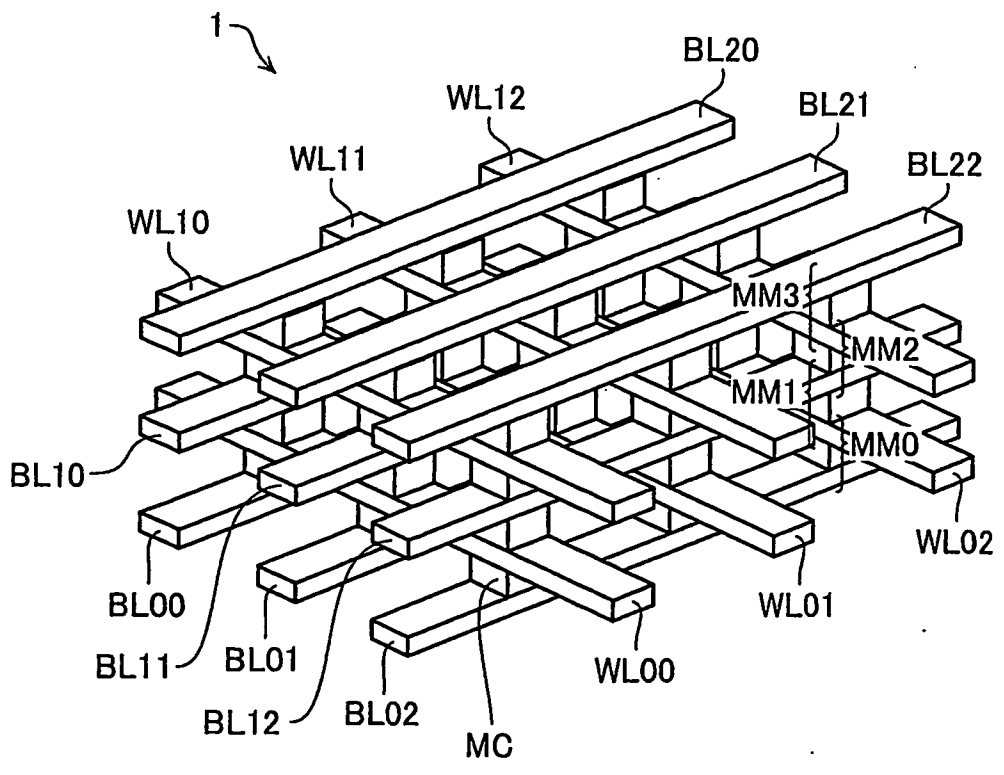


圖 2

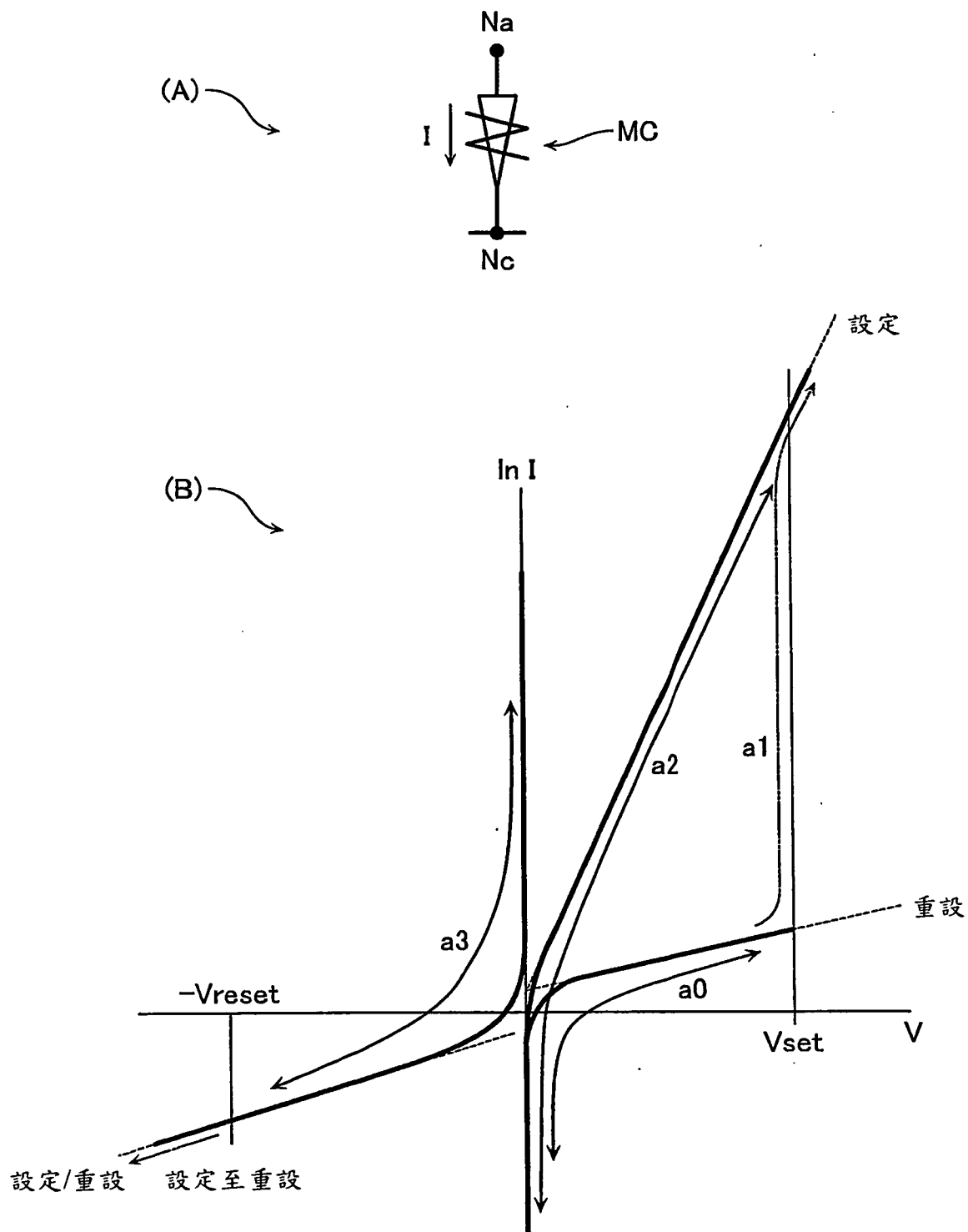


圖 3

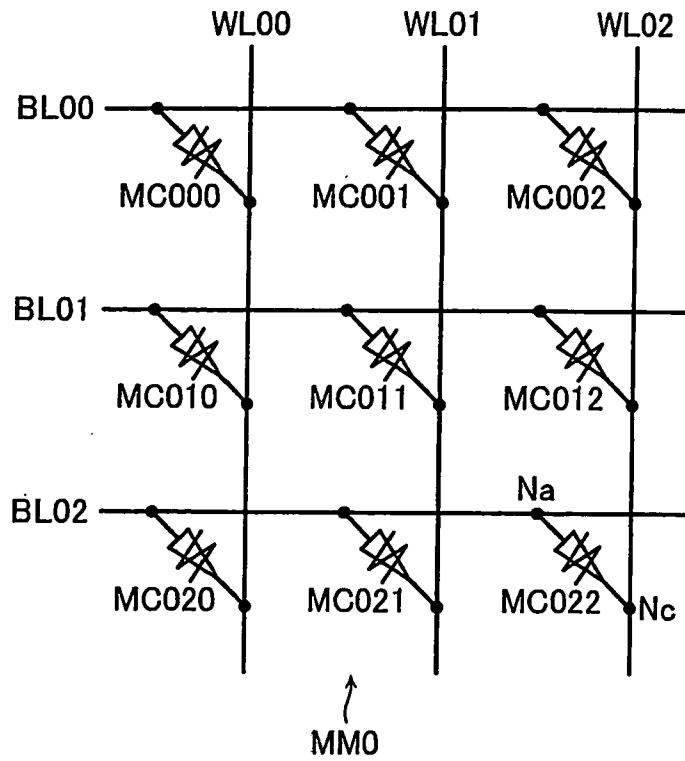


圖 4

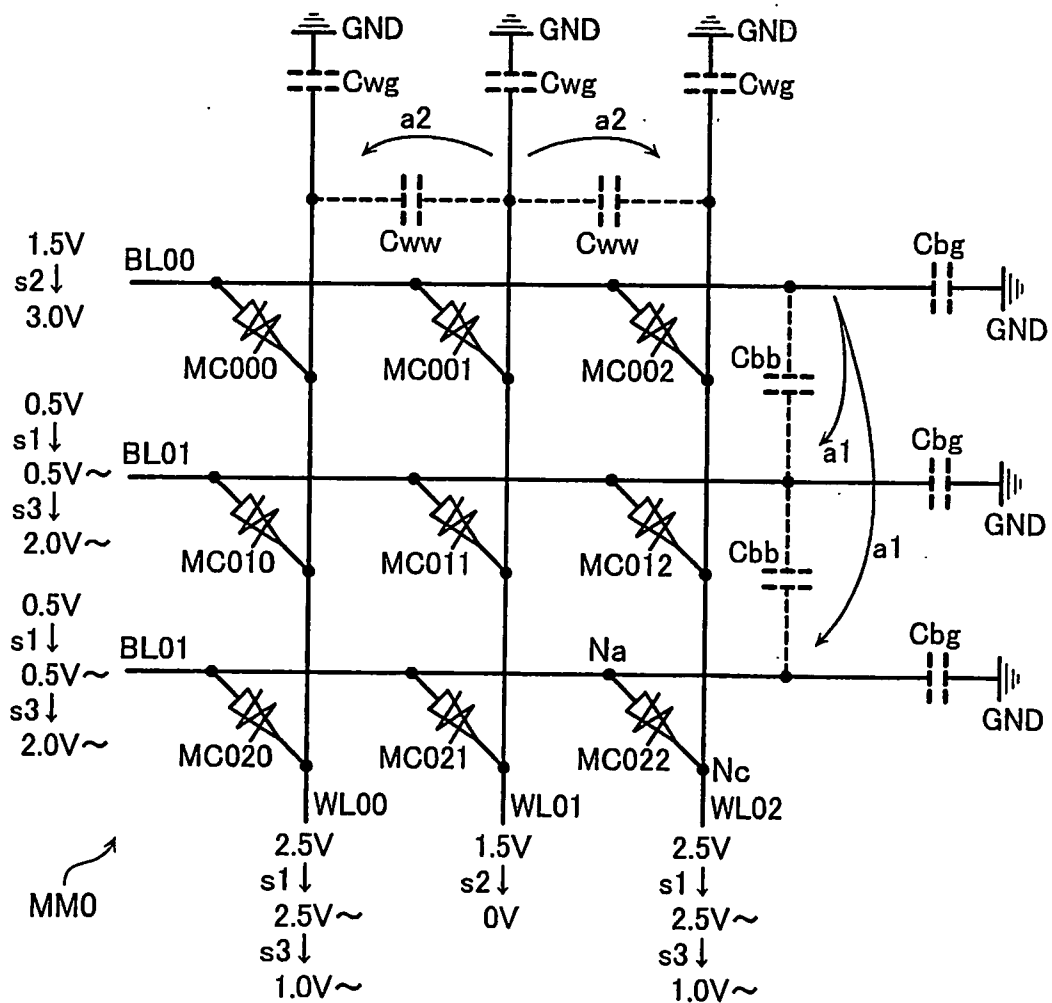


圖 5

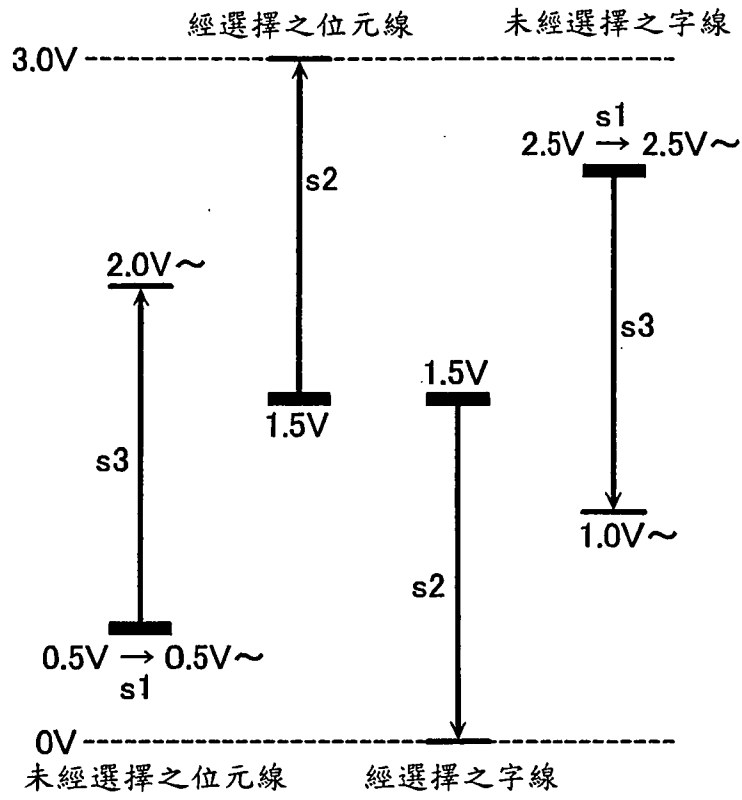


圖 6

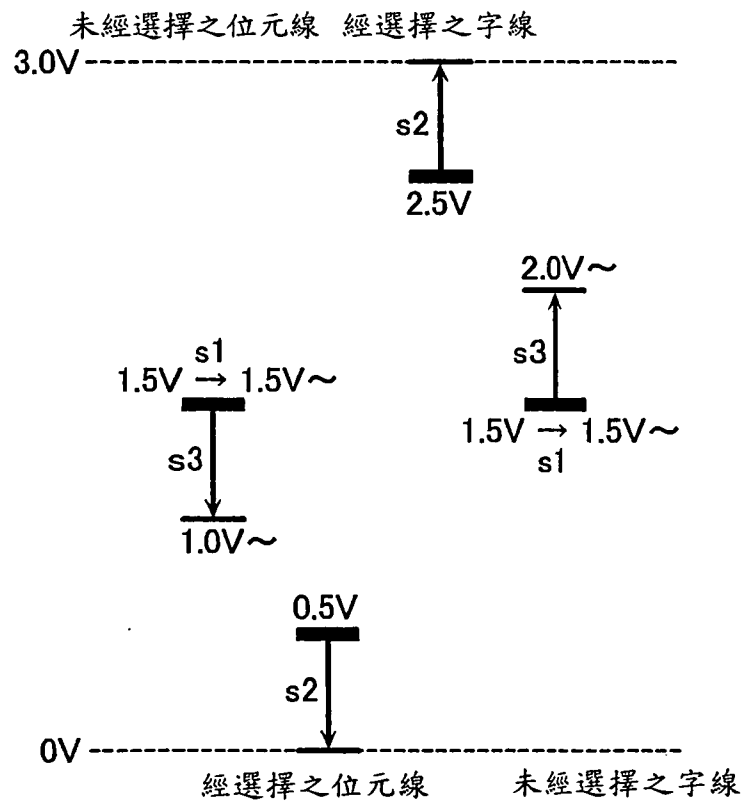


圖 7

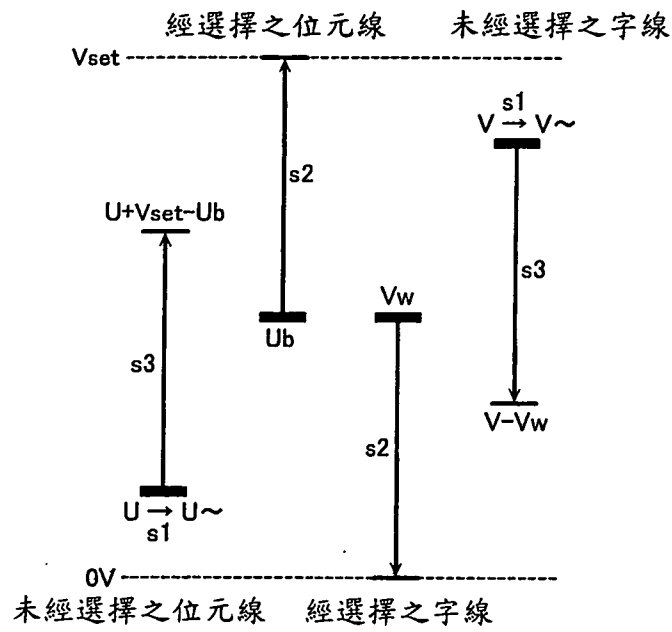


圖 8

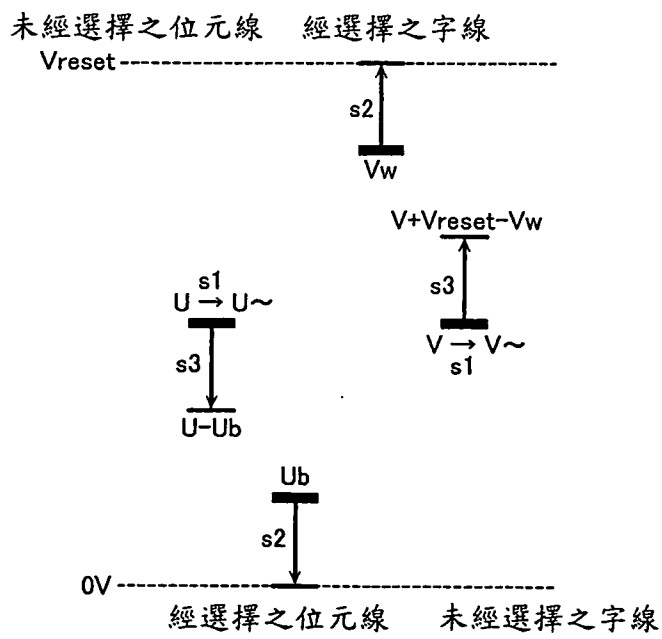


圖 9

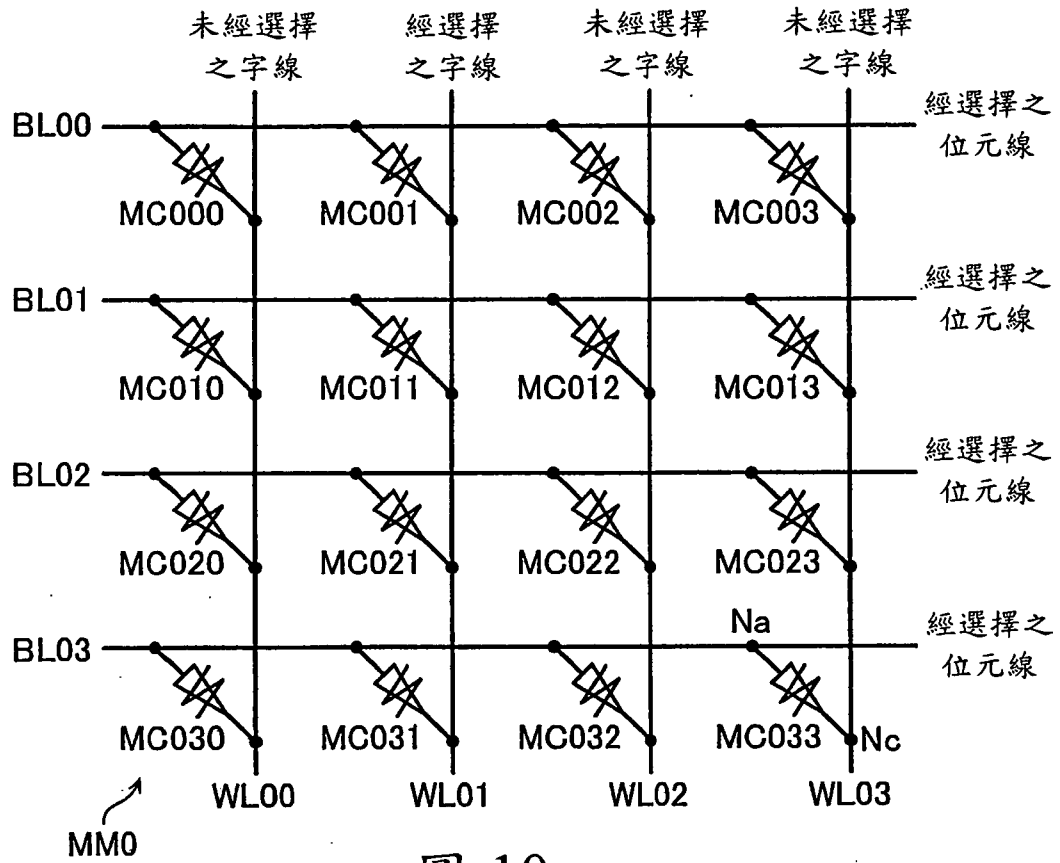


圖 10

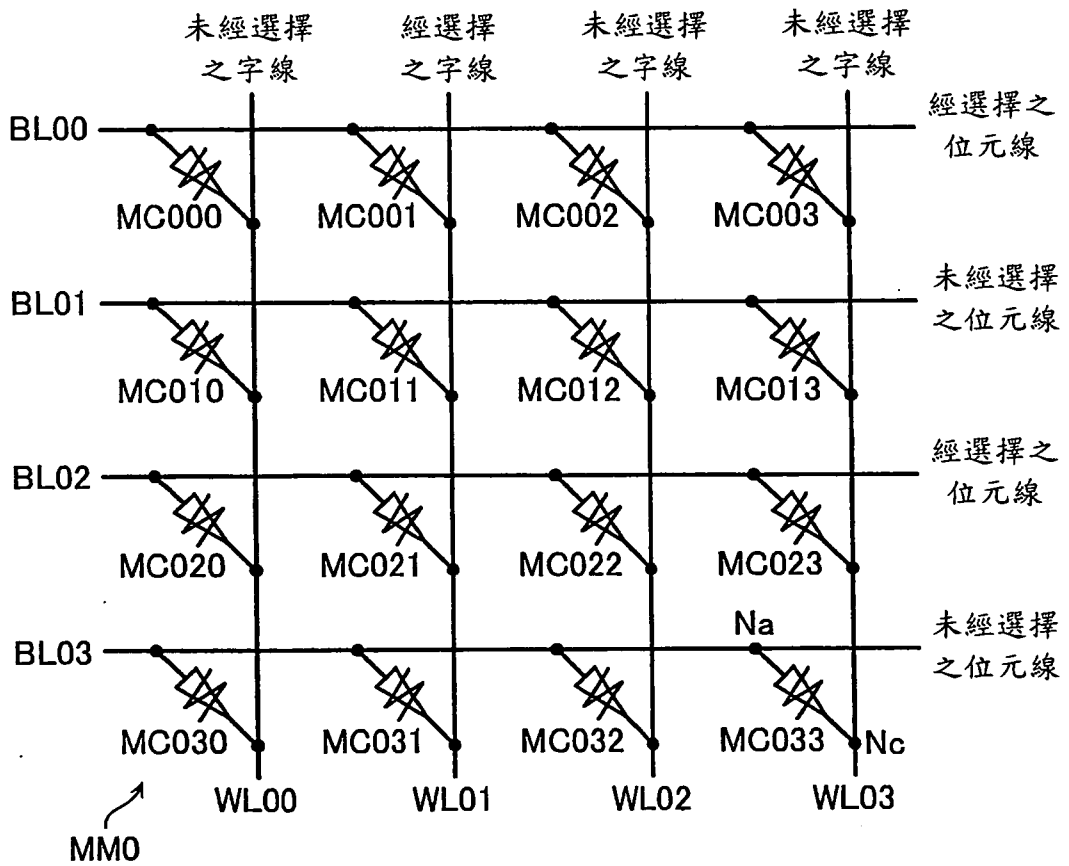


圖 11

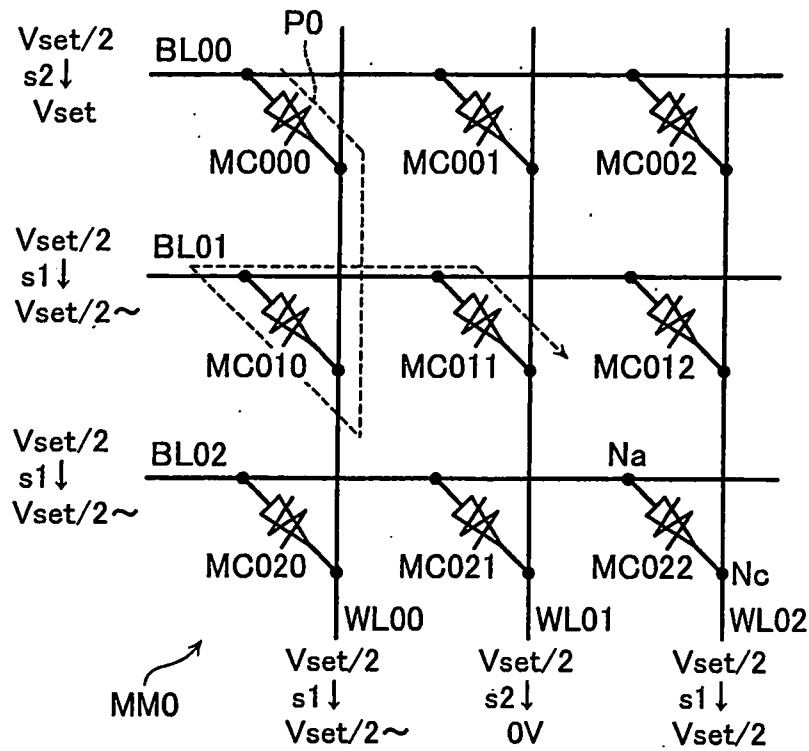


圖 12

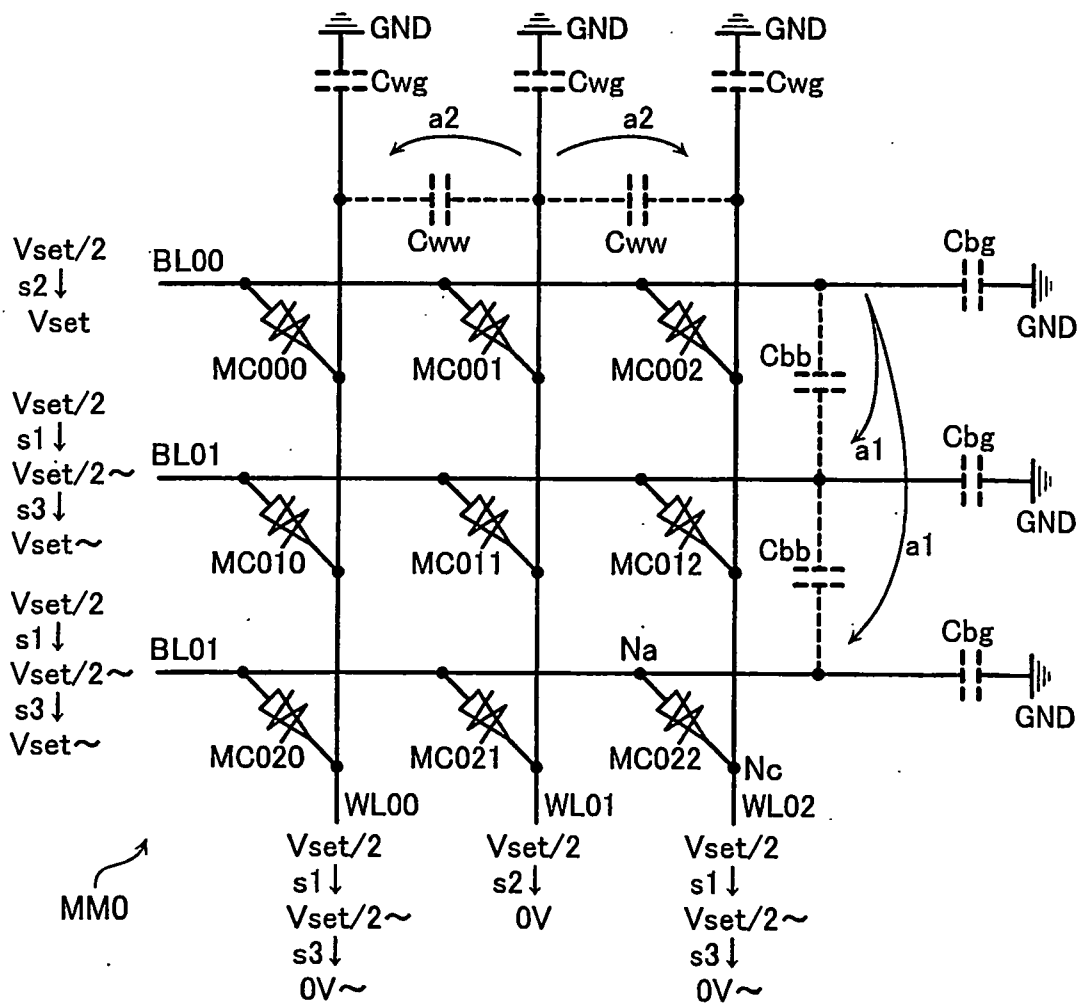


圖 13