

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3693504号
(P3693504)

(45) 発行日 平成17年9月7日(2005.9.7)

(24) 登録日 平成17年7月1日(2005.7.1)

(51) Int.Cl.⁷

G 1 1 C 16/02

F I

G 1 1 C 17/00 6 1 3

請求項の数 3 (全 10 頁)

(21) 出願番号	特願平10-217916	(73) 特許権者	000005223
(22) 出願日	平成10年7月31日(1998.7.31)		富士通株式会社
(65) 公開番号	特開2000-48579(P2000-48579A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成12年2月18日(2000.2.18)	(74) 代理人	100094525
審査請求日	平成14年8月19日(2002.8.19)		弁理士 土井 健二
		(74) 代理人	100094514
			弁理士 林 恒徳
		(72) 発明者	川又 潤弥
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	小松 正

最終頁に続く

(54) 【発明の名称】 メモリデバイス

(57) 【特許請求の範囲】

【請求項1】

フローティングゲート型のメモリセルを複数有する不揮発性のメモリデバイスにおいて

、
前記メモリセルを有する複数の通常メモリブロックと、
前記メモリセルを有するブートメモリブロックと、
ブロック選択アドレスを供給され、前記複数の通常メモリブロック及びブートメモリブ
ロックを選択するブロックデコーダと、
前記ブロックデコーダに供給するブロック選択アドレスを機能設定ビットに応じて反転
または非反転するアドレス供給部と、

前記機能設定ビットを記憶する機能設定メモリとを有し、
前記機能設定メモリは、電源間に直列に接続され、電気的に書き込み及び消去される第
1及び第2のフローティングゲート型のMOSトランジスタと、前記第1及び第2のMO
Sトランジスタの接続点に接続される出力端子とを有し、前記第1のMOSトランジスタ
に書き込みを行い前記第2のMOSトランジスタに消去を行うことで第1のデータを記憶
し、前記第1のMOSトランジスタに消去を行い前記第2のMOSトランジスタに書き込
みを行うことで第2のデータを記憶することを特徴とするメモリデバイス。

【請求項2】

請求項1において、

前記記憶データの読み出しにおいて、前記第1及び第2のMOSトランジスタのゲート

が、前記書き込み後の閾値電圧より低く前記消去後の閾値電圧より高い電圧に維持されることを特徴とするメモリデバイス。

【請求項 3】

請求項 1 または 2 において、

更に、前記第 1 の MOS トランジスタと共通のフローティングゲートを有し、前記書き込み及び消去時に該フローティングゲートへの電子の注入及び引き抜きを行う第 3 の MOS トランジスタと、

前記第 2 の MOS トランジスタと共通のフローティングゲートを有し、前記書き込み及び消去時に該フローティングゲートへの電子の注入及び引き抜きを行う第 4 の MOS トランジスタとを有することを特徴とするメモリデバイス。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フローティングゲートを有する MOS トランジスタを利用した不揮発性メモリデバイスに関し、消費電流が小さく且つ読み出しを高速化できるメモリデバイスに関する。

【0002】

【従来の技術】

フローティングゲートを有する MOS トランジスタをメモリセルとして利用する不揮発性メモリは、大容量で記憶したデータが不揮発性であることから、広く利用されている。特に、消去単位を比較的大きなブロックに限定して回路構成を簡略化したフラッシュメモリは、広く普及している。

20

【0003】

かかるフラッシュメモリには、データを記憶する通常のメモリブロック以外に、それより容量が小さいブートブロックを有するデバイスがある。かかるブートブロックは、例えばフラッシュメモリが搭載されているシステムの起動時に、無条件にアクセスされる領域であり、システムの起動時に必要になる BIOS 等のシステム情報が記憶されている領域である。このようなブートブロックには、ブロックの上位アドレス側に配置されているトップブートブロックと、下位アドレス側に配置されているボトムブートブロックとが存在する。これらの違いは、最初にアクセスするブロック選択アドレスを、上位側のアドレスにするか下位側のアドレスにするかの違いだけであり、ブートブロック内のメモリデバイスは同じである。

30

【0004】

上記のようなブートブロックを有するフラッシュメモリは、ユーザの要求に応じてトップブートブロック型か、ボトムブートブロック型かにする必要がある。したがって、同一のメモリデバイスを製造し、ユーザの要求に応じてどちらの型にすべきかの情報を機能設定メモリに記憶し、その機能設定ビットに応じてブロック選択アドレス Add 1 を切り換えることが行われる。

【0005】

図 6 は、従来の機能設定メモリの構成例を示す図である。従来のメモリの構成は、通常のメモリセルと同様に、フローティングゲートを有しデータを記憶する MOS トランジスタ T 3 とその負荷トランジスタ T 2 とが、電源 Vcc と GND 間に直列接続される。負荷トランジスタ T 2 は、例えば N チャネル型のデプレッション型トランジスタであり、そのゲートはグランド電位に維持され、所定のインピーダンスを有して常時導通状態である。また、MOS トランジスタ T 3 は、フローティングゲート FG を有し、そのフローティングゲート FG に電子を注入する書き込み（プログラム）によりその閾値電圧が高くなり、フローティングゲート FG から電子を引き抜く消去によりその閾値電圧が低くなる。従って、コントロールゲート CG に、両閾値電圧の中間の電圧を印加することにより、MOS トランジスタ T 3 は、記憶データに応じて導通または非導通となる。

40

【0006】

50

また、M O S トランジスタ T 3 のフローティングゲート F G への電子の注入及び引き抜きの為には、そのソース、ドレインに所定の制御電圧を印加する必要がある。しかしながら、M O S トランジスタ T 3 は負荷トランジスタ T 2 と共に図示される回路構成をとるので、かかる制御電圧の印加が困難である。そこで、フローティングゲート F G を共通に有する書き込み、消去用のトランジスタ T 4 が別途設けられる。そして、このトランジスタ T 4 を介して、フローティングゲート F G への電子の注入と引き抜き動作が行われる。

【 0 0 0 7 】

かかるメモリの読み出しは、コントロールゲート C G に上記の両閾値電圧の中間電圧を印加することで、トランジスタ T 3 を導通又は非導通にし、トランジスタ T 2 , T 3 の接続点 n 1 2 の電圧を検出する。接続点 n 1 2 の電圧がインバータ 1 0 , 1 1 を介して出力 O U T から読み出される。書き込みがなされている場合は、トランジスタ T 3 が非導通となり、接続点 n 1 2 は H レベルとなり、出力 O U T も H レベルとなる。また、消去状態の場合は、トランジスタ T 3 が導通し、接続点 n 1 2 は L レベルとなり、出力 O U T も L レベルとなる。

10

【 0 0 0 8 】

【 発明が解決しようとする課題 】

図 6 に示されたメモリデバイス構成では、トランジスタ T 3 が消去状態の場合、コントロールゲート C G に読み出し時の電圧を印加すると、トランジスタ T 3 が導通し、電源 V c c からトランジスタ T 2 , T 3 及びグランドに貫通電流が流れる。かかる電流は、消費電流の増大を招くので、読み出しを行わないパワーダウン状態では、コントロールゲート C G をグランド電位に維持して、トランジスタ T 3 の消去状態が書き込み状態にかかわらず貫通電流が流れないようにする必要がある。そして、アクティブ状態に遷移してデータを読み出す時のみ、コントロールゲート C G の電位をグランドから所定の読み出し電位まで上昇させる。

20

【 0 0 0 9 】

従って、図 6 に示したメモリデバイス構成の機能設定メモリを利用する場合、アクティブ状態になると、通常のメモリへのアクセスをする前に、その機能設定メモリのコントロールゲート C G を立ち上げて設定情報を読み出す必要があり、アクセス時間が長くなる。

【 0 0 1 0 】

大容量化されたフラッシュメモリの不良ビットを救済する為に冗長メモリセルアレイを設け、その不良ビットのアドレスを記憶する冗長 R O M に、図 6 の如きメモリデバイスを利用する場合も、メモリへのアクセスのたびに、その冗長 R O M の読み出しの為にメモリデバイスのコントロールゲート C G の立ち上げを行う必要がある。従って、かかる冗長 R O M も広い概念では機能設定メモリの一種であり、図 6 の如きメモリデバイスでは、高速化の弊害となる。

30

【 0 0 1 1 】

そこで、本発明の目的は、上記従来の課題を解決し、低消費電流で読み出し速度が速いメモリデバイスを提供することにある。

【 0 0 1 2 】

更に、本発明の目的は、コントロールゲートの電位を一定に保っても貫通電流が流れないメモリデバイスを提供することにある。

40

【 0 0 1 3 】

【 課題を解決するための手段 】

上記の目的を達成する為に、本発明は、不揮発性のメモリデバイスにおいて、電源間に直列に接続され、電氣的に書き込み及び消去される第 1 及び第 2 のフローティングゲート型の M O S トランジスタと、

前記第 1 及び第 2 の M O S トランジスタの接続点に接続される出力端子とを有し、

前記第 1 の M O S トランジスタに書き込みを行い前記第 2 の M O S トランジスタに消去を行うことで第 1 のデータを記憶し、前記第 1 の M O S トランジスタに消去を行い前記第 2 の M O S トランジスタに書き込みを行うことで第 2 のデータを記憶することを特徴とする

50

。

【 0 0 1 4 】

上記のメモリデバイスによれば、両トランジスタのコントロールゲートに読み出し電圧を印加しても、一方のトランジスタのみしか導通しないので、電源間に貫通電流が流れることがない。従って、コントロールゲートを読み出し電圧レベルに維持することで、消費電流の増大を伴うことなく読み出し時間を短くすることができる。

【 0 0 1 5 】

更に、上記の目的を達成する為に、本発明は、フローティングゲート型のメモリセルを複数有する不揮発性のメモリデバイスにおいて、

前記メモリセルを有する複数の通常メモリブロックと、

前記メモリセルを有するブートメモリブロックと、

ブロック選択アドレスを供給され、前記複数の通常メモリブロック及びブートメモリブロックを選択するブロックデコーダと、

前記ブロックデコーダに供給するブロック選択アドレスを機能設定ビットに応じて反転または非反転するアドレス供給部と、

前記機能設定ビットを記憶する機能設定メモリとを有し、

前記機能設定メモリは、電源間に直列に接続され、電氣的に書き込み及び消去される第 1 及び第 2 のフローティングゲート型の MOS トランジスタと、前記第 1 及び第 2 の MOS トランジスタの接続点に接続される出力端子とを有し、前記第 1 の MOS トランジスタに書き込みを行い前記第 2 の MOS トランジスタに消去を行うことで第 1 のデータを記憶し、前記第 1 の MOS トランジスタに消去を行い前記第 2 の MOS トランジスタに書き込みを行うことで第 2 のデータを記憶することを特徴とする。

【 0 0 1 6 】

上記の発明によれば、機能設定メモリのトランジスタのフローティングゲートを読み出し電圧に維持することで、消費電流の増大を伴うことなく、その記憶データを出力端に出力し続けることができ、読み出し速度を速くすることが可能になる。

【 0 0 1 7 】

【 発明の実施の形態 】

以下、本発明の実施の形態について図面に従って説明する。しかしながら、本発明の技術的範囲がその実施の形態に限定されるものではない。

【 0 0 1 8 】

図 1 は、フラッシュメモリ等の不揮発性メモリの全体構成図である。メモリセルアレイ 20 は、この例では、通常ブロック B0 ~ B6 と、ブートブロック B7, B8 とを有する、ブートブロック B7, B8 は、通常ブロックよりも小さい容量である。行アドレス Add2 が行アドレスバッファ 21 に供給され、その行アドレスが行デコーダ 22 でデコードされ、所定のワード線 WL が選択される。また、列アドレス Add3 が列アドレスバッファ 23 に供給され、その列アドレスが列デコーダ 24 でデコードされ、コラムスイッチ回路 25 により所定のビット線 BL が選択される。

【 0 0 1 9 】

コラムスイッチ回路 25 により選択されたビット線は、読み出しまたは書き込みの為に、センスアンプ 26 や入力バッファ 27 に接続される。センスアンプ 26 及び入力バッファ 27 は、更に入出力パッド 28 に接続される。

【 0 0 2 0 】

メモリセルアレイ 20 内のメモリセルへの書き込み（プログラム）、消去、読み出しの為に、高電圧 Vpp 発生回路 33、プログラム電圧 Vprog 発生回路 31、消去電圧 Ver 発生回路 32、及び負電圧 Vng 発生回路 34 が設けられる。更に、メモリセルのソース線 SL の状態を制御するセルソース制御回路 36 が設けられる。

【 0 0 2 1 】

メモリセルアレイ 20 内のブロックを選択する為に、ブロック選択アドレス Add1 が供給されるブロックアドレスバッファ 29 と、そのブロック選択アドレスをデコードするブ

10

20

30

40

50

ロックデコーダ 30 とが設けられる。このブロックアドレスバッファは、単にブロック選択アドレスを入力してデコーダ 30 に供給するだけでなく、機能設定メモリ 35 からの機能設定ビット FS に応じて、ブロック選択アドレスを反転または非反転する機能を有するアドレス供給回路でもある。

【0022】

ブートブロック B7, B8 は、メモリセルアレイ 20 内において、ブロック選択アドレスが下位側の位置に配置される。従って、ブロックデコーダ 30 に供給されるブロック選択アドレスが、B7, B8 を選択するアドレスの場合に、ブートブロックの選択が行われる。即ち、ブロック選択信号 BS に応答して、行デコーダ 22 は、対応するブートブロック B7, B8 内のワード線 WL を選択し、列デコーダ 24 は、対応するブートブロック B7, B8 内のビット線 BL を選択する。

10

【0023】

一方、ユーザの要求によりブロック選択アドレスが上位側に位置するトップブートブロックが指定される場合は、機能設定メモリ 35 内にそれを指定する機能設定ビットを記憶する。従って、その機能設定ビット FS に応答して、ブロックアドレス供給回路 29 内にて、供給されるアドレス Add1 を反転させることで、見かけ上はトップブートブロック対応のメモリデバイスとすることができる。また、ユーザの要求によりブロック選択アドレスが下位側に位置するボトムブートブロックが指定される場合は、同様に、機能設定メモリ 35 内にそれを指定する機能設定ビットを記憶する。従って、その機能設定ビット FS に応答して、ブロックアドレス供給回路 29 内にて、供給されるアドレス Add1 を非反転でブロックデコーダに供給する。その結果、ボトムブートブロック対応のメモリデバイスとすることができる。

20

【0024】

この様に、機能設定メモリ 35 内にその機能を設定する情報を記憶させることで、同じメモリセルアレイ構成のメモリデバイスでも、トップブートブロック形式とボトムブートブロック形式とに併用させることができ、生産効率を上げることができる。

【0025】

図 2 は、メモリセルアレイの構成図である。ワード線 $WL_0 \sim WL_m$ とビット線 $BL_0 \sim BL_n$ の交差位置に、フローティングゲート型の N チャネル MOS トランジスタからなるメモリセル $MC_{00} \sim MC_{mn}$ が設けられる。また、メモリセルのトランジスタのドレイン端子は、それぞれ対応するビット線 $BL_0 \sim BL_n$ に接続され、コントロールゲートは、ワード線 $WL_0 \sim WL_m$ に接続される。そして、メモリセルトランジスタのソース端子は、ソース線 $SL_0 \sim SL_m$ を介してソース制御回路 36 に接続される。

30

【0026】

かかるメモリセルアレイ内のメモリセルへの書き込み（プログラム）、消去、読み出し動作は以下の通りである。まず、書き込み（プログラム）は、ワード線 WL に電源 V_{cc} よりも高い電圧 V_{pp} （例えば 10 V）を印加し、ビット線 BL にプログラム電圧 V_{prog} （3 ~ 5 V）を印加し、ソース線 SL をグランド電位にする。その結果、フローティングゲート内に電子が注入され、メモリセルトランジスタの閾値電圧が上昇する。

【0027】

消去は、ワード線 WL に負電圧 V_{ng} を印加し、ビット線 BL をフローティングにし、ソース線 SL に消去電圧 V_{er} （例えば 5 V または V_{cc} ）を印加する。その結果、フローティングゲート内の電子が引き抜かれ、メモリセルトランジスタの閾値電圧が低下する。

40

【0028】

読み出しは、ワード線 WL にプログラム時の閾値電圧と消去時の閾値電圧との中間の電圧を印加し、プログラム状態か消去状態かによりメモリセルトランジスタを非導通または導通させ、その状態をビット線 BL を介してセンスアンプ 26 により検出する。

【0029】

以上の通り、メモリセルアレイ内のメモリセルへの書き込み（プログラム）、消去、読み出しは、それぞれのワード線、ビット線、ソース線の電位或いは状態を制御することで行

50

われる。

【 0 0 3 0 】

図 3 は、機能設定メモリに利用されるメモリデバイスの回路図である。このメモリデバイスは、フローティングゲート型の第 1 の N チャネル MOS トランジスタ T 5 と第 2 の N チャネル MOS トランジスタ T 6 とを、グランドと電源 V_{cc} との間に直列接続して構成される。そして、それらの接続点 n 1 5 が、インバータ 1 0 , 1 1 を介して出力 O U T に接続される。第 1、第 2 のトランジスタ T 5 , T 6 は、それぞれフローティングゲート F G 1 , F G 2 とコントロールゲート C G 1 , C G 2 を有する。そして、情報の記憶方法については、第 1 のトランジスタ T 5 に書き込み (プログラム) し、第 2 のトランジスタ T 6 を消去することで、第 1 のデータが記憶され、第 1 のトランジスタ T 5 を消去し、第 2 のトランジスタ T 6 に書き込み (プログラム) することで、第 1 のデータの反転の第 2 のデータが記憶される。

10

【 0 0 3 1 】

図 3 のメモリデバイスに第 1 のデータが記憶された場合は、第 1 のトランジスタの閾値電圧が高くなり、第 2 のトランジスタの閾値電圧が低くなる。従って、それらの閾値電圧の中間の読み出し用の電圧がそれぞれのコントロールゲート C G 1 , C G 2 に印加されると、トランジスタ T 5 が非導通、トランジスタ T 6 が導通して、ノード n 1 5 は L レベルとなる。その場合、トランジスタ T 5 が非導通であるので、電源 V_{cc} からグランドへの貫通電流は発生しない。

【 0 0 3 2 】

一方、第 2 のデータが記憶された場合は、上記の逆の動作となる。従って、トランジスタ T 5 が導通し、トランジスタ T 6 が非導通となり、ノード n 1 5 は H レベルとなる。その場合も貫通電流は発生しない。

20

【 0 0 3 3 】

従って、図 3 のメモリデバイスを利用して、上記の通り第 1 または第 2 のデータを記憶させることで、コントロールゲート C G 1 , C G 2 を常に読み出し電圧に維持しても、貫通電流の発生はなく、消費電流の増大にはならない。従って、図 3 のメモリデバイスには、コントロールゲートゲートをグランド電位に維持するパワーダウン制御をする必要がなく、常にコントロールゲート C G 1 , C G 2 を読み出し用の電圧に維持しても、消費電流を増大させることはない。即ち、消費電流を増大することなく、記憶された機能設定データを常にノード n 1 5 に読み出ししている状態に維持することができる。その結果、従来例のメモリデバイスの如く、パワーダウン状態からアクティブ状態になるたびに、読み出しのためにコントロールゲートの電圧を立ち上げる必要がなく、読み出し速度を上げることができる。

30

【 0 0 3 4 】

図 4 は、機能設定メモリに利用されるメモリデバイスのより詳細な回路図である。この例は、図 3 の第 1、第 2 のトランジスタ T 5 , T 6 それぞれに、フローティングゲート F G 1 , F G 2 を共通にする書き込み・消去用のトランジスタ T 9 , T 1 0 を追加した例である。書き込み・消去用のトランジスタ T 9 , T 1 0 のコントロールゲート C G、ソース、ドレイン端子 n 1 , n 2 , n 3 , n 4 は、機能設定メモリ制御部 3 6 によりそれぞれ独立に制御される。また、第 1、第 2 のトランジスタ T 5 , T 6 のドレイン端子 n 5 , ソース端子 n 6 も、機能設定メモリ制御部 3 6 によりそれぞれ制御されてもよい。

40

【 0 0 3 5 】

書き込み・消去用のトランジスタ T 9 , T 1 0 のレシオ W / L (チャネル幅 / チャネル長) は、読み出し用のトランジスタ T 5 , T 6 のレシオ W / L よりも小さく設計される。即ち、読み出し用に利用される第 1 及び第 2 のトランジスタ T 5 , T 6 は、インバータ 1 0 , 1 1 を駆動する必要がある、ある程度の駆動能力が要求される。従って、それらのトランジスタのレシオ W / L はある程度大きく設計される。一方、書き込み・消去用のトランジスタ T 9 , T 1 0 は、書き込みと消去時の駆動容量を小さくする為に、トランジスタのレシオ W / L は小さく設計される。これらのトランジスタ T 9 , T 1 0 により駆動される

50

ことはないので、レシオが小さくても何ら問題はない。

【0036】

図5は、図4の機能設定メモリデバイスへの各動作に対するノードの電圧の関係を示す図表である。図4のメモリデバイスへの書き込み・消去は、書き込み・消去用トランジスタT9、T10を介して行われ、読み出しは第1、第2のトランジスタT5、T6により行われる。

【0037】

第1のトランジスタT5に書き込み（プログラム）を行う場合は、機能設定メモリ制御部36により、コントロールゲートCG1が高電圧V_{pp}に、ノードn1がグランドに、ノードn2がプログラム電圧V_{prog}にそれぞれ制御される。その結果、フローティングゲートFG1内に電子が注入される。その場合、ノードn5、n6はグランド電位に制御される。第1のトランジスタT5を消去する場合は、機能設定メモリ制御部36により、コントロールゲートCG1が負電圧V_{ng}に、ノードn1が消去電圧V_{er}（例えばV_{cc}）に、ノードn2がフローティング状態にそれぞれ制御される。その結果、フローティングゲートFG1内から電子が引き抜かれる。この消去は、図5の消去1に示した制御動作である。

10

【0038】

第2のトランジスタT6への書き込み（プログラム）と消去も、トランジスタT10により、同様にノードn3、n4を制御することにより行われる。

【0039】

そして、読み出し動作では、ノードn1～n4を全てグランド電位にし、ノードn5を電源V_{cc}にノードn6をグランド電位にし、コントロールゲートCG1、CG2に読み出し電圧V_{read}（例えば電源V_{cc}）を印加する。その結果、一方のトランジスタT5、T6が導通し、ノードn15がHレベル或いはLレベルとなる。より具体的には、コントロールゲートCG1、CG2は、通常は読み出し電圧に維持され、書き込みと消去の時に、上記の様に別の電圧V_{pp}、V_{ng}に制御される。従って、ノードn15には、書き込みと消去時を除いて、常に記憶データに応じてHレベル或いはLレベルが出力されている。

20

【0040】

消去動作において、トランジスタT5、T6を利用することも可能である。その場合は、図5の消去2に示される通り、ノードn1～n4を全てグランドに維持し、コントロールゲートCG1、CG2を負電圧V_{ng}にし、ノードn5、6を消去電圧V_{er}に制御する。その場合、ノードn15はフローティング状態となっている。その結果、フローティングゲートFG1、FG2から電子が引き出され、それらのトランジスタの閾値電圧が低下する。

30

【0041】

以上の通り、メモリデバイスのメモリセルアレイ内のメモリセルトランジスタと同じフローティングゲートを有するNチャネルMOSトランジスタを利用して機能設定メモリを構成する。しかも、第1、第2のフローティングゲート型のNチャネルMOSトランジスタを電源V_{cc}とグランド間に直列接続する構成とし、一方のトランジスタに電子を注入し他方のトランジスタから電子を引き出すことで、データを記憶する。その結果、両トランジスタのコントロールゲートに読み出し電圧を印加しても、一方のトランジスタのみが導通し、貫通電流が流れることはない。従って、書き込みと消去以外は、常にコントロールゲートの電位を読み出し電圧に維持して、消費電流を増大することなく機能設定メモリへのアクセスタイムを限りなくゼロにすることができる。

40

【0042】

機能設定メモリは、ブートブロックの位置についての機能データに限られない。例えば、冗長アドレスを記憶するメモリとしても利用することができる。また、それ以外のメモリデバイスの機能を設定する為の初期値データのメモリとして利用することもできる。

【0043】

【発明の効果】

以上説明した通り、本発明によれば、消費電流を増大することなく、メモリデバイスへの

50

アクセスを高速化することができる。

【図面の簡単な説明】

【図 1】フラッシュメモリ等の不揮発性メモリの全体構成図である。

【図 2】メモリセルアレイの構成図である。

【図 3】機能設定メモリに利用されるメモリデバイスの回路図である。

【図 4】機能設定メモリに利用されるメモリデバイスのより詳細な回路図である。

【図 5】図 4 の機能設定メモリデバイスへの各動作に対するノードの電圧の関係を示す図表である。

【図 6】従来の機能設定メモリの構成例を示す図である。

【符号の説明】

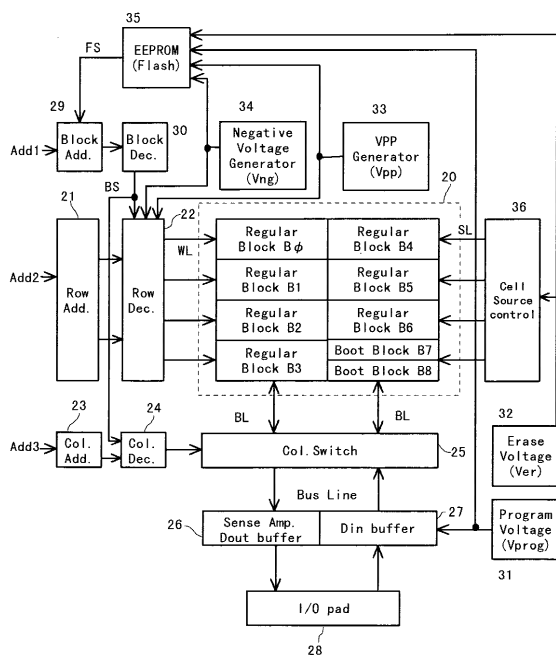
T 5、T 6	第 1、第 2 のフローティングゲート型 M O S トランジスタ
C G	コントロールゲート
F G	フローティングゲート
2 0	メモリセルアレイ
B 0 ~ B 6	通常メモリブロック
B 7 , B 8	ブートメモリブロック
2 9	ブロック選択アドレス供給回路
3 0	ブロックデコード
3 5	機能設定メモリ
F S	機能設定ビット
A d d 1	ブロック選択アドレス

10

20

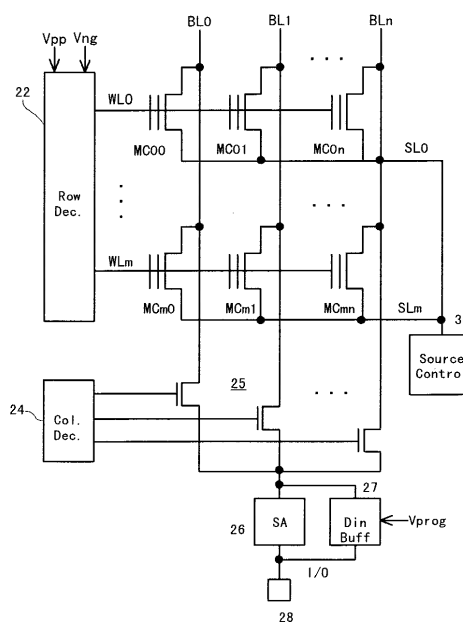
【図 1】

不揮発性メモリの全体の構成図

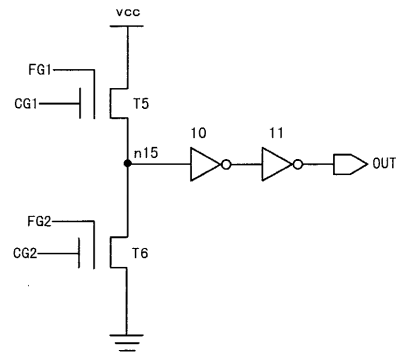


【図 2】

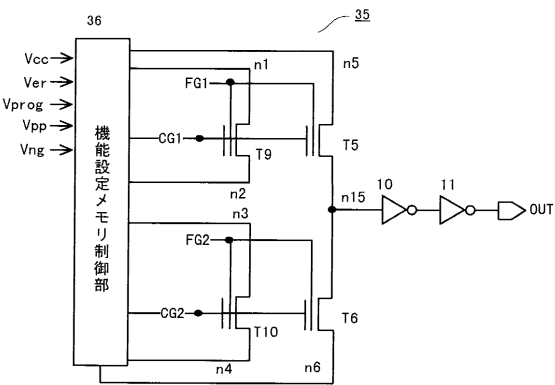
メモリセルアレイ構成



【図 3】



【図 4】



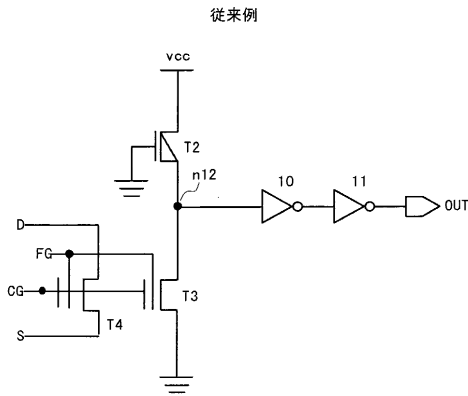
【図 5】

各動作に対する各ノードの電圧の関係

ノード	n1	n2	n3	n4	n5	n6
動作	CG1,2	(GND)	(GND)	(GND)	Vcc	GND
読み出し	Vread	(GND)	(GND)	(GND)	(GND)	(GND)
プログラム	Vpp	Vprog	Vprog	GND	(GND)	(GND)
消去 1	Vng	Float	Float	Ver	(GND)	(GND)
消去 2	Vng	(GND)	(GND)	(GND)	Ver	Ver

(n5はFloat)

【図 6】



フロントページの続き

- (56)参考文献 特開平03-123118(JP,A)
米国特許第05740106(US,A)
特開平06-028872(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 16/00-16/34