

公告本

申請日期	89. 2. 22
案 號	89103055
類 別	HOLL 23/528 ; HOLL 23/10 ; G11C 1/40

A4
C4

463355

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有扭曲式位元線之半導體記憶體配置
	英 文	Semiconductor memory-arrangement with bit-lines-Twist
二、發明 創作人	姓 名	1. 羅伯特費爾 (Robert Feurle) 2. 多明尼克沙威納克 (Dominique Savignac) 3. 赫穆特舒內達 (Helmut Schneider) 4. 沙賓曼德爾 (Sabine Mandel)
	國 籍	1. 德國 2. 法國 3.-4. 皆屬德國
	住、居所	1. 德國紐比堡 D-85579 豪特街 126a 號 2. 德國依斯曼寧 D-85737 巴恩賀夫街 2 號 3. 德國慕尼黑 D-80993 西牧沙基街 20 號 4. 德國慕尼黑 D-81369 里瑟貝曼街 5 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴黎廣場 2 號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

德 國 (地區) 申請專利，申請日期： 1999年 2月 26日 案號： 19908428.9號

， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

本發明係關於一種具有字元線和位元線之半導體記憶體配置，這些字元線和位元線經由記憶胞陣列而延伸，其中這些位元線除了一些不具備位元線扭轉區之外，另有一些位元線以具有扭轉區之方式而延伸著，且具有位元線扭轉區之位元線對(pair)具有一些接觸區以便在一個與位元線平面不同之另一平面中使位元線對中之一條位元線與另一條位元線以上下方式而相交。

位元線習知方式是經由記憶胞陣列(其一些具有位元線扭轉區而另一些則不具有位元線扭轉區)而延伸。位元線扭轉區所具有之優點是：經由扭轉區而相交之二條位元線是以電容對稱之方式而互相耦合，使可能發生之干擾信號互相抵消。此外，相鄰導線若是一些折疊式(folded)位元線時，則這些導線之耦合作用亦可抵消。

二條位元線在扭轉區中相交之先決條件是：位元線中之一在距離上與電性上須與另一條位元線相隔開。這能以下述方式來達成：其中一條位元線在相交區中藉由字元線平面中之接觸區而處於較另一條位元線還高之位置處，使得在此種相交區中其中一條位元線是在字元線平面中延伸，而另一條位元線則保持在位元線平面中。

相鄰之位元線相互間應儘可能不互相影響，即，相鄰位元線之間的電性耦合應儘可能小。這基本上能以下述方式達成：這些位元線以較大之間距且以無扭轉或不相交之方式而延伸著。但此種較大之間距必定與記憶胞陣列所需之大大增加之面積需求有關。

五、發明說明(>)

為了避免上述此種較大之間距，則須加入上述之扭轉區：位元線現在可狹窄地相鄰而延伸著，其中藉由必定存在之電容性耦合而使所引入之各種干擾會由於此種扭轉區而消除。較佳是使用目前之半導體記憶體配置，其中設有成對之位元線（其一些部份是無扭曲的而其它部份則設有扭轉區）。即，二條不具有扭轉區之位元線跟隨著二條具有扭轉區之位元線。已顯示的情況是：藉由位元線之此種構成方式，則可使電容性耦合作用之減小達到最佳化（這是由於每一第二位元線對之扭轉所達成）且使電路結構之簡化達到最佳化（這是由已降低之面積需求中每第二對位元線所需之相交區所達成）。

但以上述方式所構成之半導體記憶體配置所具有之缺點是：在字元線平面中這些在不同位置處之各別之字元線會受到各種非同之鄰近（proximity）效應，這是因為只有在此種具有扭轉區之位元線對之區域中其中一條位元線及其接觸區才會在字元線平面中延伸。因此會在位元線之相交區中不期望地產生各種不同之不均勻之影響。

本發明之目的是改良本文開頭所述技藝之半導體記憶體配置，使得在最小之面積需求中存在著最大之電性上和幾何上之對稱，因此可避免位元線之相交區或扭轉區中由邊緣元件，特殊字元線所造成之不均勻之影響。

依據本發明，此種目的在一種具有字元線和位元線之半導體記憶體配置中是以下述方式達成：不具備位元線扭轉區之這些位元線設有一些可延伸至另一平面之虛擬（Dummy）接觸區。上述各條字元線和位元線經由記憶胞

五、發明說明()

陣列而延伸，這些具有位元線扭轉區之位元線是在這些不具有位元線扭轉區之位元線旁延伸，具有位元線扭轉區之位元線對具有一些接觸區以便在一個與位元線平面不同之另一平面中使位元線對中之一條位元線與另一條位元線以上下方式而相交。

上述之另一平面因此較佳是字元線平面。位元線在無扭轉之區域中所具有之寬度大約是 150 至 250nm，較佳是 200 至 225nm，而扭轉區域本身中之位元線大約是 250 至 350nm 寬，較佳是 330nm 寬。位元線之間或位元線接觸區和位元線之間間距大約是 150 至 200nm。

由於上述之各虛擬接觸區，則各邊緣元件在另一平面（其在扭轉區域中鄰接於位元線之接觸區）中具有相同之電性“環境”，這樣即可防止各種不同之鄰近效應。

在較高之面積有效性時位元線因此可特別均勻地且在電性上、幾何上可廣泛地以對稱方式而延伸，因此在相交區域中這些邊緣元件不會造成問題。

在位元線下方之記憶胞陣列因此在相交區或扭轉區中是完全具有規則性的，因此不會產生額外之邊緣區域，此時自然不需加入特殊之邊緣元件。此外，由於位元線狹窄地相鄰而延伸，則面積需求亦可力求保持很小。

本發明以下將依據圖式來詳述。圖式簡單說明如下：

第 1 圖在位元線平面中具有扭轉區或不具有扭轉區之位元線之俯視圖。

第 2 圖字元線平面中扭轉區之放大之俯視圖。

五、發明說明(4)

第 1 圖顯示位元線 BL1 至 BL10，其中位元線 BL1 和 BL2、BL5 和 BL6、BL9 和 BL10 設有位元線扭轉區，而位元線 BL3 和 BL4、BL7 和 BL8 是無扭轉之位元線。換言之，位元線 BL2 是與位元線 BL1 相交，位元線 BL5 是與位元線 BL6 相交，位元線 BL9 是與位元線 BL10 相交，它們的相交處都是在一與圖中所示位元線平面不同之位於較高處之平面中。因此當元線 BL1、BL6 和 BL10 是在扭轉區或相交區 1 中偏移(offset)而延伸時，則位元線 BL2 (上半部未顯示在第 1 圖中)，位元線 BL5 以及位元線 BL9 是藉由其下方平面中之接觸區 2 或 3、4 或 5、6 而升高，以便在扭轉區 1 中此種較高之平面中與位元線 BL1 或 BL6 或 BL10 相交。

此種較高之平面放大在第 2 圖中，其顯示一種具有字元線 WL1 至 WL5 之字元線平面。在字元線 WL1 至 WL5 之與位元線 BL1 至 BL10 相交區之下方在記憶胞陣列 7 中配置一些未詳細顯示之例如由電晶體和電容器所構成之記憶胞。

第 2 圖顯示字元線平面中位元線 BL2、BL5 和 BL9 之外形：位元線 BL5 例如由較高位置處之字元線平面中之接觸區 3 在某一距離處以傾斜方式位於位元線 BL6 上方而延伸至扭轉區 1 中，以便經由接觸區 4 又回至位元線平面(第 1 圖)中。同樣情況亦適用於位元線 BL2 和 BL9，接觸區 5 和 6 例如用於位元線 BL9。

字元線 WL2 在上述方式下具有一種不均勻之“相鄰

五、發明說明(5)

區”：其鄰接於位元線 BL2 之第 2 圖中之上部接觸區且鄰接於位元線 BL5 以及 BL9 之接觸區 3 或 5，而這些接觸區之間的中間空間中存在著一種無金屬之空間。同樣情況亦適用於字元線 WL3，其在接觸區 2、4 和 6 之間具有一些未被接觸之區域。

在字元線 WL2 和 WL3 之相鄰區中之上述之非均勻性會對此半導體記憶體配置之電性有不利之影響。此種製法中之非均勻性形式同樣是不利的，這是因為金屬化平面顯示一些不連續性。

爲了防止由上述之不連續性或非均勻性所造成之鄰近效應，則本發明之設置方式是：直線式之位元線 BL3、BL4 或 BL7、BL8（其不具有上述之相交區或扭轉區）設有虛擬(Dummy)接觸區 8 至 11，即，這些接觸區由位元線平面（第 1 圖）”往上”延伸至字元線平面（第 2 圖）且終止於該處。以此種方式可確保：字元線 WL2、WL3 具有一種連續而均勻之相鄰區，這樣可防止上述之不連續性現象。

本發明可在較大密度之位元線時（因此是在最小之面積需求時）達成最大之電性上和幾何上對稱，其中此種在位元線下方之記憶胞陣列在扭轉區 1 中是完全有規則性的。因此不需其它之邊緣區域，且不需加入特殊之邊緣元件。

仍須說明的是：亦可設置其它結構以取代字元線 WL2、WL3。在此種情況下這些結構會由於接觸區 2、9、

五、發明說明 (b)

4、11或8、3、10、5之均勻性而最佳化地受到影響，這樣會達到最大可能之對稱。

例如可使用鋁或銅作為字元線、位元線和接觸區之材料。但當然亦可使用其它材料。

位元線 BL1至 BL10在無扭轉之區域中大約是 150至 250nm寬，較佳是大約 200至 225nm寬，而其在扭轉區域 1中可具有 250nm或 350nm之寬度且特別是大約 330nm之寬度。接觸區本身之直徑大約是 400nm，而位元線之間的間距可以是 150至 200nm。

符號說明

1... 扭轉區

2, 3, 4, 5, 6... 接觸區

7... 記憶胞陣列

8, 9, 10, 11... 虛擬接觸區

BL1至 BL10... 位元線

WL1至 WL10... 字元線

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

四、中文發明摘要 (發明之名稱：**具有扭曲式位元線之半導體記憶體配置**)

本發明是關於一種半導體記憶體配置，其具有字元線 (WL1 至 WL5) 和位元線 (BL1 至 BL5)，其中這些無扭曲之位元線 (BL3, BL4, BL7, BL8) 設有一些虛擬接觸區 (8 至 11)，這些接觸區延伸至字元線平面，使各條字元線都具有一種均勻之環境。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱：**Semiconductor memory-arrangement with bit-lines-Twist**)

This invention relates to a semiconductor memory-arrangement with word-lines (WL1 to WL5) and bit-lines (BL1 to BL5), in which the twist-free bit-lines (BL3, BL4, BL7, BL8) are provided with Dummy-Contacts (8 to 11), which extend to the word-line-plane, so that the word-lines have a homogeneous environment.

訂

六、申請專利範圍

第 89103055 號「具有扭曲式位元線之半導體記憶體配置」專利案
(90年8月修正)

六申請專利範圍

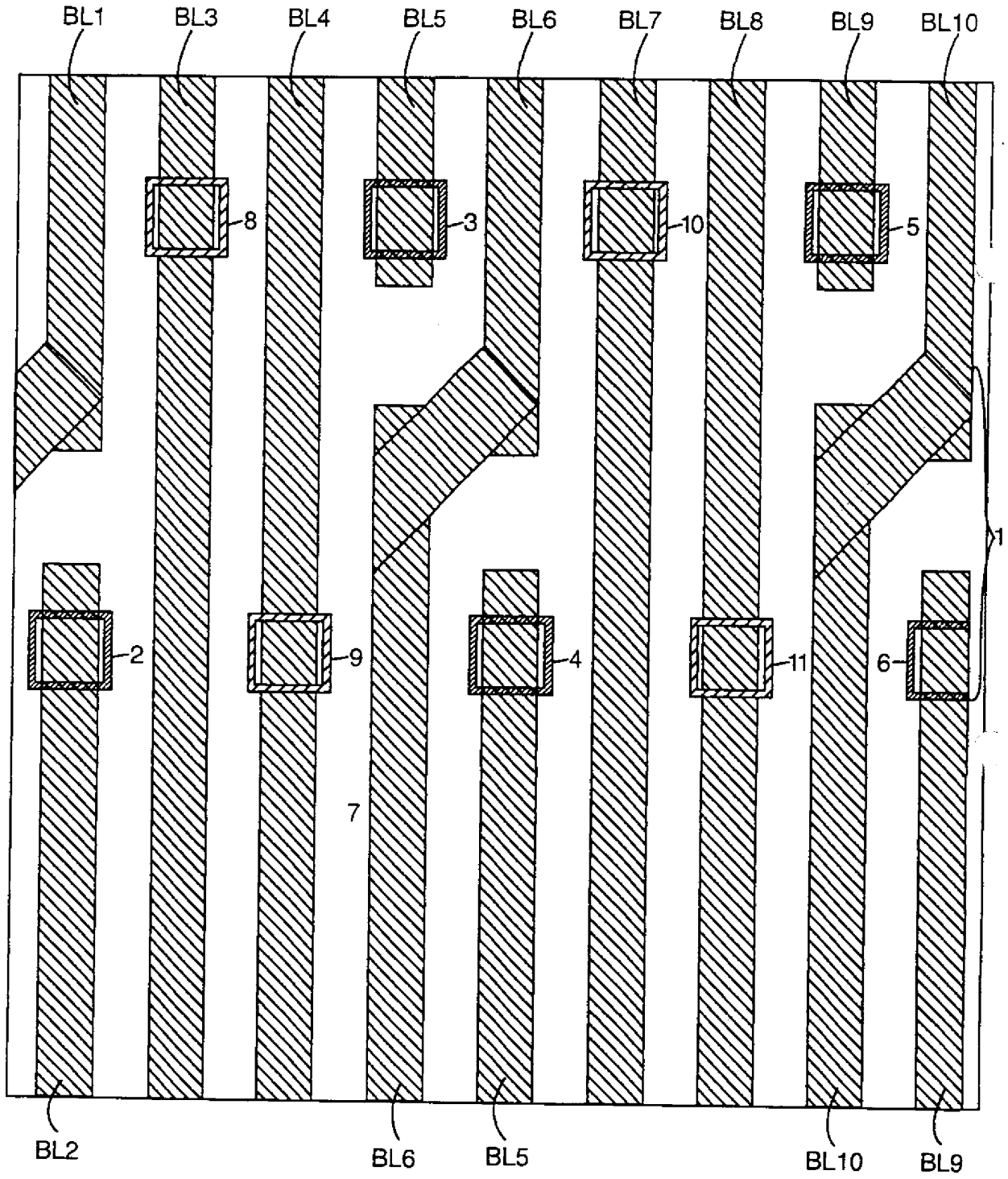
1. 一種半導體記憶體配置，其具有字元線(WL1至WL5)和位元線(BL1至BL10)，這些線是經由記憶胞陣列(7)而延伸，這些具有位元線扭轉區之位元線(BL1；BL5、BL6；BL9、BL10)是在這些不具有位元線扭轉區之位元線(BL3、BL4；BL7；BL8)旁延伸，這些具有位元線扭轉區之位元線對(pair)(BL1、BL2；BL5、BL6；BL9、BL10)具有一些接觸區(2；3、4；5、6)以便在一個與位元線平面(第1圖)不同之另一平面(第2圖)中使位元線對中之一條位元線(BL1；BL6；BL10)與另一條位元線(BL2；BL5；BL9)相交，其特徵為：這些不具有位元線扭轉區之位元線(BL3、BL4、BL7、BL8)設有一種可延伸至另一平面之虛擬接觸區(8、9、10、11)。
2. 如申請專利範圍第1項之半導體記憶體配置，其中該另一平面是字元線平面。
3. 如申請專利範圍第1或第2項之半導體記憶體配置，其中這些在無扭轉區中之位元線(BL1至BL10)所具有之寬度大約是150nm至250nm。
4. 如申請專利範圍第3項之半導體記憶體配置，其中這些在無扭轉區中之位元線(BL1至BL10)寬度大約是200nm。
5. 如申請專利範圍第1或第2項之半導體記憶體配置，其中這些在扭轉區(1)中之位元線(BL1至BL10)之寬度大約

六、申請專利範圍

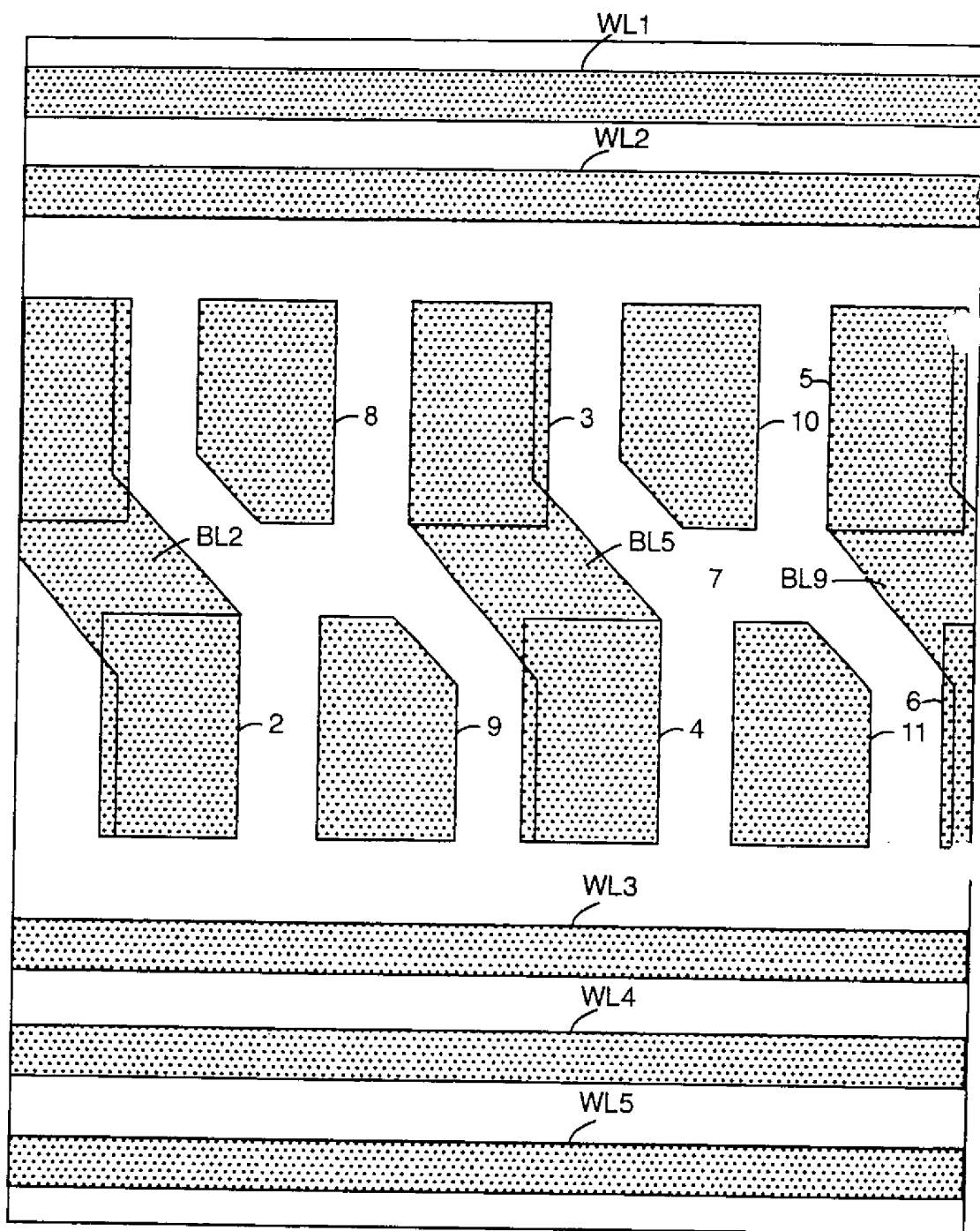
是 250nm 至 350nm。

6. 如申請專利範圍第 5 項之半導體記憶體配置，其中這些在扭轉區中之位元線寬度大約是 330nm。
7. 如申請專利範圍第 1 項之半導體記憶體配置，其中位元線之間的間距大約是 150 至 180nm 之間。
8. 如申請專利範圍第 1 或第 2 項之半導體記憶體配置，其中位元線 (BL1 至 BL10)、字元線 (WL1 至 WL10) 和接觸區 (2 至 6、8 至 11) 是由鋁或銅所構成。

第 1 圖



第 2 圖



六、申請專利範圍

第 89103055 號「具有扭曲式位元線之半導體記憶體配置」專利案
(90年8月修正)

六申請專利範圍

1. 一種半導體記憶體配置，其具有字元線(WL1至WL5)和位元線(BL1至BL10)，這些線是經由記憶胞陣列(7)而延伸，這些具有位元線扭轉區之位元線(BL1；BL5、BL6；BL9、BL10)是在這些不具有位元線扭轉區之位元線(BL3、BL4；BL7；BL8)旁延伸，這些具有位元線扭轉區之位元線對(pair)(BL1、BL2；BL5、BL6；BL9、BL10)具有一些接觸區(2；3、4；5、6)以便在一個與位元線平面(第1圖)不同之另一平面(第2圖)中使位元線對中之一條位元線(BL1；BL6；BL10)與另一條位元線(BL2；BL5；BL9)相交，其特徵為：這些不具有位元線扭轉區之位元線(BL3、BL4、BL7、BL8)設有一種可延伸至另一平面之虛擬接觸區(8、9、10、11)。
2. 如申請專利範圍第1項之半導體記憶體配置，其中該另一平面是字元線平面。
3. 如申請專利範圍第1或第2項之半導體記憶體配置，其中這些在無扭轉區中之位元線(BL1至BL10)所具有之寬度大約是150nm至250nm。
4. 如申請專利範圍第3項之半導體記憶體配置，其中這些在無扭轉區中之位元線(BL1至BL10)寬度大約是200nm。
5. 如申請專利範圍第1或第2項之半導體記憶體配置，其中這些在扭轉區(1)中之位元線(BL1至BL10)之寬度大約

六、申請專利範圍

是 250nm 至 350nm。

6. 如申請專利範圍第 5 項之半導體記憶體配置，其中這些在扭轉區中之位元線寬度大約是 330nm。
7. 如申請專利範圍第 1 項之半導體記憶體配置，其中位元線之間的間距大約是 150 至 180nm 之間。
8. 如申請專利範圍第 1 或第 2 項之半導體記憶體配置，其中位元線 (BL1 至 BL10)、字元線 (WL1 至 WL10) 和接觸區 (2 至 6、8 至 11) 是由鋁或銅所構成。