



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2016년07월08일
 (11) 등록번호 10-1633886
 (24) 등록일자 2016년06월21일

- (51) 국제특허분류(Int. Cl.)
H03L 7/081 (2006.01) *H03L 7/197* (2006.01)
 (21) 출원번호 10-2014-7006009
 (22) 출원일자(국제) 2012년08월01일
 심사청구일자 2014년03월05일
 (85) 번역문제출일자 2014년03월05일
 (65) 공개번호 10-2014-0058608
 (43) 공개일자 2014년05월14일
 (86) 국제출원번호 PCT/US2012/049226
 (87) 국제공개번호 WO 2013/022679
 국제공개일자 2013년02월14일
 (30) 우선권주장
 13/204,448 2011년08월05일 미국(US)

(56) 선행기술조사문헌

US20070159260 A1

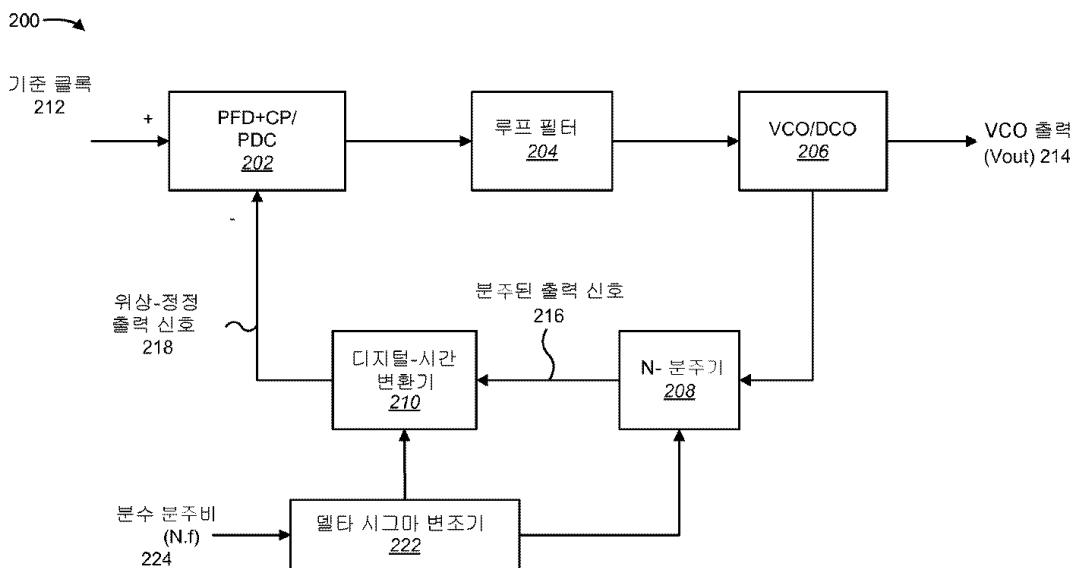
JP2003515963 A

전체 청구항 수 : 총 26 항

심사관 : 박정근

(54) 발명의 명칭 **파드백 루프에서 위상 정정을 갖는 위상 동기 루프****(57) 요 약**

주파수 합성기 회로가 개시된다. 주파수 합성기 회로는 기준 클록 및 위상-정정 출력 신호에 연결된 비교기 회로를 포함한다. 주파수 합성기 회로는 비교기 회로에 연결된 루프 필터를 또한 포함한다. 주파수 합성기 회로는 루프 필터에 연결된 발진기를 또한 포함한다. 주파수 합성기 회로는 발진기의 출력에 연결된 분수 분주기를 또한 포함한다. 주파수 합성기 회로는, 위상-정정 출력 신호를 생성하기 위해 분수 분주기의 출력의 위상을 정정하는 위상 정정 회로를 또한 포함한다.

대 표 도

명세서

청구범위

청구항 1

주파수 합성기 회로로서,
기준 클록 및 위상-정정 출력 신호에 연결된 비교기 회로,
상기 비교기 회로에 연결된 루프 필터,
상기 루프 필터에 연결된 발진기,
상기 발진기의 출력에 연결된 분수 분주기(fractional divider), 및
상기 위상-정정 출력 신호를 생성하기 위해 상기 분수 분주기의 출력의 위상을 정정하는 위상 정정 회로를 포함하고,
상기 위상 정정 회로는 디지털 자연 제어 회로로부터 하나 이상의 제어 신호들을 수신하고,
상기 디지털 자연 제어 회로는,
시간-평균 분수 분주비를 수신하고, 즉각적인(instantaneous) 정수 분주비를 출력하는 제 1 델타 시그마 변조기,
누산된 분주비 예러를 생성하기 위해 상기 시간-평균 분수 분주비와 상기 즉각적인 정수 분주비 사이의 차이를 누산하는 제 1 누산기,
이득 정규화 인수에 의해, 누산된 분주비 예러를 스케일링하는 디지털 곱셈기,
오프셋을 이득-정규화 비율 예러에 합산하는 디지털 합산기,
오프셋 비율 예러를 절단(truncate)하는 제 2 델타 시그마 변조기, 및
절단된 비율 예러에 기초하여, 상기 위상 정정 회로에서 사용되는 자연 엘리먼트들을 교변(alternate)하기 위한 제어 신호들을 생성하는 동적 엘리먼트 매칭기를 포함하는,
주파수 합성기 회로.

청구항 2

제 1 항에 있어서,
상기 분수 분주기는 제 1 분주비(divide ratio)와 제 2 분주비에 의해 상기 발진기의 출력 주파수를 분주하는 것 사이를 교변하는,
주파수 합성기 회로.

청구항 3

제 2 항에 있어서,
상기 분수 분주기는, 상기 분주비들 사이의 원하는 시간-평균비를 유지하면서, 상기 분수 분주기에 의해 사용되는 각각의 분주비의 선택을 랜덤화하는 델타 시그마 변조기를 포함하는,
주파수 합성기 회로.

청구항 4

제 1 항에 있어서,
상기 비교기 회로는 상기 기준 클록 및 상기 위상-정정 출력 신호의 위상에서의 차이를 나타내는 예러 신호를 생성하도록 구성되는,

주파수 합성기 회로.

청구항 5

제 1 항에 있어서,

상기 위상 정정 회로는 상기 분수 분주기의 출력의 위상을 자연시킴으로써 상기 분수 분주기의 출력의 위상을 정정하여, 상기 기준 클록과 위상-정정 출력 신호 사이의 위상 차이가 시간에 걸쳐 안정되는,

주파수 합성기 회로.

청구항 6

제 1 항에 있어서,

상기 위상 정정 회로는 다수의 자연 엘리먼트들을 포함하고, 각각의 자연 엘리먼트는 조절 가능한 자연을 갖는 적어도 하나의 인버터 회로를 포함하는,

주파수 합성기 회로.

청구항 7

삭제

청구항 8

삭제

청구항 9

제 1 항에 있어서,

상기 디지털 자연 제어 회로는 이득 정규화 인수 교정 회로를 더 포함하고,

상기 이득 정규화 인수 교정 회로는, 상기 이득 정규화 인수를 생성하기 위해 누산된 분주비 예러 및 상기 비교기 회로의 출력의 곱(product)을 누산하는 제 2 누산기를 포함하는,

주파수 합성기 회로.

청구항 10

위상 동기 루프(PLL)의 피드백 루프에서 위상 예러를 정정하기 위한 집적 회로로서,

기준 클록 및 위상-정정 출력 신호에 연결된 비교기 회로,

상기 비교기 회로에 연결된 루프 필터,

상기 루프 필터에 연결된 발진기,

상기 발진기의 출력에 연결된 분수 분주기, 및

상기 위상-정정 출력 신호를 생성하기 위해 상기 분수 분주기의 출력의 위상을 정정하는 위상 정정 회로를 포함하고,

상기 위상 정정 회로는 디지털 자연 제어 회로로부터 하나 이상의 제어 신호들을 수신하고,

상기 디지털 자연 제어 회로는,

시간-평균 분수 분주비를 수신하고, 즉각적인 정수 분주비를 출력하는 제 1 멜타 시그마 변조기,

누산된 분주비 예러를 생성하기 위해 상기 시간-평균 분수 분주비와 상기 즉각적인 정수 분주비 사이의 차이를 누산하는 제 1 누산기,

이득 정규화 인수에 의해, 누산된 분주비 예러를 스케일링하는 디지털 곱셈기,

오프셋을 이득-정규화 비율 예러에 합산하는 디지털 합산기,

오프셋 비율 에러를 절단하는 제 2 델타 시그마 변조기, 및

절단된 비율 에러에 기초하여, 상기 위상 정정 회로에서 사용되는 지연 엘리먼트들을 교번하기 위한 제어 신호들을 생성하는 동적 엘리먼트 매칭기를 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 집적 회로.

청구항 11

제 10 항에 있어서,

상기 분수 분주기는 제 1 분주비와 제 2 분주비에 의해 상기 발진기의 출력 주파수를 분주하는 것 사이를 교번하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 집적 회로.

청구항 12

제 11 항에 있어서,

상기 분수 분주기는, 상기 분주비들 사이의 원하는 시간-평균비를 유지하면서, 상기 분수 분주기에 의해 사용되는 각각의 분주비의 선택을 랜덤화하는 델타 시그마 변조기를 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 집적 회로.

청구항 13

제 10 항에 있어서,

상기 비교기 회로는 상기 기준 클록 및 상기 위상-정정 출력 신호의 위상에서의 차이를 나타내는 에러 신호를 생성하도록 구성되는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 집적 회로.

청구항 14

제 10 항에 있어서,

상기 위상 정정 회로는 상기 분수 분주기의 출력의 위상을 지연시킴으로써 상기 분수 분주기의 출력의 위상을 정정하여, 상기 기준 클록과 위상-정정 출력 신호 사이의 위상 차이가 시간에 걸쳐 안정된,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 집적 회로.

청구항 15

제 10 항에 있어서,

상기 위상 정정 회로는 다수의 지연 엘리먼트들을 포함하고, 각각의 지연 엘리먼트는 조절 가능한 지연을 갖는 적어도 하나의 인버터 회로를 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 집적 회로.

청구항 16

삭제

청구항 17

삭제

청구항 18

제 10 항에 있어서,

상기 디지털 지연 제어 회로는 이득 정규화 인수 교정 회로를 더 포함하고,

상기 이득 정규화 인수 교정 회로는, 상기 이득 정규화 인수를 생성하기 위해 누산된 분주비 에러 및 상기 비교기 회로의 출력의 곱을 누산하는 제 2 누산기를 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 집적 회로.

청구항 19

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 방법으로서,

에러 신호를 생성하기 위해 위상-정정 출력 신호와 기준 클록을 비교하는 단계,

상기 에러 신호를 필터링하는 단계,

필터링된 에러 신호에 기초하여 주파수를 갖는 발진기 출력을 생성하는 단계,

시간-평균 분수 분주비를 달성하기 위해 정수 분주비를 선택하는 단계,

선택된 정수 분주비에 의해 발진기 출력의 주파수를 분주하는 단계, 및

위상-정정 발진기 출력을 생성하기 위해 분주된 발진기 출력의 위상을 조절하는 단계 – 상기 조절하는 단계는 하나 이상의 수신된 제어 신호들에 기초함 –, 및

상기 제어 신호들을 결정하는 단계를 포함하고,

상기 제어 신호들을 결정하는 단계는,

수신된 시간-평균 분수 분주비에 기초하여 즉각적인 정수 분주비를 출력하는 단계,

누산된 분주비 에러를 생성하기 위해 상기 시간-평균 분수 분주비와 상기 즉각적인 정수 분주비 사이의 차이를 누산하는 단계,

이득 정규화 인수에 의해, 누산된 분주비 에러를 스케일링하는 단계,

오프셋을 이득-정규화 비율 에러에 합산하는 단계,

오프셋 비율 에러를 절단하는 단계, 및

절단된 비율 에러에 기초하여, 위상 정정 회로에서 사용되는 지연 엘리먼트들을 교번하기 위한 제어 신호들을 생성하는 단계를 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 방법.

청구항 20

제 19 항에 있어서,

상기 분주하는 단계는 제 1 분주비와 제 2 분주비에 의해 상기 발진기 출력의 주파수를 분주하는 것 사이를 교번하는 단계를 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 방법.

청구항 21

제 19 항에 있어서,

상기 에러 신호는 상기 기준 클록 및 상기 위상-정정 출력 신호의 위상에서의 차이를 나타내는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 방법.

청구항 22

제 19 항에 있어서,

상기 조절하는 단계는 분주된 발진기 출력의 위상을 지연시킴으로써 상기 분주된 발진기 출력의 위상을 정정하는 단계를 포함하여, 상기 기준 클록과 위상-정정 출력 신호 사이의 위상 차이가 시간에 걸쳐 안정되는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 방법.

청구항 23

제 19 항에 있어서,

상기 조절하는 단계는 다수의 지연 엘리먼트들을 사용하는 단계를 포함하고, 각각의 지연 엘리먼트는 조절 가능한 지연을 갖는 적어도 하나의 인버터 회로를 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 방법.

청구항 24

삭제

청구항 25

삭제

청구항 26

제 19 항에 있어서,

상기 이득 정규화 인수를 생성하기 위해 누산된 분주비 에러 및 상기 에러 신호의 곱을 누산함으로써 상기 이득 정규화 인수를 교정하는 단계를 더 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 방법.

청구항 27

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 주파수 합성기(frequency synthesizer)로서,

에러 신호를 생성하기 위해 위상-정정 출력 신호와 기준 클록을 비교하기 위한 수단,

상기 에러 신호를 필터링하기 위한 수단,

필터링된 에러 신호에 기초하여 주파수를 갖는 발진기 출력을 생성하기 위한 수단,

시간-평균 분수 분주비를 달성하기 위해 정수 분주비를 선택하기 위한 수단,

선택된 정수 분주비에 의해 발진기 출력의 주파수를 분주하기 위한 수단,

위상-정정 발진기 출력을 생성하기 위해 분주된 발진기 출력의 위상을 조절하기 위한 수단 – 상기 조절하기 위한 수단은 하나 이상의 수신된 제어 신호들을 사용함 –, 및

상기 제어 신호들을 결정하기 위한 수단을 포함하고,

상기 제어 신호들을 결정하기 위한 수단은,

수신된 시간-평균 분수 분주비에 기초하여 즉각적인 정수 분주비를 출력하기 위한 수단,

누산된 분주비 에러를 생성하기 위해 상기 시간-평균 분수 분주비와 상기 즉각적인 정수 분주비 사이의 차이를 누산하기 위한 수단,

이득 정규화 인수에 의해, 누산된 분주비 에러를 스케일링하기 위한 수단,

오프셋을 이득-정규화 비율 에러에 합산하기 위한 수단,

오프셋 비율 에러를 절단하기 위한 수단, 및

절단된 비율 에러에 기초하여, 위상 정정 회로에서 사용되는 지연 엘리먼트들을 교번하기 위한 제어 신호들을 생성하기 위한 수단을 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 주파수 합성기.

청구항 28

제 27 항에 있어서,

상기 분주하기 위한 수단은 제 1 분주비와 제 2 분주비에 의해 상기 발진기 출력의 주파수를 분주하는 것 사이를 교번하기 위한 수단을 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 주파수 합성기.

청구항 29

제 27 항에 있어서,

상기 에러 신호는 상기 기준 클록 및 상기 위상-정정 출력 신호의 위상에서의 차이를 나타내는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 주파수 합성기.

청구항 30

제 27 항에 있어서,

상기 조절하기 위한 수단은 분주된 발진기 출력의 위상을 지연시킴으로써 상기 분주된 발진기 출력의 위상을 정정하기 위한 수단을 포함하여, 상기 기준 클록과 위상-정정 출력 신호 사이의 위상 차이가 시간에 걸쳐 안정되는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 주파수 합성기.

청구항 31

제 27 항에 있어서,

상기 조절하기 위한 수단은 다수의 지연 엘리먼트들을 사용하기 위한 수단을 포함하고, 각각의 지연 엘리먼트는 조절 가능한 지연을 갖는 적어도 하나의 인버터 회로를 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 주파수 합성기.

청구항 32

삭제

청구항 33

삭제

청구항 34

제 27 항에 있어서,

상기 이득 정규화 인수를 생성하기 위해 누산된 분주비 에러 및 상기 에러 신호의 곱을 누산함으로써 상기 이득 정규화 인수를 교정하기 위한 수단을 더 포함하는,

위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 주파수 합성기.

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 통신 시스템들에 관한 것이다. 더 상세하게, 본 발명은 피드백 루프에서 위상 정정을 갖는 위상 동기 루프에 관한 것이다.

배경 기술

[0002] 전자 디바이스들(셀룰러 전화들, 무선 모뎀들, 컴퓨터들, 디지털 음악 플레이어들, 글로벌 포지셔닝 시스템 유닛들, 개인 디지털 정보 단말기들, 게이밍 디바이스들 등)은 일상 생활의 일부가 되고 있다. 소형 컴퓨팅 디바이스들은 현재 자동차들 내지 가정용 자물쇠들에 이르기까지 모든 것에 배치된다. 전자 디바이스들의 복잡성은

지난 몇 년간 극적으로 증가하여 왔다. 예를 들어, 많은 전자 디바이스들은 디바이스를 제어하는 데 도움이 되는 하나 이상의 프로세서들뿐 아니라 프로세서 및 디바이스의 다른 부분들을 지원하기 위한 다수의 디지털 회로들을 갖는다.

[0003] 무선 통신 시스템들은 음성, 비디오, 데이터 등과 같은 다양한 형태들의 통신 콘텐츠를 제공하도록 폭넓게 전개된다. 이들 시스템들은 하나 이상의 기지국들과 다수의 무선 통신 디바이스들의 동시 통신을 지원할 수 있는 다중-액세스 시스템들일 수 있다.

[0004] 모바일 디바이스들은 동작 동안 사용되는 다양한 회로들을 포함할 수 있다. 예를 들어, 발진기는 모바일 디바이스 내의 접속 회로 또는 보드에 걸쳐서 다양한 회로들을 동기화하는 데 사용될 수 있다. 또한, 모바일 디바이스 내의 상이한 회로들은 상이한 주파수들을 사용하여 동작할 수 있다. 따라서, 모바일 디바이스들은 상이한 목적들로 다수의 기준 신호들을 생성할 수 있다.

[0005] 주파수 합성기 회로들은 피드백 구성들에서 주파수 분주(frequency division)를 사용한다. 그러나, 이것은 회로 내의 위상 불일치들(phase inconsistencies)을 초래할 수 있다. 따라서, 피드백 루프에서 위상 정정을 갖는 위상 동기 루프에 의해 이점들이 실현될 수 있다.

발명의 내용

[0006] 주파수 합성기 회로가 개시된다. 주파수 합성기 회로는 기준 클록 및 위상-정정 출력 신호에 연결된 비교기 회로를 포함한다. 주파수 합성기 회로는 비교기 회로에 연결된 루프 필터를 또한 포함한다. 주파수 합성기 회로는 루프 필터에 연결된 발진기를 또한 포함한다. 주파수 합성기 회로는 발진기의 출력에 연결된 분수 분주기를 또한 포함한다. 주파수 합성기 회로는, 위상-정정 출력 신호를 생성하기 위해 분수 분주기의 출력의 위상을 정정하는 위상 정정 회로를 또한 포함한다.

[0007] 분수 분주기는 제 1 분주비(divide ratio)와 제 2 분주비에 의해 발진기의 출력 주파수를 분주하는 것 사이를 교변할 수 있다. 분수 분주기는, 분주비들 사이의 원하는 시간-평균비를 유지하는 동안에, 분수 분주기에 의해 사용되는 각각의 분주비의 선택을 팬덤화하는 엘타 시그마 변조기를 포함할 수 있다. 비교기는 기준 클록 및 위상-정정 출력 신호의 위상에서의 차이를 나타내는 에러 신호를 생성하도록 구성될 수 있다.

[0008] 위상 정정 회로는 분수 분주기의 출력의 위상을 자연시킴으로써 분수 분주기의 출력의 위상을 정정할 수 있어서, 기준 클록과 위상-정정 출력 신호 사이의 위상 차이가 시간에 걸쳐 안정된다. 위상 정정 회로는 다수의 자연 엘리먼트들을 포함하고, 각각의 자연 엘리먼트는 조절 가능한 자연을 갖는 적어도 하나의 인버터 회로를 포함할 수 있다.

[0009] 위상 정정 회로는 디지털 자연 제어 회로로부터 하나 이상의 제어 신호들을 수신할 수 있다. 디지털 자연 제어 회로는, 시간-평균 분수 분주비를 수신하고 즉각적인 정수 분주비를 출력하는 제 1 엘타 시그마 변조기를 포함할 수 있다. 디지털 자연 제어 회로는 또한 누산된 분주비 에러를 생성하기 위해 시간-평균 분수 분주비와 즉각적인 정수 분주비 사이의 차이를 누산하는 제 1 누산기를 포함할 수 있다. 디지털 자연 제어 회로는 또한 이득 정규화 인수에 의해, 누산된 분주비 에러를 스케일링하는 디지털 곱셈기를 포함할 수 있다. 디지털 자연 제어 회로는 또한 오프셋을 이득-정규화 비율 에러에 합산하는 디지털 합산기를 포함할 수 있다. 디지털 자연 제어 회로는 또한 오프셋 비율 에러를 절단(truncate)하는 제 2 엘타 시그마 변조기를 포함할 수 있다. 디지털 자연 제어 회로는 또한 절단된 비율 에러에 기초하여, 위상 정정 회로에서 사용되는 자연 엘리먼트들을 교변하기 위한 제어 신호들을 생성하는 동적 엘리먼트 매칭기를 포함할 수 있다. 디지털 자연 제어 회로는 또한, 이득 정규화 인수를 생성하기 위해 누산된 분주비 에러 및 비교기 회로의 출력의 곱(product)을 누산하는 제 2 누산기를 포함하는 이득 정규화 인수 교정 회로를 포함할 수 있다.

[0010] 위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 접속 회로가 또한 개시된다. 접속 회로는 기준 클록 및 위상-정정 출력 신호에 연결된 비교기 회로를 포함한다. 접속 회로는 또한 비교기 회로에 연결된 루프 필터를 포함한다. 접속 회로는 또한 루프 필터에 연결된 발진기를 포함한다. 접속 회로는 또한 발진기의 출력에 연결된 분수 분주기를 포함한다. 접속 회로는 또한 위상-정정 출력 신호를 생성하기 위해 분수 분주기의 출력의 위상을 정정하는 위상 정정 회로를 포함한다.

[0011] 위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 방법이 또한 개시된다. 에러 신호를 생성하기 위해 위상-정정 출력 신호가 기준 클록과 비교된다. 에러 신호가 필터링된다. 발진기 출력은 필터링된 에러 신호에 기초한 주파수를 갖도록 생성된다. 시간-평균 분수 분주비를 달성하도록 정수 분주비가 선택된다.

발진기 출력의 주파수가 선택된 정수 분주비에 의해 분주된다. 위상-정정 발진기 출력을 생성하기 위해 분주된 발진기 출력의 위상이 조절된다.

[0012] 위상 동기 루프(PLL)의 피드백 투프에서 위상 에러를 정정하기 위한 주파수 합성기(frequency synthesizer)가 또한 개시된다. 주파수 합성기는 에러 신호를 생성하기 위해 위상-정정 출력 신호와 기준 클록을 비교하기 위한 수단을 포함한다. 주파수 합성기는 또한 에러 신호를 필터링하기 위한 수단을 포함한다. 주파수 합성기는 또한 필터링된 에러 신호에 기초한 주파수를 갖는 발진기 출력을 생성하기 위한 수단을 포함한다. 주파수 합성기는 또한 시간-평균 분수 분주비를 달성하기 위해 정수 분주비를 선택하기 위한 수단을 포함한다. 주파수 합성기는 또한 선택된 정수 분주비에 의해 발진기 출력의 주파수를 분주하기 위한 수단을 포함한다. 주파수 합성기는 또한 위상-정정 발진기 출력을 생성하기 위해 분주된 발진기 출력의 위상을 조절하기 위한 수단을 포함한다.

도면의 간단한 설명

[0013] 도 1은 피드백 루프에서 위상 정정을 사용하는 위상 동기 루프(PLL)를 예시한 블록도이다.

도 2는 피드백 루프에서 위상 정정을 사용하는 위상 동기 루프(PLL)의 또 다른 구성을 예시한 블록도이다.

도 3은 위상 동기 루프(PLL)의 피드백 루프에서 위상 에러를 정정하기 위한 방법을 예시한 흐름도이다.

도 4는 위상 정정 회로를 예시한 블록도이다.

도 5는 인버터에 대한 가능한 구성을 예시한 회로도이다.

도 6은 위상 동기 루프에서 위상 정정을 수행하는 피드백 경로를 예시한 블록도이다.

도 7은 디지털-시간 변환기에서 동적 엘리먼트 매칭을 예시한 블록도이다.

도 8은 ADPLL(all-digital phase locked loop)에서 디지털-시간 변환기 교정을 예시한 블록도이다.

도 9는 아날로그 동기 루프(PLL)에서 디지털-시간 변환기 교정의 하나의 구성을 예시한 블록도이다.

도 10은 아날로그 동기 루프(PLL)에서 디지털-시간 변환기 교정의 또 다른 구성을 예시한 블록도이다.

도 11은 수신기를 예시한 블록도이다.

도 12는 전송기를 예시한 블록도이다.

도 13은 전자 디바이스/무선 디바이스 내에 포함될 수 있는 특정 컴포넌트들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0014] 위상 동기 루프(PLL)는 위상, 주파수 또는 이를 모두에서 입력 기준 클록에 대해 동기된 발진 신호들을 생성하는데 사용될 수 있다. N-분주기(divider)는 다양한 주파수들을 갖는 출력을 생성할 수 있는 주파수 합성기를 구현하기 위해 PLL의 피드백 경로에 배치될 수 있다. 일부 구성들에서, PLL은 출력 주파수의 더 미세한 튜닝을 가능하게 하기 위해 분수(fractional) N-분주기를 사용할 수 있다. 그러한 분수-N PLL들은 N-분주기에 의해 사용되는 즉각적인 분주비들을 결정하기 위해 델타 시그마 변조기(DSM)를 사용할 수 있다. 그러나, DSM은 캐리어로부터의 특정 오프셋들에서 잡음을 발생시킬 수 있는데, 즉, DSM은 피드백 경로 신호의 위상에서 지터를 발생시킬 수 있다. 또한, DSM은 스퍼스(spurs)을 발생시킬 수 있다.

[0015] 따라서, 본 시스템들 및 방법들은 PLL의 피드백 루프, 예를 들면, N-분주기의 출력에 있는 디지털-시간 변환기에서의 위상 정정을 사용할 수 있다. 이것은 위상 비교기 회로(예를 들면, 위상 및 주파수 검출기 또는 위상-디지털 변환기)의 입력에서 델타-시그마 잡음을 최대 10 배만큼 감소시킬 수 있다. 위상 정정 회로는, 예를 들면, DSM으로부터의 누산된 잔여 에러를 사용하여 작동중에(on-the-fly) 디지털적으로 교정될 수 있다.

[0016] 도 1은 피드백 루프에서 위상 정정을 사용하는 위상 동기 루프(PLL)(100)를 예시한 블록도이다. PLL(100)은 주파수 합성기로서 작동할 수 있다. PLL(100)은 피드백 구성에서 비교기(102), 루프 필터(104), 발진기(106) 및 분수 분주기(108)를 포함할 수 있다. 또한, PLL(100)은 분주기(108) 출력의 위상이 비교기(102)로 피딩되기 전에 분주기(108) 출력의 위상을 조절하는 위상 정정 회로(110)를 포함할 수 있다.

[0017] 일 구성에서, PLL(100)은 수정 발진기 및/또는 또 다른 적절한 신호 생성기로부터 미리 결정된 주파수(Fref)를 갖는 기준 클록(112)을 수신할 수 있다. 기준 클록(112)을 사용하여, PLL(100)은 주파수 및/또는 위상에 있어

기준 클록(112)에 고정(즉, 동기)된 출력 신호(Vout)(114)를 생성할 수 있다. 선택적으로, PLL(100)은, 비교기(102)에서의 비교 전에 기준 클록(112)을 변경할 수 있는 r-분주기(도시되지 않음)를 또한 포함할 수 있는데, 즉, r-분주기는 기준 클록(112)이 비교기(102)에서 수신되기 전에 기준 클록(112)의 주파수를 분주할 수 있다.

[0018] 일 구성에서, 비교기(102)는 기준 클록(112)과 피드백 루프의 출력을 비교할 수 있다. 구체적으로, 분수 분주기(108)는 시간-평균 분수 분주비(N.f)(124)를 달성하기 위해 교번하는 정수 분주비(123)를 사용하여 발진기 출력(Vout)(114)을 분주할 수 있다. 분수 분주기(108)는, 원하는 시간-평균 분수 분주비(N.f)(124)를 유지하면서, 각각의 정수 분주비(123)의 선택을 랜덤화하는 엘타 시그마 변조기(DSM)(122)로부터 정수 분주비들(123)을 수신할 수 있다. 다시 말해서, 정수 분주비들(123)의 시간-평균은 분수 분주비(N.f)(124)일 수 있다. 분수 분주기(108)가 각각의 정수 분주비(123)를 사용하여 소비하는 시간의 퍼센티지를 변경함으로써, 발진기 출력(Vout)(114)의 주파수는 비교적 높은 입도(granularity)로 선택될 수 있다. 따라서, 분주된 출력 신호(116)는 N 내지 N+1의 파라미터에 의해 분주된 출력 신호(Vout)(114)의 주파수와 동일한 주파수를 갖는 신호일 수 있고, 여기서 N 및 N+1은 인접한 정수들이다.

[0019] 분수 분주기(108)는 피드백 루프에서 위상 점핑을 발생시킬 수 있는데, 즉, 상이한 즉각적인 정수 분주비들(123) 사이에서의 교번은 분주된 출력 신호(116)에서 위상 점핑을 발생시킬 수 있다. 본원에서 사용된 바와 같이, 용어 "위상 에러" 또는 "엘타 위상"은 분주된 출력 신호(116)의 위상과 기준 클록(112)의 위상 사이의 차이를 지칭한다. 이러한 위상 에러는 PLL(100)에서 에러들을 발생시킬 수 있다. 따라서, 본 시스템들 및 방법들은, 비교기(102)에 입력되는 위상 차이를 안정화하기 위해 이러한 위상 에러 중 일부를 제거하는 위상 정정 회로(110)를 포함할 수 있다.

[0020] 불안정한 위상 에러는 문제가 될 수 있다. 루프 필터(104)는 불안정한 위상 에러 중 일부를 필터링할 수 있지만, 넓은 루프 필터 대역폭이 사용될 때 불충분할 수 있다. 일 구성에서, 위상 정정 회로(110)는 비교기(102)에 입력되는 위상 에러를 안정화하는 디지털 지연 라인일 수 있는데, 즉, 위상 정정 회로(110)는 위상-정정 출력 신호(118)를 생성할 수 있다. 안정한 위상 에러는 루프 필터(104)에 의해 필터링될 수 있다. 대안적으로, 위상 정정 회로(110)는 위상 차이를 제거할 수 있다.

[0021] 비교기(102)는 위상 및/또는 주파수에서 위상-정정 출력 신호(118)와 기준 클록(112) 사이의 임의의 차이를 결정할 수 있다. 비교기(102)는, 에러 신호(120)를 필터링하고 이를 발진기(106)에 피딩할 수 있는 루프 필터(104)로의 에러 신호(120)를 생성할 수 있다. 루프 필터(104)로부터 신호를 수신할 때, 발진기(106)는 루프 필터(104)에 의해 제공된 입력 신호에 기초한 주파수를 갖는 출력 신호(Vout)(114)를 생성할 수 있다. 발진기 출력 신호(Vout)(114)는, 기준 클록(112)에 관련하여 발진기 출력 신호(Vout)(114)의 연속적인 조절을 용이하게 하기 위해, 발진기 출력 신호(Vout)가 다시 기준 클록(112)과 비교되기 전에 분주되고 다시 위상-정정될 수 있다.

[0022] 도 2는 피드백 루프에서 위상 정정을 사용하는 위상 동기 루프(PLL)(200)의 또 다른 구성을 예시한 블록도이다. PLL(200)은 아날로그 PLL 또는 ADPLL(all-digital PLL)일 수 있다. 형태(아날로그 또는 디지털)에 의존하여, PLL(200)은 도 1에 예시된 PLL(100)의 다양한 엘리먼트들을 상이하게 구현할 수 있다.

[0023] 아날로그 PLL(200)에서, 비교기(102)는 PFD(phase and frequency detector) 및 CP(charge pump)(202)를 사용하여 구현될 수 있다. PFD 부분은 피드백 루프에서 기준 클록(212)과 위상-정정 출력 신호(218)를 비교하고, 이러한 차이를 "펌프 업" 또는 "펌프 다운" 펄스들로서 전하 펌프 부분에 표현할 수 있다. 이어서, 전하 펌프 부분은, 전하 펌프 부분으로부터의 출력을 필터링할 수 있는 아날로그 루프 필터(204)에 전하를 제공할 수 있다. 아날로그 PLL(200)에서, 루프 필터(204)는 하나 이상의 저항기들 및 커패시터들을 포함할 수 있고, 발진기(106)는 VCO(voltage controlled oscillator)(206)일 수 있다. VCO(206)는 튜닝 포트에서 루프 필터(204) 출력을 수신하고, 튜닝 포트에서의 전압에 기초한 주파수(Fvco)를 갖는 VCO 출력(Vout)(214)을 생성할 수 있다.

[0024] 아날로그 PLL(200)은, N-분주기(208)가 엘타 시그마 변조기(DSM)(222)에 의해 제어될 수 있기 때문에 분수 PLL(200)일 수 있다. DSM(222)은 시간에 걸쳐 분수 평균 분주비(N.f)(224)를 달성하기 위해 2 개의 정수값들(N, N+1) 사이에서 스위칭할 수 있다. 다시 말해서, N-분주기(208)는, PLL(200)이 특정 주파수에서 정착하도록 2 개의 상이한 분주비들 사이에서 교번할 수 있는데, 즉, 분주기(208)가 각각의 즉각적인 정수 분주비를 사용하여 소비하는 시간의 퍼센티지를 변경함으로써, VCO 출력(Vout)(214)의 주파수는 비교적 높은 입도로 선택될 수 있다. Fref가 기준 클록(212)의 주파수이고 N.f가 시간-평균 분수 분주비(224)이면, VCO 출력(Vout)(214)의 주파수(Fvco)는 PLL(200)에서 $F_{VCO} = F_{ref} * N.f$ 에서 정착할 수 있다. DSM(222)은, 원하는 시간-평균 분수 분

주비(N.f)(224)를 유지하면서 각각의 정수 분주 인수의 선택을 랜덤화할 수 있다. 이것은 2 개의 즉각적인 정수 분주비들 사이의 주기적인 스위칭에 의해 발생되는 VCO 출력(Vout)(214) 내의 스퓨리어스 신호들(spurious signals)을 감소시킬 수 있다.

[0025] 그래서, 시간에 걸친 시간-평균 분수 분주비(224)가 N.f(224)에서 안정일지라도, N-분주기(208)에 의해 사용되는 즉각적인 정수 분주비들은 빈번하게 스위칭할 수 있다. 상이한 즉각적인 정수 분주비들 사이에서 교변하는 것은 분주된 출력 신호(216)에서 위상 점핑을 발생시킬 수 있다. 분주된 출력 신호(216)의 위상을 정정하기 위해, 디지털-시간 변환기(210)는 분주된 출력 신호(216)를 수신하고, 위상-정정 출력 신호를 출력할 수 있다. 구체적으로, 디지털-시간 변환기(210)는, 위상-정정 출력 신호(218)를 생성하기 위해 위상 에러를 안정화하는 디지털 지연 라인일 수 있다. 본원에서 사용된 바와 같이, 용어 "디지털-시간 변환기" 및 "위상 정정 회로"는 상호 교환 가능하게 사용될 수 있다.

[0026] 아날로그 PLL(200)과 대조적으로, 비교기(102)는 올(all)-디지털 PLL(200)에서 위상-디지털 변환기(PDC)(202)를 사용하여 구현될 수 있다. PDC(202)는 기준 클록(212)과 위상-정정 출력 신호(218) 사이의 위상 차이를 결정할 수 있다. 이어서, 디지털 루프 필터(204)는 VCO 출력(Vout)(214)을 생성하기 위해 DCO(digitally controlled oscillator)(206)를 제어할 수 있다. ADPLL(200) 내의 N-분주기(208), 델타-시그마 변조기(222) 및 DTC(digital to time converter)(210)는 위에서 논의된 아날로그 PLL(200)과 유사하게 동작할 수 있다.

[0027] 일 구성에서, 디지털-시간 변환기(210)는 PLL(200)의 성능, 예를 들면, DSM 잡음에서 20 dB 감소 및 PFD/PDC(202) 동적 범위를 개선할 수 있다. 또한, 본 시스템들 및 방법들은 낮은 Vdd 프로세스들과 호환 가능할 수 있고, 휴대성을 개선하기 위해 작은 영역에서 구현될 수 있다.

[0028] 도 3은 위상 동기 루프(PLL)(100)의 피드백 루프에서 위상 에러를 정정하기 위한 방법(300)을 예시한 흐름도이다. 방법(300)은 PLL(100)의 다양한 엘리먼트들에 의해 수행될 수 있다. PLL(100)은 에러 신호(120)를 생성하기 위해 위상-정정 출력 신호(118)와 기준 클록(112)을 비교(302)할 수 있는데, 예를 들면, 비교기(102)는 위상-정정 출력 신호(118)와 기준 클록(112) 사이의 위상 차이에 기초한 에러 신호(120)를 생성할 수 있다. PLL(100)은 또한 에러 신호(120)를 필터링(304)할 수 있는데, 예를 들면, 루프 필터(104)는 에러 신호(120)를 필터링할 수 있다. PLL(100)은 또한 필터링된 에러 신호(120)에 기초한 주파수를 갖는 발진기 출력(114)을 생성(306)할 수 있는데, 예를 들면, 발진기(VCO 또는 DCO)(106)는 루프 필터(104) 출력에 기초한 발진기 출력(Vout)(114)을 생성할 수 있다. PLL(100)은 또한 시간-평균 분수 분주비를 달성하기 위해 정수 분주비를 선택(308)할 수 있는데, 예를 들면, 델타 시그마 변조기(DSM)(122)는 분수 분주비(N.f)(124)를 달성하기 위해 분수 분주기(108)에 대한 정수 분주비를 결정할 수 있다. PLL(100)은 또한 선택된 정수 분주비로 발진기 출력(Vout)(114)의 주파수를 분주(310)할 수 있는데, 예를 들면, 분수 분주기(108)는 분주된 출력 신호(116)를 생성하기 위해 주파수 분주를 수행할 수 있다. PLL(100)은 또한 위상-정정 출력 신호(118)를 생성하기 위해 분주된 출력 신호(116)의 위상을 조절(312)할 수 있는데, 예를 들면, 위상-정정 회로(110)는 위상-정정 출력 신호(118)를 생성하기 위해 분주된 출력 신호(116)의 위상을 정정할 수 있다.

[0029] 도 4는 위상 정정 회로(410)를 예시한 블록도이다. 위상 정정 회로(410)는 다중화된 입력 및 출력을 갖는 일련의 제어 가능한 지연 엘리먼트들(D1-D6)(426a-f)을 포함할 수 있다. 6 개의 지연 엘리먼트들(D1-D6)(426a-f)을 갖는 것으로 예시되지만, 위상 정정 회로(410)는 임의의 적절한 수의 지연 엘리먼트들, 예를 들면, 100 개의 지연 엘리먼트들을 포함할 수 있다. 위상 정정 회로(410)는 N-분주기(도시되지 않음)로부터 분주된 출력 신호(416)를 수신할 수 있다. 분주된 출력 신호(416)는, N-분주기가 시간-평균 분수 분주비를 달성하기 위해 상이한 정수 분주비들 사이에서 교변하기 때문에 점핑 위상 에러를 가질 수 있다. 위상 정정 회로(410)는 시간에 걸쳐 안정한 위상 에러를 갖는 위상-정정 출력 신호(418)를 생성하기 위해 분주된 출력 신호를 동적으로 지연시킬 수 있는데, 즉, 일 구성에서, 위상 정정 회로(410)는 위상 에러를 제거하기보다는 위상 에러를 안정화할 수 있다.

[0030] 구체적으로, 입력 MUX(428)는, 제 1 제어 신호(432)를 사용하여, 분주된 출력 신호(416)를 어떠한 지연 엘리먼트(D1-D6)(426a-f) 입력에 피딩할지 결정할 수 있다. 마찬가지로, 출력 MUX(430)는, 제 2 제어 신호(434)를 사용하여, 위상-정정 출력 신호를 생성하기 위해 어떠한 지연 엘리먼트(D1-D6)(426a-f) 출력을 판독할지를 결정할 수 있다. 따라서, 얼마나 많은 지연 엘리먼트들(D1-D6)(426a-f)이 사용되는지를 결정하는 것에 부가하여, 입력 MUX(428) 및 출력 MUX(430)는 어떠한 실제 지연 엘리먼트들(D1-D6)(426a-f)이 사용되는지를 결정할 수 있다. 이것은 지연 엘리먼트들(D1-D6)(426a-f) 내의 미스매치를 보상(즉, 동적 엘리먼트 매칭(DEM))하는데 사용될 수 있다. 제 1 제어 신호(432) 및 제 2 제어 신호(434)는 도 2에 예시된 델타 시그마 변조기(222)와 같은

델타 시그마 변조기로부터 도출될 수 있다.

[0031] 도 5는 인버터(536)에 대한 가능한 구성을 예시한 회로도이다. 인버터(536)는 게이티드 인버터, 즉, 삼상(tri-state) 인터버일 수 있다. 따라서, 도 4에 예시된 위상 정정 회로(410) 내의 각각의 지연 엘리먼트(D1-D6)(426a-f)는 하나 이상의 인버터들(536)을 포함할 수 있다. 예를 들면, 각각의 지연 엘리먼트(D1-D6)(426a-f)는 그러한 2 개의 인버터들(536)을 포함할 수 있다. 인버터(536)는 2 개의 P 형 전계 효과 트랜지스터들(FET 들)(P1-P2)(542a-b) 및 2 개의 N 형 FET들(N1-N2)(544a-b)을 포함할 수 있다.

[0032] 제 1 P 형 FET(P1)(542a)는 제 2 P 형 FET(P2)를 Vdd(550)에 연결할 수 있다. 구체적으로, 제 1 P 형 FET(P1)(542a)의 소스는 Vdd(550)에 연결될 수 있고, 게이트는 P 형 제어 신호(546)에 연결될 수 있고, 드레인은 제 2 P 형 FET(P2)(542b)의 소스에 연결될 수 있다. 제 2 P 형 FET(P2)(542b) 및 제 1 N 형 FET들(N1)(544a)의 게이트들은 서로 및 인버터 입력(538)에 연결될 수 있다. 제 2 P 형 FET(P2)(542b) 및 제 1 N 형 FET들(N1)(544a)의 드레인들은 서로 및 인버터 출력(540)에 연결될 수 있다. 제 2 N 형 FET(N2)(544b)는 제 1 N 형 FET(N1)(544a)를 접지(552)에 연결할 수 있다. 구체적으로, 제 2 N 형 FET(N2)(544b)의 소스는 접지(552)에 연결될 수 있고, 게이트는 N 형 제어 신호(548)에 연결될 수 있고, 드레인은 제 1 N 형 FET(N1)(544a)의 소스에 연결될 수 있다. P 형 제어 신호(546) 및 N 형 제어 신호(548)는 인버터 입력(538)으로부터 인버터 출력(540)까지의 전체 지연을 제어하는 아날로그 제어 신호들일 수 있다. 일 구성에서, 제어 신호들(546, 548)은 65 나노미터 채널 길이에 대해 약 30 피코초의 분해능을 갖도록 차동적일 수 있다. 예를 들면, 제어 신호들(546, 548)은 프로그래밍 가능한 아날로그 직류(DC) 전압들일 수 있다.

[0033] 도 6은 위상 동기 루프에서 위상 정정을 수행하는 피드백 경로(654)를 예시한 블록도이다. 다시 말해서, 도 6은 디지털-시간 변환기(610)에 대한 디지털 지연 제어 신호들(예를 들면, 도 4에 예시된 제 1 제어 신호(432) 및 제 2 제어 신호(434))이 결정될 수 있는 방법을 예시한다. 피드백 경로(654) 내의 N-분주기(608)는 VCO 출력(Vout)(614)을 수신하고, 분주된 출력 신호(616)를 생성하기 위해 델타 시그마 변조기(622)에 의해 결정된 즉각적인 정수 분주비(N(n))(670)로 주파수를 분주할 수 있다. 위에서 논의된 바와 같이, 분주된 출력 신호(616)는 교번하는 즉각적인 정수 분주비들(N(n))(670)로 인해 점핑 위상을 가질 수 있다. 따라서, 디지털-시간 변환기(610)는 분주된 출력 신호(616)를 수신하고, 안정화된 위상 에러를 갖는 위상-정정 출력 신호(618)를 생성할 수 있다.

[0034] 델타 시그마 변조기(622)는, 예를 들면, 부동 소수점 제어 워드 입력으로서 시간-평균 분수 분주비(N.f)(624)를 수신할 수 있다. 출력은 즉각적인 정수 분주비(N(n))(670)일 수 있다. 그러나, 델타 시그마 변조기(622)는 또한 디지털-시간 변환기(610)에 대한 제어 신호들을 제공할 수 있는데, 즉, 디지털-시간 변환기(610)는 분주된 출력 신호(616)에서 위상 점핑을 보상하기 위해 지연의 양을 동적으로 변경할 수 있다.

[0035] 디지털-시간 변환기(610)에 대한 제어 신호들을 제공하기 위해, 분수 분주비(N.f)(624)와 즉각적인 분주비(N(n))(670) 사이의 차이가 취해질 수 있다. 이러한 차이는 즉각적인 분주비 에러(E(n))(668)일 수 있고, 누산된 분주비 에러(A(n))(660)를 생성하기 위해 누산기(662)에 의해 클록 사이클마다 누산될 수 있다.

[0036] 누산된 분주비 에러(A(n))(660)는 이득 정규화 인수(k)(656)에 의해 스케일링될 수 있다. 이득 정규화 인수(k)(656)는 디지털-시간 변환기(610) 내의 지연 엘리먼트들 내의 부정확성을 처리할 수 있다. 다시 말해서, 아날로그 지연 엘리먼트들은 누산된 분주비 에러(A(n))(660)를 보상하기 위해 디지털-시간 변환기(610)에서 사용될 수 있지만, 각각의 지연 엘리먼트에 의해 부여된 지연은 약간 상이할 수 있다. 따라서, 이득 정규화 인수(k)(656)는 이러한 부정확성을 처리하기 위해 (예를 들면, VCO 클록 사이클마다) 동적으로 적응될 수 있다. 또한, 이득 정규화 인수(k)(656)는 또한 온도들, 프로세스 및 전압에 걸친 지연 엘리먼트 변동을 처리할 수 있다. 이득 정규화 인수(k)(656)의 교정이 아래에 논의될 것이다.

[0037] 이득-정규화된 비율 에러(657)에는 오프셋(658)이 합산될 수 있다. 디지털-시간 변환기(610)가 지연 라인으로서 작동할 수 있기 때문에, 디지털-시간 변환기(610)는 지연을 제거하지 않고 단지 더 많은 지연을 부가할 수 있는데, 즉, 디지털-시간 변환기(610)는 위상을 감산하지 않고 단지 위상을 부가할 수 있다. 그러나, 누산된 분주비 에러(A(n))(660)는, 즉각적인 분주비 에러(E(n))(668)가 연속적으로 네거티브인 경우에 네거티브일 수 있다. 따라서, 오프셋(658)은 이득-정규화된 비율 에러(657)가 항상 포지티브이기 때문에 이득-정규화된 비율 에러(657)를 바이어싱할 수 있다. 다시 말해서, 오프셋(658)은, 오프셋 비율 에러(659)가 포지티브이도록 보장하는데, 즉, 오프셋(658)은 하나의 극성 지연 데이터만을 사용하기 위해 삽입될 수 있다.

[0038] 이어서, 제 2 델타 시그마 변조기(664)는 오프셋 비율 에러(659)를 절단(trim)할 수 있다. 오프셋 비율 에

러(659)는 비교적 미세한 분해능, 예를 들면, 12 또는 20 비트들을 갖는 디지털 워드일 수 있다. 그러나, 디지털-시간 변환기(610)는 그러한 미세한 분해능이 가능하지 않을 수 있는데, 예를 들면, 디지털-시간 변환기(610)는 100 개의 지연 엘리먼트들(6 비트들의 분해능)만을 가질 수 있다. 따라서, 분해능을 유지하기 위해, 제 2 엘타 시그마 변조기(664)는 디지털-시간 변환기(610)의 분해능에 기초하여 오프셋 비율 에러(659)를 절단할 수 있는데, 예를 들면, 20 비트들로부터 6 비트들로 절단할 수 있다. 다시 말해서, 제 2 엘타 시그마 변조기(664)는 오프셋 비율 에러(659)와 디지털-시간 변환기(610) 사이의 분해능에서의 차이를 처리하기 위해 절단된 비율 에러(665)를 생성하도록 오프셋 비율 에러(659)를 디지털적으로 절단할 수 있다. 이것은 나중에 필터링될 수 있는 고주파수에 라운딩 에러들을 강요할 수 있다.

[0039] DEM(dynamic element matcher)(667)은 절단된 비율 에러(665)를 사용하여 디지털-시간 변환기(610) 내의 지연 엘리먼트들에서의 미스매치를 처리할 수 있다. 예를 들면, 절단된 비율 에러(665)에 기초하여, 2 개의 지연 유닛들이 누산된 분주비 에러(A(n))(660)를 안정화하기 위해 분주된 출력 신호(616)를 지연시키도록 요구된다고 가정하라. 디지털-시간 변환기(610)가 제 1의 2 개의 지연 엘리먼트들을 항상 사용한다면, 각각의 지연 엘리먼트가 모든 각각의 다른 지연 엘리먼트에 완벽하게 매칭되지 않을 수 있기 때문에, 디지털-시간 변환기(610)는 체계적인 오프셋을 생성할 수 있다. 따라서, DEM(dynamic element matcher)(667)은 상이한 지연 엘리먼트들의 미스매치들을 평균화하기 위한 알고리즘을 구현할 수 있다. 예를 들면, DEM(dynamic element matcher)(667)은 사용되는 2 개의 지연 엘리먼트들을 교번, 즉, 배럴 시프팅(barrel shifting)하는 DTC 제어 신호(669)를 결정할 수 있다. DEM(667)은 인버터/지연 엘리먼트 지연들의 미스매치에 대한 민감도를 감소 또는 제거함으로써 높은 선형성을 허용할 수 있다.

[0040] 도 7은 디지털-시간 변환기(710)에서 동적 엘리먼트 매칭을 예시한 블록도이다. 도 7에 예시된 디지털-시간 변환기(710)는 도 4에 예시된 디지털-시간 변환기(410)와 동일한 엘리먼트들 중 많은 것을 포함한다. 구체적으로, 도 7에 예시된 입력 MUX(728), 출력 MUX(730) 및 지연 엘리먼트들(D1-D6)(726a-f)은 도 4에 예시된 입력 MUX(428), 출력 MUX(430) 및 지연 엘리먼트들(D1-D6)(426a-f)에 대응하고 이와 유사한 기능을 포함할 수 있다. 이전과 같이, 분주된 출력 신호(716)는 N-분주기(도시되지 않음)로부터 수신되고, 위상-정정 출력 신호(718)를 생성하기 위해 지연될 수 있다. 제 1 제어 신호(732) 및 제 2 제어 신호(734)는 도 6에 예시된 DEM(dynamic element matcher)(667)으로부터 수신될 수 있다.

[0041] 위에서 논의된 바와 같이, 동적 엘리먼트 매칭은 지연 엘리먼트 미스매치를 보상하는데 사용될 수 있는데, 즉, 트랜지스터들(예를 들면, 도 5에 예시된 인버터(536)에 예시된 바와 같음)은 온도, 프로세스 및 전압에 걸쳐 변동할 수 있다. 따라서, 사용되는 특정 지연 엘리먼트들(D1-D6)(726a-f)을 교번하는 것이 유리할 수 있다. 예를 들면, 2 개의 지연 엘리먼트들(D1-D6)(726a-f)의 지연이 반복적으로 사용되면, 제 1 제어 신호(732) 및 제 2 제어 신호(734)는 제 1 경로(772)(즉, D1(726a) 및 D2(726b)를 통함), 제 2 경로(774)(즉, D3(726c) 및 D4(726d)를 통함) 및 제 3 경로(776)(즉, D5(726e) 및 D6(726f)를 통함)의 회전을 지정할 수 있다. 이러한 1 차 동적 엘리먼트 매치는 배럴 시프팅으로서 지칭될 수 있다. 이것은, 지연 엘리먼트(D1-D6)(726a-f) 미스매치 에러가 후속적으로 필터링될 수 있도록 고주파수에 대해 지연 엘리먼트(D1-D6)(726a-f) 미스매치 에러를 형상화 할 수 있다. 동적 엘리먼트 매칭에서의 높은 선형성은 스펙 억제 및 위상 잡음 폴딩을 허용할 수 있다.

[0042] 도 8은 ADPLL(all-digital phase locked loop)(800)에서 디지털-시간 변환기(810) 교정을 예시한 블록도이다. 구체적으로, ADPLL(800)은 이득 정규화 인수(k)(856)를 동적으로 교정하기 위해, 즉, 압력, 전압 및 온도 변동들을 보상하기 위해 LMS(least mean square) 적응형 알고리즘을 사용할 수 있다. 다시 말해서, 디지털-시간 변환기(810)는 시간 기준, 예를 들면, 하나의 VCO 기간에 대해 교정될 수 있다.

[0043] ADPLL(800)에서, 에러 신호(820)는 위상-디지털 변환기(802)에 의해 루프 필터(804)로 출력될 수 있다. 에러 신호(820)는 기준 클록(812)과 위상-정정 출력 신호(818) 사이의 위상 차이를 표시할 수 있다. 이전과 같이, 누산된 분주비 에러(A(n))(860)는 시간-평균 분수 분주비(N.f)와 즉각적인 정수 분주비(N(n)) 사이의 에러의 누산 또는 적분일 수 있다. 디지털 에러 신호(820)는 또한 디지털 누산된 분주비 에러(A(n))(860)로 곱셈될 수 있다. 이러한 곱(product)은, 디지털-시간 변환기(810) 내의 지연 엘리먼트들에서의 부정확성을 처리하는데 사용되는 이득 정규화 인수(k)(856)를 생성하기 위해 다시 (예를 들면, 누산기(878)에 의해) 누산될 수 있다. 위상-디지털 변환기(802) 입력에서 정적 오프셋이 존재할 때, LMS 알고리즘에 대해 문제점이 존재할 수 있다. 그러나, 예시된 LMS 알고리즘은 무한한(unbounded) 이득 정규화 인수(k)(856)를 방지할 수 있는데, 즉, 이러한 구성을 누산기에 대한 평균 입력이 제로인 것을 보장할 수 있다.

[0044] 디지털-시간 변환기(810)는 위상-정정 출력 신호(818)를 생성하기 위해 분주된 출력 신호(816)를 지연시킬 수

있다. 도시되지 않지만, ADPLL(800)은 도 6에 예시된 다른 피드백 경로 엘리먼트들, 즉, 2 개의 멜타 시그마 변조기들(622, 664), 다른 누산기(662), 동적 엘리먼트 매칭기(667), 디지털 합산기들 등을 포함할 수 있다. 본 시스템들 및 방법들은 작동중에 교정/정규화할 수 있고, 튜닝 가능한 지연 라인들을 요구하지 않을 수 있다.

[0045] 도 9는 아날로그 위상 동기 루프(PLL)(900)에서 디지털-시간 변환기(910) 교정의 일 구성을 예시한 블록도이다. 도 8에 예시된 ADPLL(800)과 유사하게, PLL(900)은 이득 정규화 인수(k)(956)를 동적으로 교정하기 위해, 즉, 압력, 전압 및 온도 변동들을 보상하기 위해 LMS(least mean square) 적응형 알고리즘을 사용할 수 있다.

[0046] 아날로그 PLL들(900)에서, PFD + CP(902)의 출력은 기준 클록(912) 및 위상-정정 출력 신호(918)를 사용하여 에러 신호(920)를 생성할 수 있지만, 에러 신호(920)는 디지털적이지 않을 수 있다. 따라서, 루프 필터(904) 출력을 디지털 제어 워드로 변환하기 위해 ADC(analog to digital converter)(980)가 사용될 수 있다. 아날로그 PLL(900)에서, 루프 필터(904)는 또한 전하 펌프(902)로부터 인출되는 전류의 적분기와 같이 작동하는 큰 커패시터를 가질 수 있다. 미분기(982)는 이러한 적분을 역전시키기 위해, 즉, 데이터를 추출하기 위한 미분을 수행하기 위해 사용될 수 있다. 대안적으로, 미분은, 예를 들면, ADC(980) 전에 아날로그 도메인에서 수행될 수 있다.

[0047] ADC(980) 및 미분기(982) 다음에, LMS 알고리즘이 도 8에 예시된 것과 유사하게 진행될 수 있다. 구체적으로, (이제 디지털) 에러 신호(920)는 또한 디지털 누산된 분주비 에러(A(n))(960)로 곱셈될 수 있다. 이러한 곱은, 디지털-시간 변환기(910) 내의 지연 엘리먼트들에서의 부정확성을 처리하는데 사용되는 이득 정규화 인수(k)(956)를 생성하기 위해 다시 (예를 들면, 누산기(978)에 의해) 누산될 수 있다. 디지털-시간 변환기(910) (예를 들면, 동적 엘리먼트 매칭기(도시되지 않음)로부터의 제어 신호들을 사용함)는 위상-정정 출력 신호(918)를 생성하기 위해 분주된 출력 신호(916)를 지연시킬 수 있다.

[0048] 도 10은 아날로그 위상 동기 루프(PLL)(1000)에서 디지털-시간 변환기(1010) 교정의 다른 구성 예시한 블록도이다. 아날로그 PLL(1000)은 이득 정규화 인수(k)(1056)를 동적으로 교정하기 위해 LMS(least mean square) 적응형 알고리즘을 다시 사용할 수 있다.

[0049] 아날로그 PLL(1000)에서, PFD + CP(1002)는 기준 클록(1012) 및 위상-정정 출력 신호(1018)를 사용하여 에러 신호(1020)를 다시 생성할 수 있다. 그러나, 예시된 구성에서, ADC(analog to digital converter)(1080) 입력은 루프 필터(1004) 전에 취해질 수 있다. 에러 신호(1020)가 LMS 알고리즘에서 사용되기 전에 루프 필터(1004)를 통해 이동하지 않기 때문에, 이것은 적분되지 않는다. 따라서, 도 9에 예시된 미분기(982)는 도 10에 예시된 PLL(1000)에서 사용되지 않을 수 있다. 예를 들면, ADC 입력(1080)은 루프 필터 전의 저항기, 즉, Vsig(1084)에 걸쳐 취해질 수 있다.

[0050] ADC(1080) 다음에, LMS 알고리즘은 도 8에 예시된 것과 유사하게 진행될 수 있다. 구체적으로, (이제 디지털) 에러 신호(1020)는 또한 디지털 누산된 분주비 에러(A(n))(1060)로 곱셈될 수 있다. 이러한 곱은, 디지털-시간 변환기(1010) 내의 지연 엘리먼트들에서의 부정확성을 처리하는데 사용되는 이득 정규화 인수(k)(1056)를 생성하기 위해 (예를 들면, 누산기(1078)에 의해) 다시 누산될 수 있다. 디지털-시간 변환기(1010) (예를 들면, 동적 엘리먼트 매칭기(도시되지 않음)로부터의 제어 신호들을 사용함)는 위상-정정 출력 신호(1018)를 생성하기 위해 분주된 출력 신호(1016)를 지연시킬 수 있다.

[0051] 도 11은 수신기(1100)를 예시한 블록도이다. 수신기(1100)는 무선 통신을 위해 설계된 모바일 디바이스 또는 기지국의 부분일 수 있다. 수신기(1100)는, 다른 것들 중에서도, 저잡음 증폭기(LNA)(1102), 피드백 루프에서 위상 정정을 사용하는 위상 동기 루프(PLL)(1120) 및 혼합기(1112)를 포함할 수 있다. LNA(1102)는 안테나(1104)로부터 무선 통신 신호를 수신할 수 있다. LNA(1102)는 수신된 신호를 이용 가능한 레벨들로 증폭하고, 라디오 주파수(RF) 신호(1106), 즉, 전송된 오리지널 신호의 표현을 생성할 수 있다. 피드백 루프에서 위상 정정을 사용하는 PLL(1120)은 특정 애플리케이션으로 지향된 합성된 주파수(1110)를 출력할 수 있다. 피드백 루프에서 위상 정정을 사용하는 PLL(1120)은 상이한 주파수들을 생성할 수 있을 수 있다. 수신기(1100)에서 예시되지만, 피드백 루프(1120)에서 위상 정정을 사용하는 PLL은 다양한 애플리케이션들에서는 무선 통신을 위해 설계된 모바일 디바이스 또는 기지국에서 사용될 수 있다. 혼합기(1112)는 LNA(1102)로부터 RF 신호(1106) 및 피드백 루프에서 위상 정정을 사용하는 PLL(1120)로부터 합성된 주파수(1110)를 수신하고, 기저대역 신호(1114)를 생성할 수 있다. 기저대역 신호(1114)는 전송 디바이스 상의 마이크로폰에 의해 수신된 실제 재구성된 오디오, 예를 들면, 음성 스피치 또는 다른 종류들의 데이터일 수 있다. 따라서, 수신기(1100)는 기저대역 신호(1114)를 재구성하기 위해 혼합기(1112)를 사용할 수 있다.

- [0052] 도 12는 전송기(1200)를 예시한 블록도이다. 전송기(1200)는, 도 11에 예시된 수신기(1100)를 또한 포함할 수 있는 무선 디바이스의 부분일 수 있다. 전송기(1200)는, 다른 것들 중에서도, 피드백 루프에서 위상 정정을 사용하는 PLL(1220), 혼합기(1212), 구동 증폭기(1216) 및 전력 증폭기(1218)를 포함할 수 있다. 이전과 같이, 피드백 루프에서 위상 정정을 사용하는 PLL(1220)은 합성된 주파수(1210)를 생성한다. 혼합기(1212)는 합성된 주파수(1210) 및 기저대역 신호(1214)(예를 들면, 음성 스피치)를 수신하고, RF 신호(1206)를 생성할 수 있다. 다시 말해서, 전송기(1200)는 전송될 변조된 고주파수 RF 신호(1206)를 생성하기 위해 혼합기(1212)를 사용할 수 있다. RF 신호(1206)가 안테나(1204)를 통해 전송되기 전에, RF 신호는 구동 증폭기(1216), 전력 증폭기(1218) 또는 이들 모두에 의해 증폭될 수 있다. 따라서, 전송기(1200)는 전송을 위한 RF 신호(1206)를 구성하기 위해 혼합기(1212)를 사용할 수 있다.
- [0053] 도 13은 전자 디바이스/무선 디바이스(1304) 내에 포함될 수 있는 특정 컴포넌트들을 예시한다. 전자 디바이스/무선 디바이스(1304)는 액세스 단말, 모바일 스테이션, 사용자 장비(UE), 기지국, 액세스 포인트, 브로드캐스트 전송기, 노드 B, 이별브드 노드 B 등일 수 있다. 예를 들면, 전자 디바이스/무선 디바이스(1304)는 도 11 및 도 12에 각각 예시된 수신기(1100) 또는 전송기(1200)를 포함할 수 있다. 전자 디바이스/무선 디바이스(1304)는 프로세서(1303)를 포함한다. 프로세서(1303)는, 범용 단일- 또는 멀티-칩 마이크로프로세서(예컨대, ARM), 특수 목적 마이크로프로세서(예컨대, 디지털 신호 프로세서(DSP)), 마이크로제어기, 프로그래밍 가능 게이트 어레이 등일 수 있다. 프로세서(1303)는 중앙 처리 유닛(CPU)으로서 지칭될 수 있다. 단지 단일의 프로세서(1303)가 도 13의 전자 디바이스/무선 디바이스(1304)에 도시되어 있지만, 대안적인 구성에서, 프로세서들(예컨대, ARM 및 DSP)의 조합이 사용될 수 있다.
- [0054] 전자 디바이스/무선 디바이스(1304)는 또한 메모리(1305)를 포함한다. 메모리(1305)는 전자 정보를 저장할 수 있는 임의의 전자 컴포넌트일 수 있다. 메모리(1305)는 랜덤 액세스 메모리(RAM), 판독 전용 메모리(ROM), 자기 디스크 저장 매체들, 광학 저장 매체들, RAM 내의 플래시 메모리 디바이스들, 프로세서에 포함된 온-보드 메모리, EPROM 메모리, EEPROM 메모리, 페지스터들 등으로서 구현되며, 이들의 조합을 포함할 수 있다.
- [0055] 데이터(1307a) 및 명령들(1309a)은 메모리(1305) 내에 저장될 수 있다. 명령들(1309a)은 본원에 개시된 방법들을 구현하기 위하여 프로세서(1303)에 의해 실행 가능할 수 있다. 명령들(1309a)의 실행은, 메모리(1305) 내에 저장된 데이터(1307a)의 사용을 포함할 수 있다. 프로세서(1303)가 명령들(1309a)을 실행할 때, 명령들(1309b)의 다양한 부분들이 프로세서(1303) 상에 로딩될 수 있으며, 데이터(1307a)의 다양한 조각들(pieces)이 프로세서(1303) 상에 로딩될 수 있다.
- [0056] 전자 디바이스/무선 디바이스(1304)는 또한 전송기(1311) 및 수신기(1313)를 포함하여, 전자 디바이스/무선 디바이스(1304)로 및 전자 디바이스/무선 디바이스(1304)로부터의 신호들의 전송 및 수신을 허용할 수 있다. 전송기(1311) 및 수신기(1313)는 트랜시버(1315)로서 종괄적으로 지칭될 수 있다. 다수의 안테나들(1317a-b)은 트랜시버(1315)에 전기적으로 커플링될 수 있다. 전자 디바이스/무선 디바이스(1304)는 또한 (도시되지 않은) 다수의 전송기들, 다수의 수신기들, 다수의 트랜시버들 및/또는 다수의 안테나들을 포함할 수 있다.
- [0057] 전자 디바이스/무선 디바이스(1304)는 디지털 신호 프로세서(DSP)(1321)를 포함할 수 있다. 전자 디바이스/무선 디바이스(1304)는 또한 통신 인터페이스(1323)를 포함할 수 있다. 통신 인터페이스(1323)는 사용자가 전자 디바이스/무선 디바이스(1304)와 상호 작용하도록 허용할 수 있다.
- [0058] 전자 디바이스/무선 디바이스(1304)의 다양한 컴포넌트들은, 하나 이상의 버스들에 의해 함께 연결될 수 있으며, 이 버스들은 전력 버스, 제어 신호 버스, 상태 신호 버스, 데이터 버스 등을 포함할 수 있다. 명확성을 위해, 다양한 버스들이 버스 시스템(1319)으로서 도 13에 예시된다.
- [0059] 용어 "연결된"은 매우 다양한 접속들을 포함한다. 예를 들면, 용어 "연결된"은 서로 직접적으로 접속된 회로 엘리먼트들 및 다른 회로 엘리먼트들을 통해 간접적으로 접속된 회로 엘리먼트들을 포함하도록 널리 해석되어야 한다.
- [0060] 용어 "결정하는 것"은 폭넓은 동작들을 포함하고, 따라서, "결정하는 것"은 계산하는 것, 컴퓨팅하는 것, 프로세싱하는 것, 유도하는 것, 조사하는 것, 루업하는 것(예를 들면, 테이블, 데이터베이스 또는 다른 데이터 구조에서 루업), 확인하는 것 등을 포함할 수 있다. 또한, "결정하는 것"은 수신하는 것(예를 들면, 정보를 수신), 액세스하는 것(예를 들면, 메모리 내의 데이터를 액세스) 등을 포함할 수 있다. 또한, "결정하는 것"은 분석하는 것(resolving), 선택하는 것, 선정하는 것, 설정하는 것 등을 포함할 수 있다.
- [0061] 문구 "~에 기초하여"는 달리 명백히 명시되지 않는다면 "~에만 기초하여"를 의미하지 않는다. 다시 말해서, 문

구 "～에 기초하여"는 "～에만 기초하여" 및 "～에 적어도 기초하여" 양자를 기술한다.

[0062] 용어 "프로세서"는, 범용 프로세서, 중앙 처리 유닛(CPU), 마이크로프로세서, 디지털 신호 프로세서(DSP), 제어기, 마이크로제어기, 상태 머신 등을 포함하도록 넓게 해석되어야 한다. 일부 상황들 하에서는, "프로세서"는, 주문형 집적 회로(ASIC), 프로그래밍 가능 논리 디바이스(PLD), 필드 프로그래밍 가능 게이트 어레이(FPGA) 등을 지칭할 수 있다. 용어 "프로세서"는 프로세싱 디바이스들의 조합, 예컨대, DSP 및 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로 프로세서, 또는 임의의 다른 이러한 구성들을 지칭할 수 있다.

[0063] 용어 "메모리"는, 전자 정보를 저장할 수 있는 임의의 전자 컴포넌트를 포함하도록 넓게 해석되어야 한다. 용어 메모리는, 랜덤 액세스 메모리(RAM), 판독-전용 메모리(ROM), 비휘발성 랜덤 액세스 메모리(NVRAM), 프로그래밍 가능 판독-전용 메모리(PROM), 소거 가능한 프로그래밍 가능 판독 전용 메모리(EPROM), 전기적으로 소거 가능한 PROM(EEPROM), 플래시 메모리, 자기 또는 광학 데이터 스토리지, 헤지스터들 등과 같은, 다양한 형태들의 프로세서-판독 가능한 매체들을 지칭할 수 있다. 프로세서가 메모리로부터 정보를 판독하거나 및/또는 메모리에 정보를 기록할 수 있는 경우, 메모리는 프로세서와 전자 통신(electronic communication)하는 것으로 말하여 진다. 프로세서에 일체화된 메모리는 프로세서와 전자 통신한다.

[0064] 용어들 "명령들(instructions)" 및 "코드(code)"는, 임의의 형태의 컴퓨터-판독 가능한 스테이트먼트(들)를 포함하도록 넓게 해석되어야 한다. 예컨대, 용어들 "명령들" 및 "코드"는, 하나 이상의 프로그램들, 루틴들, 서브-루틴들, 함수들, 프로시저들 등을 지칭할 수 있다. "명령들" 및 "코드"는 단일 컴퓨터-판독 가능한 스테이트먼트 또는 다수의 컴퓨터-판독 가능한 스테이트먼트를 포함할 수 있다.

[0065] 본원에 기재된 기능들은 하드웨어에 의해 실행되는 소프트웨어 또는 펌웨어로 구현될 수 있다. 상기 기능들은 하나 이상의 명령들로서 컴퓨터-판독 가능 매체 상에 저장될 수 있다. 용어들 "컴퓨터-판독 가능한 매체" 또는 "컴퓨터-프로그램 물건"은 컴퓨터 또는 프로세서에 의해 액세스될 수 있는 임의의 유형적인(tangible) 저장 매체를 지칭한다. 비체한적인 예로서, 컴퓨터-판독 가능 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 스토리지, 자기 디스크 스토리지 또는 다른 자기 스토리지 디바이스들, 또는 원하는 프로그램 코드를 명령들 또는 데이터 구조들의 형태로 전달 또는 저장하는데 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 본원에서 사용되는 바와 같은 디스크(disk) 및 디스크(disc)는 컴팩트 디스크(disc)(CD), 레이저 디스크(disc), 광학 디스크(disc), 디지털 다목적 디스크(disc)(DVD), 플로피 디스크(disk), 및 블루-레이® 디스크(disc)를 포함하며, 여기서 디스크들(disks)은 일반적으로 데이터를 자기적으로 재생하지만, 디스크들(disks)은 레이저들을 통해 광학적으로 데이터를 재생한다.

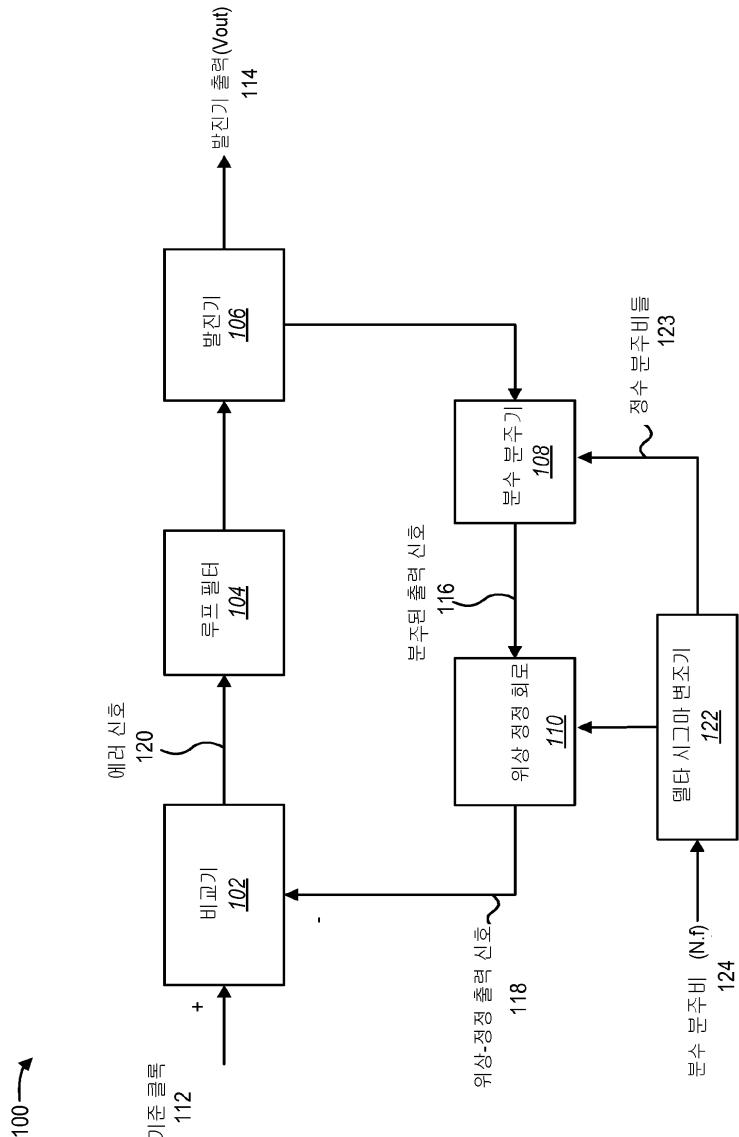
[0066] 본원에 개시된 방법들은 기재된 방법을 성취하기 위한 하나 이상의 단계들 또는 작동들을 포함한다. 방법 단계들 및/또는 작동들은 청구항들의 범위에서 벗어나지 않고 서로 교환될 수 있다. 다시 말해서, 기재된 방법의 적절한 동작을 위해 특정 순서의 단계들 또는 작동들이 요구되지 않는다면, 특정 단계들 및/또는 작동들의 순서 및/또는 사용이 청구항들의 범위에서 벗어나지 않고 수정될 수 있다.

[0067] 또한, 도 3에 예시된 것들과 같은, 본 명세서에 설명된 방법들 및 기술들을 수행하기 위한 모듈 및/또는 다른 적절한 수단들이 디바이스에 의해 다운로드되거나 및/또는 다른 방식으로 획득될 수 있다는 것이 인지되어야 한다. 예를 들면, 디바이스는 본 명세서에 설명된 방법들을 수행하기 위한 수단의 전송을 용이하게 하기 위하여 서버에 연결될 수 있다. 대안적으로, 여기에 설명된 다양한 방법들이 저장 수단(예컨대, 랜덤 액세스 메모리(RAM), 판독 전용 메모리(ROM), 콤팩트 디스크(CD) 또는 플로피 디스크와 같은 물리적 저장 매체 등)을 통하여 제공될 수 있어서, 디바이스에 저장 수단을 연결 또는 제공할 때 디바이스가 다양한 방법들을 획득할 수 있다.

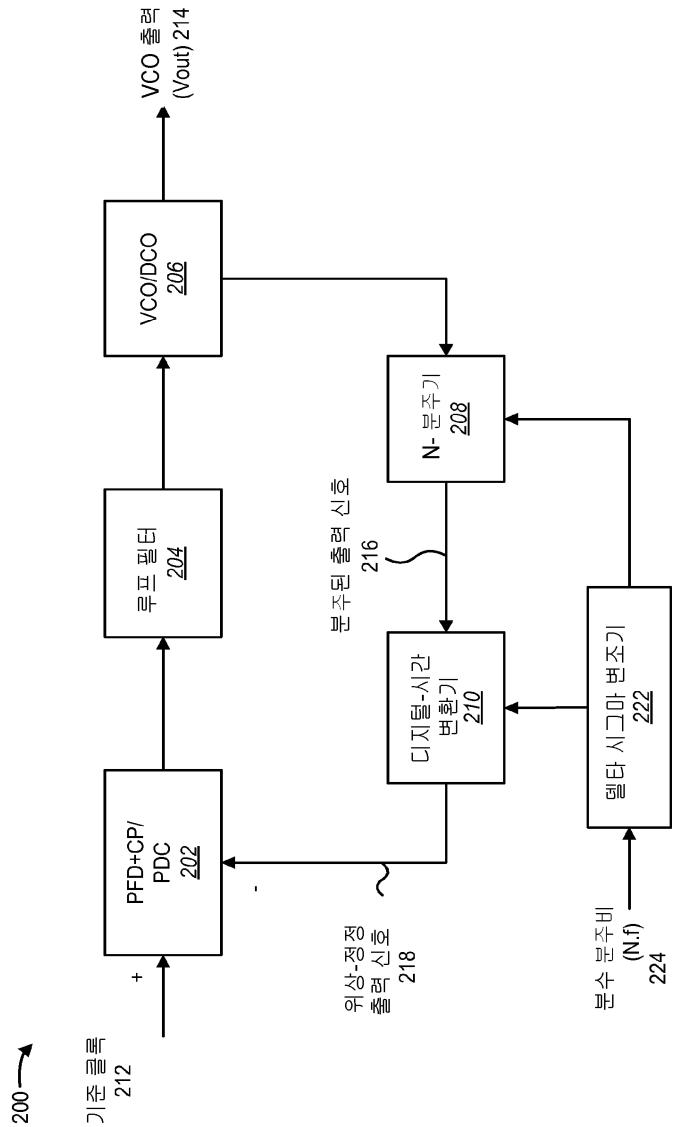
[0068] 청구항들이 위에 예시된 바로 그 구성 및 컴포넌트들로 제한되지 않는다는 것이 이해되어야 한다. 청구항들의 범위에서 벗어나지 않고, 본원에 기재된 시스템들, 방법들, 및 장치의 어레인지먼트, 동작 및 세부 사항들에서 다양한 수정들, 변화들 및 변동들이 이루어질 수 있다.

도면

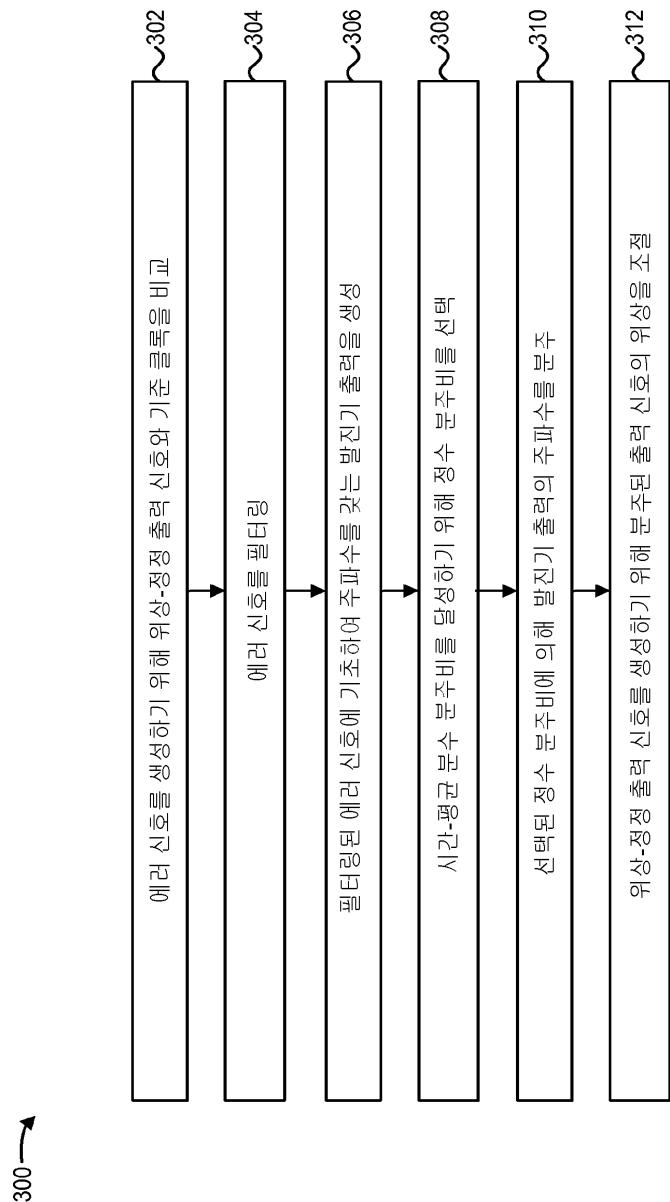
도면1



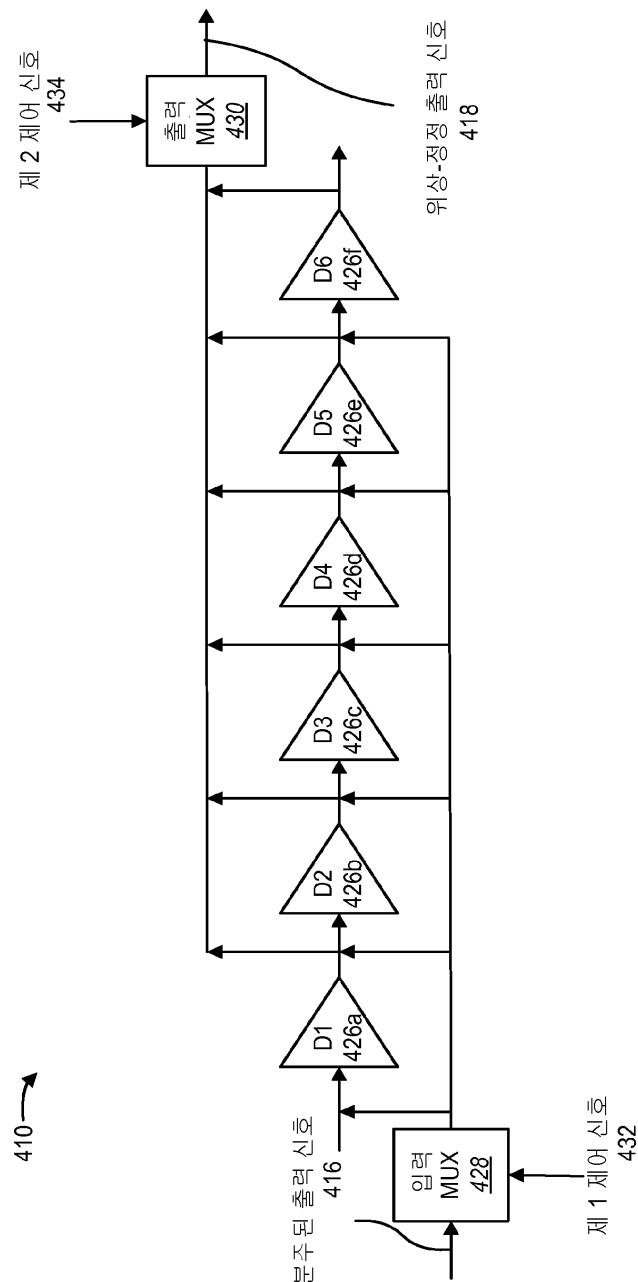
도면2



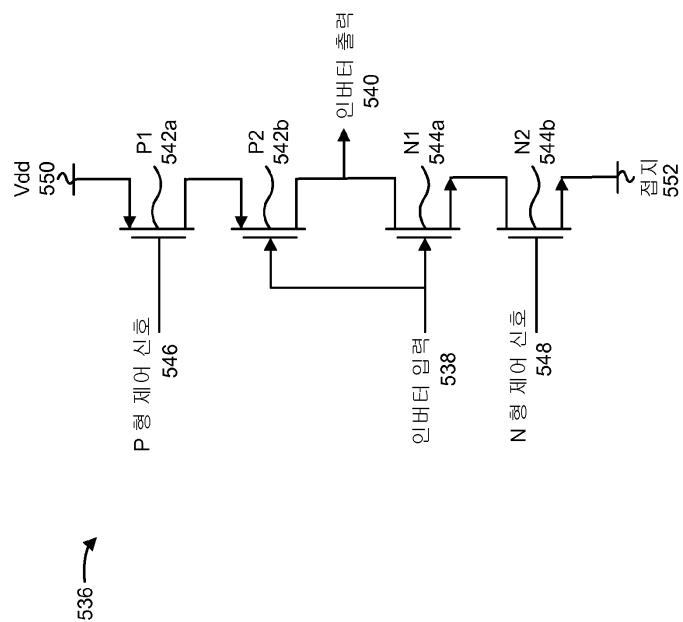
도면3



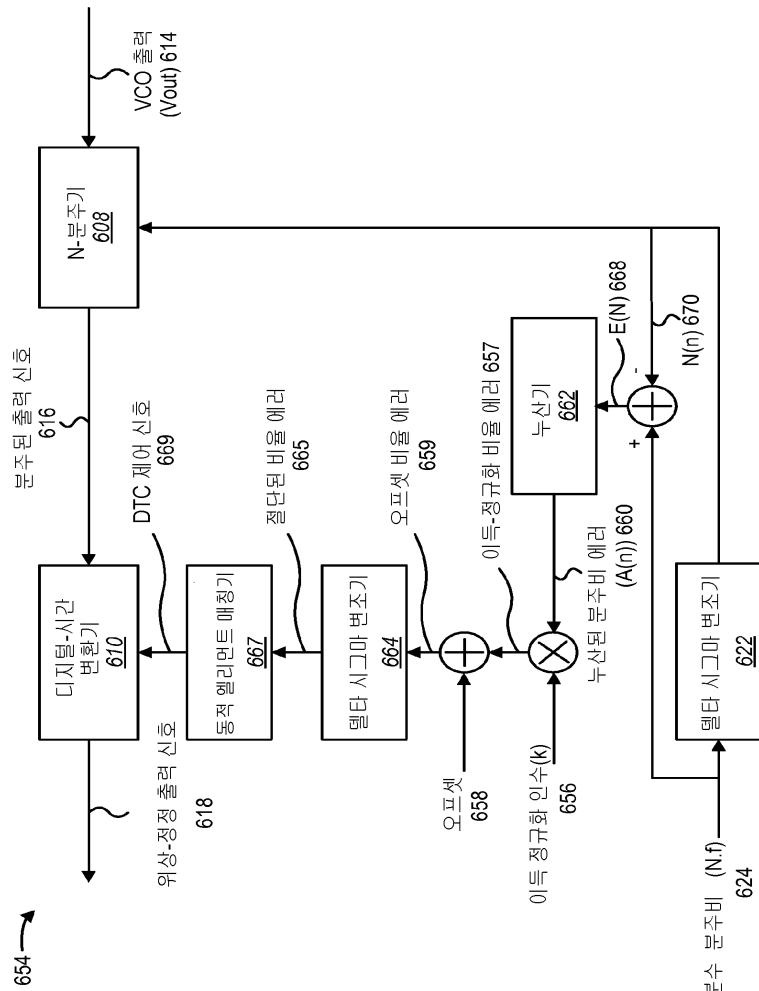
도면4



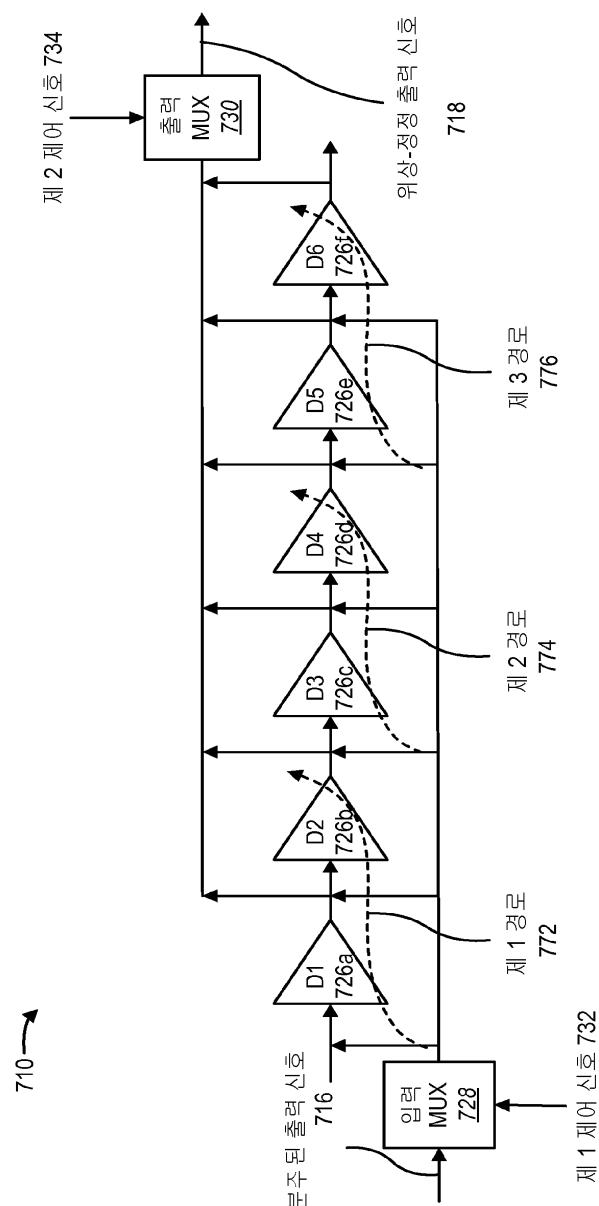
도면5



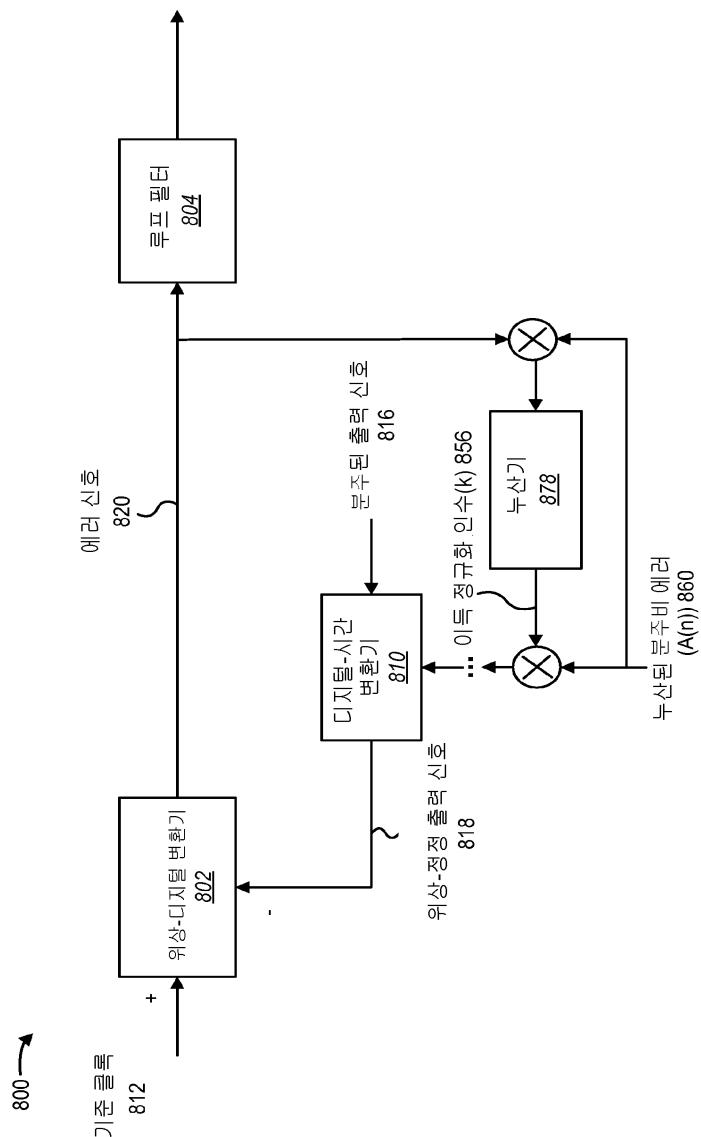
도면6



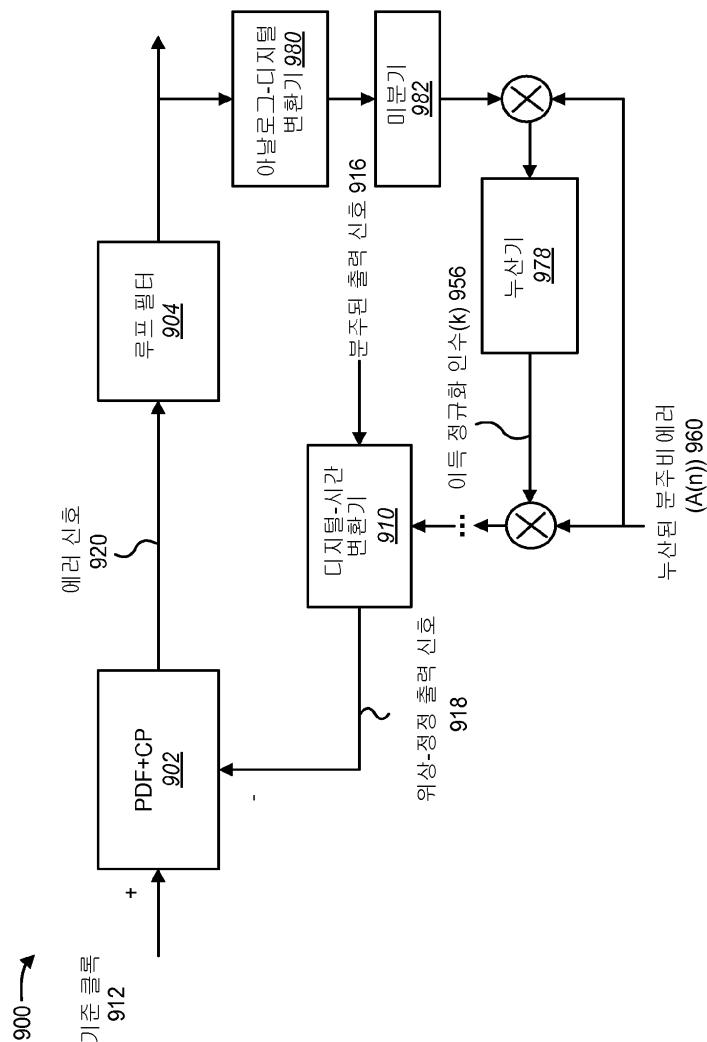
도면7



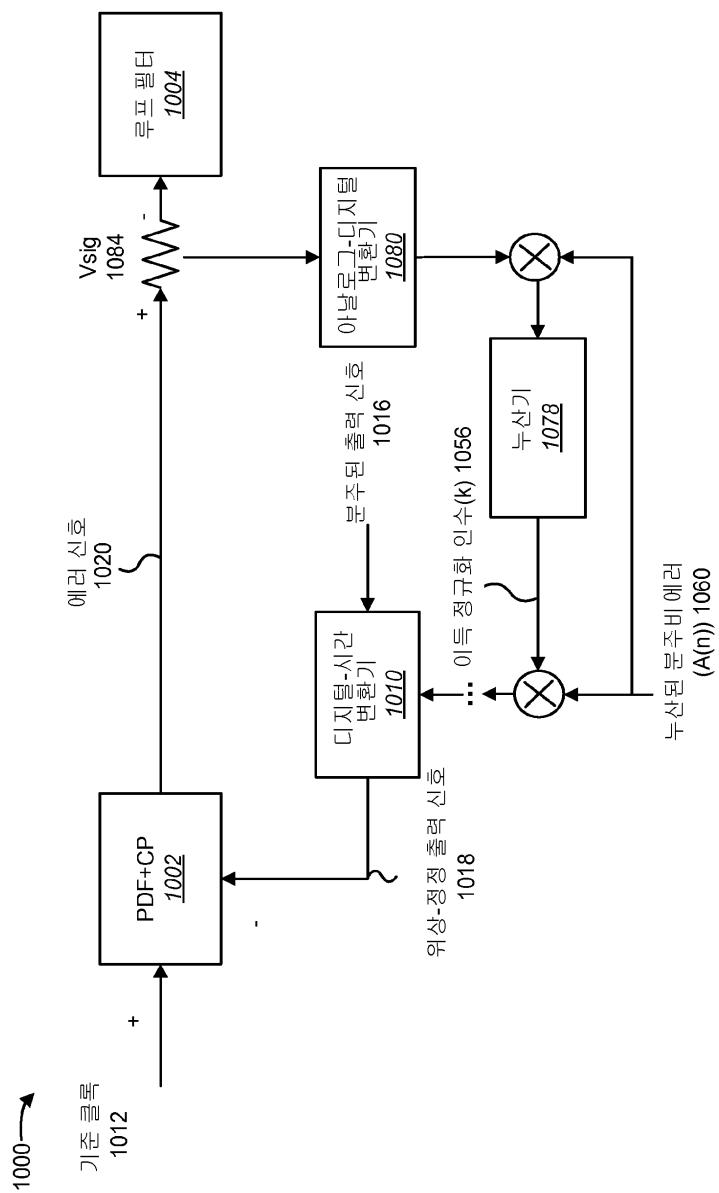
도면8



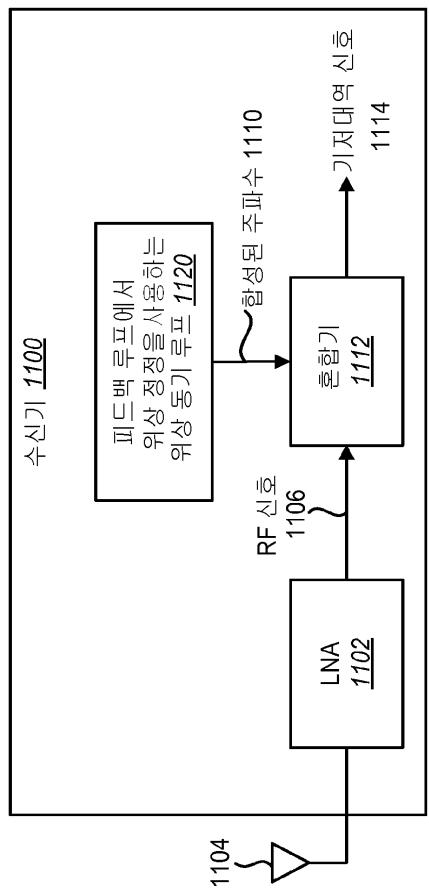
도면9



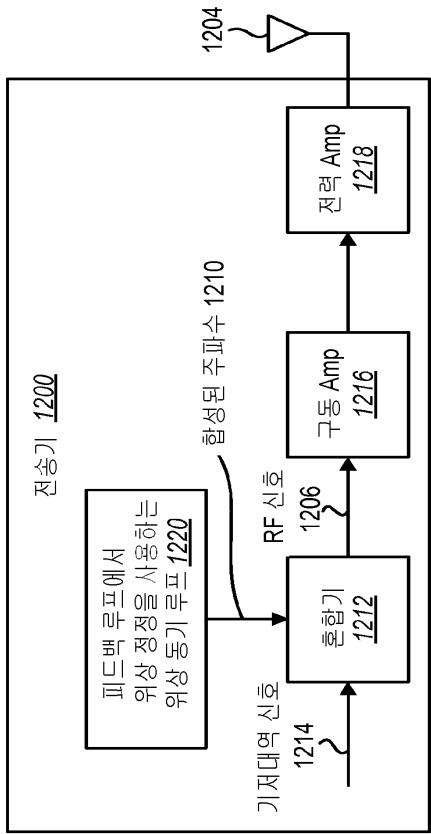
도면10



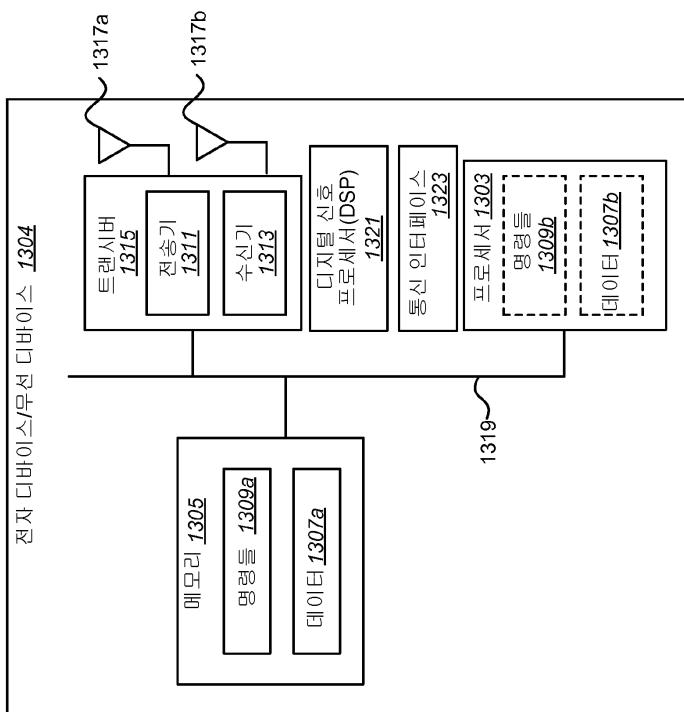
도면11



도면12



도면13



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 27

【변경전】

상기 위상-정정 발진기

【변경후】

위상-정정 발진기

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 19

【변경전】

상기 위상-정정 발진기

【변경후】

위상-정정 발진기