

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4806537号
(P4806537)

(45) 発行日 平成23年11月2日 (2011. 11. 2)

(24) 登録日 平成23年8月19日 (2011. 8. 19)

(51) Int. Cl.

F I

G O 1 R 31/28 (2006. 01)

G O 1 R 31/28

G

H O 1 L 27/04 (2006. 01)

H O 1 L 27/04

T

H O 1 L 21/822 (2006. 01)

請求項の数 2 (全 13 頁)

(21) 出願番号 特願2005-127862 (P2005-127862)
 (22) 出願日 平成17年4月26日 (2005. 4. 26)
 (65) 公開番号 特開2006-308302 (P2006-308302A)
 (43) 公開日 平成18年11月9日 (2006. 11. 9)
 審査請求日 平成20年3月14日 (2008. 3. 14)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 中山 健
 神奈川県川崎市中原区小杉町 1 丁目 4 〇 3
 番 5 3 N E C マイクロシステム株式会社
 内

審査官 堀 圭史

最終頁に続く

(54) 【発明の名称】 テスト回路及びマスク制御回路

(57) 【特許請求の範囲】

【請求項 1】

スキャンパスによってユーザ回路をテストするためのテスト回路であって、
 前記ユーザ回路に含まれる故障検出対象外パスの後段に設けられ、当該故障検出対象外
 パスをマスクするためのマスク回路と、

前記故障検出対象外パス及び前記マスク回路の後段に位置する後続素子と、

前記テストにおいてキャプチャー期間であることを示すキャプチャー信号が入力され、
 前記テストのキャプチャー期間において前記スキャンパスに入力されるクロック信号に応
 じて前記キャプチャー信号を記憶し、同時に当該記憶した信号を出力する第 1 の制御素子
 と、

前記第 1 の制御素子の出力信号の反転信号と、前記ユーザ回路がテストモードであるこ
 とを示すテストモード信号との論理積信号を前記マスク制御信号として出力する第 2 の制
 御素子と、を有し、

前記マスク回路は、前記故障検出対象外パスの信号と、当該マスク回路を制御するマス
 ク制御信号の反転信号との論理積信号を出力し、

前記後続素子は、前記論理積信号により設定された論理値に基づき前記第 1 クロックに
 応じて立ち上がり若しくは立下りの任意の信号を出力するテスト回路。

【請求項 2】

スキャンパスによってユーザ回路をテストする際に、前記ユーザ回路に含まれる故障検
 出対象外パスをマスクするマスク回路を制御するためのマスク制御回路であって、

10

20

前記テストにおいてキャプチャー期間であることを示すキャプチャー信号が入力され、
前記テストのキャプチャー期間において前記スキャンパスに入力されるクロック信号に応
じて前記キャプチャー信号を記憶し、同時に当該記憶した信号を出力する第1の制御素子
と、

前記第1の制御素子の出力信号の反転信号と、前記ユーザ回路がテストモードであるこ
とを示すテストモード信号との論理積信号を前記マスク回路を制御する制御信号として出
力する第2の制御素子と、を有し、

前記クロック信号のうち、少なくとも第1クロックの立ち上がりに応じて前記故障検出
対象外パスをマスクするように前記マスク回路を制御するマスク制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はマスク回路及びマスク制御回路並びにマスク方法に関し、特に回路内にタイミ
ングフォルスパスが存在した場合の故障検出率の改善に関する。

【背景技術】

【0002】

現在のLSI (Large Scale Integration、大規模集積回路) のDFT (Design For Test) 技
術はスキャン手法が主流となっており、その効果は縮退故障における故障検出率では大き
な成果を発揮している。しかし、LSI動作周波数の高速化又はLSIの複雑化に伴い、製品不
良要因に遅延故障が多数を占めており、縮退故障のみの出荷テストでは不良選別ができな
くなっている。

【0003】

他方、近年、微細化が進んだことによるLSIの大規模化に伴い、スキャンパタン長が増
加する傾向があるが、既存のLSIテスターであるATE (Automatic Test Equipment) のスキ
ャンパタンメモリには限界があり、スキャンパタン長の増加はテスト時間の増加につな
がるため、スキャンパタンを圧縮する必要性が高まっている。

【0004】

上記のような問題は、スキャン手法を用いたLogicBIST (Built-In Self Test) 技術を
適用し、内部パタン生成回路を有し、PLL (Phase locked loop) を用いた実動作周波数で
の遅延故障テスト (AtSpeedテスト) により解決することが出来る。

【0005】

LSIの大規模化、複雑化に伴い、非同期転送パスやクロックの複数周期で動作するパス
などクロックの1周期で動作する必要がないパス (タイミングフォルスパス) を有するLS
Iが増加している。このようなLSIの遅延故障テストを行なう場合、タイミングフォルスパス
を遅延故障検出対象外とする必要がある。テスト時にタイミングフォルスパスから出力さ
れる信号を常に"0"とするため、マスク処理用ゲートを設けることが行われている。

【0006】

図8を用いて、遅延故障テスト時にタイミングフォルスパスをマスクして遅延故障テス
トを行う例を説明する。図8に示すパスA、パスBがタイミングフォルスパスである場合
に、LogicBISTのAtSpeedテストにおいてパスA、パスBを遅延故障対象外とするため、フ
リップフロップ (以下、F/F) 1のデータ入力直前にマスク回路2が挿入され、マスク
回路2に入力する制御用信号としてLogicBIST_Mode信号が入力される。

【0007】

LogicBIST_Mode信号は、図9に示すLogicBIST Controllerにて制御され、図10に示す
通りLogicBIST開始時点から常に"1"が入力される。即ち、LogicBISTのAtSpeedテスト時
には、F/F1のデータ入力は常に"0"に固定されることとなり、パスA、パスBは遅延
故障検出対象外となる。また、図11が示す通り、マスク回路2の挿入はテストパタン作
成工程前に回路的処置として実施されるため、出荷テスト用パタンはF/F1のデータ入
力が常に"0"に固定されるようなテストパタンが生成される。

【0008】

10

20

30

40

50

図12は図8にスキャンパスDを追加した回路図である。本図を用いてスキャン動作について説明する。スキャン動作では、Scan Enable信号を"1"とすることでスキャンパスDを有効としてパスCに含まれるUserLogicがより活性化しやすくなる値を外部端子であるScan InよりF/F4、F/F5、F/F1及びF/F3へ順次シフト入力させ、当該シフト動作完了後にScan Enableを"0"とし、UserLogic部を遷移させることで故障を検出する。

【0009】

しかしながら、パスA、パスBを上記したようにマスクすることによって、キャプチャー時にF/F1のデータ入力値は常に"0"に固定されてしまう。これにより、パスCでの活性化率("0","1"変化率)が低下してしまう。なぜなら、パスCに含まれるUserLogicにおいては、fall("1"から"0"への遷移)は起こり得るが、rise("0"から"1"への遷移)は起こり得ないからである。この様に、キャプチャー時の入力が固定値なのでシフト動作時にF/F1に設定した値からもう一方の論理値への遷移しか検出することができないため、パスCでの遅延故障検出率が低下してしまう。

【0010】

活性化率低下のメカニズムを、図13、図14を用いて更に詳細に説明する。図13はF/F6、F/F7間のAtSpeedテストを実施する場合に、F/F6を終点とするタイミングフォールパスを遅延故障検出対象外とするために、F/F6のデータ入力直前にマスク回路8が挿入された回路例を示しており、また、図14は図13の回路構成の場合におけるAtSpeedテストのタイミングチャートを示している。

【0011】

図13、14に示している通り、Scan Enableを"1"とした状態で、シフト動作によりF/F6に"1"を、F/F7に"0"をラッチする。そして、Scan Enableを"0"としてキャプチャー期間に入る。Scan Enableが切り換えられたことにより、F/F6にはマスク回路8からの出力である"0"が入力されている。この場合において、AtSpeedテストの第1クロックでF/F6の出力は"1"から"0"となり、それに従ってゲート9、ゲート10の出力も"1"から"0"となる。また、F/F6への入力はマスク回路8の出力により"0"のままである。従って、第2クロックにおいてもF/F6の出力は"0"のまま変化しないため、ゲート9、ゲート10の出力も変化しない。

【0012】

この様に、ゲート9、ゲート10においては、fall("1"から"0"への遷移)は検出することが出来るが、rise("0"から"1"への遷移)は検出することが出来ず、ゲート9、ゲート10の遅延故障検出効果は50%であると言える。即ち、マスク回路8による影響で、F/F6、F/F7間の活性化率("0","1"変化率)が低下したことがわかる。

【0013】

検出できなかったrise("0"から"1"への遷移)を検出するために、LogicBISTMode=0とした通常のスキャンパターンを準備する必要があるが、この場合、外部からクロックを入力しなければならないため、内部PLLクロックを使用することができず、実動作周波数でのテストができない。更には、スキャンパターン増加へも繋がる。LSI内部に、このようなフォールパスによるマスク回路挿入箇所が多く存在した場合の活性化率("0","1"変化率)低下はLSI全体の遅延故障検出率低下へ大きく影響し、出荷テストとして十分な遅延故障検出率を維持したテストパターンを作成できないことになる。

ところで、関連する技術としては、特許文献1に開示の技術がある。

【特許文献1】特開2002-148309号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

上記したように、従来、マスク回路がある場合は、スキャンパターン長が増加し、実動作周波数でのテストが困難であった。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 1 5 】

本発明に係るテスト回路は、スキャンパスによってユーザ回路をテストするためのテスト回路であって、前記ユーザ回路に含まれる故障検出対象外パスの後段に設けられ、当該故障検出対象外パスをマスクするためのマスク回路と、前記故障検出対象外パス及び前記マスク回路の後段に位置する後続素子とを有し、前記マスク回路は前記後続素子に対して第1又は第2の論理値を設定し、前記後続素子は設定された論理値に基づき前記第1クロックに応じて立ち上がり若しくは立下りの任意の信号を出力する。

【 0 0 1 6 】

他方、本発明に係るマスク制御回路は、スキャンパスによってユーザ回路をテストする際に、前記ユーザ回路に含まれる故障検出対象外パスをマスクするマスク回路を制御するためのマスク制御回路であって、前記テストのキャプチャー期間において前記スキャンパスに入力されるクロック信号のうち、少なくとも第1クロックの立ち上がりに応じて前記故障検出対象外パスをマスクするように前記マスク回路を制御する。

10

【 0 0 1 7 】

また、本発明に係るマスク方法は、スキャンパスによってユーザ回路をテストする際に、前記ユーザ回路に含まれる故障検出対象外パスをマスクするマスク方法であって、前記故障検出対象外パスの後段に位置する後続素子に前記テスト用の初期値を入力するステップと、前記後続素子にクロック信号を入力し当該後続素子の出力信号を遷移させるステップと、前記後続素子の出力信号が遷移した後に前記故障検出対象外パスと前記後続素子との間をマスクするステップとを有する。

20

【 発明の効果 】

【 0 0 1 8 】

本発明により、スキャン手法を用いたLSIの故障検出テストにおいて、スキャンパターン長の低減及び実動作周波数のみでのテストが可能となる。

【 発明を実施するための最良の形態 】

【 0 0 1 9 】

以下に、本発明を適用可能な実施の形態が説明される。以下の説明は、本発明の実施形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載は、適宜、省略及び簡略化がなされている。又、当業者であれば、以下の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能である。

30

【 0 0 2 0 】

実施の形態 1 .

図1は、本実施形態に係る故障検出方法が適用される回路を示す回路図である。図1に示す回路は、遅延故障検出対象であるパスFと、遅延故障検出対象外であるタイミングフォールスパスEと、パスFの入力側に設けられるF/F101と、パスFの出力側に設けられるF/F102と、タイミングフォールスパスEの入力側に設けられるF/F103と、タイミングフォールスパスEとF/F101との間に設けられるマスク回路104と、マスク回路104を制御するマスク制御信号生成部200を有する。マスク制御信号生成部200はF/F201及びゲート202を有し、F/F201の出力がゲート202に入力される。

40

【 0 0 2 1 】

F/F101、102、103及びF/F201はCK1信号のクロックで動作する。F/F101、102、103の入力はScan In信号が入力されるスキャンパスDと、Use rLogic In信号が入力されるユーザパス（タイミングフォールスパスE、パスF等）とが切り換えられる。当該切換動作はスキャンテストにおけるキャプチャー期間とシフト期間とを区別するScan Enable信号により制御される。言い換えると、Scan Enable信号とはキャプチャー信号である。また、Scan Enable信号はF/F201にも入力される。ゲート202はF/F201の出力（Scan Enable信号）の反転信号と、回路がテスト中であることを示すTest Mode信号との論理積を出力する。ゲート202の出力が、マスク回路10

50

4を制御するAtSpeed Mask_Mode信号として用いられる。マスク回路104はAtSpeed Mask_Mode信号の反転信号により制御される。

【0022】

図1においては、タイミングフォルスパスE、パスFがユーザパスであり、UserLogic In信号が入力され、F/F101、102、103に入力されるCK1信号に基づいて動作する。スキャンパスDは当該回路のテストをする際に、各F/Fにラッチする信号を順次シフトさせながら入力するためのパスである。ユーザパスとスキャンパスDとは、Scan Enable信号によって選択される。即ち、Scan Enable信号が"1"の時はスキャンパスDが選択され、Scan Enable信号が"0"の時はユーザパスが選択される。

【0023】

マスク回路104は、タイミングフォルスパスEを遅延故障検出対象外とするためのマスク回路であり、通常動作時にはTest Mode信号が"0"であるため、AtSpeed Mask_Mode信号は常に"0"となり、マスク回路104はタイミングフォルスパスEの信号をそのまま出力するため、通常動作時にはマスク回路104は回路に対して何ら影響を及ぼさない。テスト動作時には、Test Mode信号が"1"となり、Scan Enable信号及びCK1信号に基づいてAtSpeed Mask_Mode信号が決定される。AtSpeed Mask_Mode信号が"1"の時、マスク回路104の出力は常に"0"となり、タイミングフォルスパスEがマスクされることとなる。

【0024】

マスク制御信号生成部200は図2に示すようにLogicBISTコントローラとスキャン対象回路との間に設けられる。LogicBISTコントローラで生成されるScan Enable信号とLogicBIST_Mode信号とに基づいてAtSpeed Mask_Mode信号が生成され、スキャン対象回路、本実施形態においてはマスク回路104に入力される。尚、図1においては、LogicBIST_Mode信号はTest Mode信号と示されている。

【0025】

図3はLSIの出荷テストの流れを示すフローチャートである。従来、テストパタンの作成(S404)はBIST回路を挿入(S401)し、Falseパスを指定してマスク回路を挿入(S402)した後に行っていた。本実施形態においては、Falseパスを指定した後にマスク制御信号生成部200を挿入(S403)してから、テストパタンの作成(S404)を行う。その後、出荷テストを行う(S405)。

【0026】

図4は図1に示す回路の動作を示すタイミングチャートである。図4(a)、(b)に示すシフト1期間においては、Scan Enable信号が"1"であり、F/F101、102、103の入力はスキャンパスDが選択されている。当該スキャンパスDを用いて各F/FにScan In信号を入力し、初期値を設定する。この時、Scan Enable信号を"1"としてCK1のクロックに従ってシフト動作を行なうため、F/F201の出力も"1"となり、AtSpeed Mask_Mode信号は"0"となる。

【0027】

図4にはシフト1期間の最終クロックのみ示されている。シフト1期間におけるシフト動作の最終クロックの時点では、F/F201の出力は"1"であり、AtSpeed Mask_Mode信号は"0"である。図4(a)を用いて動作の一例を説明する。図4(a)に示す例においては、F/F101の初期値として"0"を入力する。また、F/F103にはタイミングフォルスパスEからマスク回路104に入力される信号が"1"となるような初期値を入力する。

【0028】

シフト動作により各F/Fに初期値を入力後、Scan Enable信号を"0"としてキャプチャ期間に入る。キャプチャ期間においては、当該回路の実動作周波数(ユーザクロック)又はそれと同様の周波数でCK1信号が入力される。Scan Enable信号が"0"となったことにより、各F/Fの入力はスキャンパスDからユーザパスに切り換えられる。これにより、F/F201の入力は"0"となる。また、マスク回路104の出力、即ちF/F101の入力は"1"である。この状態において、キャプチャ期間の第1クロックにより

10

20

30

40

50

、F / F 1 0 1 の出力は" 0 "から" 1 "に遷移する。また、F / F 2 0 1 の出力が" 0 "となり、AtSpeed Mask_Mode信号が" 1 "となるため、マスク回路 1 0 4 の出力は" 0 "に固定され、以後、タイミングフォルスパス E がマスクされることとなる。この状態での第 2 クロックにより、F / F 1 0 1 の出力が" 1 "から" 0 "に遷移する。また、第 2 クロックにおいては、タイミングフォルスパス E はマスクされており遅延故障検出対象外となるため、テスト精度に問題は生じない。

【 0 0 2 9 】

図 4 (b) を用いて、より一般的な場合について説明する。シフト 1 期間においては、Scan Enable信号が" 1 "であり、スキャンパス D を用いて F / F 1 0 1 、 1 0 2 、 1 0 3 に任意の初期値を入力する。図に示す通り、シフト 1 期間の最終クロックの状態においては、F / F 1 0 1 の入力タイミングフォルスパス E の出力信号であり、F / F 1 0 1 の出力はシフト動作により入力された初期値である。この状態においてScan Enable信号を" 0 "としてキャプチャー期間に入る。キャプチャー期間の第 1 クロックにより、F / F 1 0 1 の出力はシフト動作によって入力された初期値から、F / F 1 0 1 に入力されていた値、即ちシフト 1 期間の最終クロック時点でのタイミングフォルスパス E の出力信号に遷移する。

【 0 0 3 0 】

また、F / F 2 0 1 の出力が" 0 "となり、AtSpeed Mask_Mode信号が" 1 "となるため、マスク回路 1 0 4 の出力、即ち F / F 1 0 1 の入力は" 0 "に固定され、以後、タイミングフォルスパス E がマスクされることとなる。この状態での第 2 クロックにより、F / F 1 0 1 の出力が" 0 "となる。この様に、マスク回路 1 0 4 を制御するAtSpeed Mask_Mode信号の生成においてScan Enable信号を用いることにより、キャプチャー期間の第 1 クロックまではタイミングフォルスパス E がマスクされず、当該第一クロックにおいてタイミングフォルスパス E を利用して F / F 1 0 1 の入力信号を遷移させることができる。

【 0 0 3 1 】

従来技術においては、マスク回路を制御する信号は本実施形態に係るTest Mode信号のようにテスト中は不変であり、タイミングフォルスパスは常にマスクされた状態であったため、タイミングフォルスパスを利用して信号を遷移させることは不可能であった。しかしながら、本実施形態に係るマスク制御信号生成部 2 0 0 を用いることにより、キャプチャー期間の第 1 クロックのみ、タイミングフォルスパス E を用いて、その終点である F / F 1 0 1 の入力信号を遷移させることが可能となる。従って、F / F 1 0 1 の初期値に" 0 "を選択し、第 1 クロックにおいて F / F 1 0 1 の値が" 0 "から" 1 "に遷移するように F / F 1 0 3 の初期値を選択することにより、F / F 1 0 1 においてfall (" 1 "から" 0 "への遷移) とrise (" 0 "から" 1 "への遷移) との両方を検出することができ、パス F における遅延故障検出効果を 1 0 0 % とすることができる。

【 0 0 3 2 】

従来技術においては、タイミングフォルスパス以降のパスの遅延故障検出効果を 1 0 0 % とするために、通常スキャンパタンでの補完が必要であったが、本実施形態に係る故障検出方法及びマスク制御信号生成部 2 0 0 を用いることにより、その様な補完が不要となる。従って、スキャンパタン長の低減、スキャンパタン作成工数の削減を図ることができる。また、外部クロックを用いてテストを行う必要がなくなり、LSI の内部全体のパスを実動作周波数でテストすることが可能となる。

【 0 0 3 3 】

本実施形態におけるマスク制御信号生成部 2 0 0 は、Scan Enable信号、Test Mode信号及びクロック信号である C K 1 信号に基づき動作する。Scan Enable信号はスキャン手法を用いたテストを行なう場合は必ず必要となる信号である。また、Test Mode信号はテスト時に" 1 "、通常動作時に" 0 "となる信号であり、従来技術におけるLogicBIST_Mode信号と同様であっても構わない。従って、本実施形態に係るマスク制御信号生成部 2 0 0 を用いるだけで、容易に本実施形態に係る故障検出方法を実施することができる。

【 0 0 3 4 】

以上説明したように、本発明の実施の形態 1 によれば、スキャン手法を用いたLSIの故障検出テストにおいて、スキャンパタン長の低減及び実動作周波数のみでのテストが可能となる。

実施の形態 2 .

【 0 0 3 5 】

実施の形態 1 においては、マスク回路 1 0 4 を制御することにより、キャプチャー時に一時的にタイミングフォールスパスEの信号を利用可能とすることで課題を解決した。本実施形態においては、従来技術と同様にタイミングフォールスパスEはマスクしたまま、他の方法によりタイミングフォールスパスの終点以降の入力信号を遷移させる方法を説明する。尚、実施の形態 1 と同様の符号を付す構成については実施の形態 1 と同一又は相当部を示し、説明を省略する。

10

【 0 0 3 6 】

図 5 は、本実施形態に係る故障検出方法が適用される回路を示す回路図である。図に示すように、本実施形態においては、マスク回路 1 0 4 はLogicBIST_Mode信号により直接制御される。即ち、当該回路のテスト中においては、マスク回路 1 0 4 の出力は常に" 0 "に固定されている。

【 0 0 3 7 】

マスク回路 1 0 4 と F / F 1 0 1 との間に代替信号生成部 3 0 0 を設ける。代替信号生成部 3 0 0 は F / F 3 0 1 及びゲート 3 0 2 を有し、F / F 3 0 1 の出力及びマスク回路 1 0 4 の出力がゲート 3 0 2 に入力される。ゲート 3 0 2 はマスク回路 1 0 4 の出力と F / F 3 0 1 の出力との排他的論理和を出力する E X O R 回路である。

20

【 0 0 3 8 】

F / F 3 0 1 は C K 1 とは異なるクロック信号 C K 2 に基づいて動作する。F / F 3 0 1 には自身の出力信号及びScan In信号が入力され、いずれか一方がScan Enable信号により選択される。また、F / F 3 0 1 には出力信号を初期化するReset信号が入力される。

【 0 0 3 9 】

図に示されるように、本実施形態に係る F / F 1 0 1 の入力にはScan Enable信号に関わらず代替信号生成部 3 0 0 の出力のみである。代替信号生成部 3 0 0 に含まれる F / F 3 0 1 は F / F 1 0 1 及び F / F 1 0 2 と共にシフトチェーンを構成しており、シフト値であるScan In信号は F / F 3 0 1 に入力され、C K 2 信号によって順次シフトされる。

30

【 0 0 4 0 】

通常動作時はScan Enable信号及びLogicBIST_Mode信号が" 0 "である。従って、マスク回路 1 0 4 はタイミングフォールスパスEの信号をそのまま出力する。また、F / F 3 0 1 は C K 2 信号に従って自己の信号を繰り返し出力するが、通常動作に入るに際して、F / F 3 0 1 の値はReset信号により" 0 "になるので、F / F 3 0 1 の出力は通常動作時には" 0 "に固定される。従って、通常動作時の代替信号生成部 3 0 0 の出力、即ち F / F 1 0 1 の入力にはタイミングフォールスパスEの出力と同様の信号である。

【 0 0 4 1 】

テスト動作時は、LogicBIST_Mode信号が" 1 "である。従って、マスク回路 1 0 4 の出力は" 0 "に固定されるため、代替信号生成部 3 0 0 の出力、即ち F / F 1 0 1 の入力には F / F 3 0 1 の出力と同様の信号である。シフト動作時には、Scan Enable信号が" 1 "となり、C K 2 信号に従ってScan In信号が順次入力される。キャプチャー時には、Scan Enable信号が" 0 "となり、F / F 3 0 1 の出力はシフト動作時の最終クロックの値に固定される。即ち、本実施形態においては、タイミングフォールスパスEをマスク回路 1 0 4 によってマスクしながらも、タイミングフォールスパスEの終点にあたる F / F 1 0 1 の入力が" 0 "に固定されず、F / F 3 0 1 の値を用いて F / F 1 0 1 の値を遷移させることができる。

40

【 0 0 4 2 】

図 6 は図 5 に示す回路の動作を示すタイミングチャートである。図 6 を用いて図 5 に示す回路の動作を説明する。シフト 1 期間においては、Scan Enable信号が" 1 "であり、C

50

K 1 信号と C K 2 信号とを同期させ、Scan In信号を用いて F / F 1 0 1、1 0 2 及び F / F 3 0 1 に任意の初期値を入力する。図に示す通り、シフト 1 期間の最終クロックの状態においては、F / F 1 0 1 の入力信号は F / F 3 0 1 の出力信号であり、F / F 1 0 1 の出力はシフト動作により入力された初期値である。この状態において Scan Enable 信号を " 0 " としてキャプチャー期間に入る。キャプチャー期間の C K 1 信号の第 1 クロックにより、F / F 1 0 1 の出力はシフト動作によって入力された初期値から、F / F 1 0 1 に入力されていた値、即ちシフト 1 期間の最終クロック時点での F / F 3 0 1 の出力信号に遷移する。

【 0 0 4 3 】

ここで、キャプチャー期間においては、C K 1 信号と C K 2 信号とは同期しないため、C K 1 信号の AtSpeed テスト時には、F / F 1 0 1 の入力信号はシフト 1 期間の最終クロック時点での F / F 3 0 1 の出力信号に固定されている。従って、C K 1 信号の第 2 クロックにおいても、F / F 1 0 1 の出力は第 1 クロックと同様である。

【 0 0 4 4 】

C K 1 信号とは別のタイミングに、C K 2 信号が動作する。Scan Enable 信号は " 0 " であるため、F / F 3 0 1 は自己の出力信号を繰り返し出力する。キャプチャー期間において、C K 1 信号と C K 2 信号とは別のタイミングで動作するため、F / F 3 0 1 から F / F 1 0 1 に AtSpeed 対象となるタイミングパスは発生しない。C K 2 を動作させるのは、主に C K 2 によって動作する他の回路のテストのためである。

【 0 0 4 5 】

この様に、マスク回路 1 0 4 と F / F 1 0 1 との間に代替信号生成部 3 0 0 を設けることによって、キャプチャー期間における F / F 1 0 1 の入力信号が " 0 " に固定されず、F / F 1 0 1 の値を遷移させることができる。但しキャプチャー期間の C K 1 信号の AtSpeed テストにおいては、F / F 3 0 1 の出力信号は変化しないため、rise 及び fall の両方を検出する場合は、キャプチャー動作を 2 回行なう必要がある。

【 0 0 4 6 】

以上説明したように、本発明の実施の形態 2 によれば、タイミングフォールパスをマスクした状態において、タイミングフォールパスの後段に入力される信号が " 0 " に固定されることなく遷移させることができる。

【 0 0 4 7 】

尚、上記の説明においては、F / F 3 0 1 は F / F 1 0 1 及び F / F 1 0 2 と共にシフトチェーンを構成していたが、これに限定されない。F / F 3 0 1 と F / F 1 0 1 及び F / F 1 0 2 とは異なるシフトチェーンに属し、夫々異なる Scan In 信号が入力されても良い。この場合においては、F / F 1 0 1 の入力は代替信号生成部 3 0 0 の出力と、Scan In 信号とが Scan Enable 信号により選択されるように構成される。

その他の実施の形態 .

【 0 0 4 8 】

実施の形態 1 においては、回路内にマスク制御信号生成部 2 0 0 を設け、内部クロックに基づいてマスク回路 1 0 4 を制御したが、図 7 に示すように、AtSpeed Mask_Mode 信号を外部から入力し、マスク回路 1 0 4 を直接制御することによっても、課題を解決することができる。即ち、実施の形態 1 のように、AtSpeed Mask_Mode 信号を C K 1 信号及び Scan Enable 信号に基づいて生成し、制御するのはなく、外部機器で AtSpeed Mask_Mode 信号を生成し、外部機器から直接マスク回路 1 0 4 を制御する。図 2 に示すタイミングと同様のタイミングで AtSpeed Mask_Mode 信号を制御することにより、実施の形態 1 と同様の効果を得ることができる。

【 0 0 4 9 】

このような構成を用いることによって、マスク制御信号生成部 2 0 0 を設ける必要がなくなり、回路のオーバーヘッドを低減することができる。また、C K 1 信号、Scan Enable 信号に関わらず、所望のタイミングで AtSpeed Mask_Mode 信号を制御することができる。

【 図面の簡単な説明 】

【 0 0 5 0 】

【図 1】本発明の実施の形態 1 に係る回路構成を示す回路図である。

【図 2】本発明の実施の形態 1 に係る回路構成を示すブロック図である。

【図 3】本発明の実施の形態 1 に係るテストの流れを示すフローチャートである。

【図 4】本発明の実施の形態 1 に係る回路の動作を示すタイミングチャートである。

【図 5】本発明の実施の形態 2 に係る回路構成を示す回路図である。

【図 6】本発明の実施の形態 2 に係る回路の動作を示すタイミングチャートである。

【図 7】本発明の実施の形態 3 に係る回路構成を示す回路図である。

【図 8】従来技術に係る回路構成を示す回路図である。

【図 9】従来技術に係る回路構成を示すブロック図である。

10

【図 10】従来技術に係る回路の動作を示すタイミングチャートである。

【図 1 1】従来技術に係るテストの流れを示すフローチャートである。

【図 1 2】従来技術に係る回路構成を示す回路図である。

【図 13】従来技術に係る回路構成を示す回路図である。

【図 14】従来技術に係る回路の動作を示すタイミングチャートである。

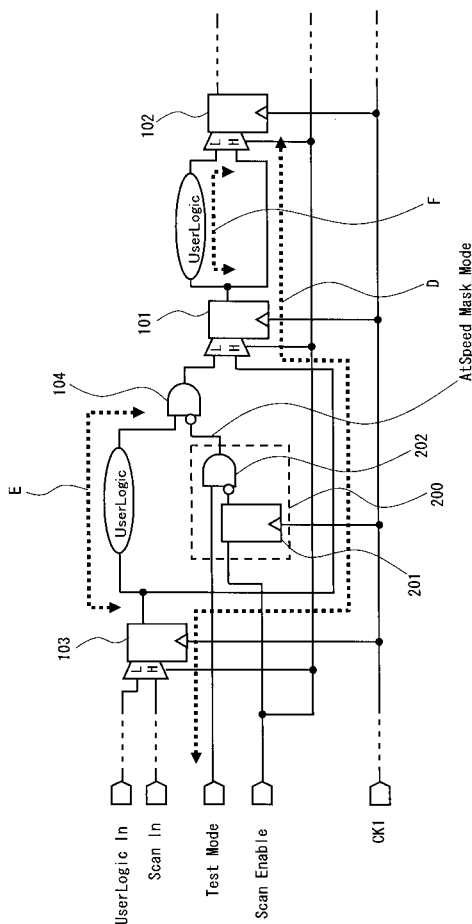
【符号の説明】

【 0 0 5 1 】

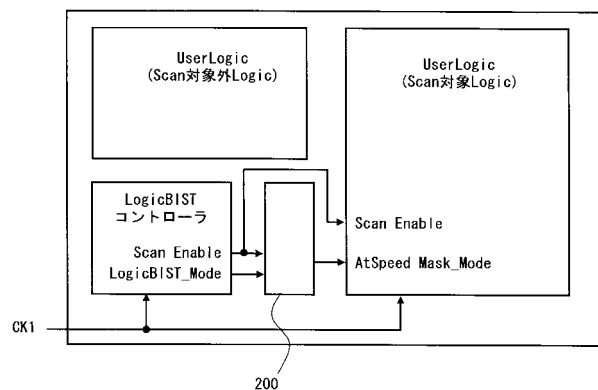
1、3、4、5、6、7 F/F、2、8 マスク回路、9、10 ゲート
101、102、103 F/F、104 マスク回路、
200 マスク制御信号生成部、201 F/F、202 ゲート、
300 代替信号生成部、301 F/F、302 ゲート、
A、B、C パス、D スキャンパス、E タイミングフォールスパス、F パス、

20

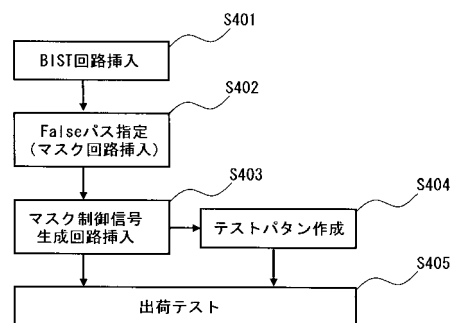
【 図 1 】



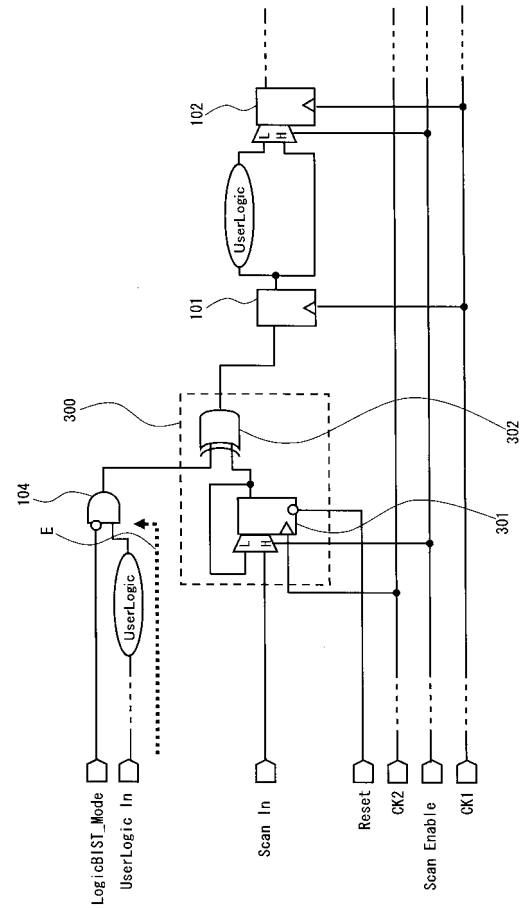
【圖 2】



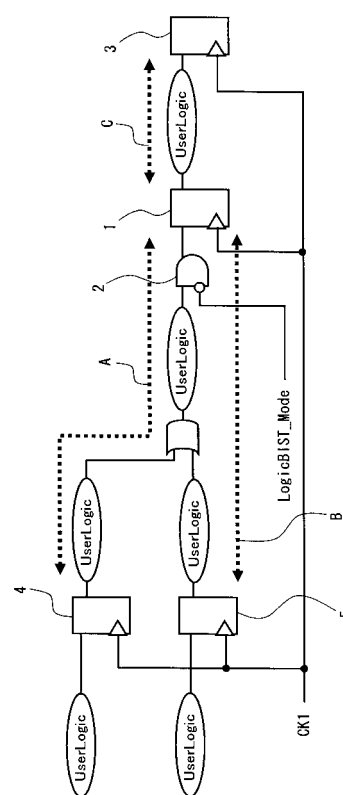
【図 3】



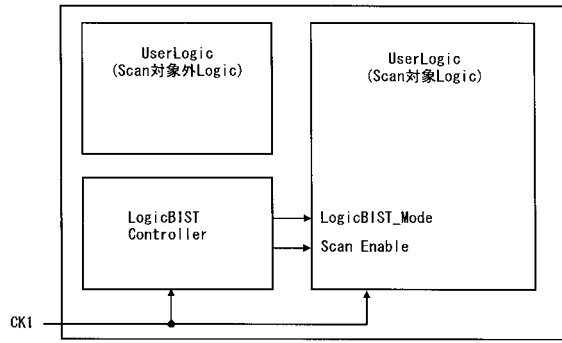
【 図 5 】



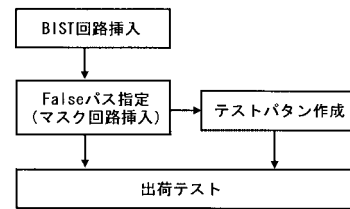
【 図 8 】



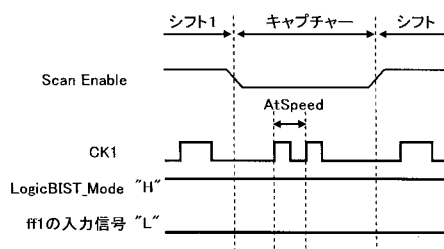
【図 9】



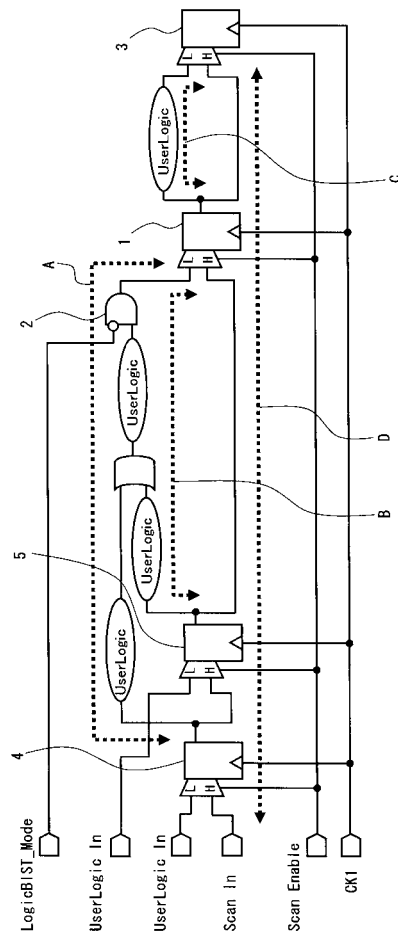
【図 11】



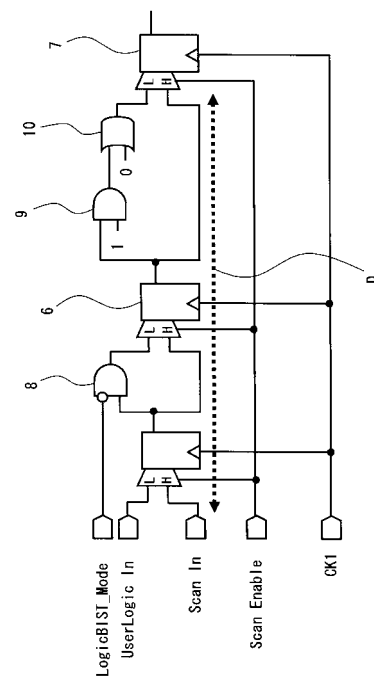
【図 10】



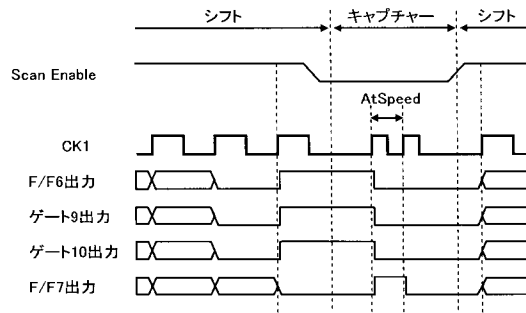
【図 12】



【図 13】



【図 14】



フロントページの続き

(56)参考文献 特開平 1 1 - 1 3 3 1 2 0 (J P , A)
特開 2 0 0 4 - 1 7 0 2 4 4 (J P , A)
特開 2 0 0 1 - 2 4 9 1 6 4 (J P , A)
特開 2 0 0 2 - 1 4 8 3 0 9 (J P , A)
特開 2 0 0 3 - 3 4 4 4 9 3 (J P , A)
特開 2 0 0 5 - 0 1 7 0 6 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 1 R 3 1 / 2 8 - 3 1 9 3
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4