

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年11月10日(10.11.2016)

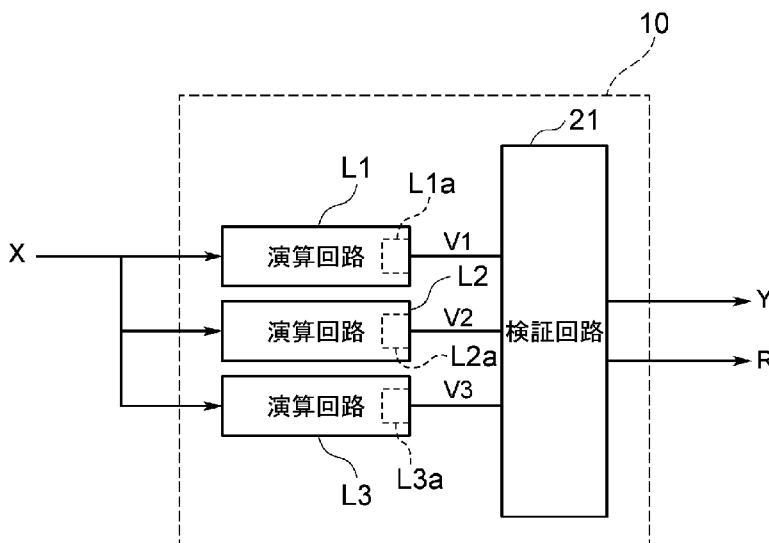


(10) 国際公開番号
WO 2016/178332 A1

- (51) 国際特許分類:
H03K 19/173 (2006.01)
 - (21) 国際出願番号: PCT/JP2016/055389
 - (22) 国際出願日: 2016年2月24日(24.02.2016)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2015-094970 2015年5月7日(07.05.2015) JP
 - (71) 出願人: 株式会社制御システム研究所(CONTROL SYSTEM LABORATORY LTD.) [JP/JP]; 〒2310004 神奈川県横浜市中区元浜町4-35-302 Kanagawa (JP).
 - (72) 発明者: 森本 賢一(MORIMOTO Kenichi); 〒2310004 神奈川県横浜市中区元浜町4-35-302 株式会社制御システム研究所内 Kanagawa (JP).
 - (74) 代理人: 吉田 正義(YOSHIDA Tadanori); 〒1600023 東京都新宿区西新宿六丁目15番1号 ラ・トゥール新宿304号 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: PROGRAMMABLE LOGIC DEVICE, METHOD FOR VERIFYING ERROR OF PROGRAMMABLE LOGIC DEVICE, AND METHOD FOR FORMING CIRCUIT OF PROGRAMMABLE LOGIC DEVICE

(54) 発明の名称: プログラマブルロジックデバイス、プログラマブルロジックデバイスのエラー検証方法、及びプログラマブルロジックデバイスの回路形成方法



21 Verification circuit
L1, L2, L3 Arithmetic-operation circuit

(57) Abstract: The present invention forms arithmetic-operation circuits (L1-L3) and a verification circuit (21) by loading configuration information into configuration memory of an FPGA (10). Although the arithmetic-operation circuits (L1-L3) have the same arithmetic operating function, they differ from one another in their circuit block combinations. The arithmetic-operation circuits (L1 and L3) have a combination of circuit blocks in which the maximum number of DSP blocks (12) are used, and the arithmetic-operation circuit (L2) has a combination of circuit blocks including no DSP blocks (12). The arithmetic-operation circuits (L1 and L2) use a block RAM (13) as data storage memory, and the arithmetic-operation circuit (L3) uses a distributed RAM as the data storage memory. Input data (X) is input to each of the arithmetic-operation circuits (L1-L3), which output arithmetic-operation result data (V1-V3). The verification circuit (21) compares the arithmetic-operation result data (V1-V3) and verifies whether there is an error.

(57) 要約:

[続葉有]

WO 2016/178332 A1

FPGA (10) の構成メモリに構成情報をロードすることによって、演算回路 (L1~L3) と検証回路 (21) とを形成する。演算回路 (L1~L3) は、同じ演算機能を有しているが、回路ブロックの組み合わせが互いに異なっている。演算回路 (L1、L3) は、DSPブロック (12) を最大限使用する回路ブロックの組み合わせであり、演算回路 (L2) は、DSPブロック (12) 以外の回路ブロックの組み合わせになっている。また、演算回路 (L1、L2) は、データ保持メモリとして、ブロックRAM (13) を使用し、演算回路 (L3) は、データ保持メモリとして分散RAMを使用する。各演算回路 (L1~L3) は、入力データ (X) がそれぞれ入力され、演算結果データ (V1~V3) を出力する。検証回路 (21) は、演算結果データ (V1~V3) を比較してエラーの有無を検証する。

明 細 書

発明の名称：

プログラマブルロジックデバイス、プログラマブルロジックデバイスのエラー検証方法、及びプログラマブルロジックデバイスの回路形成方法

技術分野

[0001] 本発明は、プログラマブルロジックデバイス、プログラマブルロジックデバイスのエラー検証方法、及びプログラマブルロジックデバイスの回路形成方法に関するものである。

背景技術

[0002] 近年において、プログラマブルロジックデバイス、特にFPGA (Field Programmable Gate Array) は、制御や通信の分野で多く使われるようになってきた。FPGAは、FPGA内の構成メモリに構成情報をロードすることにより、基本論理ブロック (CLB (Configurable Logic Block)、LE (Logic Element) 等とも称される) 等の回路ブロックを組み合わせることによって演算回路を形成する。演算回路としては、単純な数値演算を行うものからCPU (Central Processing Unit) に相当する機能を有するものまで様々なものを実現可能である (例えば、特許文献1参照)。

[0003] FPGAでは、演算機能を実現する1つ1つの演算が回路ブロックに対応しており、当該回路ブロックの組み合わせが変更されることにより様々な演算機能を実現されている。このため、FPGAでは、演算機能の演算数の増大にともなって、演算回路に使用される回路ブロックの数も多くなる。この結果、FPGAでは、回路ブロックの数が多い複雑な演算回路が形成されると、当該演算回路に使用する回路ブロックの数の増加に伴い、演算回路に使用される回路ブロック内のANDゲートやORゲート等の回路素子の数も多くなる。

[0004] ここで、これらANDゲートやORゲート等の回路素子は、大気中の荷電粒子等の影響を受けて誤作動することもある。そして、例えば演算回路に組

み込まれた回路素子が誤作動した場合には、当該演算回路の演算結果がエラーとなる。そのため、FPGAでは、演算回路に使用する回路素子の数が増えると、当該回路素子の数が増える分、大気中の荷電粒子等の影響を受ける確率も高くなり、エラーが発生する恐れが高くなるという問題がある。

[0005] また、上記のようなFPGAでは、例えばFPGAを駆動するクロックの変動や、FPGAの電源の電圧変動、FPGA自体の温度変動に対するロバスト性が、回路ブロック間を接続する配線の状態（接続状態）によって左右されることが知られており、演算回路を構成する回路ブロック間の接続状態によっては、エラーが発生し易くなるという問題もある。

[0006] そこで、従来では、同じ種類の回路ブロックを組み合わせて同じ演算処理を行う演算回路を2重、3重にFPGA内に設け、このように冗長化された各演算回路で同時に同じ演算を行って、各演算回路の演算結果を比較し、いずれかの演算回路で回路ブロックが誤作動しているか否か、すなわち演算結果にエラーがあるか否かを検証するエラー検証方法を行うことが考えられている。

先行技術文献

特許文献

[0007] 特許文献1：特開2001-099627号公報

発明の概要

発明が解決しようとする課題

[0008] ところで、従来のエラー検証方法では、同じ種類の回路ブロックを組み合わせて同じ演算処理を行う複数の演算回路で、演算回路を冗長化している。このため、FPGA自体の温度変動や、FPGAの電源の電圧変動、FPGAを駆動するクロックの変動等、FPGA全体で共通する要因（以下、共通要因と呼ぶ）に起因したエラーが生じた場合、FPGAの各演算回路から得られる演算結果にエラーが発生しているにもかかわらず、同じ演算結果が得られてしまい、エラーの発生を検知することができない場合もあるという問

題があった。そのため、従来のエラー検証方法では、エラー検知率が十分に高いとはいえなかった。

[0009] 本発明は、上記事情に鑑みてなされたものであり、従来よりもエラー検知率を向上させることができるプログラマブルロジックデバイス、プログラマブルロジックデバイスのエラー検証方法、及びプログラマブルロジックデバイスの回路形成方法を提供することを目的とする。

課題を解決するための手段

[0010] 本発明は、複数の回路ブロックの組み合わせを変えることにより、演算機能の変更可能なプログラマブルロジックデバイスにおいて、回路ブロックの組み合わせ及び接続状態が互いに異なり、かつ互いに同じ演算をする第1演算回路及び第2演算回路と、第1演算回路及び第2演算回路のそれぞれに設けられており、演算結果を検証する検証回路に第1演算回路及び第2演算回路の演算結果を出力する出力部とを備えるものである。

[0011] また、本発明は、複数の回路ブロックの組み合わせを変えることにより、演算機能の変更可能なプログラマブルロジックデバイスのエラー検証方法において、回路ブロックの組み合わせ及び接続状態が互いに異なり、かつ互いに同じ演算をする第1演算回路及び第2演算回路を形成する回路形成ステップと、第1演算回路及び第2演算回路でそれぞれ演算を行う演算ステップと、第1演算回路及び第2演算回路からの演算結果を検証する検証ステップとを有するものである。

[0012] さらに、本発明は、構成情報にしたがって複数の回路ブロックの組み合わせを変えることにより、演算機能の変更可能なプログラマブルロジックデバイスの回路形成方法において、回路ブロックの組み合わせに関する条件が異なる合成パラメータを順次設定する合成パラメータ設定ステップと、合成パラメータ設定ステップで合成パラメータが設定されるごとに、設定された合成パラメータの下で論理合成を行い、ハードウェア記述言語で記述された同一の演算回路記述情報から複数の演算回路に対応した複数のネットリストを生成する論理合成ステップと、複数のネットリストから構成情報を生成する

構成情報生成ステップと、構成情報をプログラマブルロジックデバイスに書き込み、複数のネットリストに対応して、回路ブロックの組み合わせ及び接続状態が互いに異なり、かつ互いに同じ演算をする第1演算回路及び第2演算回路と、第1演算回路及び第2演算回路にそれぞれ設けられ、演算結果を検証する検証回路に第1演算回路及び第2演算回路の演算結果を出力する出力部とをプログラマブルロジックデバイスに形成する形成ステップとを有するものである。

発明の効果

[0013] 本発明のプログラマブルロジックデバイス、及びそのエラー検証方法によれば、回路ブロックの組み合わせに応じて、温度変動や電圧変動、クロック変動の共通要因に対する各演算回路での動作状況が異なるため、各演算回路で発生するエラーの発生状態も異なってくることから、従来の単に冗長化した複数の演算回路から得られる演算結果を比較する場合に比べ、各演算回路から得られた演算結果を比較する際に、共通要因に起因したエラーをも検知でき、かくして、従来よりもエラー検知率を向上させることができる。

[0014] また、本発明のプログラマブルロジックデバイスの回路形成方法によれば、複数のネットリストから生成された構成情報をプログラマブルロジックデバイスに適用することによって、同じ演算機能を持ち、かつ回路ブロックの組み合わせが異なる複数の演算回路をそのプログラマブルロジックデバイスに形成できる。これにより、上述した構成情報が適用されたプログラマブルロジックデバイスでは、回路ブロックの組み合わせに応じて、温度変動や電圧変動、クロック変動の共通要因に対する各演算回路での動作状況が異なるため、各演算回路で発生するエラーの発生状態も異なってくることから、従来の単に冗長化した複数の演算回路から得られる演算結果を比較する場合に比べ、各演算回路から得られた演算結果を比較する際に、共通要因に起因したエラーをも検知でき、かくして、従来よりもエラー検知率を向上させることができる。

図面の簡単な説明

[0015] [図1] F P G A の概略を示す説明図である。

[図2] F P G A に形成した回路の構成を示すブロック図である。

[図3] 構成情報生成装置の概略を示すブロック図である。

[図4] 検証例と比較例における動作周波数とエラー発生率との関係を示すグラフである。

[図5] 検証例と比較例における動作周波数とエラー検知率との関係を示すグラフである。

[図6] 検証例と比較例における動作周波数と演算結果の不一致距離との関係を示すグラフである。

発明を実施するための形態

[0016] 図 1 に本実施形態に用いる F P G A (Field Programmable Gate Array) 10 を示す。本実施形態では、プログラマブルロジックデバイス (P L D) の一例として、一般的な F P G A 10 に本発明を適用した場合について説明する。F P G A 10 は、例えば通信処理機能や、暗号化処理機能、画像処理機能等のような演算機能の変更が可能なデバイスである。F P G A 10 には、演算処理の対象となる信号の種類や演算処理の内容に合わせて所望の演算機能を実現するため、基本論理ブロック 11、D S P ブロック 12、ブロック R A M 13、I O ブロック (Input/Output Block) 14、P L L ブロック 15 等が回路ブロック (回路要素) として設けられている。また、回路ブロックの他に、F P G A 10 には、構成メモリ 16 や、回路ブロックの間を繋ぐ配線リソース (図示省略) が設けられている。

[0017] 基本論理ブロック 11 は、F P G A 10 を構成する基本的な回路ブロックであり、C L B (Configurable Logic Block)、ロジックエレメント (Logic Element)、ロジックセル (Logic Cell) 等とも称されるものである。基本論理ブロック 11 は、種々の構成のものがあるが、一般的には L U T (Look up table) とレジスタ (フリップフロップ) を基本要素とする複数の基本回路 (スライス等と称される場合もある) から構成されている。

[0018] D S P ブロック 12 は、基本論理ブロック 11 の組み合わせではなく、乗

算や積和演算等の演算を高速に処理するためにハードウェア（ハードマクロ）として予め組み込まれている回路ブロックであり、DSPスライス12等と称される場合もある。このDSPブロック12は、高速な乗算器と加算器を基本要素として構成されている。ブロックRAM13は、一般的なメモリとして利用可能な回路ブロックである。ブロックRAM13は、例えば他の回路ブロックから出力される演算途中のデータを一時的に保持する際に利用される。IOブロック14は、FPGA10の入力機能及び出力機能を提供する回路ブロックである。PLLブロック15は、回路ブロックの動作に必要なクロックを発生する。配線リソースは、回路ブロック同士を接続する配線及び配線上に設けられたパストランジスタで構成されている。

[0019] 構成メモリ16には、構成情報18がロード（書き込み）される。構成情報18は、回路ブロックの動作や、配線リソースによる回路ブロック間の接続等を定義するものであり、コンフィギュレーション・データ、ビットストリーム等と称されるものである。FPGA10には、この構成情報18にしたがって、所望する演算回路が形成される。すなわち、FPGA10は、構成情報18にしたがって複数の回路ブロックの組み合わせが変更され、これにより演算機能に変更可能なデバイスとなっている。

[0020] FPGA10は、同じ演算機能を持ち、かつ回路ブロックの組み合わせ及び接続状態が異なる複数の演算回路を形成させる構成情報18が構成メモリ16にロードされることにより、当該構成情報18にしたがって、図2に示すように、例えば演算回路L1～L3と検証回路21とが形成される。すなわち、FPGA10には、少なくとも第1演算回路と第2演算回路とが形成される。また、演算回路L1～L3には、演算結果を検証する検証回路21に、対応する演算回路の演算結果を出力する出力部L1a～L3aがそれぞれ形成される。なお、この例では、3個の演算回路L1～L3の場合について説明するが、演算回路は2個以上あればよい。また、構成情報18は、外部のコンピュータから構成メモリ16にロードしたり、構成情報18が予め書き込まれた不揮発性メモリから自動的にロードしたりしてもよい。

[0021] 図2に示すように、この例におけるFPGA10には、 p ($p \geq 1$) ビットの入力データ X ($x_1 \sim x_p$) が入力される。例えば機器 (図示省略) の動作を制御する制御システムにFPGA10が設けられ、機器の動作を監視するセンサ (図示省略) からの検出値等が入力データ X としてFPGA10に入力される場合について以下に説明する。なお、入力データ X は、1つの値を表すものに限定されない。例えば、複数の検出値をまとめて入力データ X としてもよい、この場合には複数の検出値のビット数の合計が p ビットとなる。また、入力データ X は、例えばコンピュータ等で生成された1組あるいは複数組の数値、ネットワークを介して受信したデータ、各種機器の駆動を制御するタイミング信号等であってもよい。

[0022] 上述の入力データ X は、FPGA10内で演算回路 $L1 \sim L3$ にそれぞれ入力される。演算回路 $L1$ は、入力データ X が入力されると、所定の演算を行って、 q ($q \geq 1$) ビットの演算結果データ $V1$ ($v_{11} \sim v_{1q}$) を出力する。演算回路 $L2$ 、 $L3$ についても同じであり、入力データ X が入力されると、所定の演算を行って、演算結果データ $V2$ ($v_{21} \sim v_{2q}$)、 $V3$ ($v_{31} \sim v_{3q}$) を出力する。

[0023] 演算回路 $L1 \sim L3$ は、同じ演算機能を持つが、エラー検知率を向上させるために、回路ブロックの組み合わせ及び接続状態を互いに異なるものになっている。すなわち、演算回路 $L1 \sim L3$ は、使用する回路ブロックの種類や数、回路ブロック内でのLUTやレジスタの使われ方、これら回路ブロックの接続状態が演算回路 $L1 \sim L3$ では互いに異なったものになっているが、演算回路 $L1 \sim L3$ にエラーが発生しない状態では、演算回路 $L1 \sim L3$ は、同一の入力データ X の入力に応答して同じ演算結果データ $V1 \sim V3$ を出力するよう構成されている。回路ブロックの組み合わせ及び接続状態が互いに異なるという観点からは、演算回路 $L1 \sim L3$ は、相互に第1演算回路と第2演算回路の関係にある。

[0024] 上記のように演算回路 $L1 \sim L3$ の回路ブロックの組み合わせを互いに異なるものにすることによって、演算回路 $L1 \sim L3$ が同時にエラーを発生さ

せる可能性を低くするとともに、また演算回路L1～L3が同時にエラーを発生させても各演算結果データV1～V3が同じになる可能性を極めて低くしている。

[0025] 例えば、演算回路L1、L3は、組み合わせられる複数の回路ブロックの中に少なくとも1つ以上のDSPブロック12が含まれた回路構成を有している。一方、演算回路L2は、DSPブロック12以外の回路ブロックが組み合わせられた回路構成（例えば、LUTを含む基本論理ブロック11を主体とした回路構成）を有している。したがって、DSPブロック12を含む回路構成であるか否かの観点からは、演算回路L1、L3は、第1演算回路に相当し、演算回路L2は、第2演算回路に相当する。また、演算回路L1と演算回路L2とは、例えば演算中のデータを保持するメモリ（以下、データ保持メモリ）として、ブロックRAM13を使用するのに対して、演算回路L3は、基本論理ブロック11のフリップフロップを利用したいわゆる分散RAMを使用する回路ブロックの組み合わせである。このようにして、演算回路L1～L3は、種類の異なる回路ブロックを用い、相互に回路ブロックの組み合わせが異なるものになっており、多様性のあるものとなっている。

[0026] 演算回路L1、L3のようにDSPブロック12を使用した場合には、演算回路L2のようにDSPブロック12を使用しない場合に比べて、使用される基本論理ブロック11の個数を大幅に少なくさせることもでき、回路ブロック間を接続した配線の長さも含め演算回路を形成する回路ブロック11の組み合わせを大きく異ならせることができる。すなわち、演算回路L1、L3と演算回路L2とは、論理的な演算機能は同じであるが、ゲートレベルにおける動作（信号処理の物理的プロセスや、物性レベルの素子内部の振る舞い等）が大きく異なり、FPGA10の温度変動や電圧変動、クロック変動等の共通要因がゲートレベルにおける動作に与える影響も大きく異なってくる。このため、FPGA10では、上記共通要因に対する演算回路L1、L3と演算回路L2とのゲートレベルにおける動作状況が大きく異なるため、エラー発生時の演算結果データの不一致の程度も大きくなることが期待で

きる。したがって、DSPブロック12の使用の有無によって回路ブロック11の組み合わせを異なったものとするのは、エラーの発生を演算結果データの不一致によって検知する際に非常に有利である。

[0027] この実施の形態の場合、FPGA10には、複数の回路ブロックが組み合わせられることにより検証回路21が形成されている。演算回路L1~L3は、出力部L1a~L3aが演算結果データV1~V3を検証回路21に送る。検証回路21は、演算結果データV1~V3を検証し、その検証結果として検証データRを生成する。また、検証回路21は、演算結果データV1~V3のうちエラーがないと推測すると、演算結果データとして出力データY($y_1 \sim y_q$)を生成する。この検証回路21は、検証データRと出力データYとを制御システムのシステムコントローラ(図示省略)に出力する。

[0028] 上記検証回路21は、例えば多数決方式によって出力データYを決定する。すなわち、演算結果データV1~V3の値を比較して一致、不一致を判定し、同じ値となっている演算結果データの個数が最も多い演算結果データを正常値とし、その正常値を出力データYとして出力する。

[0029] FPGA10は、例えば演算回路L1~L3のいずれもがエラーを発生していないときには、演算回路L1~L3から得られる各演算結果データV1~V3が全て一致する。また、演算回路L1~L3のうち例えば演算回路L1だけにエラーが発生しているときには、演算回路L2,L3から得られる演算結果データV2,V3と、演算回路L1から得られる演算結果データV1とが異なるものとなる。また、演算回路L1~L3のうち例えば演算回路L2,L3にだけエラーが発生しているとき、演算回路L2,L3から得られる演算結果データV2,V3と、演算回路L1から得られる演算結果データV1とが異なるものとなる。

[0030] さらに、FPGA10は、前述のように演算回路L1~L3を回路ブロックの組み合わせが互いに異なる回路構成とすることによって、温度変動や電圧変動、クロック変動の共通要因でエラーが発生しても、当該共通要因に対する各演算回路L1~L3での動作状況が異なるので、演算回路L1~L3

から得られる各演算結果データV1～V3が互いに異なるものとなる。

[0031] これにより、FPGA10では、演算回路L1～L3から得られる各演算結果データV1～V3が全て一致するときFPGA10にエラーが発生していないと判断でき、一方、演算回路L1～L3から得られる各演算結果データV1～V3が不一致のときFPGA10にエラーが発生していると判断し得る。

[0032] 検証データRは、エラーの発生状況や出力データYの確からしさの判断の指標となる情報である。この例では、検証データRは、演算結果データV1～V3に対応した個別検証データR1～R3を含んでいる。個別検証データR1～R3は、例えば出力データYを正常値としたときに、対応する演算結果データV1～V3の誤りビットの個数、何ビット目が誤りビットになっているか、出力データYに示される値と演算結果データとの差等の情報を有したものとなっている。システムコントローラは、このような個別検証データR1～R3を含む検証データRにより、正常値と不一致となっている演算結果データの個数や不一致の演算結果データ中のビット数、エラーが発生したと推測される演算回路がいずれか、不一致となっている演算結果データの値と正常値との差や、その差の最大値、最小値、幅等の情報を取得できる。

[0033] 図3において、FPGA10にロードされる構成情報18は、構成情報生成装置24によって生成される。この構成情報生成装置24は、回路記述情報26から構成情報18を生成する。回路記述情報26は、レジスタ転送レベル(Register transfer level, RTL)で抽象化した演算機能の仕様を、ハードウェア記述言語(HDL)を用いて記述したものである。この例においては、回路記述情報26は、検証回路21に対応して記述された検証回路記述情報26aと、演算回路記述情報26bとがあり、複数の演算回路L1～L3(図2)に対しては1つの演算回路記述情報26bを共通に使用している。なお、産業用アプリケーションとして使われているFBD(ファンクションブロックダイアグラム: Function Block Diagram)言語等を用いて記述され、抽象度をより高くした動作レベル(behavioral level)のハードウ

エア記述情報に高位合成を行って、レジスタ転送レベルの回路記述情報 26 を生成してもよい。

[0034] 構成情報生成装置 24 は、論理合成部 24 a、合成パラメータ設定部 24 b、結合部 24 c、及びマッピング部 24 d を備えている。例えば、論理合成部 24 a、結合部 24 c、及びマッピング部 24 d は、論理合成ツール等として知られているアプリケーションプログラムをコンピュータにインストールすることで実現される。合成パラメータ設定部 24 b は、論理合成ツールの論理合成に関する合成パラメータを変更するように構成されている。合成パラメータは、FPGA 10 に演算回路 L1~L3 を形成させる際の条件を指定するものであり、この合成パラメータにより回路ブロックの組み合わせに関する条件を変えることができる。

[0035] 論理合成部 24 a は、回路記述情報 26 からネットリストを生成する論理合成を行う。ネットリストは、回路ブロック間を接続する配線等を記述したものである。合成パラメータ設定部 24 b は、論理合成部 24 a が論理合成する際に、パラメータセット $P_0 \sim P_3$ を設定する。パラメータセット P_0 は、検証回路 21 について回路ブロックの組み合わせが最適になるように設定された複数の合成パラメータを 1 セットにしたものである。このパラメータセット P_0 は、検証回路記述情報 26 a から検証回路 21 のネットリスト N_0 を生成する際に使用される。

[0036] また、パラメータセット $P_1 \sim P_3$ は、いずれも演算回路記述情報 26 b を回路ブロックの組み合わせに具現化する際の複数の合成パラメータを 1 セットにしたものである。これらパラメータセット $P_1 \sim P_3$ は、上述のように回路ブロックの組み合わせが互いに異なる演算回路 L1~L3 を、同一の演算回路記述情報 26 b から生成されるようにするために、いくつかの合成パラメータの設定が異なったものになっている。

[0037] この例においては、パラメータセット $P_1 \sim P_3$ は、DSP ブロック 12 の使用に関する合成パラメータ（以下、DSP パラメータという）とデータ保持メモリに関する合成パラメータ（以下、メモリパラメータという）とを含

んでおり、これらの設定値の組み合わせが互いに異なるものになっている。

[0038] パラメータセット P_1 は、演算回路 L_1 のネットリスト N_1 を生成するためのものである。このパラメータセット P_1 のDSPパラメータは、DSPブロック12を最大限使用する設定値になっている。また、パラメータセット P_1 のメモリパラメータは、データ保持メモリとしてブロックRAM13を使用する設定値になっている。パラメータセット P_2 は、演算回路 L_2 のネットリスト N_2 を生成するためのものである。このパラメータセット P_2 のDSPパラメータは、DSPブロック12を使用しない設定値であり、またメモリパラメータは、データ保持メモリとしてブロックRAM13を使用する設定値になっている。さらに、パラメータセット P_3 は、演算回路 L_3 のネットリスト N_3 を生成するためのものである。このパラメータセット P_3 のDSPパラメータは、DSPブロック12を最大限使用する設定値であり、またメモリパラメータは、データ保持メモリとして分散RAMを使用する設定値になっている。

[0039] 上記のように合成パラメータ設定部24bは、演算回路 $L_1 \sim L_3$ についての論理合成の際に、パラメータセット $P_1 \sim P_3$ を論理合成部24aに設定することによって、演算回路 $L_1 \sim L_3$ を形成する回路ブロック（FPGAのリソース）の組み合わせに関する条件を与え、演算回路 $L_1 \sim L_3$ の回路ブロックの組み合わせを互いに異なるものとして、演算回路 $L_1 \sim L_3$ に多様性を付与する。

[0040] 論理合成部24aは、合成パラメータセット P_0 の下で論理合成を行うことによって、検証回路記述情報26aからネットリスト N_0 を生成する。また、論理合成部24aは、合成パラメータセット $P_1 \sim P_3$ の下で、演算回路記述情報26bを用いた論理合成をそれぞれ行うことによって、ネットリスト $N_1 \sim N_3$ を生成する。

[0041] なお、演算回路 $L_1 \sim L_3$ は、回路ブロックの組み合わせが互いに異なっているため、演算回路 $L_1 \sim L_3$ の相互間で、同じタイミングで入力データXを入力しても、演算結果データ $V_1 \sim V_3$ の出力タイミングが異なる場合

がある。このような場合には、検証回路21に対する演算結果データV1～V3の入力タイミングが同時になるように、例えば遅延回路を形成すればよい。

[0042] 結合部24cは、論理合成部24aから得られる4個のネットリストN₀～N₃を1つのネットリストに結合する。この結合の際には、結合部24cによって、ネットリストN₁～N₃に示される3組の出力端子を、ネットリストN₀の3組の入力端子に接続したネットリストを生成する。

[0043] マッピング部24dは、結合部24cからのネットリストにしたがい、ネットリストに示される接続をFPGA10の回路ブロックや入出力ピンに割り当てているいわゆるマッピング（配置配線）を行う。このマッピング部24dは、マッピングした情報を構成情報18としてFPGA10の構成メモリ16に出力する。構成情報18には、検証回路21を形成するための検証回路構成情報C₀と、演算回路L1～L3を形成するための演算回路構成情報C₁～C₃とが含まれる。

[0044] 次に上記構成の作用について説明する。まず、検証回路記述情報26aと、演算回路L1～L3に共通な演算回路記述情報26bとを用意し、これらに基づいて構成情報生成装置24で構成情報18を生成する。例えば、合成パラメータ設定部24bは、最初に論理合成部24aにパラメータセットP₀を設定する。この後に、論理合成部24aは、検証回路記述情報26aを読み込み、パラメータセットP₀の下で論理合成を行い、検証回路記述情報26aからネットリストN₀を生成する。

[0045] ネットリストN₀の生成後、合成パラメータ設定部24bは、論理合成部24aにパラメータセットP₁を設定する。この後、論理合成部24aは、演算回路記述情報26bを読み込み、パラメータセットP₁の下で論理合成を行って、演算回路記述情報26bからネットリストN₁を生成する。このときに、パラメータセットP₁のDSPパラメータは、DSPブロック12を最大限使用する設定値であり、メモリパラメータは、データ保持メモリとしてブロックRAM13を使用する設定値になっている。したがって、所定の演算機能

を実現させる演算回路記述情報 26 b は、パラメータセット P_1 の下で、DSP ブロック 12 を最大限使用し、かつデータ保持メモリとしてブロック RAM 13 を使用する回路ブロックの組み合わせのネットリスト N_1 に変換される。

[0046] ネットリスト N_1 の生成後、論理合成部 24 a には、合成パラメータ設定部 24 b によってパラメータセット P_2 が設定される。この後、論理合成部 24 a は、演算回路記述情報 26 b を読み込み、パラメータセット P_2 の下で論理合成を行って、この演算回路記述情報 26 b からネットリスト N_2 を生成する。パラメータセット P_2 の場合は、DSP パラメータが DSP ブロック 12 を使用しない設定値であり、メモリパラメータがデータ保持メモリとしてブロック RAM 13 を使用する設定値になっている。したがって、所定の演算機能を実現させる演算回路記述情報 26 b は、パラメータセット P_2 の下で、DSP ブロック 12 を使用せず、かつデータ保持メモリとしてブロック RAM 13 を使用する回路ブロックの組み合わせのネットリスト N_2 に変換される。

[0047] さらに、ネットリスト N_2 の生成後、論理合成部 24 a には、合成パラメータ設定部 24 b によってパラメータセット P_3 が設定される。この後、論理合成部 24 a は、演算回路記述情報 26 b が論理合成部 24 a に読み込み、パラメータセット P_3 の下、演算回路記述情報 26 b からネットリスト N_3 を生成する。この場合には、DSP パラメータが DSP ブロック 12 を最大限使用する設定値になっており、メモリパラメータがデータ保持メモリとして分散 RAM を使用する設定値になっている。したがって、所定の演算機能を実現させる演算回路記述情報 26 b は、パラメータセット P_3 の下、DSP ブロック 12 を最大限使用し、かつデータ保持メモリとして分散 RAM を使用する回路ブロックの組み合わせのネットリスト N_3 に変換される。

[0048] 上記のようにして、ネットリスト $N_0 \sim N_3$ が生成されると、これらネットリスト $N_0 \sim N_3$ が、結合部 24 c で結合されて 1 つのネットリストにされる。続いて、結合部 24 c から得られるネットリストは、マッピング部 24 d

によってマッピングされて、構成情報18として出力される。

[0049] マッピング部24dからの構成情報18は、FPGA10の構成メモリ16にロードされる。構成メモリ16に構成情報18がロードされると、FPGA10には演算回路L1~L3及び検証回路21が形成される。演算回路L1~L3は、同じ演算機能を有しているが、回路ブロックの組み合わせが互いに異なっている。上述のように、演算回路L1、L3は、DSPブロック12を最大限使用する回路ブロックの組み合わせであるのに対し、演算回路L2は、DSPブロック12以外の回路ブロックの組み合わせになっている。また、演算回路L1、L2は、データ保持メモリとして、ブロックRAM13を使用するのに対して、演算回路L3は、データ保持メモリとして分散RAMを使用する回路ブロックの組み合わせになっている。

[0050] 上記のように、構成情報生成装置24では、パラメータセット $P_1 \sim P_3$ （合成パラメータ）が設定されるごとに、その合成パラメータの下で論理合成を行って、同一の演算回路記述情報26bから演算回路L1~L3に対応したネットリスト $N_1 \sim N_3$ を生成し、そのネットリスト $N_1 \sim N_3$ を用いて、演算回路構成情報 $C_1 \sim C_3$ を含む構成情報18を生成する。これにより、演算機能の同一性を担保しつつ回路ブロックの組み合わせが異なる複数の演算回路L1~L3の構成情報18を容易に生成することができ、またその構成情報18を適用してFPGA10に演算機能が同一であり、かつ回路ブロックの組み合わせ異なる演算回路L1~L3を容易に形成できる。

[0051] 上記のように演算回路L1~L3及び検証回路21が形成されたFPGA10では、入力データXが入力されると、この入力データXが演算回路L1~L3にそれぞれ入力される。演算回路L1に入力データXが入力されると、この演算回路L1は、入力データXに対して演算を行い、その結果得られた演算結果データV1を検証回路21に出力する。同様に、演算回路L2、L3は、入力データXに対して演算をそれぞれ行い、その結果得られた各演算結果データV2、V3を検証回路21に出力する。このときに、演算回路L1~L3が行う演算は、いずれも演算回路記述情報26bにより示される

特定の演算機能を実現するものである。このようにして、FPGA10では、1つの入力データXに対して複数の演算結果データV1～V3を生成し、これら演算結果データV1～V3を検証回路21に入力する。

[0052] 検証回路21は、上記のようにして演算結果データV1～V3が入力されるごとに演算結果データV1～V3を比較する。そして、検証回路21は、演算結果データV1～V3が全て一致している場合、そのうちのいずれか1つの演算結果データを出力データYとしてシステムコントローラに出力する。また、検証回路21は、演算結果データV1～V3が出力データYとの間で各ビットに相違がなく、同じデータであることを示す個別検証データR1～R3を生成し、これら個別検証データR1～R3を含んだ検証データRもシステムコントローラに出力する。

[0053] 一方、演算結果データV1～V3のうち2つだけが一致する場合、検証回路21は、一致する2つの演算結果データの一方を出力データYとしてシステムコントローラに出力する。例えば、演算結果データV1、V3が一致し、これらと演算結果データV2が一致しない場合には、演算結果データV1、V3のうち的一方が出力データYとして検証回路21からシステムコントローラに出力される。この際、検証回路21は、演算結果データV1、V3が出力データYと同じデータであることを示す個別検証データR1、R3を生成するとともに、演算結果データV2が出力データYと相違し、相違するビット等を示す情報を有する個別検証データR2を生成し、これら個別検証データR1～R3を含んだ検証データRをシステムコントローラに出力する。

[0054] なお、演算結果データV1～V3の全てが一致しない場合、検証回路21は、例えば規定値を出力データYとしてシステムコントローラに出力する。また、この場合、検証回路21は、演算結果データV1～V3がいずれも一致しないこと等を示す個別検証データR1～R3を生成し、これら個別検証データR1～R3を含んだ検証データRをシステムコントローラに出力する。

[0055] ところで、従来のFPGAでは、同じ演算機能を持ち、かつ同じ回路ブロックの組み合わせで構成された複数の演算回路を形成してエラー検証を行っているため、これら複数の演算回路に共通する温度変動や電圧変動、クロック変動の共通要因に起因して各演算回路にエラーが発生している場合、共通要因に対する各演算回路の動作状況が同じになってしまうので、各演算回路で発生するエラーの発生状態も同じものとなる。このため、従来のFPGAのエラー検証方法では、各演算回路が同じ演算結果データを生成することから、それら演算結果データが全て一致してしまい、エラーが発生したことを検知することが困難であった。

[0056] しかしながら、本実施形態のFPGA10では、上記のように演算回路L1～L3が同じ演算機能を持つものの、演算回路L1～L3を構成する回路ブロックの組み合わせが互いに異なっていることから、共通要因に対する各演算回路L1～L3の動作状況が異なり、各演算回路L1～L3で発生するエラーの発生状態も異なるものとなる。これにより、FPGA10では、例えば演算回路L1～L3に共通する共通要因で何らかの理由でエラーが発生しているときでも、演算回路L1～L3が同時に同じ演算結果データV1～V3を生成する可能性が低くなり、演算結果データV1～V3が不一致になる可能性が非常に高くなる。したがって、FPGA10では、演算結果データV1～V3が不一致であるとの検証回路21の判断結果を基にエラーを検知できる。

[0057] 因みに、FPGA10では、共通要因によって、上記のように全ての演算回路L1～L3でエラーが発生することもあれば、演算回路L1～L3を構成する回路ブロックの組み合わせが互いに異なっていることから、演算回路L1～L3のうちの1つまたは2つの演算回路でエラーが発生し、他の演算回路ではエラーが発生しないこともある。このような場合でも、FPGA10では、演算回路L1～L3が同時に同じ演算結果データV1～V3を生成することがないため、演算結果データV1～V3の不一致が生じ、この結果を基に検証回路21によってエラーを検知できる。

[0058] 演算回路L1～L3でエラーが生じる要因は様々であり、共通要因以外の要因によってもエラーが発生することもある。しかしながら、FPGA10の演算回路L1～L3は、上記のように回路ブロックの組み合わせが互いに異なっていることから、各演算回路L1～L3が同時にエラーを発生させたとしても、演算回路L1～L3が同時に同じ演算結果データV1～V3を生成する可能性が低くなる。したがって、FPGA10では、演算結果データV1～V3が不一致であるとの検証回路21の判断結果を基にエラーを検知できる。

[0059] 以上のようにして、同じ演算機能を持ち、かつ回路ブロックの組み合わせが異なる多様性を有する複数の演算回路L1～L3からの演算結果データV1～V3に基づいたエラー検知率は、従来の同じ演算機能を持ち、かつ同じ回路ブロックの組み合わせた複数の演算回路によって冗長性を持たせた場合よりも高くなる。

[0060] なお、上述した実施形態においては、3つの演算回路L1～L3を形成した場合について述べたが、本発明はこれに限らず、少なくとも2つ以上の演算回路を形成できれば、その他種々の数の演算回路を形成するようにしてもよい。

[0061] また、上記に説明した複数の演算回路L1～L3の回路ブロックの組み合わせが互いに異なるものとするための態様は、一例であり上記のものに限定されない。例えば演算回路が2個の場合には、上記の演算回路L1と演算回路L2との関係のように、DSPブロック12の使用の有無だけが異なるようにしてもよい。また、複数の演算回路L1～L3のそれぞれに使用されるDSPブロック12の個数や、演算回路L1～L3を形成する回路ブロックの全数に対するDSPブロック12の個数の比率が異なるようにしてもよい。DSPブロック12に限らず、例えば乗算器等の特定のハードマクロの使用の有無、その個数や比率等が異なるようにしてもよい。

[0062] また、上記実施形態では、検証回路21をFPGA10に形成しているが、FPGA10に検証回路21を形成せずに、FPGA10からは各演算回

路L 1～L 3の演算結果データをそのまま外部の機器に出力するように構成してもよい。この場合、外部の機器において検証回路2 1と同様な検証を行えばよい。検証回路2 1において、出力データYを決定する手法は一例である。例えば最も大きな値の演算結果データを出力データYとしてもよい（高値選択）。逆に、小さな値の演算結果データを出力データYとしてもよい（低値選択）。また、各演算結果データの平均値や中間値を出力データYとしたり、一定数例えば過半数を超えた演算結果データの値を出力データYとしたりしてもよい（条件付き多数決）。さらに、各演算結果データの値の分布を算出し、特定の偏差の範囲外を排除したうちの演算結果データから、高値選択、低値選択、平均値、中間値、多数決、条件付き多数決等を行ってもよい。また、出力データYを決定する際に、上記手法を組み合わせてもよい。なお、条件付き多数決の場合に、一定数を超えた演算結果データがない場合には、規定値を出力データYとして出力することができる。

[0063] また、各演算結果データの対応するビット同士で多数決、条件付き多数決等を行って、選択されたビット値を出力データYのビットに割り当ててもよい。また、各演算結果データの対応するビット同士で多数決、条件付き多数決等を行って得られる基準ビット列を生成し、基準ビット列と各演算結果データのビット列の対応するビット同士を比較し、最も違いの少ない演算結果データを出力データYとしてもよい。

[0064] [検証]

次に、本発明のFPGA10におけるエラーの検知率の向上について、FPGAのシミュレーションツール（アプリケーションプログラム）により検証試験を行った。この検証試験では、同じ演算機能を持ち、かつ回路ブロックの組み合わせが互いに異なる2つの演算回路L 1、L 2をFPGA10に形成したFPGAについてのタイミングシミュレーションを検証例とし、得られた演算結果データV 1、V 2を基にエラーの検知率について検証した。

[0065] また、この検証例では、プラント制御装置に搭載され、IEC-61131に準拠した制御記述言語であるFBD言語で記述された乗算関数の動作記

述情報を高位合成して、Verilog HDLによる演算回路記述情報を生成した。この生成した1つの演算回路記述情報を基に、異なる2セットのパラメータセットを用いて論理合成を行い、2つの演算回路L1、L2に対応するネットリストN₁、N₂をそれぞれ生成した。ネットリストN₁、N₂を1つのネットリストに結合し、そのネットリストを基にマッピングして構成情報18を得た。検証例では、この構成情報18と、シミュレートするFPGA10の伝搬遅延情報等を用いて、シミュレーションツール上にてタイミングシミュレーションを行った。論理合成からマッピングまでの処理、及びタイミングシミュレーションは、ISE(登録商標)14.7(Xilinx社製)を用いた。また、FPGA10としては、XC7K325T-2(Kintex-7、Xilinx社製)を想定してタイミングシミュレーションを行った。

[0066] 検証例における演算回路L1、L2が行う演算は、2つの入力値(整数)を乗算するものである。2つの入力値は、乱数で発生させ、これら2つの入力値を1つの入力データXとして演算回路L1、L2にそれぞれ入力した。また、演算回路L1、L2から得られる演算結果データV1、V2は、それぞれ32ビットとした。

[0067] ネットリストN₁を生成する論理合成では、DSPブロック12を最大限使用する設定値のDSPパラメータを用い、ネットリストN₂を生成する論理合成では、DSPブロック12を使用しない設定値のDSPパラメータを用いた。なお、DSPパラメータ以外の合成パラメータについては、特に設定を行わずにネットリストN₁、N₂を生成した。これにより、検証例の演算回路L1はDSPブロック12が最大限使用された回路構成とした。一方、検証例の演算回路L2は、DSPブロック12以外の回路ブロックが組み合わされた回路構成とした。ここで、検証例とした演算回路L1、L2の回路ブロックの使用状態を表1に示す。なお、表1には、別の検証例として、同じ合成パラメータの設定で演算回路L1、L2が比例積分演算を行うように構成した場合における回路ブロックの使用状態を参考に示す。

[0068]

[表1]

PHYSICAL PARAMETER OF FPGA	乗算		比例積分	
	演算回路		演算回路	
	L1	L2	L1	L2
Slice Logic Utilization				
Number of Slice Registers	0	0	65	96
Number used as Flip Flops	0	0	65	96
Number of Slice LUTs	38	1203	126	3049
Number used as logic	38	1199	126	3041
Number using O6 output only	38	590	110	2243
Number using O5 output only	0	51	0	102
Number using O5 and O6	0	558	16	696
Number used exclusively as route-thrus	0	4	0	8
Number with same-slice carry load	0	4	0	8
Slice Logic Distribution				
Number of occupied Slices	24	316	43	877
Number of LUT Flip Flop pairs used	38	1203	127	3049
Number with an unused Flip Flop	38	1203	63	2968
Number with an unused LUT	0	0	1	0
Number of fully used LUT-FF pairs	0	0	63	81
Specific Feature Utilization				
Number of DSP48E1s	4	0	9	0
Average Fanout of Non-Clock Nets	1.61	2.68	1.75	3.18

[0069] 表1の「PHYSICAL PARAMETER OF FPGA」の欄の各項目の意味は次の通りである。

[Slice Logic Utilization]

- (1) Number of Slice Registers: スライス中の使用するレジスタの個数
- (2) Number used as Flip Flops: (1) のレジスタのうちフリップフロップとして使用する個数
- (3) Number of Slice LUTs: スライス中の使用するLUTの個数
- (4) Number used as logic: (3) のうち論理関数を実現するために使用したLUTの個数 (LUTは、O6出力とO5出力とを有する)
- (5) Number using O6 output only: (4) のうちO6出力のみを使用したLUTの個数
- (6) Number using O5 output only: (4) のうちO5出力のみを使用したLUTの個数

(7) Number using 05 and 06: (4) のうち 06 出力と 05 出力の双方を使用した LUT の個数

(8) Number used exclusive as route-thrus: (3) のうち ルートスルーとして (入力をレジスタ等に接続する配線の目的のためだけに) 使用する LUT の個数

(9) Number with same-slice carry load: (8) のうち キャリー信号線 (接続先が同一スライス内) とされる LUT の個数

[Slice Logic Distribution]

(10) Number of occupied Slices: 演算回路に使用したスライスの個数

(11) Number of LUT Flip Flop pairs used: (10) のスライスに含まれる LUT と フリップフロップのペアのうち実際に使われた個数

(12) Number with an unused Flip Flop: (11) のペアのうち フリップフロップが使われない個数

(13) Number with an unused LUT: (11) のペアのうち LUT が使われない個数

(14) Number of fully used LUT-FF pairs: (11) のペアのうち LUT と フリップフロップの双方が使われた個数

[Specific Feature Utilization]

(15) Number of DSP48E1s: DSP ブロック 12 の使用個数

(16) Average Fanout of Non-Clock Nets: クロック以外の配線の平均ファンアウト (1本の信号線が平均何本に分岐しているか)

[0070] なお、「スライス」は、上述の基本構成ブロックを構成する基本回路であり、LUT とレジスタ (フリップフロップ) を基本要素とするものである。

[0071] 検証試験では、現実の環境におけるエラーの発生状況が、FPGA10の動作周波数に変動した状況に似ているものと仮定した。具体的には、温度変動や電圧変動の各回路ブロック間における信号の伝搬遅延が発生する状態と同様な状態を、シミュレーション上でFPGA10の動作周波数を変化させることで発生させた。このため、検証例のタイミングシミュレーションでは

、動作周波数を160MHzから258MHzまで2MHzずつ変化させ、各動作周波数において、演算回路L1、L2で乗算演算を実行した。

[0072] 各々の動作周波数では、10000個の入力データXを入力し、演算回路L1、L2のそれぞれで10000回の乗算演算を実行した。1個の入力データXに対して演算回路L1、L2から出力される演算結果データV1、V2を、シミュレーションツールとは別のプログラムで取り込み、エラーの発生状況等を検証した。

[0073] 上記の検証例におけるエラー発生率と動作周波数との関係を図4に示す。図4のグラフの横軸は、FPGA10の動作周波数であり、縦軸は、エラー発生率である。入力データXの1回の入力について、演算結果データV1、V2の少なくとも一方が誤った値となったときを1回としてエラー発生回数をカウントし、エラー発生率は、動作周波数ごとの入力データXの入力回数（1万回）に対するエラー発生回数の割合（%）とした。演算結果データV1、V2が誤った値となっているか否かは、別途計算された真値と演算結果データV1、V2とを比較することによって判別した。

[0074] また、図5には、演算結果データV1、V2の不一致によるエラー検知率を示す。図5のグラフの横軸は、FPGA10の動作周波数であり、縦軸は、エラー検知率である。入力データXの1回の入力について、演算結果データV1、V2が不一致になったときを1回としてエラー検知回数をカウントし、エラー検知率は、動作周波数ごとの入力データXの入力回数（1万回）に対するエラー検知回数の割合（%）とした。なお、図5では、後述する比較例1でエラーを検知した178MHz以上の動作周波数での検証結果について示した。

[0075] さらに、図6には、演算結果データV1、V2の違いの距離（以下、不一致距離という）を示す。不一致距離（D）は、次の式（1）に示されるように、動作周波数ごとに、32ビットで正規化したエラービットの合計を当該動作周波数におけるエラー検知回数で除したものであり、百分率で示される。この不一致距離は、演算結果データV1、V2の違いが大きいときにその

値が大きくなる。

[0076] [数1]

$$D = \frac{\sum_{i=1}^{10^4} E(i, f)}{32 \times S(f)} \times 100 \quad (\%) \quad \dots (1)$$

[0077] 上記式(1)中の値E(i, f)は、動作周波数fにおけるi番目の入力データXについて、演算結果データV1、V2の間で不一致となるビット数である。また、S(f)は、動作周波数fにおけるエラー検知回数である。

[0078] さらに、この検証試験では、検証例と比較するために、DSPブロック12が最大限使用された演算回路L1を2個形成したFPGAについてのタイミングシミュレーションを比較例1とし、さらに、DSPブロック12以外の回路ブロックを組み合わせた演算回路L2を2個形成したFPGAについてのタイミングシミュレーションを比較例2とした。これら比較例1および比較例2のFPGAにそれぞれ演算回路L1、L2を形成する各構成情報は、検証例と同様にそれぞれ生成した。そして、比較例1及び比較例2についても、検証例と同様にシミュレーションツール上にてタイミングシミュレーションを行った。それら比較例1及び比較例2の検証結果についても図4～図6に併せて示す。

[0079] 図4に示すように、DSPブロック12を使用した演算回路L1を2個形成した比較例1では、176MHzよりも上の動作周波数で、エラー発生率がほぼ100%になった。DSPブロック12を使用しない演算回路L2を2個形成した比較例2では、動作周波数が204MHzからエラーが発生し、動作周波数の上昇とともにエラーの発生率が100%に近づくように上昇した。このことから、エラーの発生状況は回路ブロックの組み合わせによって互いに異なることがわかる。なお、本発明を適用した検証例では、178MHzよりも上の動作周波数でエラー発生率がほぼ100%となり、比較例1と同様なエラーの発生状況となった。

[0080] 上記から比較例1では、178MHz以上の動作周波数のとき、2個の演

算回路L1のうち少なくとも一方から出力された演算結果データが誤った値となっていることが分かる。しかしながら、図5に示されるように、比較例1では、178MHz以上のいくつかの動作周波数でエラーを検知しているが、その他の動作周波数ではエラーを検知していない。この理由として、比較例1では、同じ回路ブロックの組み合わせでなる2個の演算回路L1を用いていることから、2個の演算回路L1でそれぞれ同じエラーが発生してしまい、それぞれ出力される演算結果データが全く同じとなり、その結果、エラーとして検知できないためである。比較例2では、エラー検知率がほぼ100%であるが、218MHzよりも上の動作周波数では、1~2%程度のエラー検知率の低下が見られた。

[0081] これらに対して本発明による検証例のエラー検知率は、すべての動作周波数において100%となった。すなわち、比較例1及び比較例2のように回路ブロックの組み合わせが同じ複数の演算回路が冗長化した構成よりも、本発明の検証例のように、回路ブロックの組み合わせが異なる複数の演算回路L1、L2、すなわち多様性を持った複数の演算回路を形成した構成とすることにより、一段と確実にエラーを検知でき、かくして、エラーの検知率が向上することが確認できた。また、図6に示すように、検証例における不一致距離は、比較例1及び比較例2よりも3倍以上大きいことが確認できた。すなわち、比較例1及び比較例2のように同じ回路構成を有する複数の演算回路によって冗長化した構成を形成するよりも、本発明の検証例のように、互いに回路ブロックの組み合わせが異なる多様性を持った複数の演算回路を形成するほうが、エラーの検知能力が高いことが示された。

符号の説明

- [0082] 10 FPGA (プログラマブルロジックデバイス)
11 基本論理ブロック
12 DSPブロック
21 検証回路
L1~L3 演算回路

請求の範囲

- [請求項1] 複数の回路ブロックの組み合わせを変えることにより、演算機能を変更可能なプログラマブルロジックデバイスにおいて、
- 前記回路ブロックの組み合わせ及び接続状態が互いに異なり、かつ互いに同じ演算をする第1演算回路及び第2演算回路と、
- 前記第1演算回路及び前記第2演算回路のそれぞれに設けられており、演算結果を検証する検証回路に前記第1演算回路及び前記第2演算回路の演算結果を出力する出力部と、
- を備えることを特徴とするプログラマブルロジックデバイス。
- [請求項2] 前記第1演算回路は、前記回路ブロックの1つであるDSPブロックを含み、
- 前記第2演算回路は、前記DSPブロック以外の前記回路ブロックで構成される
- ことを特徴とする請求項1に記載のプログラマブルロジックデバイス。
- [請求項3] 前記回路ブロックの組み合わせにより形成された前記検証回路を備えることを特徴とする請求項1または2に記載のプログラマブルロジックデバイス。
- [請求項4] 複数の回路ブロックの組み合わせを変えることにより、演算機能を変更可能なプログラマブルロジックデバイスのエラー検証方法において、
- 前記回路ブロックの組み合わせ及び接続状態が互いに異なり、かつ互いに同じ演算をする第1演算回路及び第2演算回路を形成する回路形成ステップと、
- 前記第1演算回路及び前記第2演算回路でそれぞれ演算を行う演算ステップと、
- 前記第1演算回路及び前記第2演算回路からの演算結果を検証する検証ステップと

を有することを特徴とするプログラマブルロジックデバイスのエラー検証方法。

[請求項5]

前記回路形成ステップは、

前記第1演算回路を、前記回路ブロックの1つであるDSPブロックを含む構成とし、

前記第2演算回路を、前記DSPブロック以外の前記回路ブロックで構成する

ことを特徴とする請求項4に記載のプログラマブルロジックデバイスのエラー検証方法。

[請求項6]

構成情報にしたがって複数の回路ブロックの組み合わせを変えることにより、演算機能が変更可能なプログラマブルロジックデバイスの回路形成方法において、

前記回路ブロックの組み合わせに関する条件が異なる合成パラメータを順次設定する合成パラメータ設定ステップと、

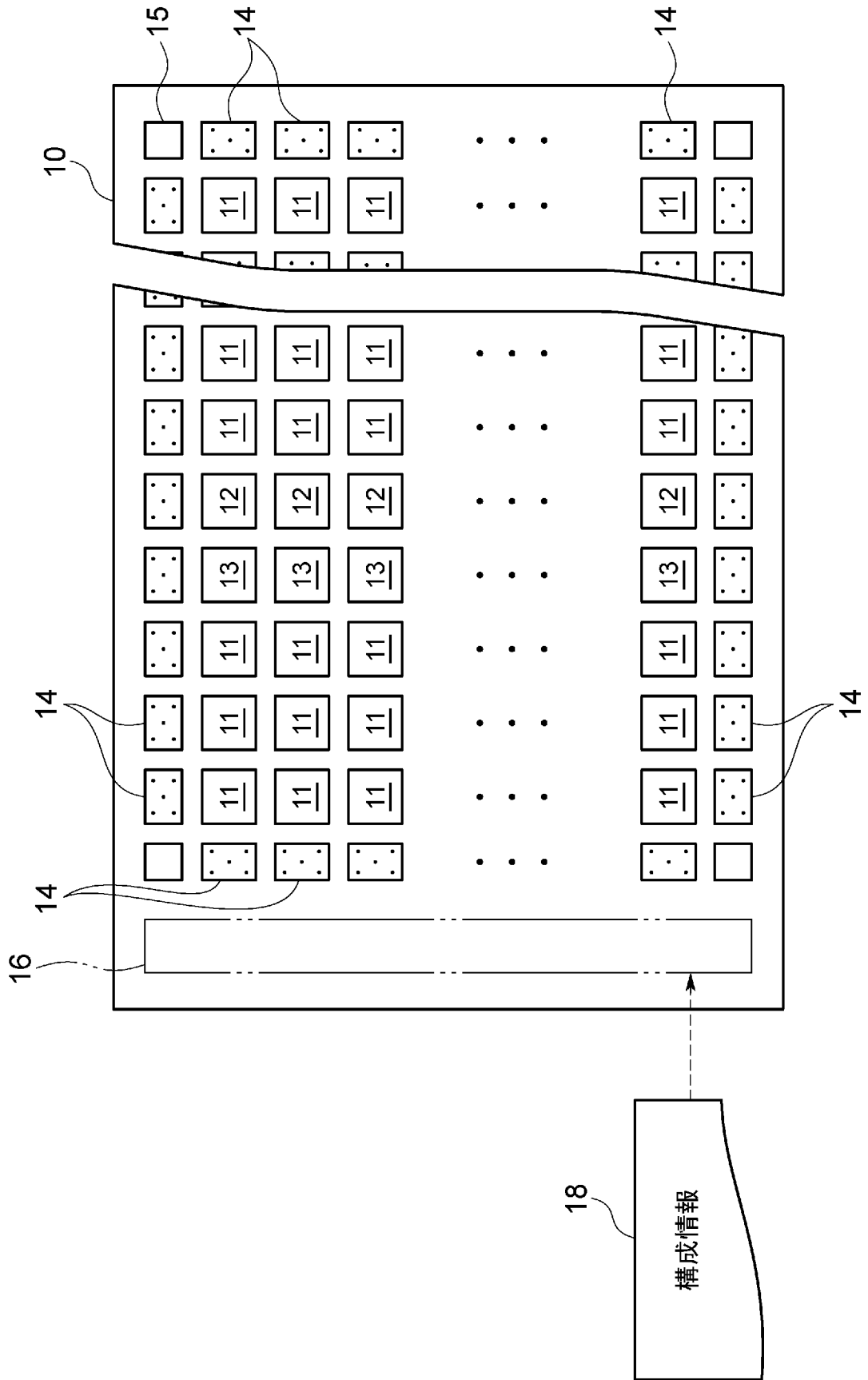
前記合成パラメータ設定ステップで前記合成パラメータが設定されるごとに、設定された前記合成パラメータの下で論理合成を行い、ハードウェア記述言語で記述された同一の演算回路記述情報から複数の演算回路に対応した複数のネットリストを生成する論理合成ステップと、

前記複数のネットリストから前記構成情報を生成する構成情報生成ステップと、

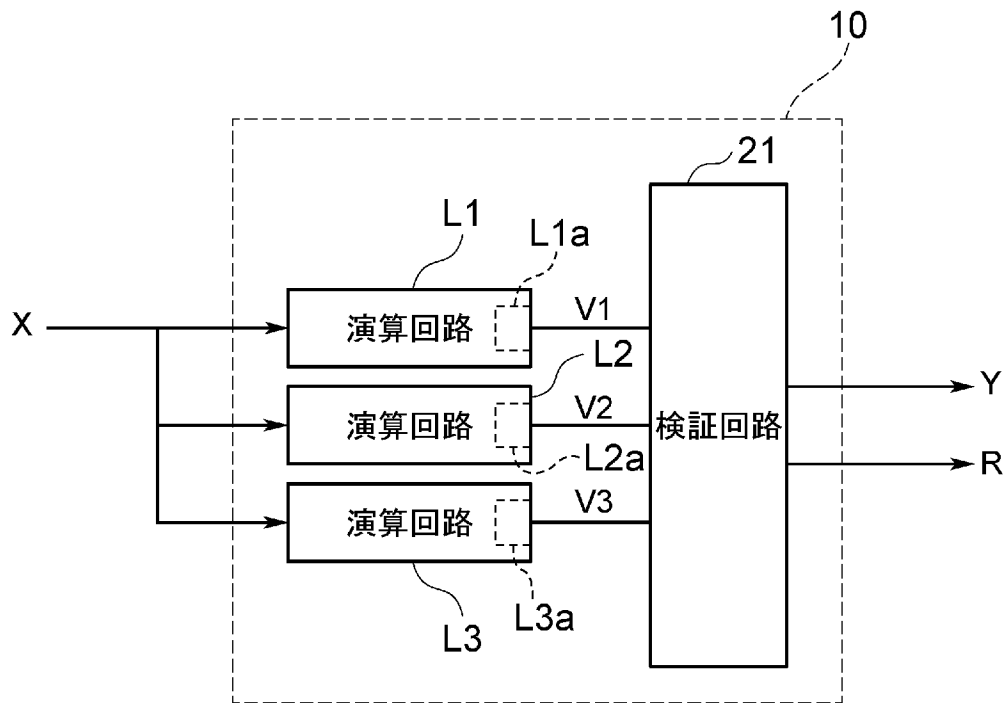
前記構成情報をプログラマブルロジックデバイスに書き込み、前記複数のネットリストに対応して、前記回路ブロックの組み合わせ及び接続状態が互いに異なり、かつ互いに同じ演算をする第1演算回路及び第2演算回路と、前記第1演算回路及び前記第2演算回路にそれぞれ設けられ、演算結果を検証する検証回路に前記第1演算回路及び前記第2演算回路の演算結果を出力する出力部とを前記プログラマブルロジックデバイスに形成する形成ステップと

を有することを特徴とするプログラマブルロジックデバイスの回路形成方法。

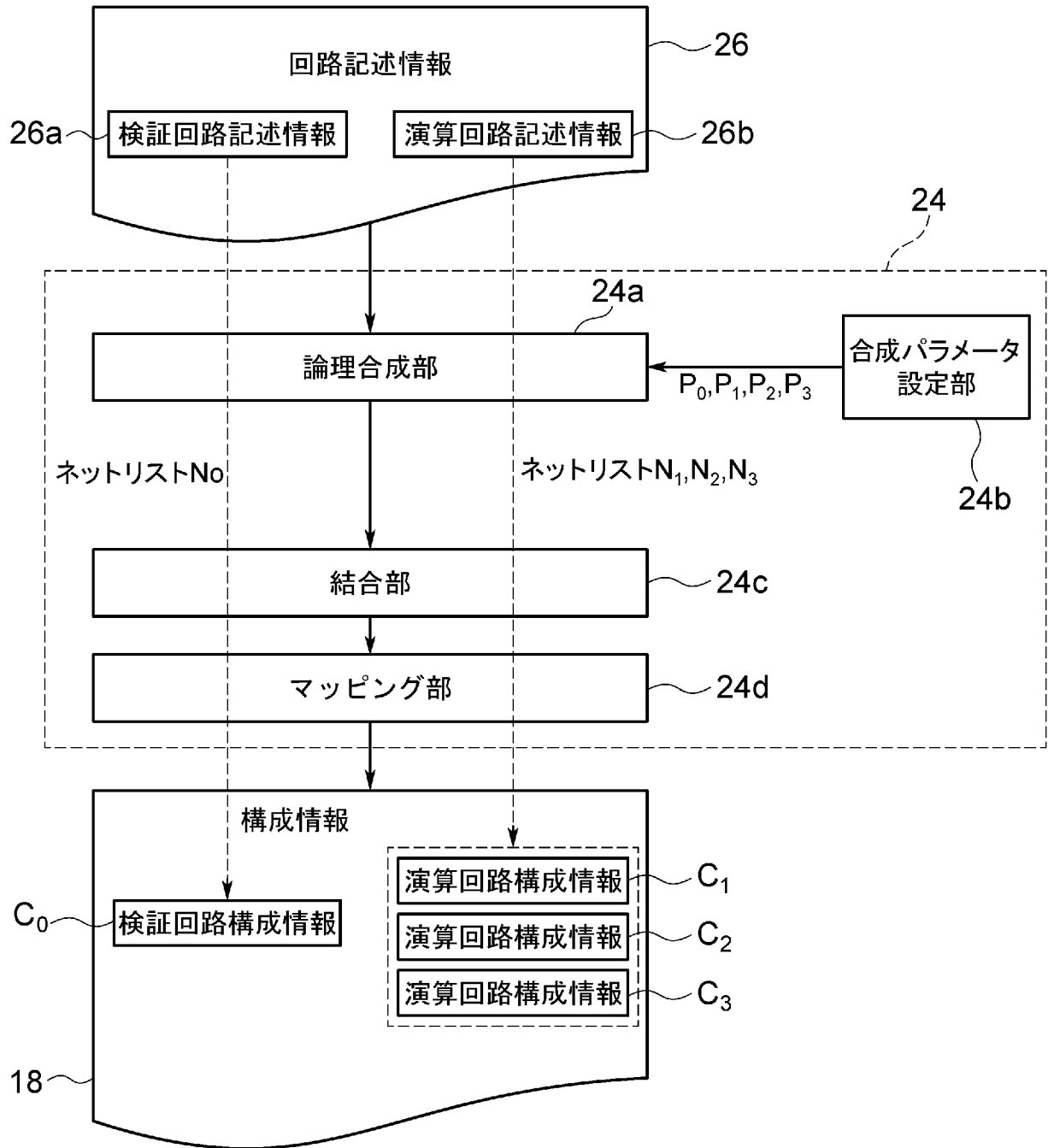
[図1]



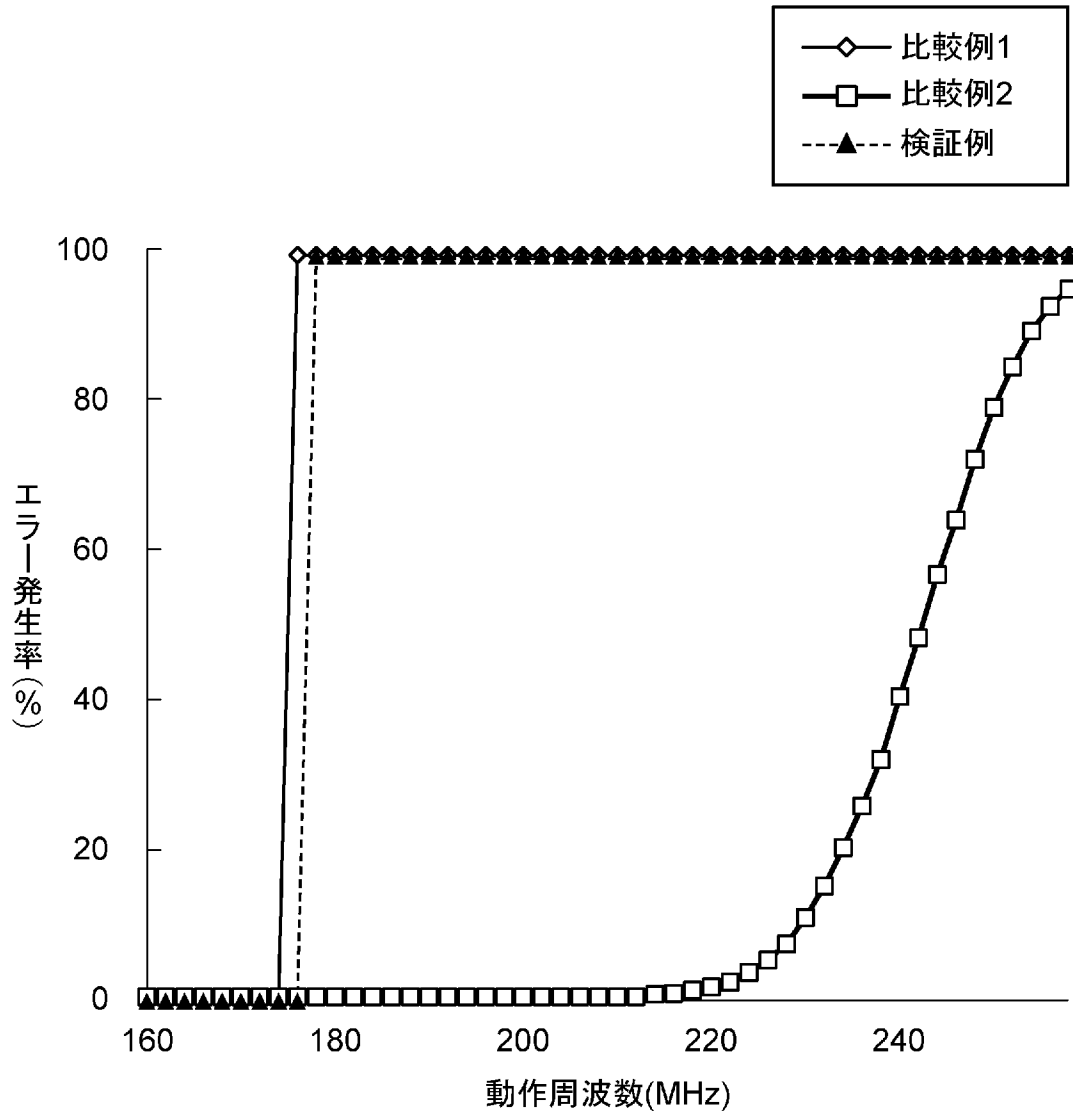
[図2]



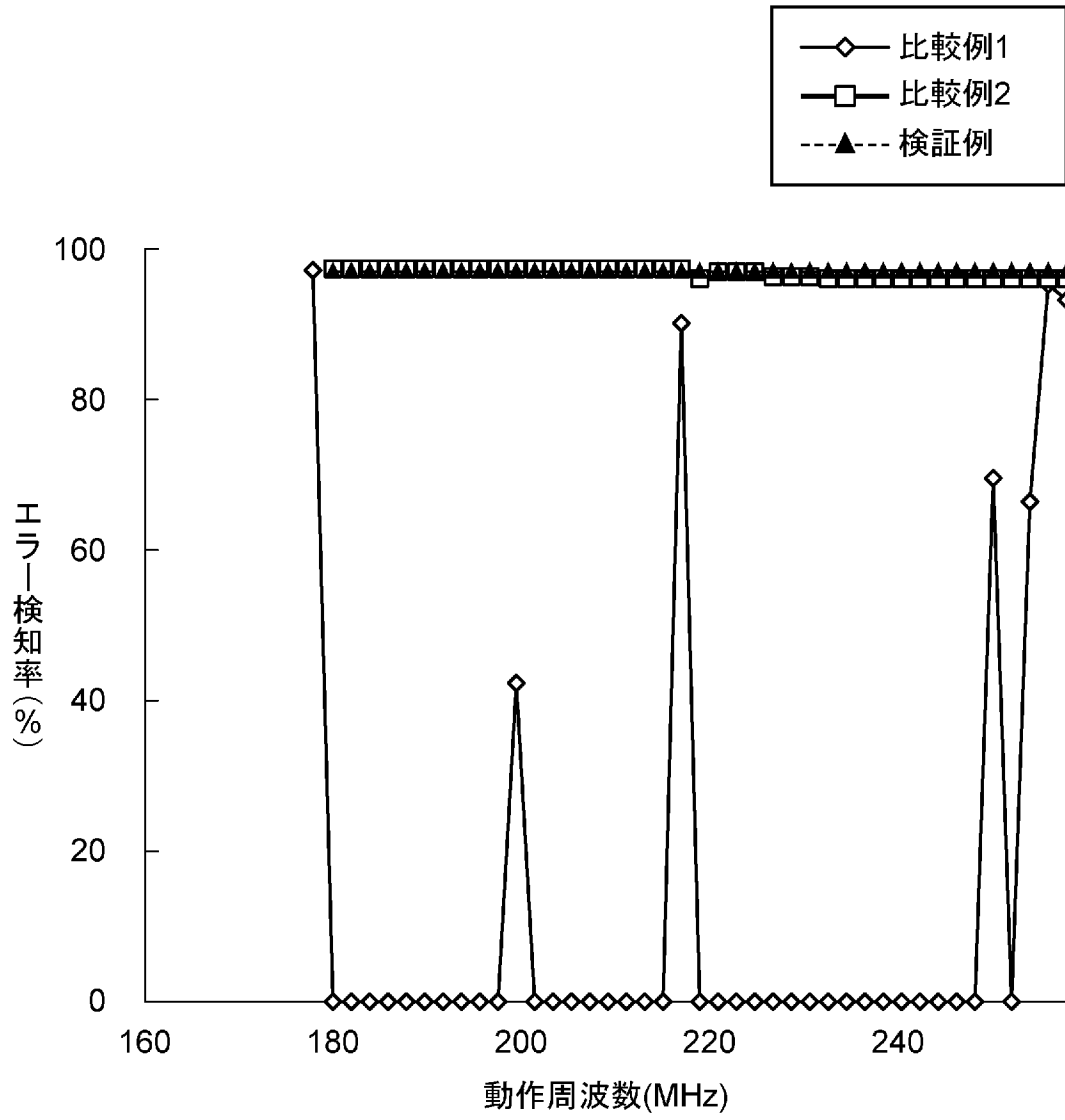
[図3]



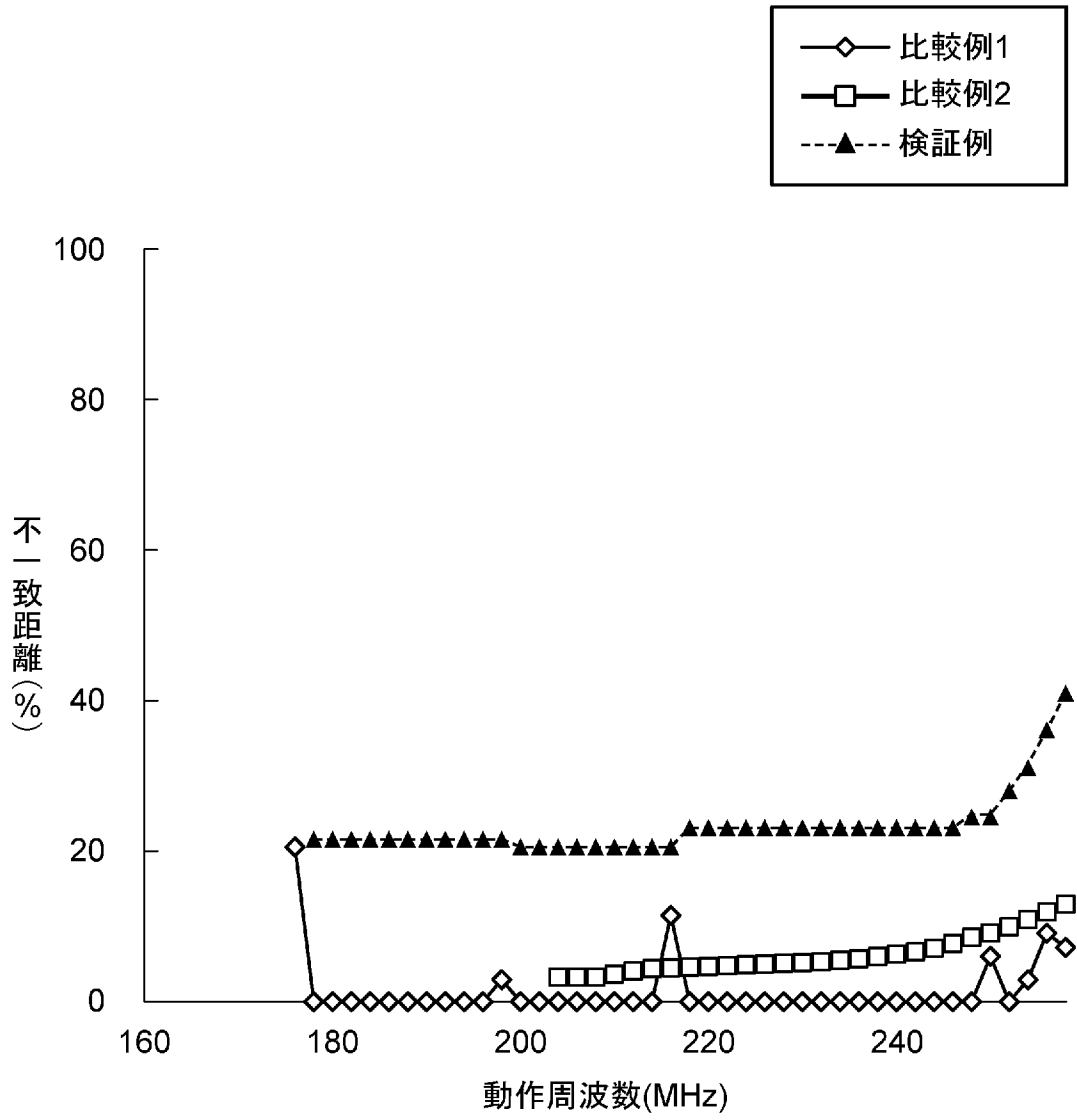
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/055389

A. CLASSIFICATION OF SUBJECT MATTER
H03K19/173(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K19/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-216020 A (Mitsubishi Electric Corp.), 27 October 2011 (27.10.2011), (Family: none)	1-6
A	JP 2001-099627 A (Matsushita Electric Works, Ltd.), 13 April 2001 (13.04.2001), (Family: none)	1-6

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 March 2016 (16.03.16)	Date of mailing of the international search report 29 March 2016 (29.03.16)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K19/173(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K19/173

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-216020 A（三菱電機株式会社）2011.10.27,（ファミリーなし）	1-6
A	JP 2001-099627 A（松下電工株式会社）2001.04.13,（ファミリーなし）	1-6

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 16.03.2016	国際調査報告の発送日 29.03.2016
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 白井 亮	5 X	3 3 6 3
	電話番号 03-3581-1101 内線 3596		