

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 23 日 (23.01.2014)



(10) 国际公布号
WO 2014/012271 A1

- (51) 国际专利分类号:
H01L 21/28 (2006.01) H01L 21/336 (2006.01)
H01L 21/283 (2006.01)
- (21) 国际申请号: PCT/CN2012/079348
- (22) 国际申请日: 2012 年 7 月 30 日 (30.07.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210249429.5 2012 年 7 月 18 日 (18.07.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 刘云飞 (LIU, Yunfei) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科罗斯特街 11#, New York 12603 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.);

中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: SEMICONDUCTOR DEVICE FABRICATION METHOD

(54) 发明名称: 半导体器件制造方法

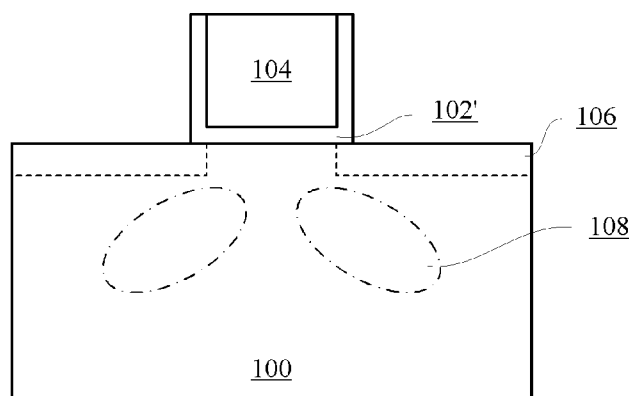


图3 / Fig. 3

(57) Abstract: A semiconductor device fabrication method, and the method comprises: forming a gate stack on a substrate (100), the gate stack comprising a gate dielectric layer (102) and a gate conductor layer (104); selectively etching an end part of the gate dielectric layer (102), thereby forming a gap; and filling the gap with materials of the gate dielectric layer (102).

(57) 摘要: 一种制造半导体器件的方法, 该方法包括: 在衬底 (100) 上形成栅堆叠, 栅堆叠包括栅介质层 (102) 和栅导体层 (104); 选择性刻蚀栅介质层 (102) 的端部, 从而形成空隙; 以及在空隙中填充栅介质层 (102) 的材料。

WO 2014/012271 A1

半导体器件制造方法

本申请要求了 2012 年 7 月 18 日提交的、申请号为 201210249429.5、发明名称为“半导体器件制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体领域，更具体地，涉及一种制造半导体器件的方法。

背景技术

在半导体工艺中，经常会进行倾斜离子注入。例如，在使用离子注入工艺形成 CMOS 器件源漏区的过程中，为了避免隧道效应而形成浅结，通常沿一定倾斜角度进行离子注入。另外，在短沟道器件的制作中，为了控制短沟道效应，通常采用大倾斜角度进行晕圈（halo）注入。

然而，倾斜离子注入会使注入离子穿过栅介质层，从而造成栅介质层的损伤，使得器件由于栅漏电流急剧增加而失效。特别当高能量、大剂量注入大型杂质离子如 P、Ge、As 离子等时，这一问题更加突出。

常规解决方案是在离子注入工艺之前在栅堆叠侧壁上淀积一层电介质侧墙（例如，氧化硅或氮化硅），以减弱注入离子对栅介质层的损伤效果。然而，这种方法并不能完全消除栅介质层的损伤，从而使器件性能在一定程度上被降低。

发明内容

本公开的目的至少部分地在于提供一种制造半导体器件的方法。

根据本公开的一个方面，提供了一种制造半导体器件的方法，包括：在衬底上形成栅堆叠，栅堆叠包括栅介质层和栅导体层；选择性刻蚀栅介质层的端部，从而形成空隙；以及在空隙中填充栅介质层的材料。

通过选择性刻蚀栅介质层的端部然后再回填，对栅介质层进行处理，使得可以去除栅介质层端部可能存在的缺陷，例如由于倾斜离子注入而导致的缺陷。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1-3 是示出了根据本公开实施例的制造半导体器件流程的示意图。

具体实施方式

以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

如图1所示，提供衬底100。衬底100可以是各种形式的衬底，例如但不限于体半导体材料衬底如体Si衬底、绝缘体上半导体（SOI）衬底、SiGe衬底等。在以下的描述中，为方便说明，以体Si衬底为例进行描述。

在衬底100上，可以形成栅堆叠。栅堆叠可以包括栅介质层102和栅导体层104。栅介质层102可以包括电介质层如氧化硅，或者可以包括高K栅介质。栅导体层104可以包括多晶硅，或者金属栅导体。在栅介质层102包括高K栅介质、栅导体层104包括金属栅导体的情况下，还可以存在功函数调节层（未示出）夹于栅介质层102和栅导体层104之间。然后，可以栅堆叠为掩模，例如通过离子注入，形成源/漏区106。

在进行源/漏注入之前，如图1中的箭头所示，还可以进行倾斜离子注入，以便形成例如晕圈（halo）结构108或轻掺杂漏（LDD）。在倾斜离子注入过程中，注入离子可能会穿过栅介质层102，特别是栅介质层102的端部，从而在栅介质层102中造成损伤110。

接下来，如图2所示，可以通过选择性刻蚀，去除栅介质层102的端部，特别是包含损伤110的区域。例如，这种选择性刻蚀可以通过湿法刻蚀、干法刻蚀或其组合来进行。例如，可以将图1所示的结构浸入刻蚀溶液中。刻蚀溶液例如可以包括按约100:1稀释的HF溶液。在刻蚀过程中，可以通过控制刻蚀时间，来特别去除栅介质层102端部受倾斜离子注入影响的区域（包含损伤110）。

根据本公开的实施例，刻蚀时间例如可以根据栅介质的刻蚀速率以及栅介质需要刻蚀的量来确定。栅介质的刻蚀速率取决于多种因素，例如栅介质本身的材质、刻蚀方案以及环境温度等。栅介质需要刻蚀的量例如取决于离子注入的倾斜角度、注入能量和注入剂量等。

然后，如图3所示，可以通过在栅介质层102的端部（由于上述选择性刻蚀而存在空隙）填充栅介质层的材料（例如，氧化硅），来获得基本上无损伤的栅介质层102'。这种填充例如可以通过在衬底100上淀积一层厚的栅介质材料层，并进行回蚀来完成。这种淀积例如可以包括低压化学气相淀积（LPCVD）或者原子层淀积（ALD）。根据本公开的一示例，在回蚀过程中，例如通过控制刻蚀工艺的参数，保留栅介质层材料位于栅堆叠侧壁上的部分，从而形成栅堆叠的第一侧墙。本领域技术人员知道这种通过回蚀形成侧墙的工艺，在此不再赘述。

这样，就获得了最终的器件。如图3所述，该器件可以包括衬底100和在衬底100上形成的栅堆叠。栅堆叠包括栅介质层102'和栅导体层104。栅介质层102'包括位于端部的回填部分。可选地，该回填部分沿栅堆叠的侧壁延伸，充当栅堆叠的第一侧墙。

这里需要指出的是，尽管在以上的说明中，针对由于倾斜离子注入而造成栅介质损伤的情况，描述了对栅介质层进行选择性刻蚀和回填的处理。但是，本公开不限于此。例如，即便不进行倾斜离子注入，也可以对栅介质层进行选择性刻蚀和回填的处理，以便去除栅介质层端部可能存在的损伤。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求

1. 一种制造半导体器件的方法，包括：
在衬底上形成栅堆叠，栅堆叠包括栅介质层和栅导体层；
选择性刻蚀栅介质层的端部，从而形成空隙；以及
在空隙中填充栅介质层的材料。
2. 根据权利要求1所述的方法，在空隙中填充栅介质层的材料包括：淀积所述材料并回蚀，其中，在回蚀过程中，保留所述材料位于栅堆叠侧壁上的部分，以用作栅堆叠的第一侧墙。
3. 根据权利要求2所述的方法，其中，淀积包括低压化学气相淀积（LPCVD）或者原子层淀积（ALD）。
4. 根据权利要求1所述的方法，选择性刻蚀通过湿法刻蚀、干法刻蚀或其组合来进行。
5. 根据权利要求4所述的方法，其中，湿法刻蚀通过稀释 HF 溶液进行。
6. 根据权利要求1所述的方法，其中，在选择性刻蚀栅介质层端部的操作中，控制刻蚀时间，以去除栅介质层端部受倾斜离子注入影响的区域。
7. 根据权利要求1所述的方法，其中，在形成栅堆叠之后且在选择性刻蚀栅介质层的端部之前，该方法还包括：
进行倾斜离子注入。
8. 根据权利要求7所述的方法，其中，倾斜离子注入用于形成晕圈区（halo）或者轻掺杂漏（LDD）。

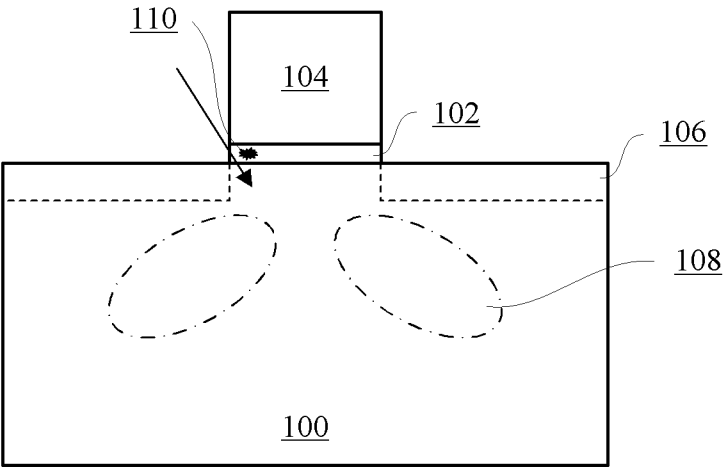


图1

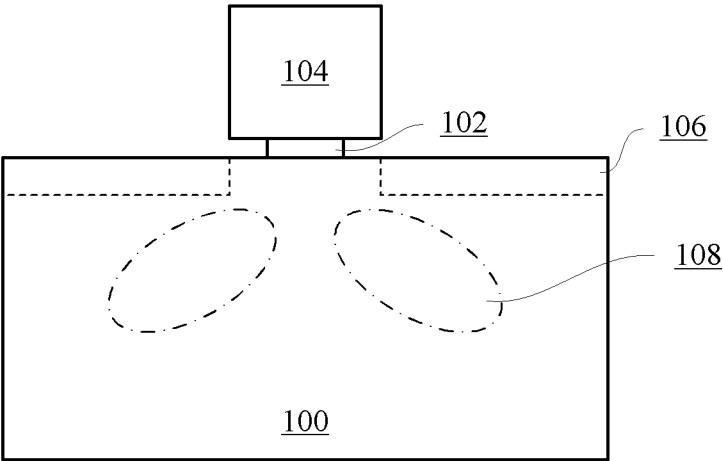


图2

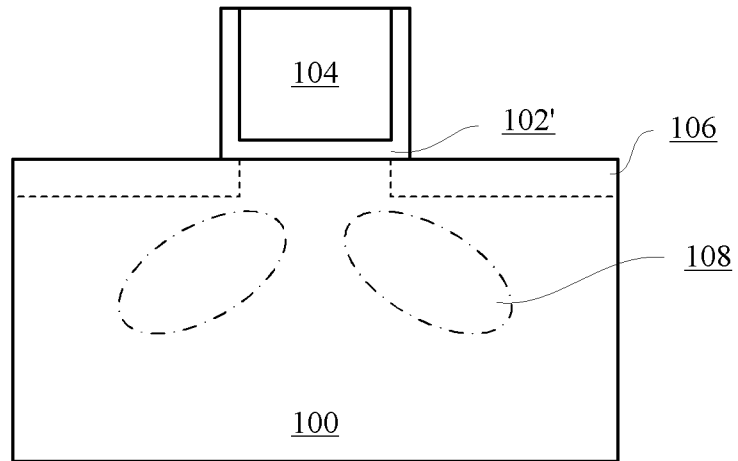


图3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/079348

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, CNKI: gate dielectric, angle+, ion, implant+, ech+, damage, leakage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101556957 A (SUZHOU ORIENTAL SEMICONDUCTOR CO., LTD) 14 October 2009 (14.10.2009) description, page 3, line 17 to page 5, line 20 and figures 5b-9b	1-5
A		6-8
A	US 6306715 B1 (CHAN et al.) 23 October 2001 (23.10.2001) see the whole document	1-8
A	US 6720630 B2 (MANDELMAN et al.) 13 April 2004 (13.04.2004) see the whole document	1-8
A	US 6458666 B2 (WASSHUBER) 01 October 2002 (01.10.2002) see the whole document	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 September 2012 (05.09.2012)	Date of mailing of the international search report 18 October 2012 (18.10.2012)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LUO, Sufang Telephone No. (86-10) 62411026

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/079348

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101556957 A	14.10.2009	None	
US 6306715 B1	23.10.2001	SG 90786 A1	20.08.2002
US 6720630 B2	13.04.2004	US 2002182822 A1	05.12.2002
US 6458666 B2	01.10.2002	US 2001051417 A1	13.12.2001

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/079348

Continues the second sheet: **A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/28 (2006.01) i

H01L 21/283 (2006.01) i

H01L 21/336 (2006.01) i

国际检索报告

国际申请号
PCT/CN2012/079348

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, VEN, CNKI: 栅介质, 倾斜, 离子, 注入, 蚀刻, 刻蚀, 损伤, 漏电流,
gate dielectric, angle+, ion, implant+, etch+, damage, leakage

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101556957A (苏州东微半导体有限公司) 14. 10 月 2009 (14. 10. 2009) 说明书第 3 页第 17 行-第 5 页第 20 行, 图 5b-9b	1-5
A		6-8
A	US6306715B1 (CHAN ET AL.) 23. 10 月 2001 (23.10.2001) 全文	1-8
A	US6720630B2 (MANDELMAN ET AL.) 13. 4 月 2004 (13.04.2004) 全文	1-8
A	US6458666B2 (WASSHUBER) 01.10 月 2002 (01.10.2002) 全文	1-8

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

05. 9 月 2012 (05. 09. 2012)

国际检索报告邮寄日期

18.10 月 2012 (18.10.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

骆素芳

电话号码: (86-10) **62411026**

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/079348

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101556957A	14. 10. 2009	无	
US6306715B1	23.10.2001	SG90786A1	20. 08.2002
US6720630B2	13.04.2004	US2002182822A1	05.12.2002
US6458666B2	01.10.2002	US2001051417A1	13.12.2001

主题的分类

H01L21/28 (2006.01) i

H01L21/283 (2006.01) i

H01L21/336 (2006.01) i