

90 年 05 月 04 日 修正
補充

年 月 日 修正

申請日期 88-5-11

案號：88107584

類別：

G11C 8.00

以上各欄由本局填註

公告本

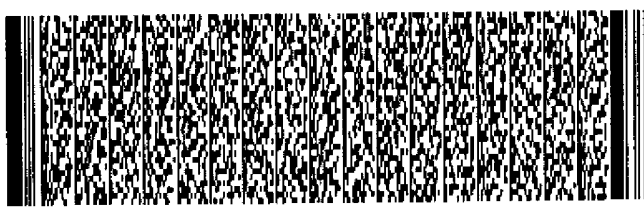
發明專利說明書

464875

一、發明名稱	中文	讀出及/或感測一目標記憶體位置之內容之方法及實現此方法之串列記憶體裝置
	英文	METHOD OF READING OUT AND/OR SENSING THE CONTENTS OF A TARGET MEMORY LOCATION AND SERIAL MEMORY DEVICE FOR CARRYING OUT THE METHOD
二、發明人	姓名 (中文)	1. 菲利普·S·黃 2. 金蘇宋 3. 強尼陳
	姓名 (英文)	1. Philip S. Ng 2. Jinshu Son 3. Johnny Chan
	國籍	1. 美國 2. 美國 3. 香港
	住、居所	1. 美國加州庫帕提諾市派因·布魯克巷11817號 2. 美國加州沙拉托加市阿德英巷19555號 3. 美國加州紐瓦克市錫達林蔭大道39843號#222
三、申請人	姓名 (名稱) (中文)	1. 艾特梅爾公司
	姓名 (名稱) (英文)	1. ATMEL CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州聖約瑟市奧查德林蔭大道2325號
	代表人 姓名 (中文)	1. 邁克·羅斯
代表人 姓名 (英文)	1. Mike Ross	

煩請委員明示
修正本有無變更實質內容是否准予修正。

煩請委員明示
修正本有無變更實質內容是否准予修正。



464875

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/05/12 09/076,751

有

有關微生物已寄存於

寄存日期

寄存號碼

無



464875

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/05/12 09/076,751

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明(1)

技術領域

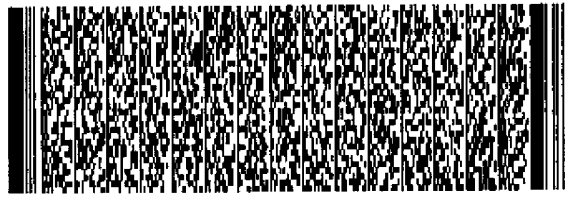
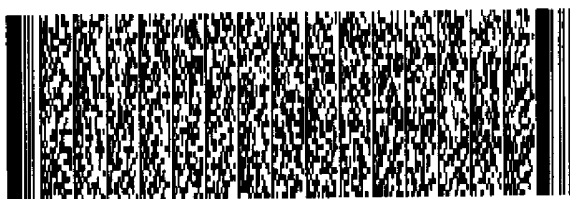
本發明係概括關於串列存取記憶體裝置，尤指一種存取方法及架構，其允許讀出此等裝置之內容之一種管線方法。

背景技藝

串列記憶體裝置一般有一單一輸入接腳及一單一輸出接腳，供提供I/O(輸入/輸出)。雖然有很多供存取此等裝置之產品特定及專屬協定，但很多業界標準為已知，並為在大眾範疇。例如，I²C為一種二線標準，Microwire為一種三線標準，及串列周邊介面(serial peripheral interface，簡稱SPI)為一種四線標準。

使用非標準協定之一項優點，為記憶體裝置及其介面可依客戶要求予以設計為提供很高速存取。然而，犧牲則為此等裝置一般適合很特定應用，並因此不容易適應一般使用。更重要是，利用此等裝置，現在僅有一單一裝置供應商。在另一方面，標準介面諸如SPI，提供一種通用介面之優點。然而，此種方法一般導致裝置具有少於最佳性能特徵。

根據供在符合SPI裝置讀出記憶體位址之規範，目標記憶體位置之位元在每一上升時鐘邊緣予以串列移入，以最高有效位元開始。在最後位址位元時控輸入後，目標位元組之最高有效位元在緊接最後位址位元後之下降時鐘邊緣予以鎖定。因此，自裝置接收位址之最後位元之時間，約略一半之時鐘循環可利用供下列順序之事件發生：必須選



五、發明說明(2)

擇記憶體頁；必須感測在該頁內選定位元組之位元；及必須準備予以時控輸出之最高有效位元。

每一此等事件招致一延遲。例如，電容負載由於使選定字線及選定記憶體位置之資料線加載所需要之時間，而強加延遲。於是需要另外之時間，供感測放大器檢測包含記憶體位置之每一資料線(亦即位元)之狀態。此連串事件在裝置之操作頻率強加一上極限。時鐘頻率無法超過允許線加載及感測放大器操作所需要之時間週期。目前，此上限約為2 MHz-5 MHz。

美國專利5,663,922號中揭示增加讀取串列記憶體之存取速度之一項嘗試。'922號專利揭示一種串列記憶體裝置，其中記憶體陣列予以分解為二半陣列(M1, M2, 圖1)。在接收除一位址之最後位元外之所有位元時，存取每一半陣列，以自其產生一位元組。每一半陣列有關聯之讀取電路(SA1, SA2)，供感測包含一位元組之八位元，亦即供每一半陣列之一組八感測放大器。讀取電路之輸出饋入一多工器(MUX)。多工器予以控制，以依據所接收之最後位址位元判定適當位元組。

在'922號專利中值得注意的一點，為需要另外之電路以支援一分為很多子陣列之記憶體陣列。這增加製造此種裝置之複雜性及成本。更重要是，每一子陣列需要一組感測放大器，以感測在該子陣列中所存取之位元組。感測放大器既耗費矽資源，又耗費功率而為眾所週知。因此，雖然'922號專利之裝置提供在讀取存取時間之若干減少，但提



五、發明說明 (3)

供此種能力之電路，其大小及功率負擔超越電路所實現之益處。

所需要者為不必過多電路，而在串列記憶體可達成之高速讀取存取。另外希望提供此種能力，而無過多電力需求。

發明之概述

根據本發明，一種存取串列記憶體之方法，包括串列時控輸入一目標記憶體位置之 N 位址位元。在有些數之位址位元少於已予以時控輸入之 N 時，便存取記憶體陣列。部份位址對應於二或更多可能記憶體位置，包括目標位置。選擇並感測每一可能位置之資料線。更特別是，感測每一此位置之僅一子集資料線。在接收目標位址之一隨後位元時，位址範圍減少一半，並因此可能位置之數減半。在仍然包括目標位置之減少之可能記憶體位置當中，除了已感測第一子集資料線外，選擇並感測一第二子集資料線。因此，開始目標位置之有些位元之感測，雖然尚未接收其整個位址。更重要是，由於感測少於所有資料線，而使操作所需要感測放大器之數保持至最少。

在本發明之實施例，在接收目標位址之隨後位元時，再使用一些感測放大器，因此進一步減少供讀出目標位置所需要感測放大器之數。此因為在接收隨後位址位元時，可能位置之數減少一半而為可能。

圖式之簡要說明

圖1為一串列記憶體裝置之方塊圖。



五、發明說明 (4)

圖2示圖1中所示，根據本發明所設計之Y解碼器電路之邏輯圖。

圖3A及3B示圖2中所示解碼器電路之一種代表性實施。

圖4A-4B為定時圖，示根據本發明各實施例之位址位元及資料位元之相對定時。

圖5為本發明之操作之流程圖。

圖6A-6D示在根據本發明之裝置操作時之有效線。

圖7A-7E示本發明之Y解碼器及有效線之一種替代性實施例，在其操作時。

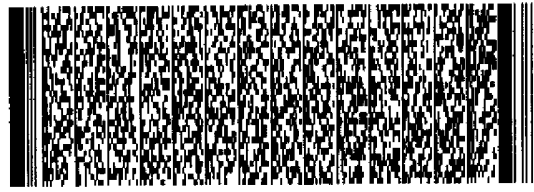
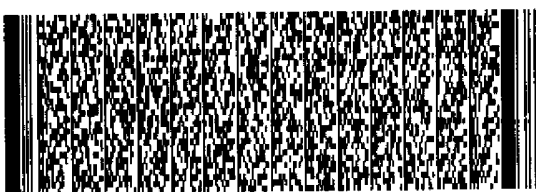
圖8示根據本發明之Y解碼器之第三實施例。

圖9為圖8中所示切換電路之實施。

實施本發明之最佳方式

圖1之串列記憶體裝置100與SPI標準一致操作，雖然本發明不需要SPI介面，並容易適合其他匯流排標準，諸如I²C或Microwire標準。串列記憶體100包含外部墊片，包括供串列輸入位址及資料位元之位址/DATA IN(資料入)墊片122，供串列資料輸出之DATA OUT(資料出)墊片124，及供外部所提供時鐘訊號之時鐘墊片126。

一記憶體矩陣102包含許多記憶體位置，編組成數列及數行。每一列(亦名"頁")記憶體由記憶體位址之X部份予以定址，並且在一頁內之每一行記憶體由記憶體位址之Y部份予以定址。每一行記憶體由一組一般為八位元，包含記憶體位置之位元線107所組成。位元線107自每一行饋入一Y解碼器106。



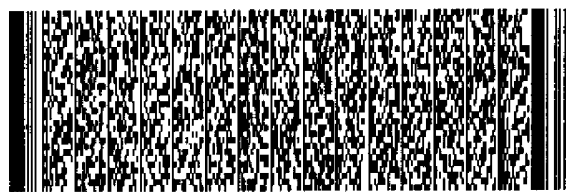
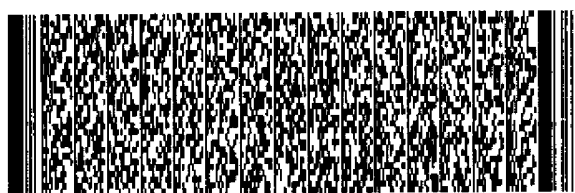
五、發明說明(5)

僅供解釋目的，假設記憶體裝置100使用16-位元定址，並且更特別是，假設位址之X部份佔用上12位元 $A_{15}-A_4$ ，及Y部份佔用位址字之下4位元 A_3-A_0 。另假設每一記憶體位置為一八位元資料。因此，記憶體矩陣102為一4096列X16行陣列，每一行由八位元線所組成。然而，應該明白，本發明可容易予以比例增大或比例縮小，以適應其他位址大小及位址字之成不同大小之X及Y部份。也可使用八位元以外其他資料大小。

位址/DATA IN墊片122饋入一位址緩衝電路112。位址緩衝電路也提供目標位址之X部份及Y部份。位址之X部份饋入一X解碼器104，其予以耦合至記憶體矩陣102，並選擇指定之記憶體頁。位址之Y部份饋入Y解碼器106，其在選定之頁選擇指定之記憶體位置。如以下所示，Y解碼器106包括供感測一所存取記憶體位置之位元線之感測電路。Y解碼器106另包括電路，供在DATA OUT墊片124輸出目標位置之位元。

位址/DATA IN墊片122接受一外部提供之串列位元流，並將其饋入一輸入緩衝器108。如以下所解釋，輸入緩衝器108包括電路，供儲存一予以寫入至一頁或其一部份之位元流。控制邏輯110提供控制訊號及定時訊號，供操作各組件，包含記憶體裝置100。

現將參照圖2討論Y解碼器106之構造。本發明之Y解碼器包含一解碼器電路200，其在記憶體矩陣102自每一行接收八位元線107，作為輸入。回憶為供解釋之目的，記憶體



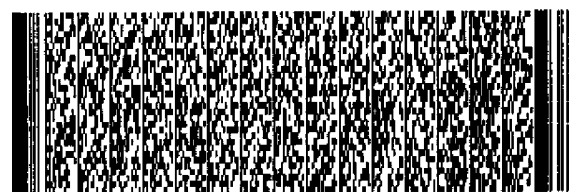
五、發明說明 (6)

陣列為一4096列X16行陣列之八位元資料。因此，饋入解碼器電路200之位元線之數為128(16x8)。解碼器電路200包括一組八輸出資料線D7-D0，供陣列中之每一位元組，亦即位元組B0-B15，因此在進入位元線與外出資料線之間，提供一種一對一映射。

在位址控制線A2_SEL及A1_SEL以及位址線A₃-A₀之控制下，可操控解碼器電路200作用如16比4解碼器，16比2解碼器或16比1解碼器。僅判定A2_SEL，解碼器電路將會輸出四位元組之資料線，其上二位址位元等於A₃，A₂。僅判定A1_SEL，解碼器電路將會輸出二位元組之資料線，其上三位址位元等於A₃，A₂，A₁。最後，在不判定A2_SEL也不判定A1_SEL時，解碼器電路200將會產生一由位址位元A₃-A₀所定址之位元組。

現在請暫時轉到圖3A，其中示解碼器電路200之一種代表性實施。每一位元組有一關聯鏈之解碼電晶體402。將其解碼電晶體耦合至適當位址線，A₃-A₀及/或其互補線，藉以發生一既定位元組之解碼。每一位元組也有一關聯組之旁路電晶體404，其閘控其對應資料線D7-D0。供一既定位元組之旁路電晶體404，由對應於該位元組之解碼鏈402之一末端線401予以切換。因此，例如，如果位址線A₃-A₀以"0110"提出則位址將會被解碼鏈就位元組6解碼，圖3A中粗線所示。其對應旁路電晶體將會經由一末端線401接通，因此使其資料線D7-D0通過至解碼器電路200之輸出。

如以上所述，A2_SEL及A1_SEL控制線修改解碼器電路

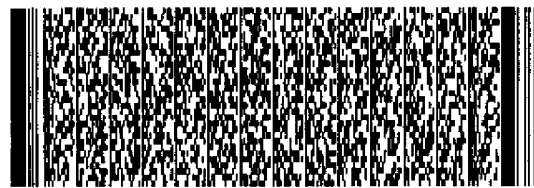


五、發明說明 (7)

200之特性。此係通過使用OR閘410，412所達成。位址線A1及A2_SEL線饋入OR閘410。位址線A₀以及A2_SEL及A1_SEL線饋入OR閘412。位址位元A₁及A₀表示位址之低位位元。在判定A2_SEL時，A₁及A₀之所有四組合均被強制，因而指定位元A₃及A₂導致解碼器200輸出下列四位元組：A₃，A₂，0，0；A₃，A₂，0，1；A₃，A₂，1，0；以及A₃，A₂，1，1，而不管A₁及A₀。例如，圖3B以粗線示在A₃=0，A₂=1及判定A2_SEL時所啟動之位元組。因此，判定A2_SEL導致解碼器電路200作用如16比4解碼器。同樣，在判定A1_SEL時，A₀位址線之二組合均被強制。因此，指定A₃，A₂及A₁將會產生下列二位元組：A₃，A₂，A₁，0及A₃，A₂，A₁，1。因此，判定A1_SEL產生16比2解碼器。

現請回至圖2中所示Y解碼器106之說明。解碼器電路200之資料線予以各耦合至一四線匯流排204，一二線匯流排202，及一六線匯流排206。四線匯流排204由線7-0，7-1，7-2，及7-3所組成。二線匯流排202由線6-1及6-0所組成。六線匯流排206由線5，4，3，2，1，及0所組成。

四線匯流排204之每一線將最高有效位元，亦即來自解碼器200，每一第四位元組之D7資料線耦合在一起。因此，線7-0將每一第四位元組之D7資料線耦合在一起，以位元組B0開始。線7-1將每一第四位元組之D7資料線耦合在一起，以位元組B1開始。線7-2將每一第四位元組之D7資料線耦合在一起，以位元組B2開始。線7-3將每一第四位元組之D7資料線耦合在一起，以位元組B3開始。在陣列



五、發明說明 (8)

由16行位元組所組成之實例，位元組B0，B4，B8，及B12之D7位元藉線7-0耦合在一起；位元組B1，B5，B9，及B13之D7位元藉線7-1耦合在一起；位元組B2，B6，B10，及B14之D7位元藉線7-2耦合在一起；以及位元組B3，B7，B11，及B15之D7位元藉線7-3耦合在一起。

其次為二線匯流排202。此處，每一其他位元組之第二最高有效位元(D6)之資料線予以耦合至6-0線或6-1線。特別是，以位元組B0開始之每一其他位元組之第二最高有效資料線，予以耦合至線6-0，並且以位元組B1開始之每一其他位元組之第二最高有效資料線，予以耦合至線6-1。因此，以B0開始之偶數位元組之D6線，予以耦合至線6-0。同樣，奇數位元組之D6線予以耦合至線6-1。

最後，六線匯流排206將每一位元組之六其餘資料線(D5-D0)之每一耦合在一起。因此，每一位元組之D5資料線予以耦合至六線匯流排之線5，每一位元組之D4資料線予以耦合至線4，每一位元組之D3資料線予以耦合至線3等等，如圖2中所示。

暫時不管選路通過電晶體211-218，Y解碼器106另包括感測電路(感測放大器)220-231，各有一輸入自匯流排202-206之一耦合至一線。因此，四線匯流排204之線7-0耦合至感測電路220之輸入，以在線7-0讀取資料。同樣，四線匯流排202之線7-1耦合至感測電路221之輸入，以在線7-1讀取資料等等。以此方式耦合，感測電路220-223讀出所有四鄰接位元組，例如位元組B0-B3，B4-B7等等之最



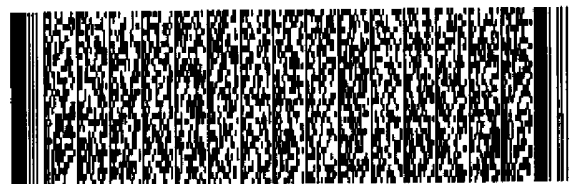
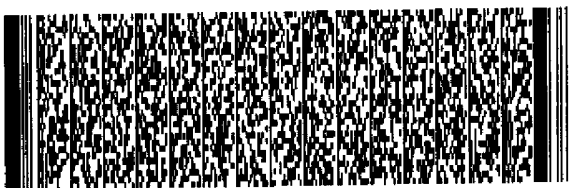
五、發明說明 (9)

高有效位元(D7)。以相同方式，感測電路224及225讀出所有二鄰接位元組，例如位元組B0及B1，B2及B3，B4及B5等等之其次最高有效位元(D6)。最後，感測電路226-231讀出每一位元組之其餘位元(D5-D0)。

感測電路220-223之輸出各饋入一4:1選擇器232。選擇器232由位址線A₁，A₀予以控制，其輸出饋入至鎖存器240之位置L7。感測電路224及225之輸出饋入一2:1選擇器234。選擇器234由位址線A₀予以控制，其輸出饋入至鎖存器240之位置L6。最後，感測電路226-231之輸出各饋入至鎖存器240之各別位置L5-L0。鎖存器控制線242由控制邏輯110予以驅動，以提供一定時鎖存器順序，供鎖存來自感測電路220-231之資料。鎖存器240之輸出饋入至一8:1選擇器236，其由一選擇器控制BIT_SEL予以控制。選擇器236之輸出予以耦合至輸出墊片124。

現請回至電晶體211-218。電晶體211-214將四線匯流排204及二線匯流排202之諸個別線耦合至其各別感測電路。電晶體215-217將四線匯流排204之所有四線耦合至感測電路223。同樣，電晶體218將二線匯流排202之二線耦合至感測電路225。在控制訊號SENSE-AHEAD(提前感測)為HI時，電晶體211-214接通，而在SENSE-AHEAD為LO時，電晶體215-218通過反相器219接通。

根據SPI介面，目標記憶體位置之位址位元在每一上升時鐘邊緣串列移入，以最高有效位元開始。在時控輸入最後位址位元後，目標位元組之最高有效位元在緊接最後位



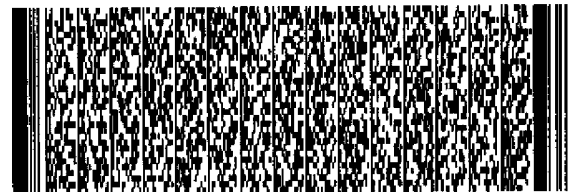
五、發明說明 (10)

址位元後之下降時鐘邊緣鎖定。現將請參照圖1, 2, 4A, 4B, 5, 及6A-6C說明本發明之操作。在圖4A中, 每一上升時鐘邊緣相對於時控輸入之位址位元予以標記; 例如, 位址位元 A_{15} 在 A_{15} 時鐘予以移入, 位址 A_{14} 在 A_{14} 時鐘予以移入等等。

目標之每一位址位元予以串列移入, 直到包含目標位址之X部份之高位位元 $A_{15}-A_4$ 已移入, 步驟502, 503。在時鐘 A_4 , 目標位址之X部份發出至X解碼器104。此係在已收到位元 $A_{15}-A_4$ 時, 在位址緩衝器電路112藉適當緩衝進入之位址位元, 並傳輸X部份至X解碼器所達成。因此獲知目標位元組位於其中之列(頁)。其次, 在X解碼器104選擇該列時, 目標位址之Y部份之位址位元予以移入, 步驟504A, 504B。

次一位址位元之頁選擇及接收, 為如圖5中由短劃線所表示, 標記為事件 E_0 , 通過步驟504A及504B之同時操作。接收位址位元, 直到 A_2 位元已移入, 步驟504B, 505。

在圖4A中所示之 A_2 時鐘, 已收到位址位元 A_3 及 A_2 , 並且位址緩衝電路112饋給此二位址位元至Y解碼器106。控制邏輯110判定 $A2_SEL$ 至解碼器電路200, 因而在具有相同 A_3, A_2 位址位元之選定列產生四位元組之資料線, 步驟506A。假設位於選定列, 亦即 A_3, A_2 之位元組位置B5之目標位元組為"01", 便產生位元組B4("0100"), B5("0101"), B6("0110"), 及B7("0111")。控制邏輯110也保持SENSE-AHEAD控制線HI, 致使四選定位元組之四D7



五、發明說明 (11)

資料線耦合至四感測電路220-223，並被其所感測。同時，次一位址位元被移入，步驟506B。事件線E1指示此二事件之同時性。

圖6A此次示有效線(凸顯者)，例示D7資料線之感測。可看出目標位元組B5之感測已在完全收到Y位址前開始。實際上，依據位址位元 A_3 及 A_2 ，感測此四位元組之D7線，作成目標位元組之預測。雖然在圖6A中未予凸顯，但位元組B4-B7之四D6資料線饋入至二D6感測電路224，225。然而，此次由於每一感測電路讀取二資料線之輸出，輸出為不確定。由於各自四選定之位元組接收四資料線，D5-D0感測電路之輸出同樣為無關緊要。由於感測電路224-231之輸出為不確定，並且此次因此並無用途，感測電路可設有啟動電路，致使其可予以斷開，以便節省功率。

在 A_1 時鐘接收 A_1 位元時，控制邏輯110判定 $A1_SEL$ ，並解除判定 $A2_SEL$ 至解碼器電路200。這導致高位位址線 A_3-A_1 之解碼，產生共有此等高位位址位元之二位元組，亦即目標位元組為位元組B5之實例中之"010"。因此，產生位元組B4及B5。因此，僅原始四D7資料線之二資料線繼續被感測，步驟508A。另外，現在開始感測二選定位元組之二D6資料線，步驟508B。目標位元組之預測繼續。同時， A_0 位元被移入。事件線E2指示此等事件之同時性。

圖6B此次示有效線(凸顯者)，例示D7及D6資料線之感測。如在圖6A中，感測電路226-231各自位元組B4及B5接收資料線D5-D0，並且因此，其輸出為不確定。因此，感



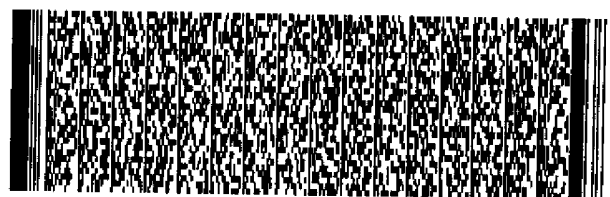
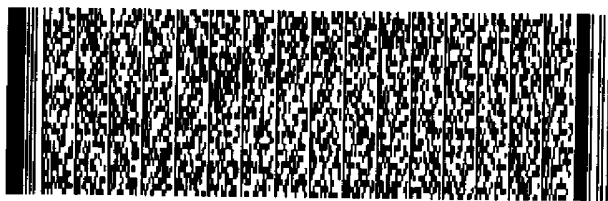
五、發明說明 (12)

測電路226-231保持在斷開狀況。而且，由於目標位元組不是B6也不是B7，故可中止電路222及223以節省功率。

在事件E3， A_0 位元在 A_0 時鐘予以移入時，控制邏輯110解除判定A2_SEL及A1_SEL線，因而解碼器電路200將會產生由 A_3-A_0 ，亦即位元組B5所定址之目標位元組。這僅留下原始D7資料線之一，步驟510A。而且，此時將會已感測資料線D7，並準備予以移出。同時，僅原始二D6資料線之一保持選定，並繼續被感測，步驟510B。同時，開始目標位元組之資料線D5-D0之並列感測，步驟510C。最後，如位址位元 A_1 及 A_0 所確定，選擇器232及234選擇感測電路輸出。控制邏輯110訊號鎖存線242，以順序鎖存在D7，D6，及最終鎖存在D5-D0。圖6C例示在時間之此點之有效線。請察知感測電路220及222-224可予以斷開，以節省功率，保持有效感測電路226-231。

在 A_0 時鐘後之下降邊緣，目標位元組之資料線D7被移出，在時鐘 A_2 早五半循環已開始位元之感測。同樣，資料位元D6準備在次一下降邊緣予以移出，圖4A中所示，並標記為D6時鐘。請察知資料線D6之感測也已早五半循環開始。同樣，資料線D5在移出前曾感測五半循環。然而，至於資料線D4-D0之感測，每一連續資料線將會發生長於先前資料線二半循環。因此，在予以輸出前，D4將已予以感測七半循環，同時D0將會已感測十五半循環。

如先前所討論，先前技藝符合SPI裝置，必須在收到最後位址位元後一半循環內完成列選擇及資料感測，以便在



五、發明說明 (13)

下降邊緣開始資料輸出。此一半循環在圖4A中示為 t_1 。本發明之預測操作模式提供雙重改進：第一，一收到位址之X部份，便開始列選擇；第二，有些Y位址位元一時控輸入，便開始目標位元組之資料感測。圖4A中之定時示本發明使可利用至少五半循環之時間(t_2)，供感測目標位元組之資料位元。因此，在本發明裝置所使用之時鐘，可運作快於先前技藝裝置者五倍。實際上，由於在本發明列選擇發生在資料感測前，倍數略高於五。

繼續裝置之操作，考慮一隨後位元組之讀出。位址緩衝電路112僅只將目前位址增量。在次一位元組為在相同頁之第一情形，這僅只涉及使位址之Y部份增量，列保持不變。在次一位元組為在一新頁之第二情形，位址之X部份及Y部份均變化。

請參照圖6D，考慮次一位元組為在與先前位元組，亦即位元組B6相同頁之第一情形。控制邏輯110現在解除判定SENSE-AHEAD線。這使電晶體211-214斷開，並接通電晶體215-218，因此將所有D7線饋給至感測電路223，及將所有D6線饋給至感測電路225。由於本發明此次不再在預測模式，不再有在一次感測超過一D7或D6線之任何需要，並且因而A1_SEL及A2_SEL被解除判定。因此，在位址增量以選擇位元組B6時，僅B6之八資料線將會饋給至其各別感測電路。選擇器232及234之另外特徵，為分別響應SENSE-AHEAD之解除判定，而選擇感測電路223及225。圖6D示在此情況之有效線。

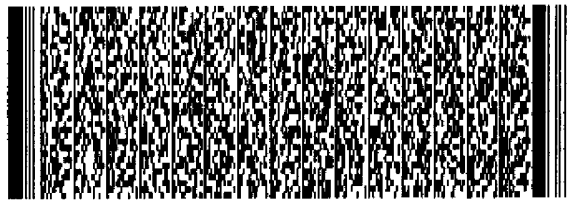


五、發明說明 (14)

請轉到圖4A-4B，可看出在D5時鐘後，在鎖存資料位元D5-D0時，可利用感測電路變成以感測次一位元組。因此，在圖4B中所示之情況A，位址有時在D5時鐘後增量。在其後不久，次一位元組之資料線D7-D0被感測。這產生次一位元組予以感測超過五半循環之時間，致使在圖4B中所示之時鐘D7，次一位元組之D7位元準備予以移出。

考慮次一位元組為在一新頁時之次一情形。而且，SENSE-AHEAD線被解除判定，並且位址被增量。此次，位址之X及Y部份變化。因此，在圖4B之情況B，位址有時在D5時鐘後增量。然而，現在必須發生一系列選擇，以選擇次一頁。因此，感測一新頁之第一位元組之步驟，必須予以延遲一時間量。如自定時圖可看出，感測步驟可予以延遲，直到在D2時鐘後之上升邊緣，約略為四半循環。這保證可利用五半循環供感測新頁之第一位元組。然而，在較佳實施例，由於列選擇幾乎緊接在位址增量之後發生，次一位元組之資料感測，可如圖4B中所指示立即開始。在該二情況，可利用很多時鐘循環供列選擇及感測步驟，因為始終有一位元組已被感測，並儲存在予以時控輸出之鎖存器240。

在圖2中所示Y解碼器之實施例，使用十二感測電路。根據本發明之Y解碼器106之說明，現請參照圖7A，其利用十感測電路。如將會明白，在目標位元組解碼時，重新使用一些感測電路，藉以可減少感測電路。圖7A中所示，與圖2中相同之Y解碼器之諸部份，保留其原始參考圖號。在此



五、發明說明 (15)

實施例使用如圖2及3中所示之解碼電路200。

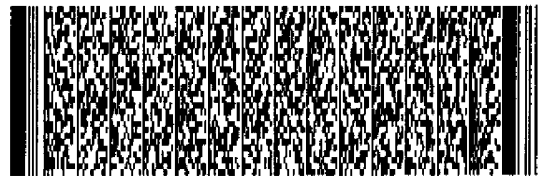
暫時不管提前感測電晶體711-718，四線匯流排204及二線匯流排202予以耦合至mux 740-743。每一mux為一2比1選擇器，有左側輸入線標示為"1"輸入，右側輸入線標示為"0"輸入，及一位元mux選擇器輸入772。mux選擇器輸入予以判定(亦即HI)時，在其輸出產生"1"輸入，並在mux選擇器予以解除判定(亦即L-0)時，產生"0"輸入。這適用於圖7A中所示之mux 740-761。

四線匯流排204之D7資料線，如圖示予以耦合至mux 740-743之"1"輸入。特別是，7-0線予以耦合至mux 740之"1"輸入，7-1線予以耦合至mux 741之"1"輸入，7-2線予以耦合至mux 742之"1"輸入，及7-3線予以耦合至mux 743之"1"輸入。

帶有D6資料線之二線匯流排202，以交替方式耦合至mux 740-743之"0"輸入。因此，6-0線予以耦合至mux 740及742之"0"輸入，及6-1線予以耦合至mux 741及743之"0"輸入。如以上關於圖2所說明，六線匯流排206予以耦合至感測電路226-231。

每一mux 740-743之輸出分別饋入感測電路720-723。每一感測電路之輸出復饋入二mux 750，751。更特別是，感測電路720及721分別饋入mux 750之"1"及"0"輸入，同時感測電路722及723分別饋入mux 751之"1"及"0"輸入。

最後，mux 750及751之輸出予以交叉耦合至mux 760及761。特別是，mux 750予以耦合至 mux 760之"1"輸入，



五、發明說明 (16)

及耦合至mux 761之"0"輸入，同時mux 751予以耦合至mux 761之"1"輸入及耦合至mux 760之"0"輸入。mux 760之輸出饋入至資料鎖存器240之L7鎖存器，及mux 761之輸出饋入至L6資料鎖存器。L5-L0資料鎖存器如圖示予以分別耦合至感測電路226-231之輸出。

Mux控制器710提供控制訊號A-F，其予以耦合至mux 740-761之mux選擇器輸入772。控制訊號A-F為位址位元 A_1-A_0 ，控制線A2_SEL及AL_SEL，以及SENSE-AHEAD線之函數。訊號A-F藉下列邏輯方程予以界定：

$$A = A2_SEL \wedge (\sim A2_SEL \& \sim A_1) \wedge \sim \text{SENSE-AHEAD},$$

$$B = A2_SEL \wedge (\sim A2_SEL \& \sim A_1),$$

$$C = A2_SEL \wedge (\sim A2_SEL \& A_1 \& \text{SENSE-AHEAD}),$$

$$D = A2_SEL \wedge (\sim A2_SEL \& A_1),$$

$$E = \sim A_0 \wedge \sim \text{SENSE-AHEAD}, \text{ 及}$$

$$F = \sim A_1 \wedge \sim \text{SENSE-AHEAD},$$

其中：

符號 \wedge 為邏輯OR

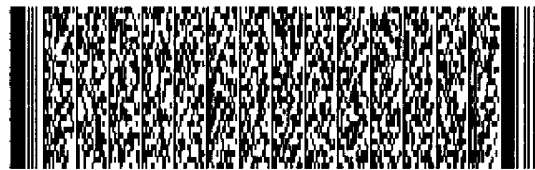
符號 $\&$ 為邏輯AND;

符號 \sim 表示補數;

A2_SEL 在 A_2 時鐘為真; 以及

$\sim A2_SEL$ 在 A_1 及 A_0 時鐘為真。

提前感測電晶體711-718供與其在圖2中所示對應部份之相同目的，亦即在預測模式操作時，控制D7線及D6線之流動，及供隨後及順序存取之記憶體位置。在圖7A中，電晶

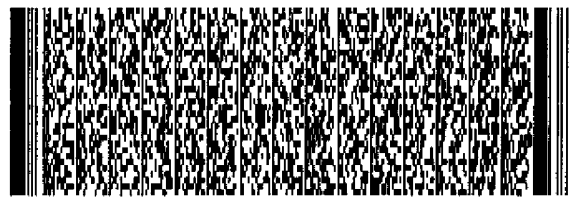
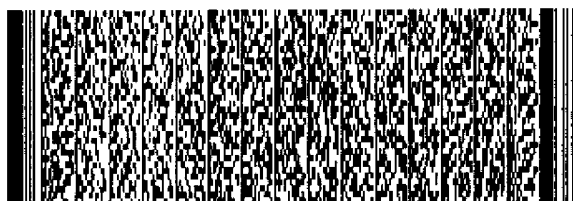


五、發明說明 (17)

體711-718予以設置為致使在SENSE-AHEAD為L0時，所有D7線饋入至mux 740之"1"輸入，及所有D6線饋入至mux 742之"0"輸入。

在操作時，圖中7A所示之Y解碼器106根據圖4A及4B中所示之定時圖進行。供下列討論，請參照圖7B-7E，並假設目標位置為選定列之位元組B6(目標位址"0110"之Y-部份)。如前面一樣，解碼器電路200在 A_2 時鐘產生四候選位元組，亦即位元組B4-B7。而判定提前感測電晶體711-713之SENSE-AHEAD線為導電，發出位元組B4-B7之四D7資料線至每一 mux 740-743之"1"輸入。此次判定 A_2_SEL 線，其根據以上邏輯方程式，導致mux控制器710判定控制訊號A-D，藉以選擇 mux 740-743之"1"輸入，並將D7線饋入感測電路720-723。圖7B示有效線。

在 A_1 時鐘，解碼器電路200產生位元組B6及B7；亦即共有相同高位位址位元之諸位元組： A_3-A_1 ，"011"。 A_2_SEL 此次予以解除判定，並且由於位址位元 A_1 為"1"，mux控制器710判定控制訊號C及D，以選擇mux 742及743之"1"輸入。因此，mux 742及743繼續將位元組B6及B7之D7線饋入至感測電路722及723，同時位元組B4及B5之資料線D7自感測電路720及721解除耦合。雖然在正感測資料時，將資料線自其感測電路解除耦合之想法似乎反直覺，但由於此次已知位元組B4及B5都不是目標位元組，而不再需要位元組B4及B5之D7線。因此可重新使用此等感測電路。由於來自mux控制器710之A及B為L0，故選擇mux 740及741之"0"輸入，



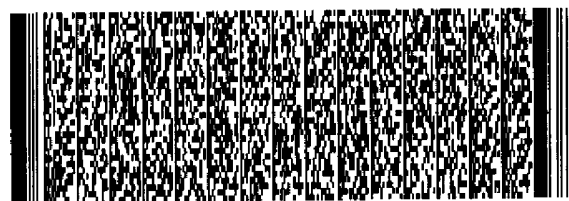
五、發明說明 (18)

以將位元組B6及B7之D6資料線饋入至感測電路720及721，因此重新使用電路。圖7C示有效線。

在 A_0 時鐘，完全已知目標位元組之位址，並且解碼器電路200因此產生位元組B6。控制訊號A-D自時鐘 A_1 保持不變。另外，mux控制器710判定E及F控制線。E控制線為 A_0 之函數，操作mux 750及751藉以自D6及D7對之每一選擇一線。在此情形，由於 A_0 為"0"，故選擇mux 750，751之"1"輸入，因此自位元組B6產生D6及D7線。控制線F操作mux 760及761，以切換D6及D7線，因而其饋入至其在鎖存器240之適當位置。F訊號係依據 A_1 位址位元，由於此位元確定mux 740-743在D6及D7資料線之間如何予以成對分開。圖7D示有效線，包括D5-D0資料線。

最後，供隨後存取記憶體位置，SENSE-AHEAD線予以解除判定。這依藉電晶體711-713被斷開，及電晶體715-717被接通，將線饋入mux 740之"1"輸入，而將四線匯流排204之四線7-0至7-3連結在一起。同樣，二線6-0及6-1通過電晶體718予以連結在一起，並饋入至mux 742之"0"輸入。Mux控制器710選擇mux 740，750及760之"1"輸入，以將D7線饋給至感測電路720，進入鎖存器L7。同樣，mux控制器710選擇mux 742之"0"輸入，以將D6線饋入至感測電路722，並自該處選擇mux 751及761之"1"輸入，以將D6線發出至L6鎖存器。圖7E示隨後位元組，亦即位元組B7之資料流動。

圖2及圖7A中所示本發明之實施例，分別使用十二及十



五、發明說明 (19)

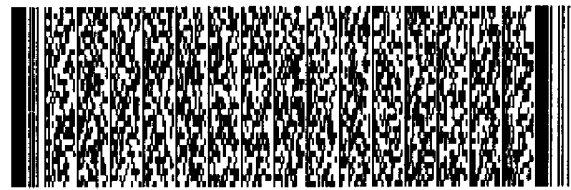
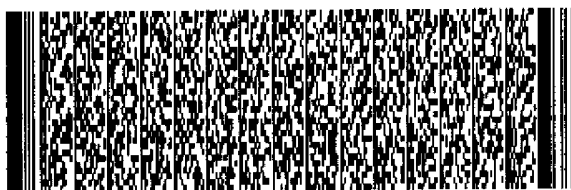
感測電路。圖7A之實施例所達成之感測電路之減少，為使用多工電路，以在位址之隨後位元予以時控輸入至記憶體裝置，其變成可利用時，將資料線選擇性切換至某些感測電路所實現。

圖8示一實施例，其延伸重新使用感測電路另一步驟之原理。先前在圖2及7A所介紹及討論之元件，保留其參考圖號。圖8介紹另外一組mux 850-853。此等mux有三輸入："2"輸入，"1"輸入，及"0"輸入。每一mux 850-853也有一二位元選擇器輸入874，其中在選擇器輸入874之"10"產生"2"輸入，在選擇器輸入874之"01"產生"1"輸入，及在選擇器輸入874之"00"產生"0"輸入。

mux 850-853之"2"輸入予以分別耦合至每一mux 740-743之輸出。"2"輸入因此依在mux 740-743所作成選擇而定，接收一D7資料線或一D6資料線。mux 850-853之"1"及"0"輸入予以分別耦合至匯流排206之5號及4號線。mux 850-853之輸出饋入至感測電路820-823之輸入。如以下將予解釋，mux 740-743及850-853之存在，允許目標位元組之資料線D7，D6，D5及D4饋入至感測電路，同時仍然提供本發明之預測操作模式。

感測電路之輸出饋入至切換電路860之輸入M-P。切換860之輸出Q-T分別饋入至資料鎖存器240之D7-D4鎖存器。切換電路860允許任何輸入M-P在一八位元控制線860之控制下，切換至任何輸出Q-T。圖9示此種切換之實施。

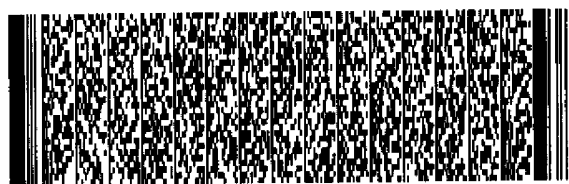
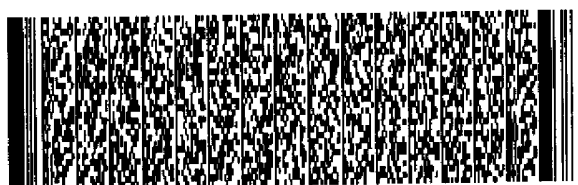
Mux控制器810提供控制訊號A-I，其予以耦合至mux選擇



五、發明說明 (20)

器輸入872, 874, 及876。控制訊號為位址之位元 A_1 , $-A_0$, 控制線 $A2_SEL$ 及 $A1_SEL$, 以及 SENSE-AHEAD線之函數。訊號A-I係在SENSE-AHEAD解除判定時, 由非預測操作模式之下列需要所界定: 旁路電晶體711-713為斷開, 及旁路電晶體715-717為接通, 因此將所有D7資料線連結在一起, 並將其饋入至mux 740之輸入"1"。同樣, 旁路電晶體714為斷開, 及旁路電晶體718為接通, 因此將所有D6資料線連結在一起, 並將其饋入至mux 742之"0"輸入。因此, 在非預測操作模式, 控制訊號A-I被判定, 致使mux 740產生其"1"輸入, mux 850產生其"2"輸入, 及切換860使其M輸入選路至其Q輸出, 導致資料線D7通過感測電路820至D7資料鎖存器。同樣, mux 742產生其"0"輸入, mux 852產生其"2"輸入, 及切換860使其0輸入選路至其R輸出, 導致資料線D6通過感測電路822至D6資料鎖存器。同時, 對應於D5資料線之匯流排206之5號線, 被選路通過mux 851之輸入"1", 並自切換860之輸入N耦合至輸出S, 致使D5資料線通過感測電路821鎖存至D5鎖存器。最後, 對應於D4資料線之匯流排206之4號線, 被選路通過 853mux之"0"輸入, 並自切換860之輸入P耦合至輸出T, 並且因此通過感測電路823進入資料鎖存器D4。

mux控制器810之控制訊號A-I在預測操作模式時(也請見圖4A之定時圖), 在SENSE-AHEAD予以判定時, 另由下列需要予以界定: 在 A_2 時鐘, 在選擇四可能位元組時, mux 740-743各產生其"1"輸入, 及mux 850-853各產生其"2"輸



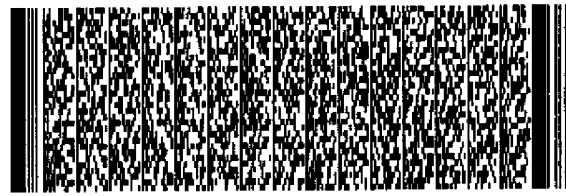
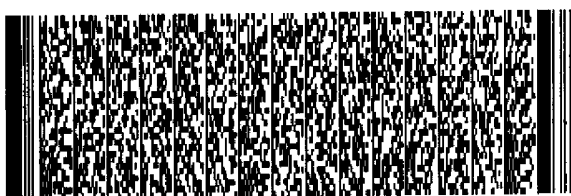
五、發明說明 (21)

入，因此，提供四D7資料線至其各別感測電路820-823，於是資料感測開始。

在 A_1 時鐘，並依 A_1 位址位元而定，一對 mux，mux 740及741或mux 742及743，將會繼續產生"1"輸入，因此將二D7線饋給至次一層次之諸mux。另一對將會切換，以產生"0"輸入，其現在帶有二可能D6資料線。mux 850-853繼續產生"2"輸入。效應為二感測電路將會繼續感測D7資料線，同時D7線將會已自其他二感測電路解除耦合，俾開始感測D6資料線。

在 A_0 時鐘，在所有位址位元為入時，目標位元組將為已知，並被解碼器電路200所選擇。四mux 850-853之二將被切換，以產生匯流排206之5號及4號線，並且將會開始D5及D4資料線之感測。同時感測電路824-827也將會開始D3-D0之感測。同時，目標位元組之D7資料線之感測將已完成，並將準備輸出，並且繼續感測D6資料線。最後，切換860經由控制線876予以操作，以提供輸入M-P之必要交叉切換，輸出Q-R，以保證資料線D7-D4鎖存至其對應之資料鎖存器。

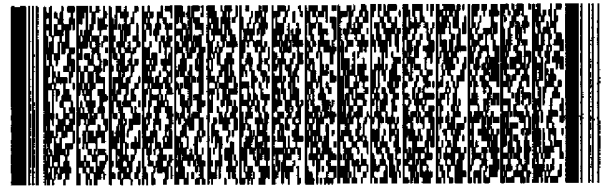
圖2A，7A，及8中所示之實施例，示適當使用多工電路，藉以可減少感測電路需要。可能有替代性設計，各具有不同程度之複雜性及矽資源需要。圖2A之實施例為直截了當，但需要十二感測電路。圖8之實施例使用八感測電路，但需要另外之mux，及一更複雜控制器以操作mux。雖然所揭示之諸實施例提供在 A_2 時鐘之預測感測，操作可在



五、發明說明 (22)

較早時鐘開始，以實現甚至更大速度增加。特定實施方法將依在包括希望之裝置速度，電路複雜性，記憶體大小，晶粒大小，及電力需求之因素當中作成折衷而定。

所揭示之本發明實施例，在時控輸入目標記憶體位置之最後位元與時控輸出目標之第一位元之間，在時間實現五倍減少，因此允許在時鐘速度之五倍增加。然而，在本案所揭示之原理，可用以在時間實現七倍減少。在上述討論，位址之Y部份由四位元所組成，並且本發明之預測操作模式在接收Y部份之第二位元後開始。相對於圖4A，如果預測模式代之為在接收第一位元後開始，則D7資料線之感測將會在 A_3 時鐘開始，因此減少時間七倍。邏輯之必要變化，除了所說明之三解碼模式外，包括修改解碼器電路200，以提供16比8八解碼；原因為在 A_3 時鐘將會有八候選位元組。另外，將會需要額外感測放大器。依循圖2之架構，將需要八感測放大器，以感測八候選D7資料線，將需要四感測放大器，以感測四候選D6資料線，二感測放大器以感測二可能D5資料線，及五感測放大器以感測目標位元組之D4-D0資料線；總共十九感測放大器。依循圖7A及8之架構，使用另外之mux，以重新使用在候選目標之數減少時，在目標位址之Y部份之另外位址位元變成可利用時，而變成可利用之感測放大器，藉以可減少感測放大器之此數。在一方面，需要如此多感測放大器，可能阻礙此方法。在另一方面，時間減少可能允許使用較慢但較簡單(並因此較小)感測放大器，其可補償具有增加數之感測



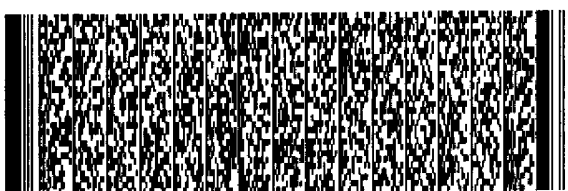
五、發明說明 (23)

放大器之大小需要。

要不然，預測操作模式可予以延遲，直到已時控輸入除目標位址之最後位元外之所有位元。因此，請參照圖4A，D7資料線之感測將不開始，直到 A_1 時鐘，在已知位元 A_3-A_1 時。在該點，僅有二候選位元組，並因此僅有二候選D7資料線要感測。在此構形，需要九感測放大器，以在接收目標位址與輸出目標記憶體位置之間實現在時間之三倍減少，其轉換為在時鐘之三倍增加。

在所揭示之本發明實施例，所接收之每一位址位元僅提前感測一位元。因此，請參照圖2及4A，在 A_2 時鐘接收位址位元 A_2 時，開始四候選D7資料線之預測感測。在接收次一位址位元 A_3 時，開始二候選D6資料線之預測感測。然而，在本發明之另一實施例，可提前感測超過每候選位元組之一資料線，而不偏離本發明之範圍及精神。例如，在 A_2 時鐘，四候選位元組之D7及D6資料線均可予以感測。

根據約定，所進行之本發明之較佳實施例，為在目標位址，亦即位址之Y部份之最低有效位元之預測操作。然而，本發明容易適合代之為在位址之最高有效部份操作，而不偏離本發明之操作原理，並且不犧牲本發明所可能作成之益處。根據SPI協定之需要，本發明之較佳實施例在候選位元組之最高有效位元操作。因此，D7資料線在感測D6資料線等等前予以感測。這允許首先移出每SPI協定之最高有效位元。要不然，供SPI以外其他協定，可實施本發明以首先在最低有效位元操作，致使首先輸出最低有效



五、發明說明 (24)

位元。因此，可首先感測候選位元組之 D0 資料線，後隨 D1 資料線等等。此方法與本發明之操作原理一致，並享有與以上所揭示本發明之實施例所達成之相同益處。請參照圖2及3A，包含解碼器電路200之邏輯可予以調適為致使位元零線耦合至D7資料線，位元一線耦合至D6資料線，位元二線耦合至D5資料線等等，以便首先感測候選位元組之低位位元。

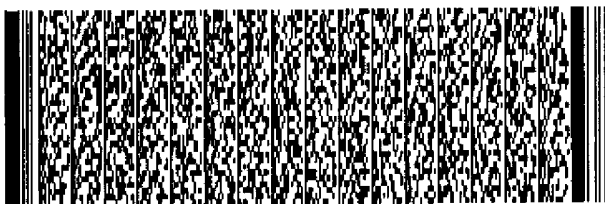


五、發明說明 (24)

位元。因此，可首先感測候選位元組之 D0 資料線，後隨 D1 資料線等等。此方法與本發明之操作原理一致，並享有與以上所揭示本發明之實施例所達成之相同益處。請參照圖2及3A，包含解碼器電路200之邏輯可予以調適為致使位元零線耦合至D7資料線，位元一線耦合至D6資料線，位元二線耦合至D5資料線等等，以便首先感測候選位元組之低位元。

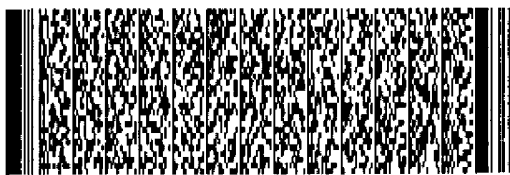
元件編號說明

100	串列記憶體裝置
102	記憶體矩陣
104	X解碼器
106	Y解碼器
107	位元線
108	輸入緩衝器
110	控制邏輯
112	緩衝電路
122	位址／資料入墊片
124	資料出墊片
126	時鐘墊片
200	解碼器電路
202	二線匯流排
204	四線匯流排
206	六線匯流排
211-218	電晶體



五、發明說明 (25)

- | | |
|---------------|-------------|
| 219 | 反相器 |
| 220-231 | 感測放大器 |
| 232 | 4比1選擇器 |
| 234 | 2比1選擇器 |
| 236 | 選擇器 |
| 240 | 鎖存器 |
| 242 | 訊號鎖存線 |
| 401 | 末端線 |
| 402 | 解碼電晶體 |
| 404 | 旁路電晶體 |
| 410, 412 | OR閘 |
| 502-512 | 步驟 |
| 710 | MUX控制器 |
| 711-718 | 感測電晶體 |
| 720-723 | 感測電路 |
| 740-761 | MUX |
| 772 | 一位元MUX選擇器輸入 |
| 820-823 | 感測電路 |
| 824-827 | 感測電路 |
| 850-853 | MUX |
| 860 | 切換電路 |
| 872, 874, 876 | 選擇器輸入 |

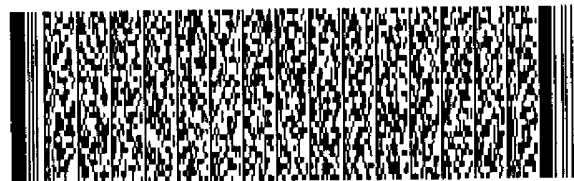
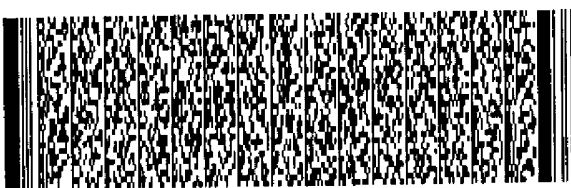


四、中文發明摘要 (發明之名稱：讀出及/或感測一目標記憶體位置之內容之方法及實現此方法之串列記憶體裝置)

一種串列記憶體裝置，包括一Y解碼器及感測電路，其提供一種預測操作模式，其中在感測若干可能記憶體位置，包括目標位置之資料線，而完全已知其位址前，開始目標記憶體位置之資料感測。該方法及裝置包括在時控輸入有些但並非所有位址位元時，感測可能記憶體位置之第一資料位元。時控輸入另外之位址位元時，感測另外之資料位元。已完全接收目標位址時，將已完成其第一資料位元之感測，致使可在次一時鐘開始目標記憶體之串列輸出。此提前感測特色允許增加內部時鐘頻率，而不影響各串列記憶體裝置介面所施加之外部定時限制。

英文發明摘要 (發明之名稱：METHOD OF READING OUT AND/OR SENSING THE CONTENTS OF A TARGET MEMORY LOCATION AND SERIAL MEMORY DEVICE FOR CARRYING OUT THE METHOD)

A serial memory device includes a Y decoder and sensing circuitry which provide a predictive mode of operation, wherein data sensing of a target memory location begins before its address is fully known by sensing the data lines of a number of possible memory locations including the target location. The method and apparatus includes sensing first data bits of possible memory locations when some but not all of the address bits are clocked in. As additional address bits are



464875

案號 88107584

90.5.04 修正

年 月 日

補充

月

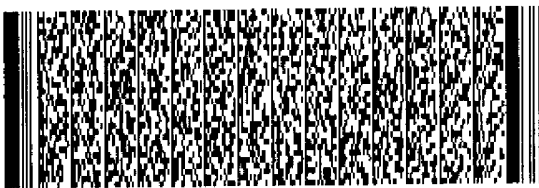
日

修正

四、中文發明摘要 (發明之名稱：讀出及／或感測一目標記憶體位置之內容之方法及實現此方法之串列記憶體裝置)

英文發明摘要 (發明之名稱：METHOD OF READING OUT AND/OR SENSING THE CONTENTS OF A TARGET MEMORY LOCATION AND SERIAL MEMORY DEVICE FOR CARRYING OUT THE METHOD)

clocked in, additional data bits are sensed. By the time the target address has been fully received, sensing of its first data bits will have completed so that serial outputting of the target memory can begin on the next clock. This sense-ahead feature permits an increase in the internal clock frequency without affecting external timing constraints imposed by the various serial memory device interfaces.



六、申請專利範圍

1. 一種讀出一目標記憶體位置之內容之方法，其係在一種具有複數個記憶體位置中，且每一記憶體位置之內容由複數個資料位元所組成之串列記憶體裝置，包含：

接收目標記憶體位置之一部份位址；

就其位址內含部份位址之每一記憶體位置，感測少於所有其資料位元；

接收其餘位址位元，藉以使目標記憶體位置為已知；

感測目標記憶體位置之其餘資料位元，而同時讀出其第一資料位元；以及

在感測其餘資料位元後，讀出其餘資料位元。

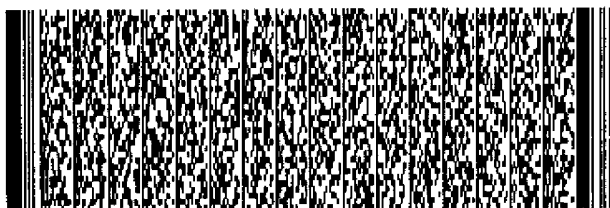
2. 如申請專利範圍第1項之方法，其中，感測少於所有資料位元之步驟，為一僅感測一第一資料位元，致使在接收其位址前，開始感測目標記憶體位置之第一位元之步驟。

3. 如申請專利範圍第1項之方法，其中，接收一部份位址之步驟，包括接收目標記憶體位置之第一N位址位元，N為少於構成位址之位址位元之數。

4. 如申請專利範圍第3項之方法，其中，第一N位址位元為N最高有效位址位元。

5. 如申請專利範圍第1項之方法，其中，接收一部份位址之步驟，為一接收除位址之最後位元外之所有位元之步驟，以及接收其餘位址位元之步驟，為一接收位址之最後位元之步驟。

6. 如申請專利範圍第1項之方法，其中，感測少於所有



六、申請專利範圍

資料位元之步驟，為一僅感測第一資料位元之步驟，以及接收其餘位址位元之步驟，包括：

接收目標記憶體位置之次一位址位元，以產生第二部份位址；以及

就其位址內含第二部份位址之每一記憶體位置，感測其第二資料位元，致使在其位址變成已知前，開始感測目標記憶體位置之第二位元。

7. 如申請專利範圍第6項之方法，其中，接收一部份位址之步驟，包括接收目標記憶體位置之位址之第一N位址位元，致使第二部份位址表示位址之第一N+1位元，N+1為少於構成位址之位址位元之數。

8. 如申請專利範圍第7項之方法，其中，第一及第二資料位元分別為第一及第二最高有效資料位元。

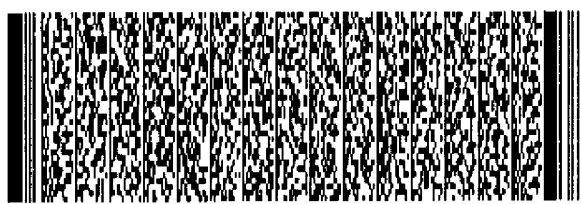
9. 如申請專利範圍第7項之方法，其中，第一N位址位元為最高有效位址位元。

10. 如申請專利範圍第1項之方法，其中，感測少於所有資料位元之步驟，為一僅感測第一資料位元之步驟，以及接收其餘位址位元之步驟，包括：

接收目標記憶體位置之倒數第二位址位元，以產生第二部份位址；以及

就其位址內含第二部份位址之每一記憶體位置，感測其第二資料位元，致使在其位址變成已知前，開始感測目標記憶體位置之第二位元；

接收目標記憶體位置之最後位址位元，以產生目標記憶



六、申請專利範圍

補充

體位置之整個位址；以及

感測目標記憶體位置之其餘資料位元，其中其第一及第二資料位元之感測係在進行中或已完成。

11. 如申請專利範圍第10項之方法，其中，第一及第二資料位元分別為最高有效及第二最高有效資料位元。

12. 一種感測一目目標記憶體位置之內容之方法，其係在一種有一排列成數列及數行之陣列記憶體位置中，且每一記憶體位置有B位元線及一獨特位址，每一位址由A位元表示之串列記憶體裝置，包含：

(i) 串列接收目標記憶體位置之N位址位元， $N < A$ ；

(ii) 依據N位址位元，在陣列選擇一列記憶體位置；

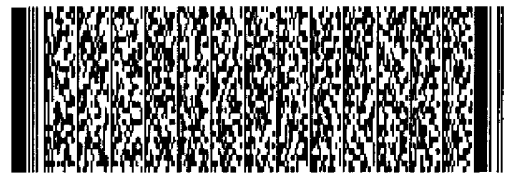
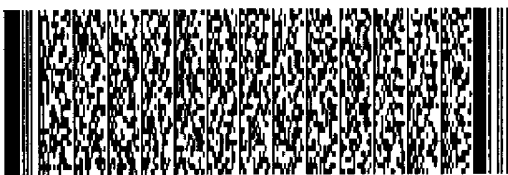
(iii) 串列接收I另外之位址位元，並在選定列選擇對應於第一複數個記憶體位置之位元線，每一此記憶體位置在其位址具有與(N+I)所接收之位址位元相同(N+I)位元， $(N+I) < A$ ；

(iv) 在第一複數個記憶體位置，就每一記憶體位置，感測第一子集之位元線；

(v) 在第一複數個記憶體位置感測每一記憶體位置之第一子集位元線時，接收次一位址位元，從而第一複數個記憶體位置在數上減少一半，產生第二複數個記憶體位置；以及

(vi) 在第二複數個記憶體位置，就每一記憶體位置，感測第二子集之位元線。

13. 如申請專利範圍第12項之方法，其中，步驟(iv)之



六、申請專利範圍

感測步驟，包括將其耦合至一感測電路，藉以感測在第一子集之每一位元線；其中步驟(v)包括響應接收次一位址位元，將第一子集之位元線之一半自感測電路解除耦合，因此使可利用一半之感測電路；以及，其中步驟(vi)之感測步驟包括將其耦合至可利用感測電路，藉以感測在第二子集之一些位元線。

14. 如申請專利範圍第12項之方法，其中，在第一複數個記憶體位置之每一記憶體位置，其第一子集位元線僅由記憶體位置之最高有效位元所組成。

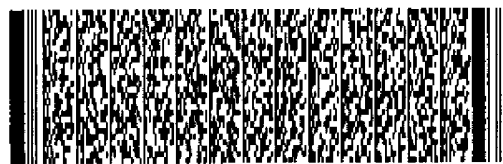
15. 如申請專利範圍第14項之方法，其中，在第二複數個記憶體位置之每一記憶體位置，其第二子集位元線僅由記憶體位置之第一及第二最高有效位元所組成。

16. 如申請專利範圍第12項之方法，其中，步驟(iv)之感測步驟包括就第一複數個中之每一記憶體位置，將其位元線之第一耦合至F感測電路之一，F為在第一複數個之記憶體位置之數。

17. 如申請專利範圍第16項之方法，其中，步驟(vi)之感測步驟包括將第一位元線之一半自感測電路選擇性解除耦合，並就第二複數個之每一記憶體位置，將第二一之其位元線耦合至解除耦合之感測電路。

18. 如申請專利範圍第17項之方法，其中，每一記憶體位置之第一及第二位元線為二最高有效位元。

19. 一種在一串列記憶體裝置讀出一記憶體位置之方法，包含下列步驟：



六、申請專利範圍

接收一目標記憶體位置之部份位址；

在資料線產生其位址包括部份位址之第一記憶體位置之資料位元；

將第一記憶體位置之第一資料線耦合至第一組感測放大器；

接收次一位址位元，以產生第二部份位址，從而僅第一記憶體位置之一半之位址包括第二部份位址，因此消除第一記憶體位置之其他一半；以及

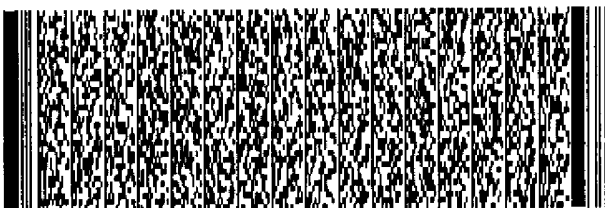
將第一記憶體位置之其餘一半之第二資料線耦合至第二組感測放大器。

20. 如申請專利範圍第19項之方法，其中，另包括接收其餘位址位元，以產生一完全位址，因此使目標記憶體位置為已知；以及

將對應於目標記憶體位置之其餘資料位元之資料線耦合至第三組感測放大器，而同時輸出目標記憶體位置之第一資料線。

21. 如申請專利範圍第19項之方法，其中，第一組感測放大器包含第一複數個感測放大器，及第二組感測放大器包含第二複數個感測放大器。

22. 如申請專利範圍第19項之方法，其中，第二組感測放大器係包括在第一組感測放大器，並且耦合第一記憶體位置之其餘一半之第二資料線之步驟，包括將第一記憶體位置之已消除一半之第一資料線自其關聯之感測放大器解除耦合，及將第二資料線耦合至解除耦合之感測放大器。



六、申請專利範圍

23. 如申請專利範圍第22項之方法，其中，另包括接收其餘位址位元，以產生一完全位址，因此使目標記憶體位置為已知；以及感測目標記憶體位置之其餘資料位元，而同時輸出目標記憶體位置之第一資料線。

24. 如申請專利範圍第23項之方法，其中，接收其餘位址位元之步驟消除第一記憶體位置之其餘一半之至少一半；以及感測目標記憶體位置之其餘資料位元之步驟包括將第一記憶體位置之已消除一半之第一資料線自其關聯之感測放大器解除耦合，及將至少其餘資料位元之一耦合至解除耦合之感測放大器之一。

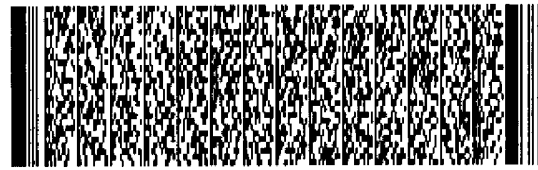
25. 一種串列記憶體裝置，包含：

一記憶體陣列，設置成複數個列，每一列有複數個記憶體位置，每一記憶體位置有複數個資料位元，記憶體陣列有位元線，供輸出一選定列之每一記憶體位置之資料位元；

一解碼器電路，耦合為自記憶體陣列接收位元線，解碼器電路包括資料線及閘控電路，其將一選定列之每一記憶體位置之位元線選擇性耦合，與資料線成一對一對應，解碼器電路另包括位址線作動式耦合至閘控電路，以將選定之諸位元線耦合至其對應資料線；

第一複數個N感測放大器，有輸入與對應於一選定列之每一第N記憶體位置之諸第一資料線電連通；以及

至少一感測放大器，有一輸入與在一選定列之每一記憶體位置之資料線之一電連通。



六、申請專利範圍

26. 如申請專利範圍第25項之串列記憶體裝置，其中，解碼器電路另包括控制線，作動式耦合至開控電路，以同時將N選定記憶體位置之位元線耦合至其對應資料線。

27. 如申請專利範圍第25項之串列記憶體裝置，其中，另包括第二複數個M感測放大器，有輸入耦合至在一選定列對應於每一第M記憶體位置之第二資料線，M等於 $N/2$ 。

28. 如申請專利範圍第27項之串列記憶體裝置，其中，第一資料線各為一最高有效位元，及其中第二資料線各為一第二最高有效位元。

29. 如申請專利範圍第27項之串列記憶體裝置，其中，另包括一輸出緩衝器，一第一選擇器電路，有一單一輸出及有輸入耦合至N感測放大器之輸出，一第二選擇器電路有一單一輸出及有輸入耦合至M感測放大器之輸出，其中第一及第二選擇器電路之輸出予以耦合至輸出緩衝器。

30. 如申請專利範圍第25項之串列記憶體裝置，其中，另包括控制電路，有N獨立判定之啟動線，各耦合至第一感測放大器之一，每一感測放大器有一電路，其響應在其關聯之啟動線判定之控制訊號接通及斷開感測放大器；從而有些感測放大器可予以斷開，同時任令其他諸感測放大器接通。

31. 如申請專利範圍第25項之串列記憶體裝置，其中，另包括一第一提前感測電路，有N輸入端子耦合至第一資料線，及有N輸出端子，每一輸出端子耦合至第一感測放大器之一，第一提前感測電路有一第一可選擇構形，其中



六、申請專利範圍

每一N輸入端子係與一對應輸出端子電連通，第一提前感測電路有一第二可選擇構形，其中每一N輸入端子係僅與N輸出端子之一電連通。

32. 如申請專利範圍第31項之串列記憶體裝置，其中，另包括：第二複數個M感測放大器，每一感測放大器有一輸入耦合至一選定列之每第M記憶體位置之第二資料線，M等於 $N/2$ ；以及

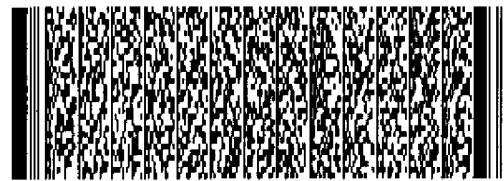
一第二提前感測電路，有M輸入端子及M對應輸出端子，每一輸入端子耦合至第二資料線之一，每一輸出端子耦合至第二感測放大器之一；

第二提前感測電路，有一第一可選擇構形，其中其輸入端子各予以電耦合至其對應輸出端子，及一第二可選擇構形，其中所有其輸入端子僅予以電耦合至其輸出端子之一。

33. 一種串列記憶體裝置，包含：

一記憶體陣列，設置為成複數個列，每一列有複數個記憶體位置，每一記憶體位置有複數個資料位元，記憶體陣列有位元線供輸出在一選定列之每一記憶體位置之資料位元；

一解碼器電路，耦合為自記憶體陣列接收位元線，解碼器電路包括資料線及閘控電路，其將位元線選擇性耦合成一對一與資料線對應，解碼器電路另包括位址線，作動式耦合至閘控電路，以將選定之諸位元線耦合至其對應資料線；



六、申請專利範圍

複數個N第一匯流排線，每一匯流排線耦合至在一選定列之每第N記憶體位置之第一資料線；

複數個M第二匯流排線，每一匯流排線耦合至在一選定列之每第M記憶體位置之一第二資料線，M等於N/2；

複數個N感測放大器，各有一輸入及一輸出；以及

多工電路，有輸入線及輸出線，輸入線耦合至第一匯流排線，及耦合至第二匯流排線，輸出線耦合至感測放大器，多工電路另有控制輸入，供將選定之諸第一及第二匯流排線耦合至感測放大器；

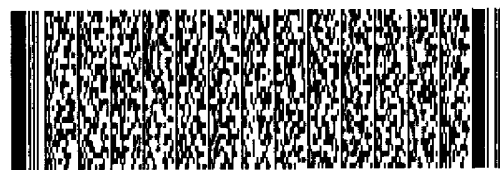
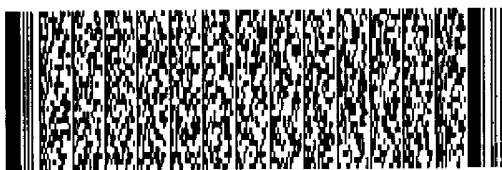
從而在N匯流排線及M匯流排線當中共用N感測放大器。

34. 如申請專利範圍第33項之串列記憶體裝置，其中，多工電路包括N 2比1多工器；每一第一資料線耦合至2比1多工器之一之第一輸入；每一第二資料線耦合至2比1多工器之二之第二輸入。

35. 如申請專利範圍第33項之串列記憶體裝置，其中，另包括第二多工電路及一資料鎖存器，第二多工電路有輸入耦合至感測放大器之輸出，並有輸出耦合至資料鎖存器。

36. 如申請專利範圍第33項之串列記憶體裝置，其中，另包括控制電路，有N獨立判定啟動線各耦合至感測放大器之一，每一感測放大器有一電路，其響應在其關聯啟動線所判定之控制訊號接通及斷開感測放大器；

從而可斷開有些感測放大器，而任令其他諸感測放大器接通。



六、申請專利範圍

37. 如申請專利範圍第33項之串列記憶體裝置，其中，另包括第三複數個匯流排線，每一匯流排線耦合至在一選定列之每一記憶體位置之其餘資料線之一；多工電路另有一輸入耦合至至少第三匯流排線之一；從而在N第一匯流排線，M第二匯流排線，及至少第三匯流排線之一當中共用N感測放大器。

38. 如申請專利範圍第37項之串列記憶體裝置，其中，多工電路包括第一多工器及第二多工器，每一第一多工器接收N匯流排線之一及M匯流排線之一作為輸入，每一第二多工器有輸入耦合至第一多工器之一之輸出，及耦合至至少第三匯流排線之一；第二多工器有輸出耦合至感測放大器。

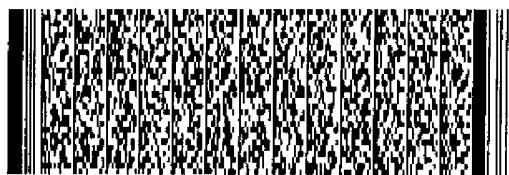
39. 如申請專利範圍第38項之串列記憶體裝置，其中，另包括第三多工器及資料鎖存器，第三多工器有輸入耦合至感測放大器之輸出，並有輸出耦合至資料鎖存器。

40. 一種讀出目標記憶體位置之內容之方法，其係在一種有複數個記憶體位置中，且每一記憶體位置之內容由複數個資料位元所組成之串列記憶體裝置，包含：

接收目標記憶體位置之第一位址，第一位址為目標記憶體位置之部份位址；

就其位址內含第一位址之每一記憶體位置，感測少於所有其資料位元；

在感測之步驟時，(i)接收一個或多個額外位址位元，

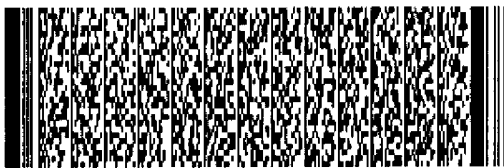


六、申請專利範圍

以產生第二位址，藉以減少內含第一位址之記憶體位置之數量，及(ii)感測每一減少記憶體位置之一個或多個額外資料位元；以及

讀出已感測之資料位元。

41. 如申請專利範圍第40項之方法，其中，接收一個或多個另外位址位元之步驟，為一接收目標記憶體位置之其餘一個或多個位址位元之步驟，及感測一個或多個另外資料位元之步驟為一感測目標記憶體位置之其餘一個或多個資料位元之步驟。



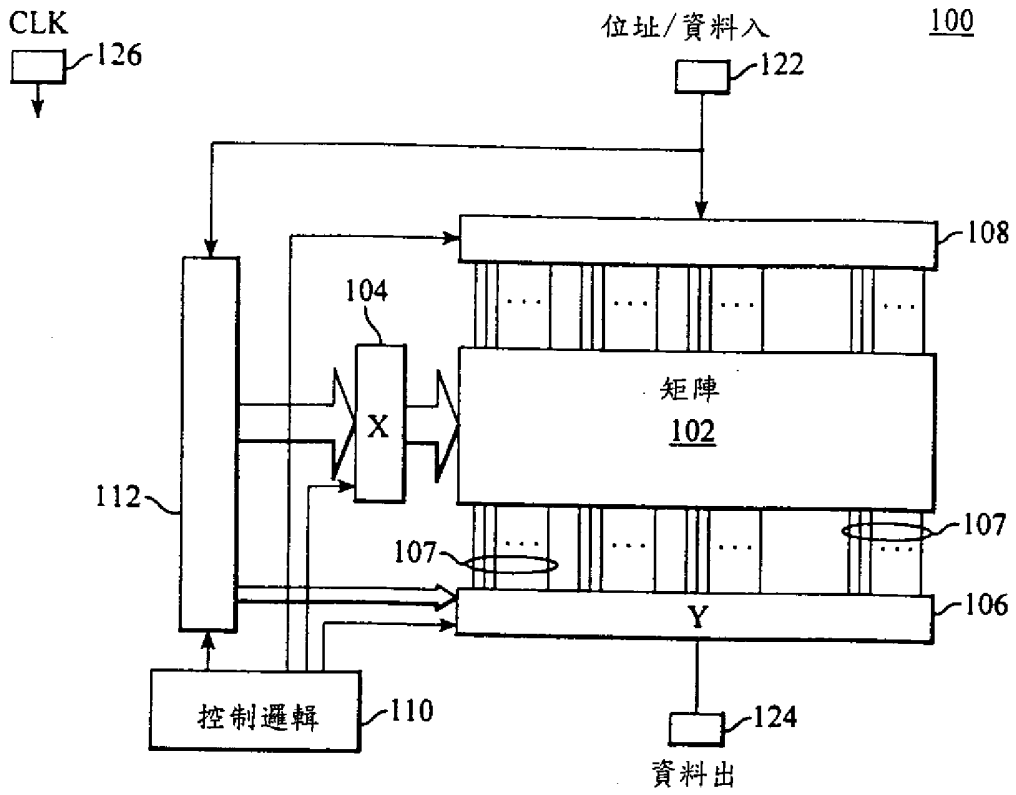


圖 1 ✓

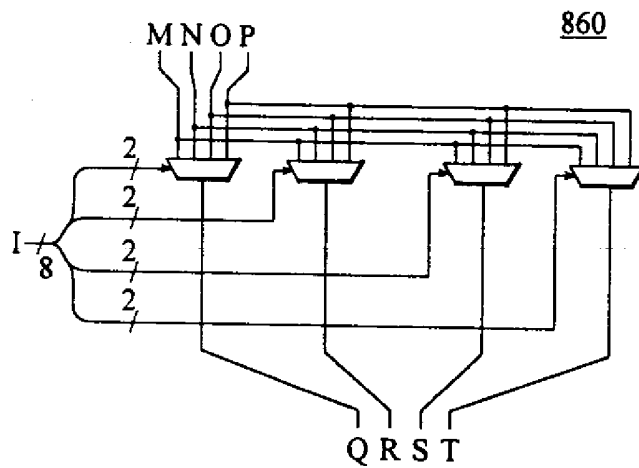


圖 9 ✓

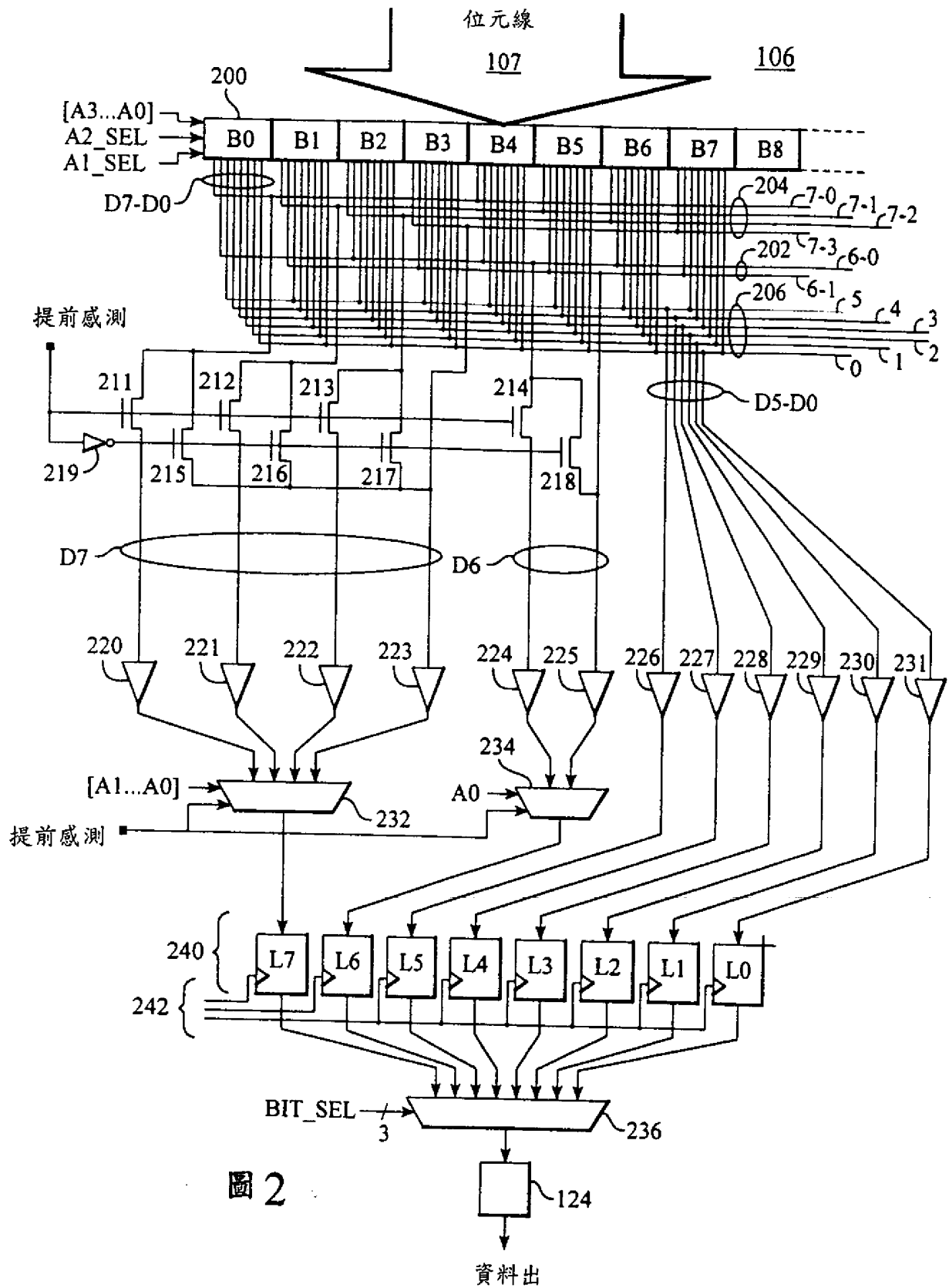


圖 2

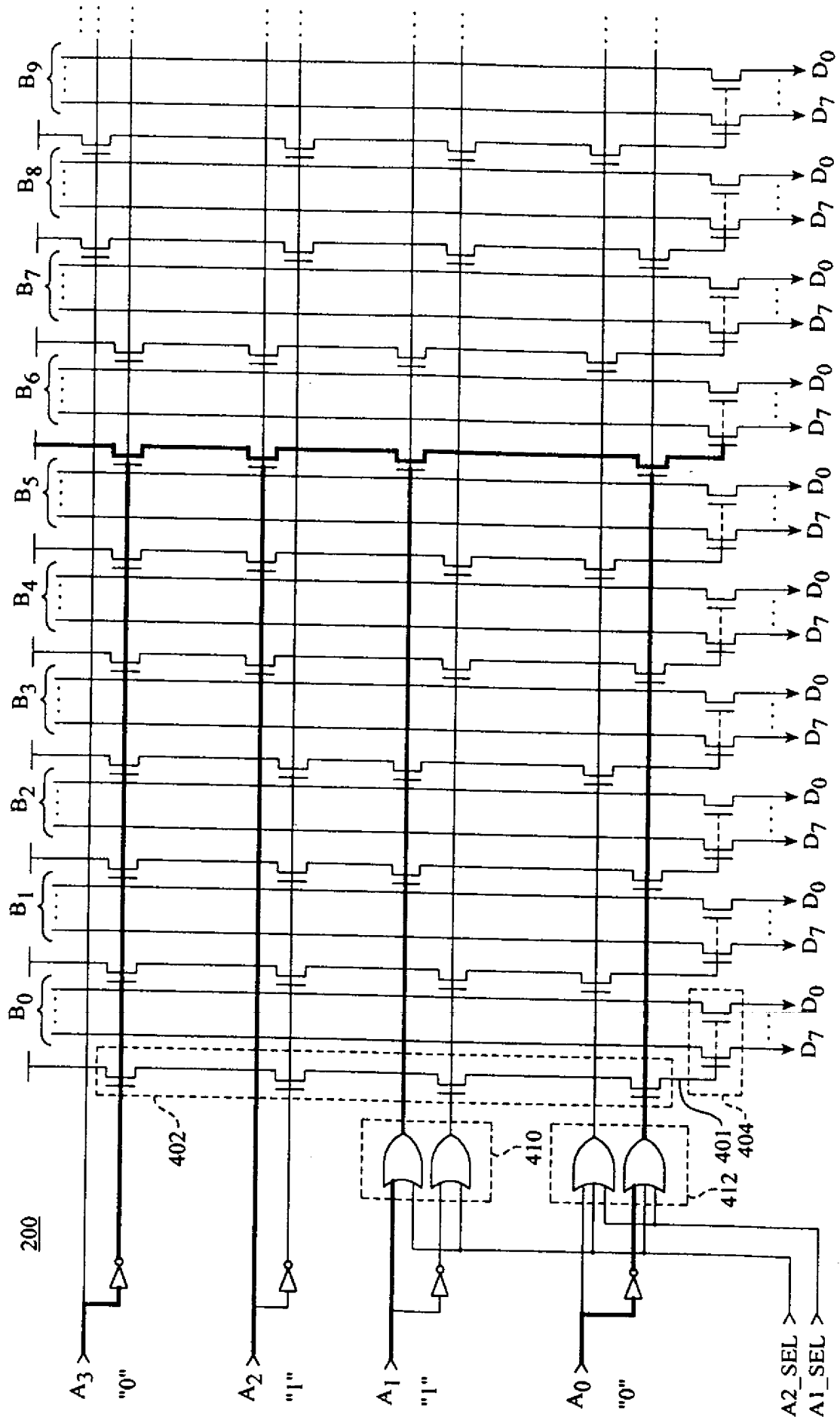


圖 3A

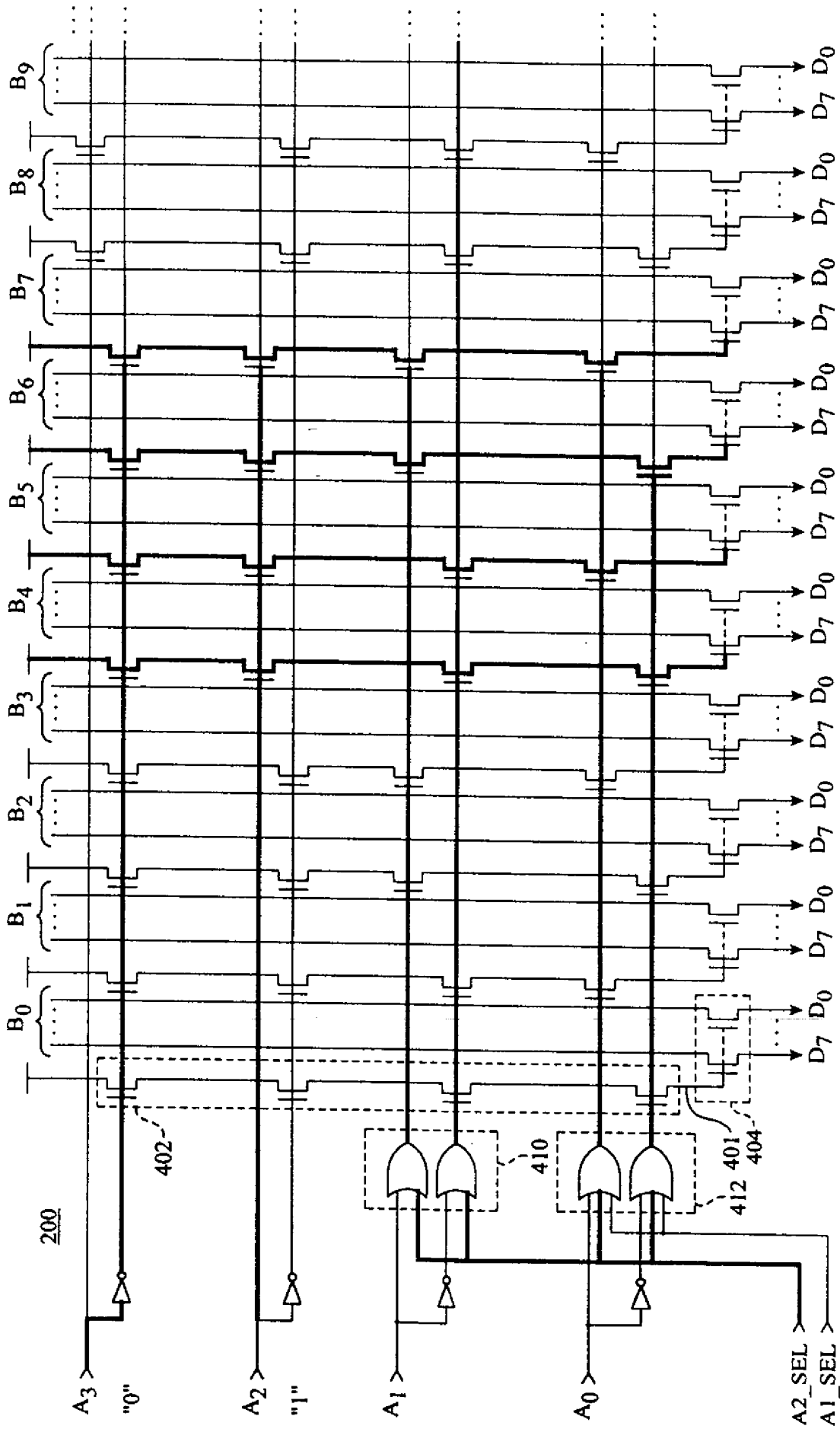


圖 3B

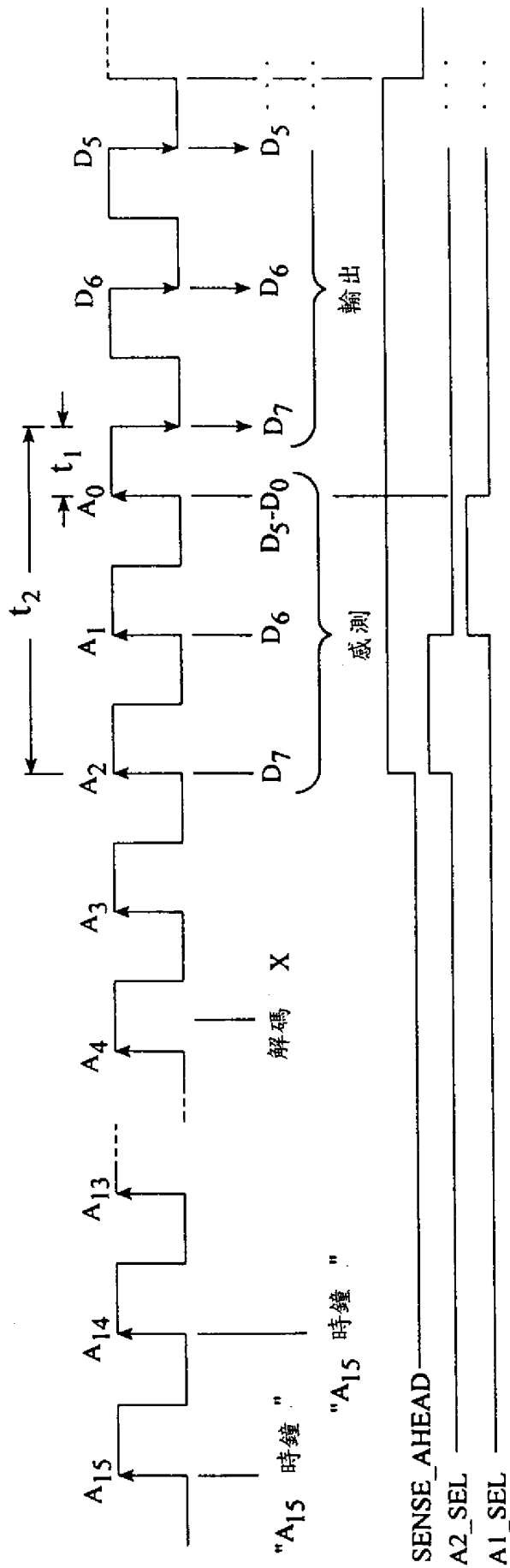


圖 4A

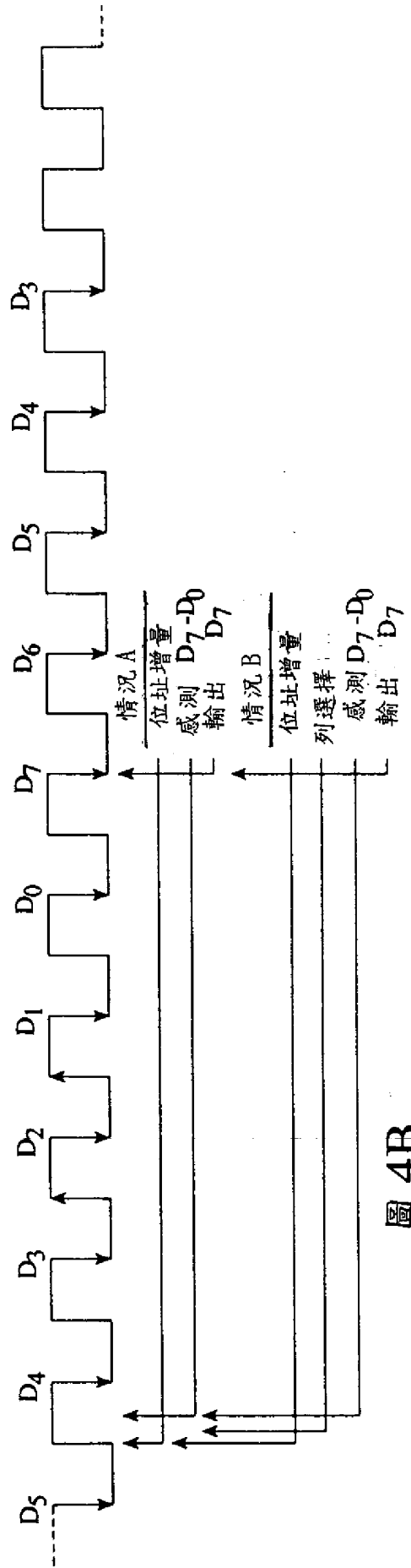


圖 4B

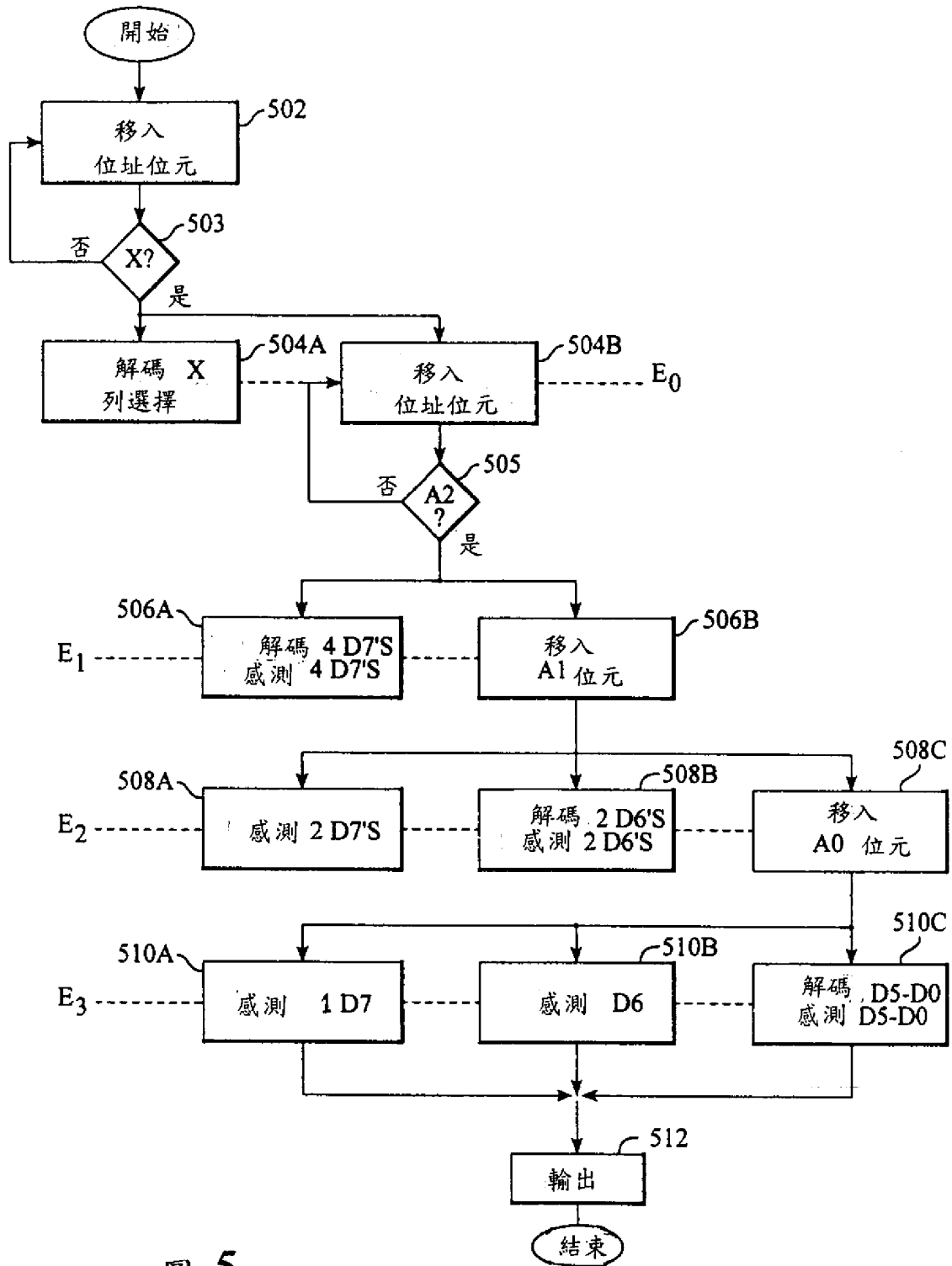


圖 5

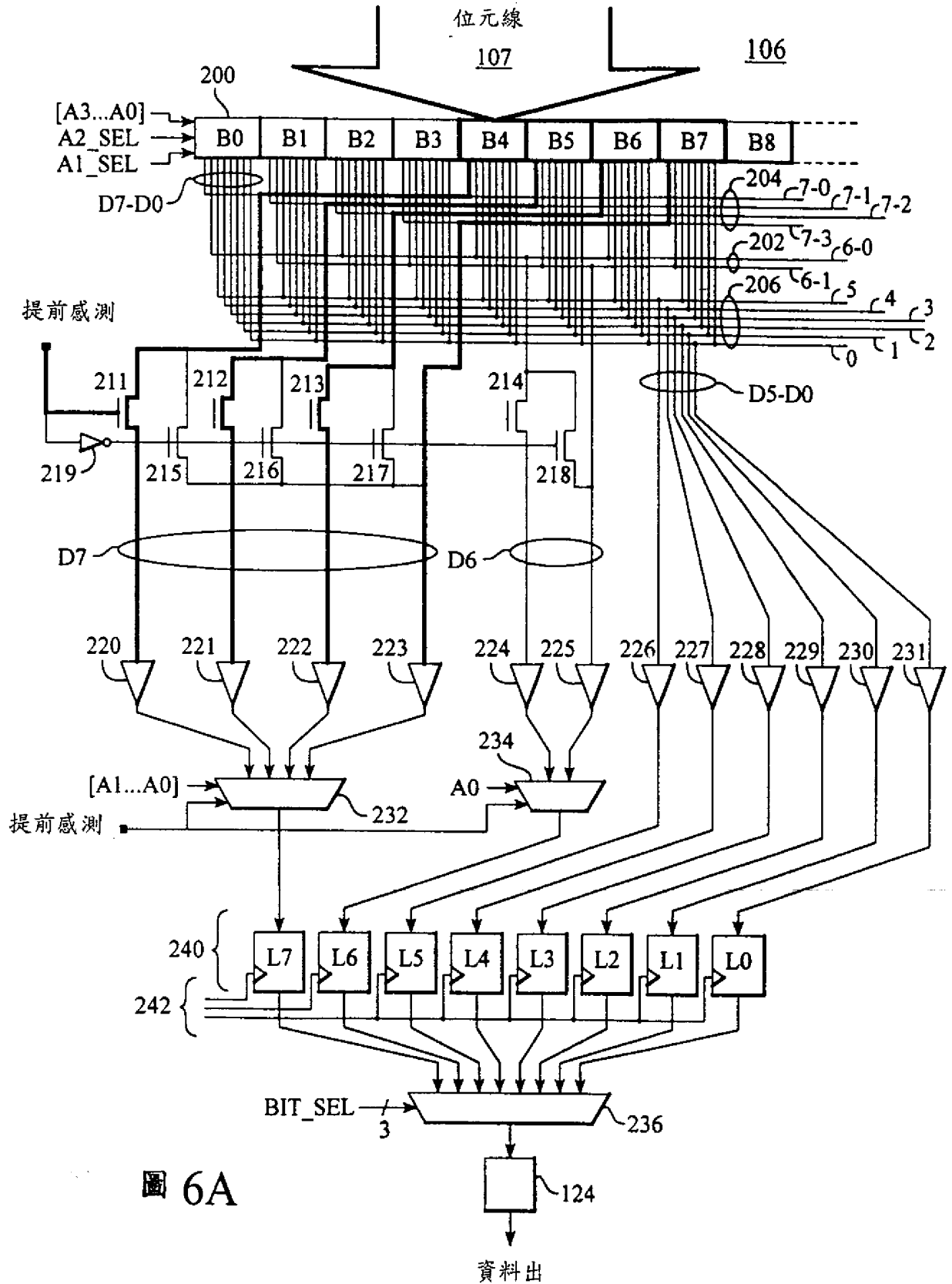


圖 6A

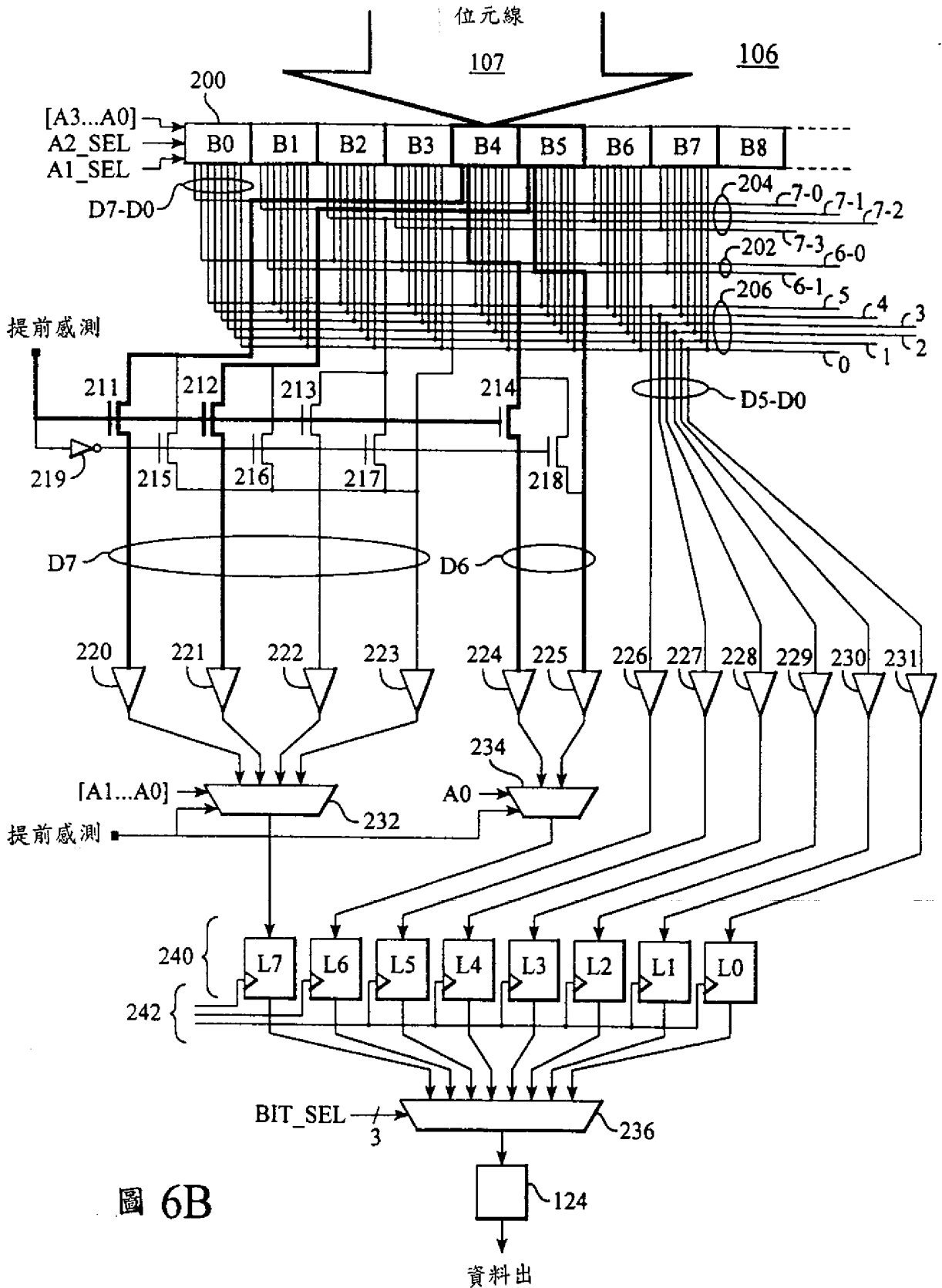


圖 6B

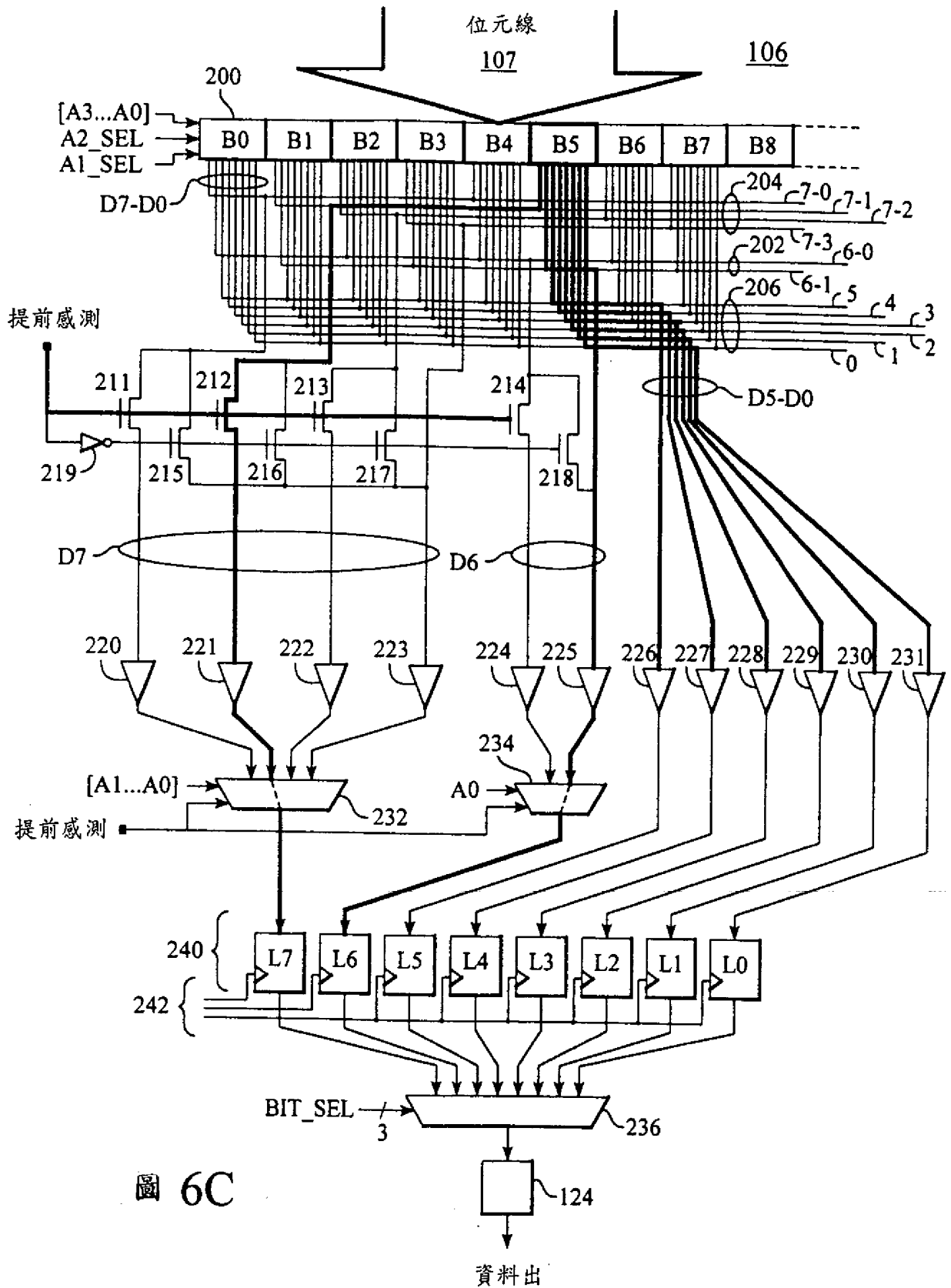


圖 6C

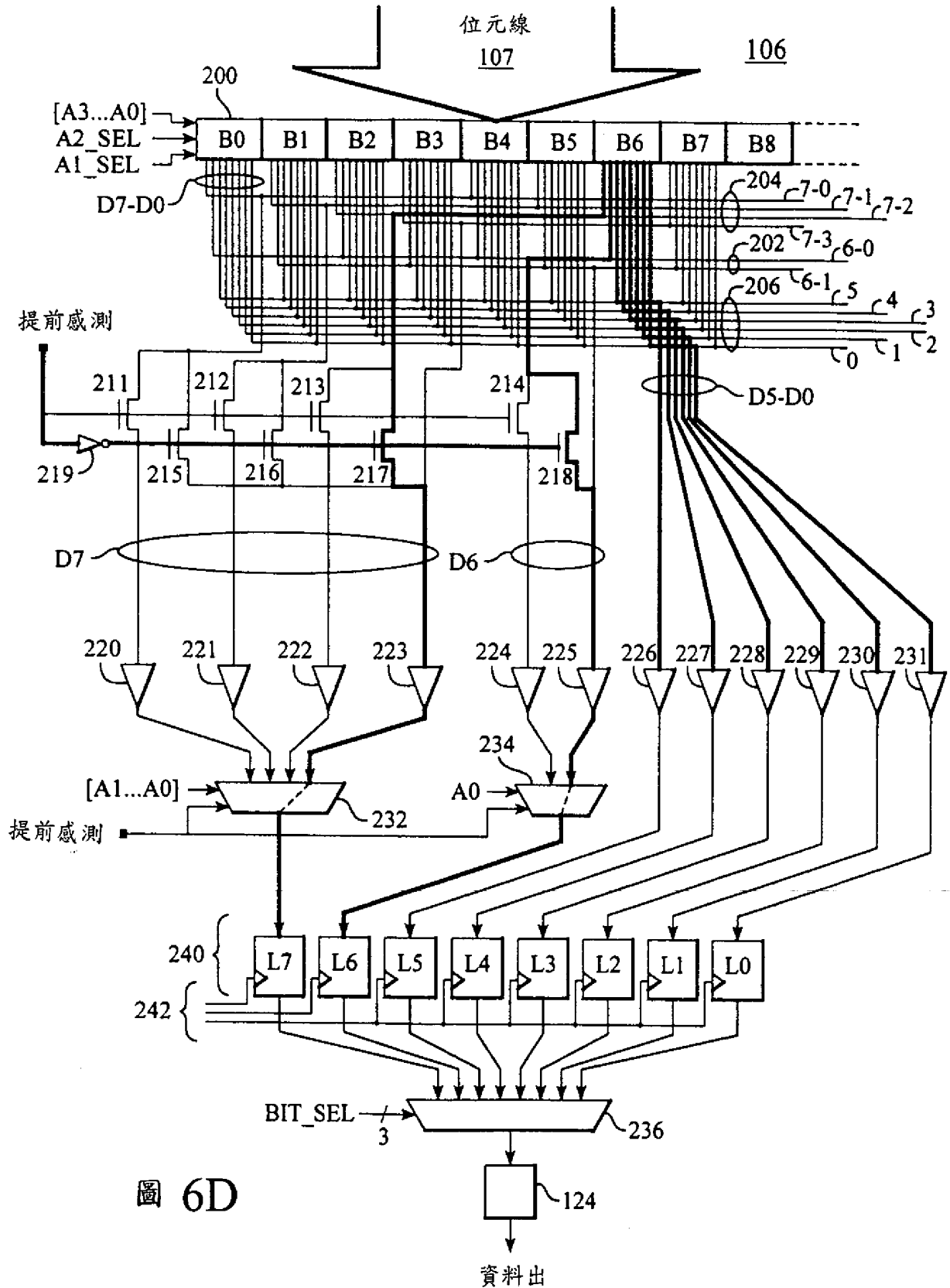


圖 6D

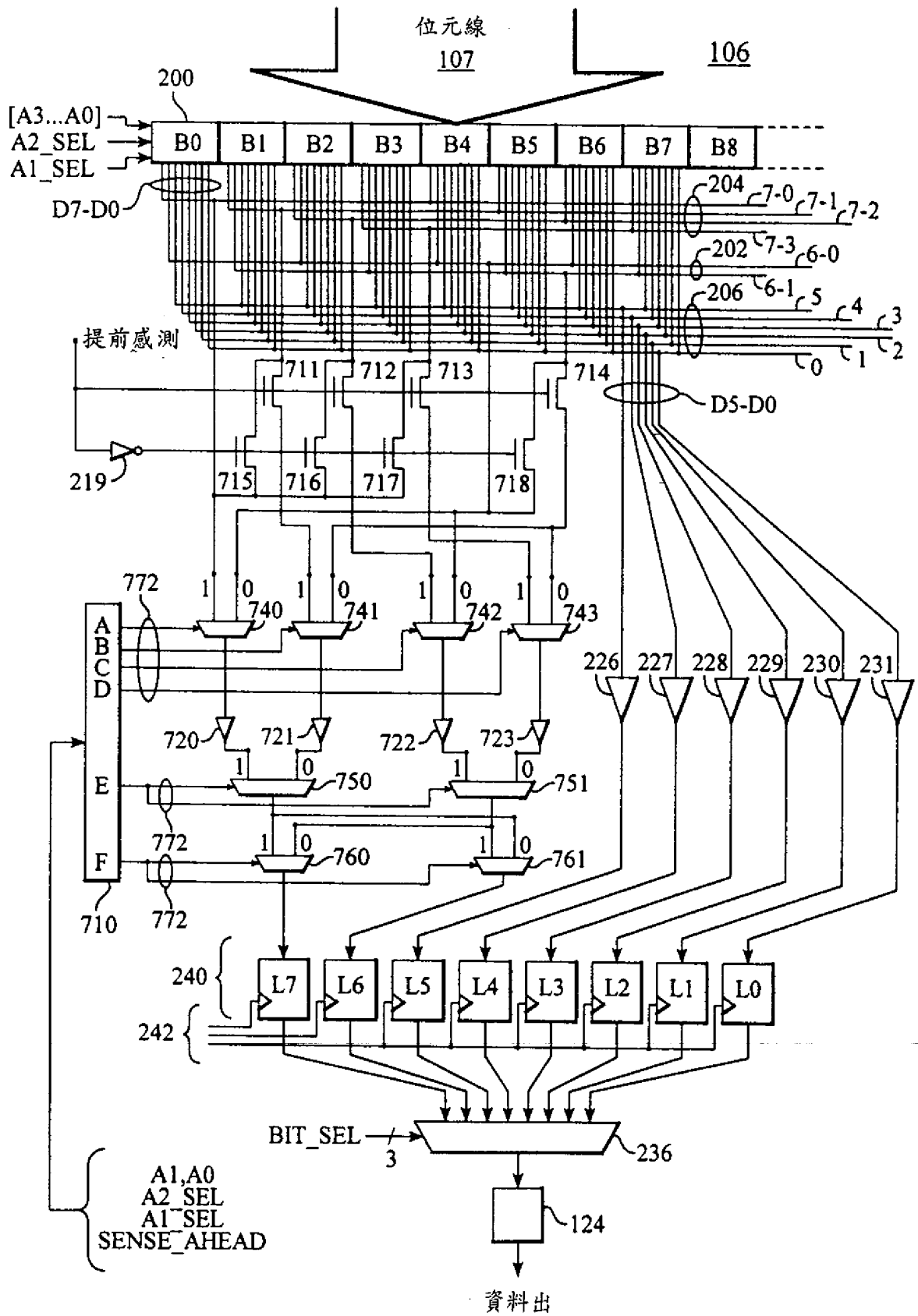


圖 7A

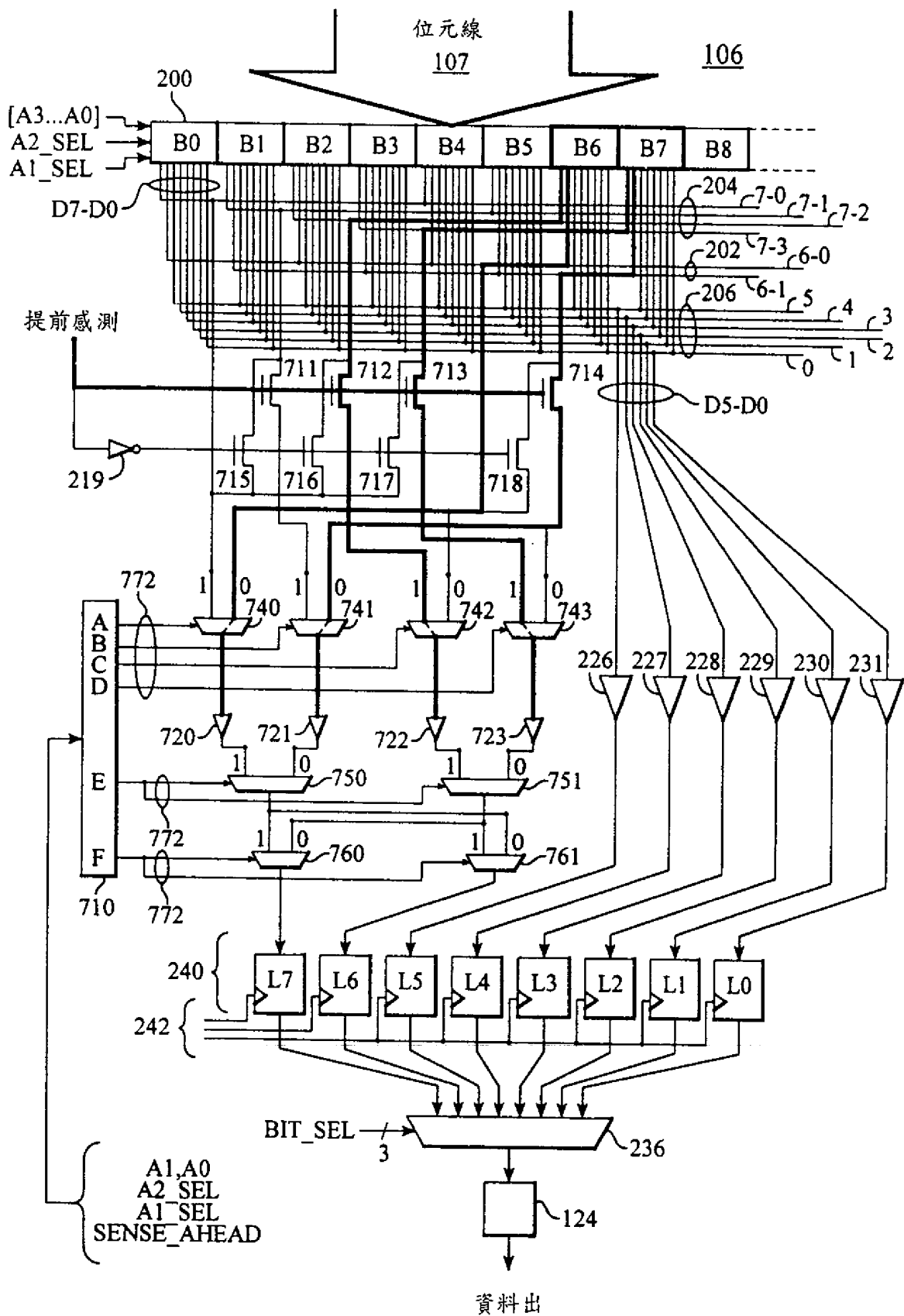


圖 7C

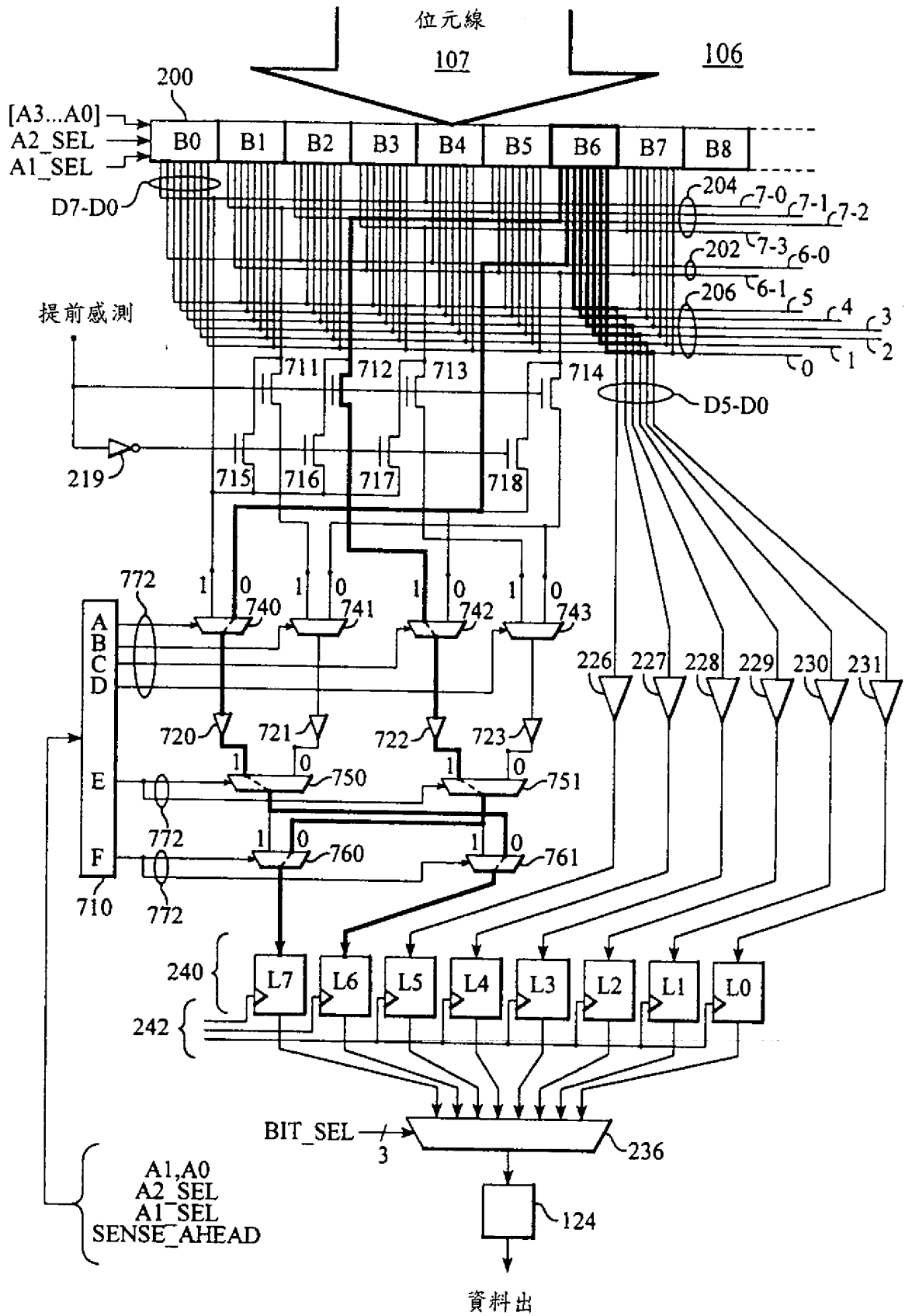


圖 7D

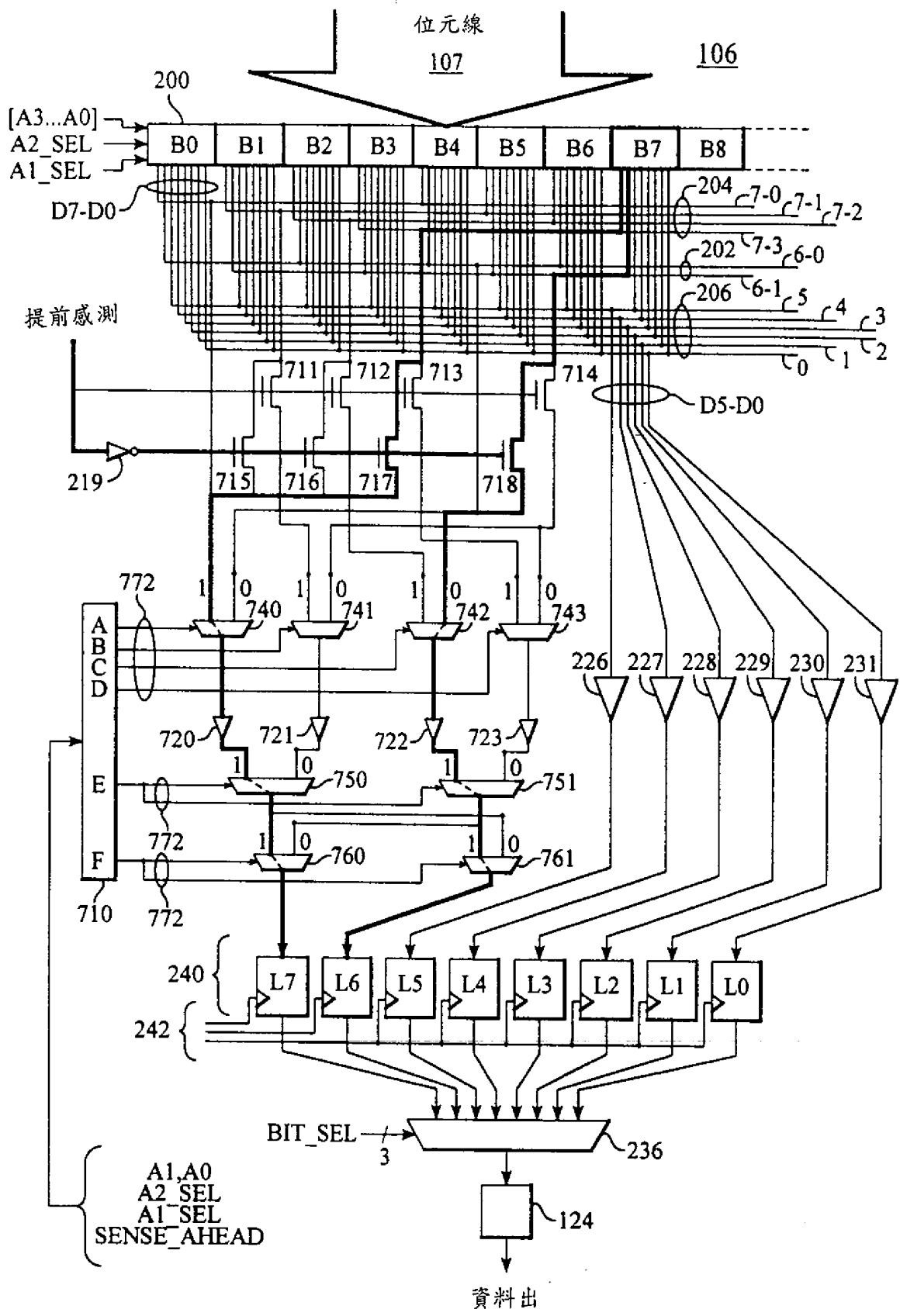


圖 7E

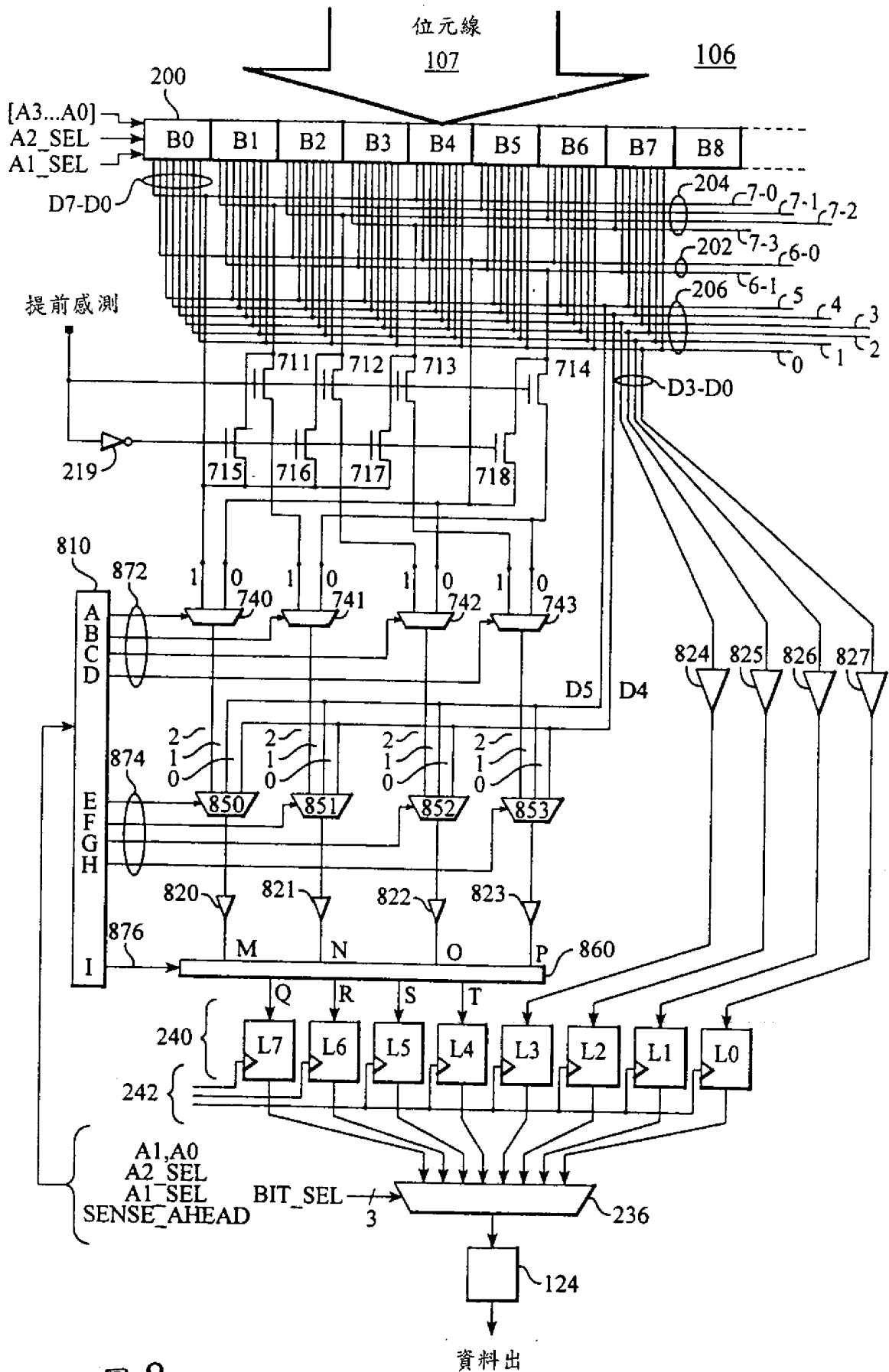


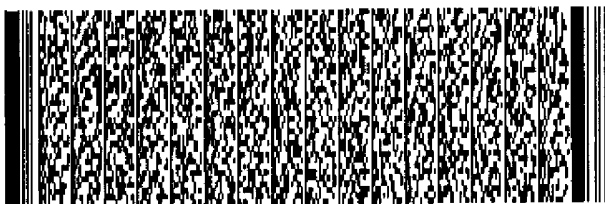
圖 8

五、發明說明 (24)

位元。因此，可首先感測候選位元組之 D0 資料線，後隨 D1 資料線等等。此方法與本發明之操作原理一致，並享有與以上所揭示本發明之實施例所達成之相同益處。請參照圖2及3A，包含解碼器電路200之邏輯可予以調適為致使位元零線耦合至D7資料線，位元一線耦合至D6資料線，位元二線耦合至D5資料線等等，以便首先感測候選位元組之低位元。

元件編號說明

100	串列記憶體裝置
102	記憶體矩陣
104	X解碼器
106	Y解碼器
107	位元線
108	輸入緩衝器
110	控制邏輯
112	緩衝電路
122	位址／資料入墊片
124	資料出墊片
126	時鐘墊片
200	解碼器電路
202	二線匯流排
204	四線匯流排
206	六線匯流排
211-218	電晶體

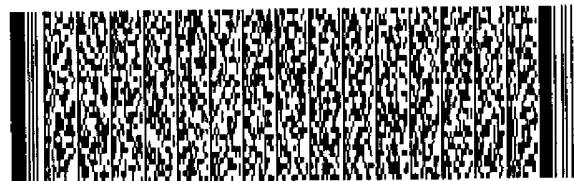
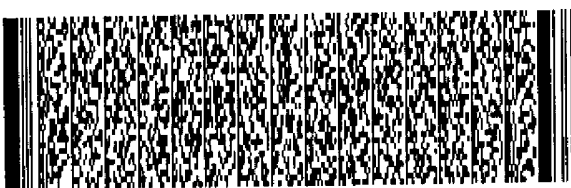


四、中文發明摘要 (發明之名稱：讀出及/或感測一目標記憶體位置之內容之方法及實現此方法之串列記憶體裝置)

一種串列記憶體裝置，包括一Y解碼器及感測電路，其提供一種預測操作模式，其中在感測若干可能記憶體位置，包括目標位置之資料線，而完全已知其位址前，開始目標記憶體位置之資料感測。該方法及裝置包括在時控輸入有些但並非所有位址位元時，感測可能記憶體位置之第一資料位元。時控輸入另外之位址位元時，感測另外之資料位元。已完全接收目標位址時，將已完成其第一資料位元之感測，致使可在次一時鐘開始目標記憶體之串列輸出。此提前感測特色允許增加內部時鐘頻率，而不影響各串列記憶體裝置介面所施加之外部定時限制。

英文發明摘要 (發明之名稱：METHOD OF READING OUT AND/OR SENSING THE CONTENTS OF A TARGET MEMORY LOCATION AND SERIAL MEMORY DEVICE FOR CARRYING OUT THE METHOD)

A serial memory device includes a Y decoder and sensing circuitry which provide a predictive mode of operation, wherein data sensing of a target memory location begins before its address is fully known by sensing the data lines of a number of possible memory locations including the target location. The method and apparatus includes sensing first data bits of possible memory locations when some but not all of the address bits are clocked in. As additional address bits are



464875

案號 88107584

90.5.04 修正

年 月 日

補充

月

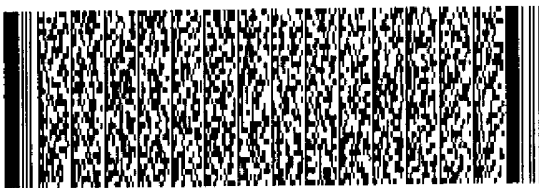
日

修正

四、中文發明摘要 (發明之名稱：讀出及/或感測一目標記憶體位置之內容之方法及實現此方法之串列記憶體裝置)

英文發明摘要 (發明之名稱：METHOD OF READING OUT AND/OR SENSING THE CONTENTS OF A TARGET MEMORY LOCATION AND SERIAL MEMORY DEVICE FOR CARRYING OUT THE METHOD)

clocked in, additional data bits are sensed. By the time the target address has been fully received, sensing of its first data bits will have completed so that serial outputting of the target memory can begin on the next clock. This sense-ahead feature permits an increase in the internal clock frequency without affecting external timing constraints imposed by the various serial memory device interfaces.



六、申請專利範圍

1. 一種讀出一目標記憶體位置之內容之方法，其係在一種具有複數個記憶體位置中，且每一記憶體位置之內容由複數個資料位元所組成之串列記憶體裝置，包含：

接收目標記憶體位置之一部份位址；

就其位址內含部份位址之每一記憶體位置，感測少於所有其資料位元；

接收其餘位址位元，藉以使目標記憶體位置為已知；

感測目標記憶體位置之其餘資料位元，而同時讀出其第一資料位元；以及

在感測其餘資料位元後，讀出其餘資料位元。

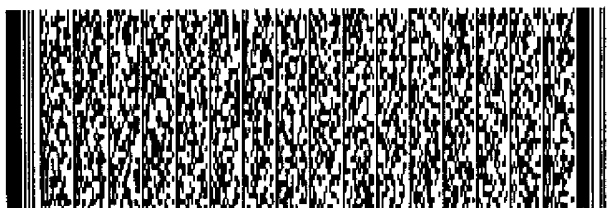
2. 如申請專利範圍第1項之方法，其中，感測少於所有資料位元之步驟，為一僅感測一第一資料位元，致使在接收其位址前，開始感測目標記憶體位置之第一位元之步驟。

3. 如申請專利範圍第1項之方法，其中，接收一部份位址之步驟，包括接收目標記憶體位置之第一N位址位元，N為少於構成位址之位址位元之數。

4. 如申請專利範圍第3項之方法，其中，第一N位址位元為N最高有效位址位元。

5. 如申請專利範圍第1項之方法，其中，接收一部份位址之步驟，為一接收除位址之最後位元外之所有位元之步驟，以及接收其餘位址位元之步驟，為一接收位址之最後位元之步驟。

6. 如申請專利範圍第1項之方法，其中，感測少於所有



六、申請專利範圍

資料位元之步驟，為一僅感測第一資料位元之步驟，以及接收其餘位址位元之步驟，包括：

接收目標記憶體位置之次一位址位元，以產生第二部份位址；以及

就其位址內含第二部份位址之每一記憶體位置，感測其第二資料位元，致使在其位址變成已知前，開始感測目標記憶體位置之第二位元。

7. 如申請專利範圍第6項之方法，其中，接收一部份位址之步驟，包括接收目標記憶體位置之位址之第一N位址位元，致使第二部份位址表示位址之第一N+1位元，N+1為少於構成位址之位址位元之數。

8. 如申請專利範圍第7項之方法，其中，第一及第二資料位元分別為第一及第二最高有效資料位元。

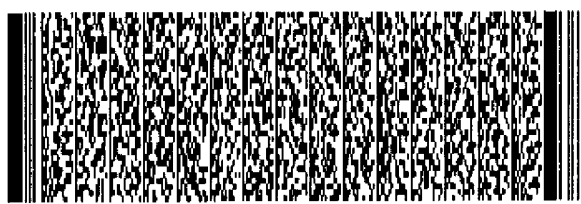
9. 如申請專利範圍第7項之方法，其中，第一N位址位元為最高有效位址位元。

10. 如申請專利範圍第1項之方法，其中，感測少於所有資料位元之步驟，為一僅感測第一資料位元之步驟，以及接收其餘位址位元之步驟，包括：

接收目標記憶體位置之倒數第二位址位元，以產生第二部份位址；以及

就其位址內含第二部份位址之每一記憶體位置，感測其第二資料位元，致使在其位址變成已知前，開始感測目標記憶體位置之第二位元；

接收目標記憶體位置之最後位址位元，以產生目標記憶



六、申請專利範圍

補充

體位置之整個位址；以及

感測目標記憶體位置之其餘資料位元，其中其第一及第二資料位元之感測係在進行中或已完成。

11. 如申請專利範圍第10項之方法，其中，第一及第二資料位元分別為最高有效及第二最高有效資料位元。

12. 一種感測一目目標記憶體位置之內容之方法，其係在一種有一排列成數列及數行之陣列記憶體位置中，且每一記憶體位置有B位元線及一獨特位址，每一位址由A位元表示之串列記憶體裝置，包含：

(i) 串列接收目標記憶體位置之N位址位元， $N < A$ ；

(ii) 依據N位址位元，在陣列選擇一列記憶體位置；

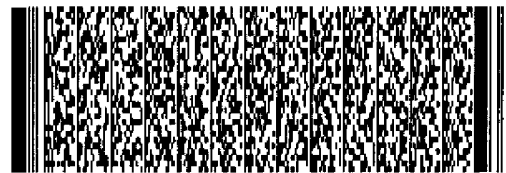
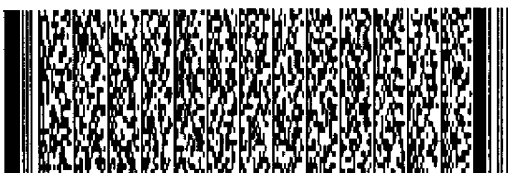
(iii) 串列接收I另外之位址位元，並在選定列選擇對應於第一複數個記憶體位置之位元線，每一此記憶體位置在其位址具有與(N+I)所接收之位址位元相同(N+I)位元， $(N+I) < A$ ；

(iv) 在第一複數個記憶體位置，就每一記憶體位置，感測第一子集之位元線；

(v) 在第一複數個記憶體位置感測每一記憶體位置之第一子集位元線時，接收次一位址位元，從而第一複數個記憶體位置在數上減少一半，產生第二複數個記憶體位置；以及

(vi) 在第二複數個記憶體位置，就每一記憶體位置，感測第二子集之位元線。

13. 如申請專利範圍第12項之方法，其中，步驟(iv)之



六、申請專利範圍

感測步驟，包括將其耦合至一感測電路，藉以感測在第一子集之每一位元線；其中步驟(v)包括響應接收次一位址位元，將第一子集之位元線之一半自感測電路解除耦合，因此使可利用一半之感測電路；以及，其中步驟(vi)之感測步驟包括將其耦合至可利用感測電路，藉以感測在第二子集之一些位元線。

14. 如申請專利範圍第12項之方法，其中，在第一複數個記憶體位置之每一記憶體位置，其第一子集位元線僅由記憶體位置之最高有效位元所組成。

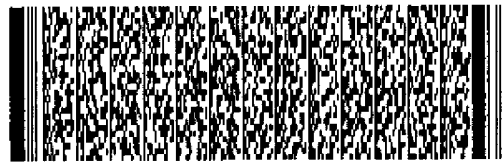
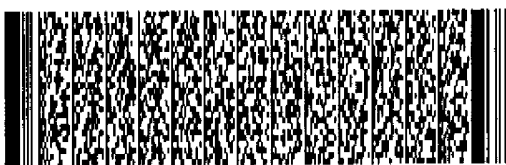
15. 如申請專利範圍第14項之方法，其中，在第二複數個記憶體位置之每一記憶體位置，其第二子集位元線僅由記憶體位置之第一及第二最高有效位元所組成。

16. 如申請專利範圍第12項之方法，其中，步驟(iv)之感測步驟包括就第一複數個中之每一記憶體位置，將其位元線之第一耦合至F感測電路之一，F為在第一複數個之記憶體位置之數。

17. 如申請專利範圍第16項之方法，其中，步驟(vi)之感測步驟包括將第一位元線之一半自感測電路選擇性解除耦合，並就第二複數個之每一記憶體位置，將第二一之其位元線耦合至解除耦合之感測電路。

18. 如申請專利範圍第17項之方法，其中，每一記憶體位置之第一及第二位元線為二最高有效位元。

19. 一種在一串列記憶體裝置讀出一記憶體位置之方法，包含下列步驟：



六、申請專利範圍

接收一目標記憶體位置之部份位址；

在資料線產生其位址包括部份位址之第一記憶體位置之資料位元；

將第一記憶體位置之第一資料線耦合至第一組感測放大器；

接收次一位址位元，以產生第二部份位址，從而僅第一記憶體位置之一半之位址包括第二部份位址，因此消除第一記憶體位置之其他一半；以及

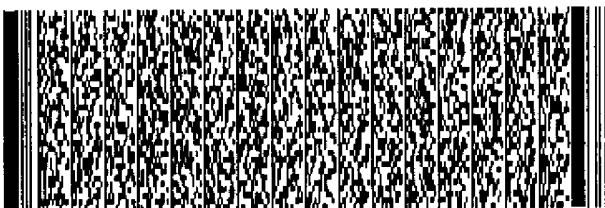
將第一記憶體位置之其餘一半之第二資料線耦合至第二組感測放大器。

20. 如申請專利範圍第19項之方法，其中，另包括接收其餘位址位元，以產生一完全位址，因此使目標記憶體位置為已知；以及

將對應於目標記憶體位置之其餘資料位元之資料線耦合至第三組感測放大器，而同時輸出目標記憶體位置之第一資料線。

21. 如申請專利範圍第19項之方法，其中，第一組感測放大器包含第一複數個感測放大器，及第二組感測放大器包含第二複數個感測放大器。

22. 如申請專利範圍第19項之方法，其中，第二組感測放大器係包括在第一組感測放大器，並且耦合第一記憶體位置之其餘一半之第二資料線之步驟，包括將第一記憶體位置之已消除一半之第一資料線自其關聯之感測放大器解除耦合，及將第二資料線耦合至解除耦合之感測放大器。



六、申請專利範圍

23. 如申請專利範圍第22項之方法，其中，另包括接收其餘位址位元，以產生一完全位址，因此使目標記憶體位置為已知；以及感測目標記憶體位置之其餘資料位元，而同時輸出目標記憶體位置之第一資料線。

24. 如申請專利範圍第23項之方法，其中，接收其餘位址位元之步驟消除第一記憶體位置之其餘一半之至少一半；以及感測目標記憶體位置之其餘資料位元之步驟包括將第一記憶體位置之已消除一半之第一資料線自其關聯之感測放大器解除耦合，及將至少其餘資料位元之一耦合至解除耦合之感測放大器之一。

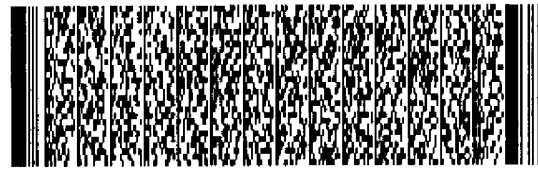
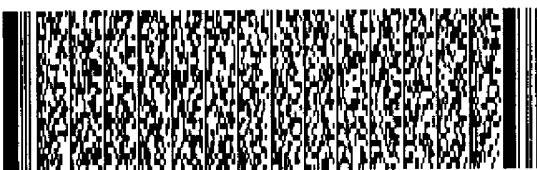
25. 一種串列記憶體裝置，包含：

一記憶體陣列，設置成複數個列，每一列有複數個記憶體位置，每一記憶體位置有複數個資料位元，記憶體陣列有位元線，供輸出一選定列之每一記憶體位置之資料位元；

一解碼器電路，耦合為自記憶體陣列接收位元線，解碼器電路包括資料線及閘控電路，其將一選定列之每一記憶體位置之位元線選擇性耦合，與資料線成一對一對應，解碼器電路另包括位址線作動式耦合至閘控電路，以將選定之諸位元線耦合至其對應資料線；

第一複數個N感測放大器，有輸入與對應於一選定列之每一第N記憶體位置之諸第一資料線電連通；以及

至少一感測放大器，有一輸入與在一選定列之每一記憶體位置之資料線之一電連通。



六、申請專利範圍

26. 如申請專利範圍第25項之串列記憶體裝置，其中，解碼器電路另包括控制線，作動式耦合至開控電路，以同時將N選定記憶體位置之位元線耦合至其對應資料線。

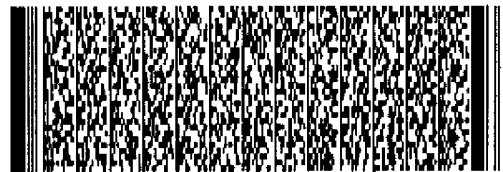
27. 如申請專利範圍第25項之串列記憶體裝置，其中，另包括第二複數個M感測放大器，有輸入耦合至在一選定列對應於每一第M記憶體位置之第二資料線，M等於 $N/2$ 。

28. 如申請專利範圍第27項之串列記憶體裝置，其中，第一資料線各為一最高有效位元，及其中第二資料線各為一第二最高有效位元。

29. 如申請專利範圍第27項之串列記憶體裝置，其中，另包括一輸出緩衝器，一第一選擇器電路，有一單一輸出及有輸入耦合至N感測放大器之輸出，一第二選擇器電路有一單一輸出及有輸入耦合至M感測放大器之輸出，其中第一及第二選擇器電路之輸出予以耦合至輸出緩衝器。

30. 如申請專利範圍第25項之串列記憶體裝置，其中，另包括控制電路，有N獨立判定之啟動線，各耦合至第一感測放大器之一，每一感測放大器有一電路，其響應在其關聯之啟動線判定之控制訊號接通及斷開感測放大器；從而有些感測放大器可予以斷開，同時任令其他諸感測放大器接通。

31. 如申請專利範圍第25項之串列記憶體裝置，其中，另包括一第一提前感測電路，有N輸入端子耦合至第一資料線，及有N輸出端子，每一輸出端子耦合至第一感測放大器之一，第一提前感測電路有一第一可選擇構形，其中



六、申請專利範圍

每一N輸入端子係與一對應輸出端子電連通，第一提前感測電路有一第二可選擇構形，其中每一N輸入端子係僅與N輸出端子之一電連通。

32. 如申請專利範圍第31項之串列記憶體裝置，其中，另包括：第二複數個M感測放大器，每一感測放大器有一輸入耦合至一選定列之每第M記憶體位置之第二資料線，M等於 $N/2$ ；以及

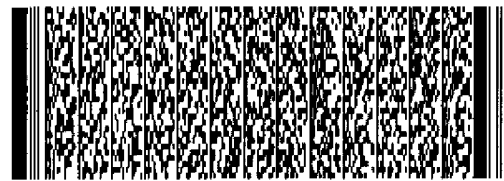
一第二提前感測電路，有M輸入端子及M對應輸出端子，每一輸入端子耦合至第二資料線之一，每一輸出端子耦合至第二感測放大器之一；

第二提前感測電路，有一第一可選擇構形，其中其輸入端子各予以電耦合至其對應輸出端子，及一第二可選擇構形，其中所有其輸入端子僅予以電耦合至其輸出端子之一。

33. 一種串列記憶體裝置，包含：

一記憶體陣列，設置為成複數個列，每一列有複數個記憶體位置，每一記憶體位置有複數個資料位元，記憶體陣列有位元線供輸出在一選定列之每一記憶體位置之資料位元；

一解碼器電路，耦合為自記憶體陣列接收位元線，解碼器電路包括資料線及閘控電路，其將位元線選擇性耦合成一對一與資料線對應，解碼器電路另包括位址線，作動式耦合至閘控電路，以將選定之諸位元線耦合至其對應資料線；



六、申請專利範圍

複數個N第一匯流排線，每一匯流排線耦合至在一選定列之每第N記憶體位置之第一資料線；

複數個M第二匯流排線，每一匯流排線耦合至在一選定列之每第M記憶體位置之一第二資料線，M等於N/2；

複數個N感測放大器，各有一輸入及一輸出；以及

多工電路，有輸入線及輸出線，輸入線耦合至第一匯流排線，及耦合至第二匯流排線，輸出線耦合至感測放大器，多工電路另有控制輸入，供將選定之諸第一及第二匯流排線耦合至感測放大器；

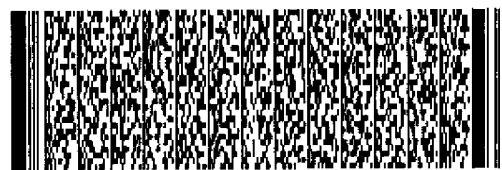
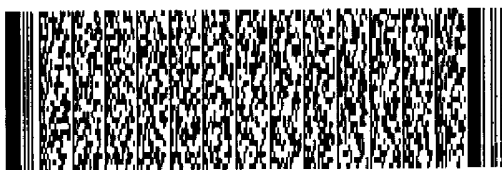
從而在N匯流排線及M匯流排線當中共用N感測放大器。

34. 如申請專利範圍第33項之串列記憶體裝置，其中，多工電路包括N 2比1多工器；每一第一資料線耦合至2比1多工器之一之第一輸入；每一第二資料線耦合至2比1多工器之二之第二輸入。

35. 如申請專利範圍第33項之串列記憶體裝置，其中，另包括第二多工電路及一資料鎖存器，第二多工電路有輸入耦合至感測放大器之輸出，並有輸出耦合至資料鎖存器。

36. 如申請專利範圍第33項之串列記憶體裝置，其中，另包括控制電路，有N獨立判定啟動線各耦合至感測放大器之一，每一感測放大器有一電路，其響應在其關聯啟動線所判定之控制訊號接通及斷開感測放大器；

從而可斷開有些感測放大器，而任令其他諸感測放大器接通。



六、申請專利範圍

37. 如申請專利範圍第33項之串列記憶體裝置，其中，另包括第三複數個匯流排線，每一匯流排線耦合至在一選定列之每一記憶體位置之其餘資料線之一；多工電路另有一輸入耦合至至少第三匯流排線之一；從而在N第一匯流排線，M第二匯流排線，及至少第三匯流排線之一當中共用N感測放大器。

38. 如申請專利範圍第37項之串列記憶體裝置，其中，多工電路包括第一多工器及第二多工器，每一第一多工器接收N匯流排線之一及M匯流排線之一作為輸入，每一第二多工器有輸入耦合至第一多工器之一之輸出，及耦合至至少第三匯流排線之一；第二多工器有輸出耦合至感測放大器。

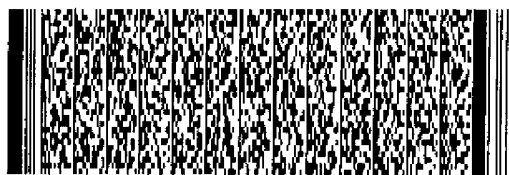
39. 如申請專利範圍第38項之串列記憶體裝置，其中，另包括第三多工器及資料鎖存器，第三多工器有輸入耦合至感測放大器之輸出，並有輸出耦合至資料鎖存器。

40. 一種讀出目標記憶體位置之內容之方法，其係在一種有複數個記憶體位置中，且每一記憶體位置之內容由複數個資料位元所組成之串列記憶體裝置，包含：

接收目標記憶體位置之第一位址，第一位址為目標記憶體位置之部份位址；

就其位址內含第一位址之每一記憶體位置，感測少於所有其資料位元；

在感測之步驟時，(i)接收一個或多個額外位址位元，



六、申請專利範圍

以產生第二位址，藉以減少內含第一位址之記憶體位置之數量，及(ii)感測每一減少記憶體位置之一個或多個額外資料位元；以及

讀出已感測之資料位元。

41. 如申請專利範圍第40項之方法，其中，接收一個或多個另外位址位元之步驟，為一接收目標記憶體位置之其餘一個或多個位址位元之步驟，及感測一個或多個另外資料位元之步驟為一感測目標記憶體位置之其餘一個或多個資料位元之步驟。

