

公告本

申請日期：

91. 7. 23

案號：

91116348

類別：

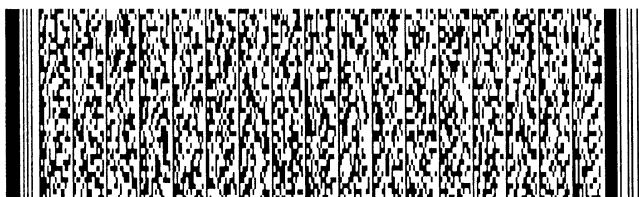
H01Q 11/12 51Q 21/00

(以上各欄由本局填註)

發明專利說明書

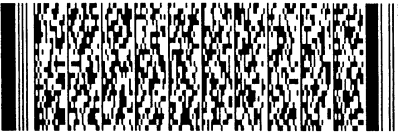
564574

一、 發明名稱	中 文	產生均勻處理率之方法和裝置
	英 文	METHOD AND APPARATUS FOR PRODUCING UNIFORM PROCESS RATES
二、 發明人	姓 名 (中文)	1. 馬克 H. 威爾卡森 2. 安德魯 D. 貝利三世 3. 安卓斯 庫斯 4. 麥可 G.R. 史密斯
	姓 名 (英文)	1. Mark H. Wilcoxson 2. Andrew D. Bailey III 3. Andras Kuthi 4. Michael G.R. Smith
	國 籍	1. 美國 2. 美國 3. 美國 4. 美國
	住、居所	1. 美國加州94611皮德蒙特市, 羅那達大道85號 2. 美國加州94566普萊森頓市, 北公路5167號 3. 美國加州91320千橡樹市, 帕萊拉伍德街717號 4. 美國加州94568都柏林市, 城堡院11793號
三、 申請人	姓 名 (名稱) (中文)	1. 藍姆研究公司
	姓 名 (名稱) (英文)	1. Lam Research Corporation
	國 籍	1. 美國
	住、居所 (事務所)	1. 美國94538-6470加州福尼亞州, 佛利蒙市, 庫勳大道4650號
	代表人 姓 名 (中文)	1. 理查 H. 羅芙格蘭
	代表人 姓 名 (英文)	1. Richard H. Lovgren



申請日期：	案號：
類別：	

(以上各欄由本局填註)

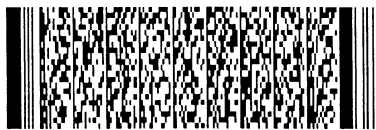
發明專利說明書		
一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	5. 艾倫 M. 史冠艾頗
	姓 名 (英文)	5. Alan M. Schoepp
	國 籍	5. 美國
	住、居所	5. 美國加州95005班羅蒙德市, 9公路10010號
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	
		

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	2001/07/27	60/308,469	有
美國 US	2001/12/18	10/033,807	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

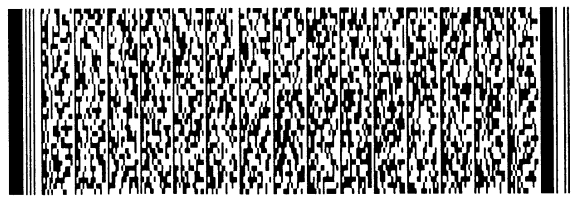
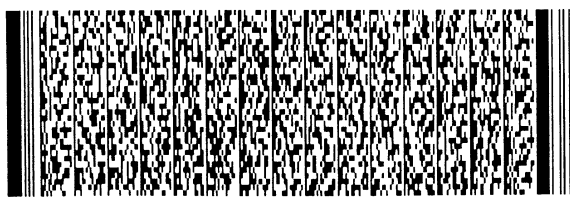
發明背景：

本發明係有關於處理基材 (substrate) 之裝置與方法，該基材係諸如用於IC製造之半導體基材或使用於平面顯示器之玻璃基板。本發明更特別有關於改良之電漿處理系統，該系統能夠於基材表面達到高度之處理均勻度。

電漿處理系統已經存在一段時間。數年前，感應耦合式電漿 (inductively coupled plasma source)、電子回旋加速器共振 (electron cyclotron resonance; ECR)、電容式，以及其他類似之電漿處理系統已經被引進且使用於製造半導體基材與玻璃基板上。

處理過程中，典型上係採用多層沉積與 / 或蝕刻步驟。沉積過程中，材料係沉積於基材表面上 (諸如玻璃基板或晶圓之表面)。例如，可以形成各種矽材、二氧化矽、氮化矽、金屬或其他類似材料之沉積層於該基材之表面。反之，蝕刻可用於自該基材表面之擇定區域選擇性地去除材料。例如，可以形成介層孔 (via)、接觸窗 (contact)、或槽孔 (trench) 之類的蝕刻特徵於該基材之諸層上。

一種特殊的電漿處理方法係使用感應式源 (inductive source) 以產生該電漿。第1圖係表示一先前技術，用於電漿處理之感應式電漿處理反應器100。典型之感應式電漿處理反應器包括一處理室102，其具有天線或感應線圈 (inductive coil) 104，其中該天線或感應線圈104係置於介電窗 (dielectric window) 106上。

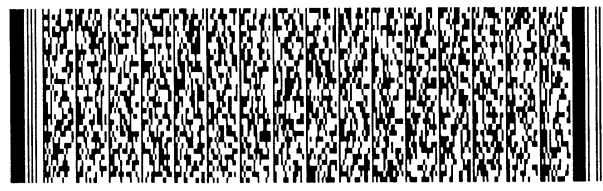
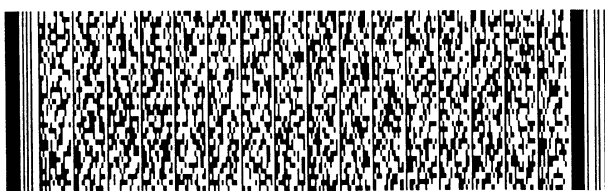


五、發明說明 (2)

通常，天線104係與第一射頻電力源(RF power source) 108相耦合。再者，處理室102內具有一氣體阜110以釋放氣體材料，諸如：蝕刻劑，進入介於該介電窗106與基材112間之射頻感應電漿區(RF-induced plasma region)。導引基材112進入處理室102且設置於夾盤114上，其中該夾盤114一般係作為電極並與第二射頻電力源116相耦合。

為產生電漿，反應氣體藉由氣體阜110輸入處理室102內。然後使用第一射頻電力源108供給感應線圈104能量。該供給之射頻能量係通過介電窗106進行耦合並且於處理室102內引發一大型電場。更明確說來，由於該電場於處理室102內會引發一循環電流(circulating current)。該電場會加速存在於該處理室內之部分電子而促使其與該反應氣體之氣體分子相碰撞。如同熟習該項技藝者所知之，承受強大電場之反應氣體之中性氣體分子會失去電子而留下帶正電荷之離子。因此，該電漿118中包含有正電荷離子、負電荷電子與中性氣體分子(與/或原子)。一旦自由電子的產生速率大於其消失速率於是電漿便此激發。

當電漿一旦形成，該電漿內之中性氣體分子會朝基材表面移動。例如，造成基材上該中性氣體分子此種現象的其中一個機制係為擴散效應(也就是說，該處理室內氣體分子之隨機運動)。因此，一般可於沿著基材112之表面發現一中性粒子層(例如，中性氣體分子)。相同的，當



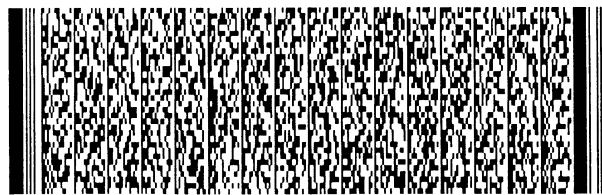
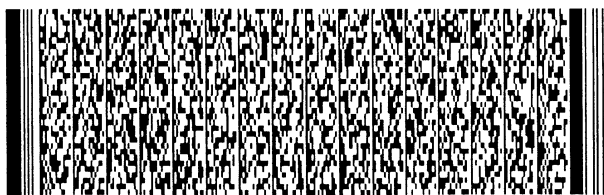
五、發明說明 (3)

底部電極114通電時，離子朝該基材加速並伴隨著中性粒子造成蝕刻反應。

如上所述之感應電漿系統所遭遇之一個問題係為該基材之蝕刻變異，亦即，非均勻之蝕刻速率。也就是說，該基材之某區域所得到蝕刻與其他區域是不同的。因此，欲控制積體電路之相關參數是十分困難的，例如，臨界尺寸 (critical dimension)、縱橫尺寸比 (aspect ratio) 與其他類似參數。此外，非均勻蝕刻會導致半導體電路中之裝置故障，通常會造成製造成本提高。再者，諸如整體蝕刻速率 (overall etch rate)、蝕刻輪廓 (etch profile)、微型負載 (micro-loading)、選擇性 (selectivity) 與其他類似參數亦有各有其考量點。

近年來發現非均勻蝕刻速率係由於分布於基材表面之電漿密度變異所引起，亦即，電漿內具有反應粒子（例如，正性電荷離子）較多或較少之區域。儘管不願被理論所束縛，但相信電漿密度之變異係由電力耦合 (power coupling) 之功率傳輸性之非對稱性所引起，例如，天線、介電窗以及 / 或電漿。若該電力耦合係非對稱，則該感應電場之循環電流亦有理由為非對稱，因此該電漿之離子化與激發亦為非對稱。故而，會遭遇到電漿密度之變異。例如，某些天線配置所引發之電流於線圈中心較強而於線圈外圍較弱。相同的，電漿傾向朝該處理室中心聚集（如第1圖所示，電漿118）。

克服非對稱電力耦合之標準技術係為補償或平衡該非

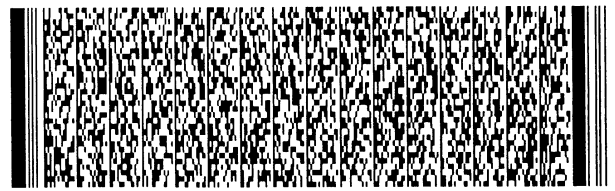
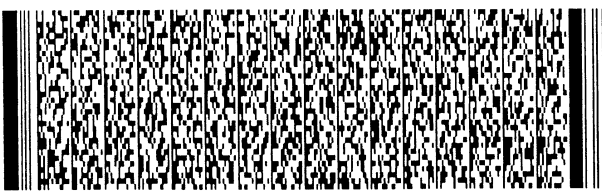


五、發明說明 (4)

對稱性。例如，使用一對平面天線以增加弱電流區之電流密度、於螺旋天線上加入輻射向元件以形成更多圓形迴圈於不同半徑處、改變該介電窗之厚度以降低強電流區之電流密度。然而，這些技術傾向不提供方位角對稱電力耦合。亦即，這些技術仍具有方位角變異而導致電漿上之變異，此將不易得到蝕刻均勻性。

此外，今日大多數使用之天線配置係於該天線與該電漿間形成電容耦合 (capacitive coupling)。電容耦合係利用天線與電漿間之電壓降所形成。一般該電壓降係於或接近該耦合窗 (coupling window) 上形成一護皮電壓 (sheath voltage)。一般來說，該護皮電壓係類似為該底部電極 (通電)。亦即，電漿中之離子會速穿過該鞘區，且因此加速朝向該負電荷耦合窗。因此，該加速之離子會轟擊該耦合窗表面。

大體上這些轟擊離子於耦合窗上之作用係如同其於該基材上之作用，亦即，該轟擊離子既蝕刻亦沉積材料於該耦合窗表面。這將會造成不期望與 / 或無法預測之結果。例如，沉積之材料會堆積在耦合窗上且成為有害微粒狀物質的來源，特別是當材料自基材表面剝落時。自該耦合窗去除材料亦具有相似之影響。最後，增加或降低厚度會造成製程變異 (process variation)，例如，於該電力耦合之功率傳輸性質 (例如，天線、介電窗、電漿)。如上所述，製程變異會造成非均勻製程而導致半導體電路中之裝置故障。



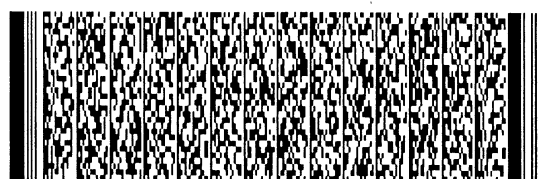
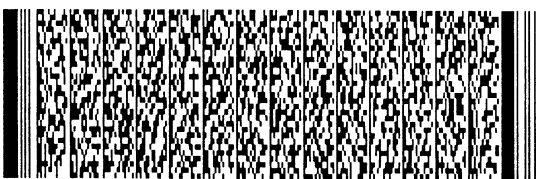
五、發明說明 (5)

如上所回顧，的確有對於在基材表面產生均勻處理率之改良方法和改良裝置之需求。此外亦有對於降低天線與電漿間電容耦合之改良方法和改良裝置之需求。

發明概述：

本發明之一實施例係有關於一種天線配置，用以產生電場於處理室內。通常，該天線配置包含一第一迴圈，設置於天線軸上。該第一迴圈包含一具有第一圈間隙之第一圈，其中該第一圈之第一端係位於該第一圈間隙之第一側，以及該第一圈之第二端係位於該第一圈間隙之第二側；具有第二圈間隙之第二圈，其中該第二圈之第一端係位於該第二圈間隙之第一側，以及該第二圈之第二端係位於該第二圈間隙之第二側，其中該第二圈係與該第一圈同心且共面，並與該第一圈相分離，且該天線軸係通過該第一與第二圈之中心；以及一第一二圈間連接器，與該一與該第二圈電氣相連，其中包含一跨接部 (spanning section)，介於該第一與該第二圈間，其中該跨接部係與該第一與該第二圈共面且跨接該第一與第二圈間隙。

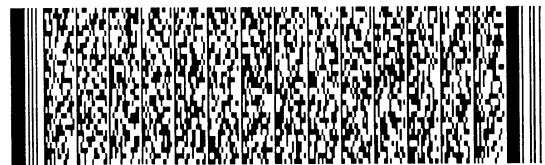
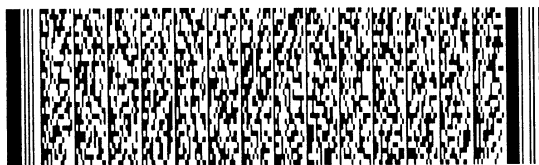
本發明之另一實施例係有關於一種電漿處理裝置，用以處理基材。通常包含有，一處理室，其中於該處理過程中電漿係於該處理室內激發與維持。一多層天線 (multi-layered antenna)，其中該天線係於該處理室內藉由射頻能量產生一電場，該天線具有第一與第二迴圈，且該二迴圈係大體上相似，以及該二迴圈係相對於天



五、發明說明 (6)

線軸對稱。該第一迴圈包含：具有第一圈間隙之第一圈，其中該第一圈之第一端係位於該第一圈間隙之第一側，以及該第一圈之第二端係位於該第一圈間隙之第二側；具有第二圈間隙之第二圈，其中該第二圈之第一端係位於該第二圈間隙之第一側，以及該第二圈之第二端係位於該第二圈間隙之第二側，其中該第二圈係與該第一圈同心且共面，並與該第一圈相分離，以及該天線軸係通過該第一與第二圈之中心。一第一二圈間連接器，該連接器係電氣相連於該第一圈之第二端與該第二圈之第一端間，其中該連接器包含一跨接部 (spanning section)，介於該第一與該第二圈間，其中該跨接部係與該第一與該第二圈共面且跨接該第一與第二圈間隙。一多層窗 (multi-layered window)，其中該多層窗係容許該射頻能量自該天線朝該處理室通過，該多層窗具有第一層與第二層，該第二層係用以抑制可能發生於該電漿與該天線間之電容耦合 (capacitive coupling)。

本發明之另一實施例係有關於一種天線配置，用以產生電場於處理室內。通常，該天線配置包含：具有第一圈間隙之第一圈，其中該第一圈之第一端係位於該第一圈間隙之第一側，以及該第一圈之第二端係位於該第一圈間隙之第二側，以及該第一圈間隙形成一小於 5° 之徑向角；具有第二圈間隙之第二圈，其中該第二圈之第一端係位於該第二圈間隙之第一側，以及該第二圈之第二端係位於該第二圈間隙之第二側，其中該第二圈係與該第一圈共軸且



五、發明說明 (7)

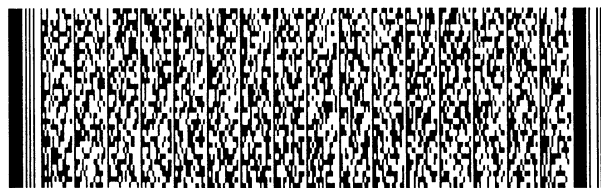
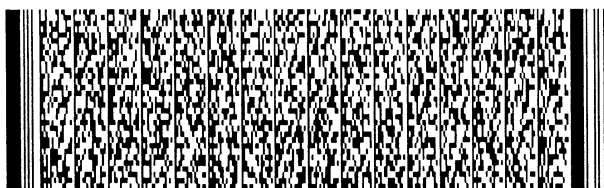
與第一圈相分離，以及該天線軸係通過該第一與第二圈之中心，其中該第二圈間隙形成一小於 5° 之徑向角，以及該第一圈間隙係具有一長度與該第二圈間隙重疊達該第一圈間隙長度之50～50%，以及與該一與該第二圈電氣相連之第一電流路徑連接器（current path connector），其中包含：介該第一與該第二圈間隙間之跨接部（spanning section）。

較佳實施例的詳細說明：

本發明將參照數個其較佳實施例與圖式進行說明。於下列說明中，將有數個特定詳述以提供對於本發明之通盤了解。然而，對於熟習該項技藝者，顯然即使缺少少數或全部該特定詳述本發明亦是可實施的。於其他範例中，已熟知之處理步驟將不進行詳述以避免不必要之誤解。

於基材之製程中，製程工程師須努力改良之一個重要參數係為處理之均勻度。如本處所採用之名稱，蝕刻均勻度係為整個基材表面蝕刻處理之均勻度，其包括：蝕刻速率、微型加載（microloading）、光罩選擇性（mask selectivity）、底層選擇性（underlayer selectivity）、臨界尺寸控制、與諸如側壁角之輪廓特性以及粗造度。舉例來說，若蝕刻係為高度均勻，則於基材上之相異點處該蝕刻速率應大體上相同。於此種情形下，較不可能發生基材表面某處過度蝕刻而他處蝕刻不足的情況。

本發明係提出一種電漿處理系統，可以產生均勻蝕刻

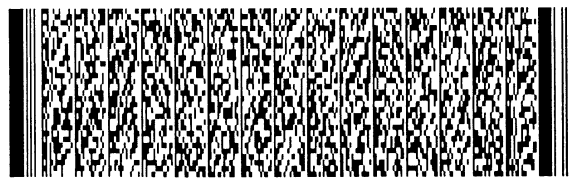
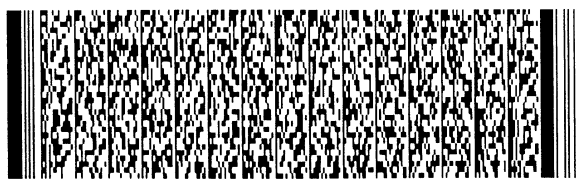


五、發明說明 (8)

以處理基材。該電漿處理系統係包括一射頻電力源與一處理室。該電漿處理系統更包括一大體上為圓形之天線，該天線係有效耦合至該射頻電力源，且當該基材置於處理室內進行處理時，該天線係置於由該基材所定義之平面上。該大體上為圓形之天線利用該射頻電力源所產生之射頻能量以誘發一電場於該處理室內。該大體上為圓形之天線至少具有第一組同心迴圈於第一平面上與第二組同心迴圈於第二平面上。該第一組同心迴圈與該第二組同心迴圈係大體上相同且對稱排列於同一軸上。

該電漿處理系統更包括一介於該天線與該處理室間之耦合窗。該耦合窗可以使射頻能量自該天線朝該處理室內通行。再者，該耦合窗具有第一層與第二層。該第二層至少吸收部分通過該耦合窗之電壓以降低該介層窗與該電漿間之壓降。該大體上為圓形之天線與該耦合窗共同形成一方位角對稱電漿 (azimuthally symmetric plasma) 於該處理室內，其中該電漿於該基材表面形成一大體上均勻之處理率。

根據本發明其中一個形態，使用一改良型天線配置以產生一均勻電漿而於該基材表面達成製程之均勻性。如上所述，係提供一電力予該天線以誘發一電場，且因此產生一循環電流 (circulating electric current) 於處理室內。故而，該電場於該處理室內加速該諸電子而使其與該反應氣體之該氣體分子相撞擊而產生離子化且電漿因此激發。



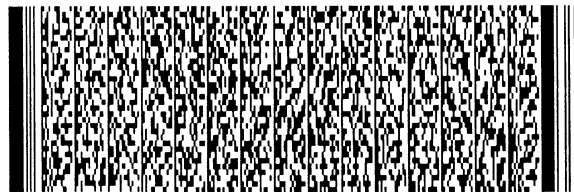
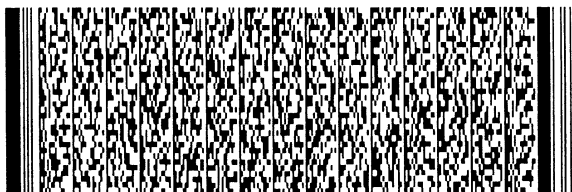
五、發明說明 (9)

隨著電漿的產生，提供能量予下電極，且該諸離子朝該基材加速。該加速離子以及該基材表面之中性反應物與沉積於該基材表面之材料相作用。通常，該電漿密度於該基材表面之某處相較為大時，將會造成非均勻之處理率。因此，提出一種改良型天線配置，係藉由誘發一方位角對稱電場而降低該電漿變異，於是產生一較為均勻之處理率。

於一實施例中，配置該改良型天線以產生方位角對稱之循環電流。儘管不願被理論所束縛，但相信為回應該誘發電場，該電力耦合 (power coupling) 之傳輸線

(transmission line) 特性將產生一方位角變異於該循環電流中。該傳輸線特性傾向沿著該天線長之方向產生一具有高低震盪區之駐波 (standing wave)，因此於該誘發電場中產生具高低電流密度之震盪區，亦即當該電壓為高時，該電流係為低，而當該電壓為低時，該電流係為高。如同熟習該項技藝者所知之，輸入該電漿之功率係取決於該電流密度。例如，當該電流密度為高時則該電漿密度亦傾向為高，而當該電流密度為低時則該電漿密度亦傾向為低。因此，當該電流密度具有高低電流震盪區時通常會產生一方位角對稱電漿。

更精確說來，當該射頻能量之波長小於該天線長度時，於該駐波圖形上將出現多個節點。通常，駐波之統馭方程式係為：天線長 = $1/2$ (波長) * n，其中 n = 節點數。大多數天線配置係介於 $1\frac{1}{2}$ ~ $2\frac{1}{2}$ 波長間，因此產生 3~5 個節



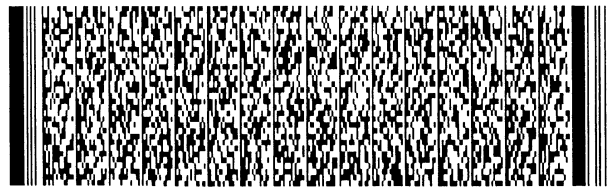
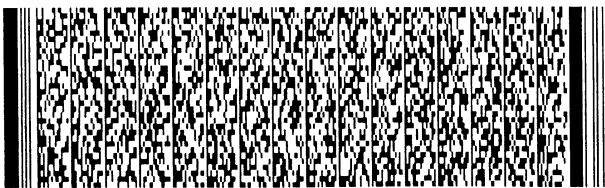
五、發明說明 (10)

點。該諸節點係對應於上述之諸低電壓。

該改良型天線能克服該缺點係由於，該改良型天線於該功率輸出系統中係作為集總電路元件 (lumped circuit element) 而非傳輸線之故。亦即，該改良型天線具有一外觀長度，該長度係小於在工作頻率中之該射頻能量之該波長。因此，可以降低節點數，且該誘發電流之該方位角變異亦大體上消除，以及亦不再具有傳輸線之特性。

於一實施例中，該改良型天線配置係作用如單圈天線之多圈天線。該多圈天線係為一大體上具有複數個迴圈之單一傳導元件，其中該複數個迴圈係緊密纏繞且堆疊在一起。藉由緊密纏繞與堆疊，該天線之整體尺寸（例如，外徑）將可以小型化而不至於影響該誘發循環電流之強度。再者，藉由降低該天線之尺寸，該天線之總長亦會減短，因此降低該天線傳輸線之特性。再者，因為該諸迴圈之配置係彼此相似，因此一般於諸迴圈中產生之放射變異 (radial variation) 亦可以降低。所以，該改良型天線配置較佳地可以誘發一方位角對稱之循環電流。故而，該方位角對稱之循環電流將形成一方位角對稱之電漿，也因此將於該基材表面形成均勻之電漿製程。

該多圈堆疊之天線配置之另一形態係為自我屏蔽 (self-shielding) 之性質，亦即，該電漿係藉由鄰近該窗之該諸迴圈屏蔽該天線之端電壓 (terminal voltage)。此將大幅降低電容耦合與伴隨而來之窗腐蝕 (window erosion)，此二者將於下進行更詳細之說明。

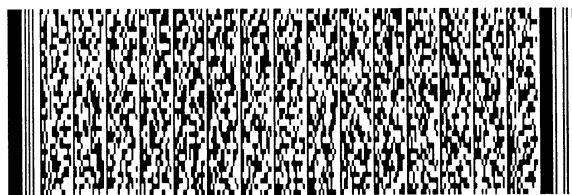
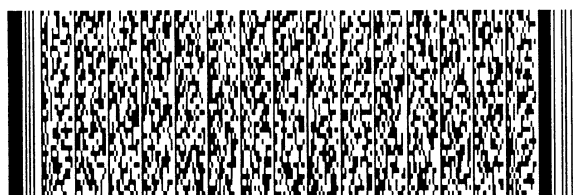


五、發明說明 (11)

根據本發明之另一形態，配置一改良型耦合窗以降低發生於該天線與該電漿間之該電容耦合 (capacitive coupling)。大多數之電力耦合配置 (例如，天線、耦合窗、與電漿) 將於天線與電漿間產生一些電容耦合。電容耦合係產生於天線與電漿間之電壓降。該電壓降通常於鄰近該耦合窗處產生一護皮電壓。如同熟習該項技藝者所知，該護皮電壓會於該電漿中導致額外之變異，例如，該護皮電壓會將該電漿推離該耦合窗而降低感應耦合係數 (inductive coupling coefficient)。此外，由於對於該耦合窗之離子轟擊該護皮電壓會產生嚴重之微粒污染。再者，通常用於離子轟擊之能量是無法用於電漿產生，因此將造成於一定功率下較低之電漿密度。

為了降低該天線與該電漿間之電容耦合，該改良型之耦合窗係包括設置一起之介電層與屏蔽層。該屏蔽層係設置於該處理室內，較佳地，該屏蔽層係作為導引該電壓遠離該耦合窗表面之靜電屏蔽。該屏蔽層本質上係用於抑制電容耦合至該電漿。再者，該屏蔽層係用於消除該電容 (靜電、電位勢梯度) 電場，而留下大體上未改變之該感應 ($\text{curl } B=0$, $\text{grad } F=0$) 電場。亦即，該耦合窗係用以阻擋經由該耦合窗之直接電容耦合，而允許該天線誘發形成該電漿 (無朝向該屏蔽層之大量散失)。

尤其，該屏蔽層係電氣絕緣且由導體或半導體材料所形成。因此，通常存在該天線與該電漿間之電壓降現在則存在於該天線與該屏蔽層間。故而，鄰近該耦合窗表面之



五、發明說明 (12)

該護皮電壓會大幅降低，且將提高該感應耦合係數以及降低該耦合窗無效離子轟擊之功率損耗。

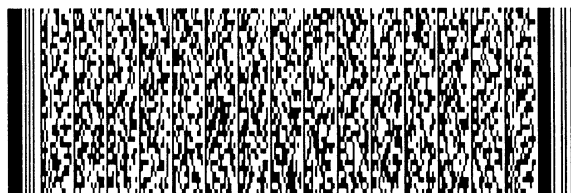
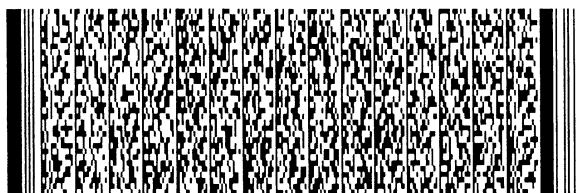
此外，一未接地之靜電屏蔽將產生一均勻靜電場，且僅於該屏蔽區域外屏蔽該靜電場之變異。該最後之特性可用於電漿之擊發。此外，由於屏蔽層係置於該處理室之內部，較佳地，該屏蔽層係以能夠抵抗電漿處理之熱、化學與物理效應之材料所製成。

本發明之特性與優點將配合圖式說明如下。

根據本發明之一實施例，第2圖係表示一電漿處理系統200，其包括一處理室202，其中電漿係於該處理室內激發與維持以進行基材206之處理。基材206係為一代處理之工作件，例如，一待蝕刻、沉積或進行其他製程之半導體基材或一待製成平面顯示器之玻璃基板。此外，較佳地，處理室202係大體上為一圓柱形，且具有大體上垂直之處理室牆208。然而，本發明並不侷限於此，他種配置型式之處理室亦可使用。

電漿處理系統200更包括與電漿204相耦合之一天線配置210與一耦合窗配置212。天線配置210係與第一射頻電力源214相耦合，其中該第一射頻電力源214係提供頻率0.4~50MHz之射頻能量予天線配置210。耦合窗212係允許自天線配置210至該處理室內傳輸該第一射頻能量。較佳地，耦合窗212係置於基材206與天線配置210間。

再者，天線配置210應與該耦合窗充分接近以利電漿204之形成。亦即，該天線配置越接近該耦合窗，處理室

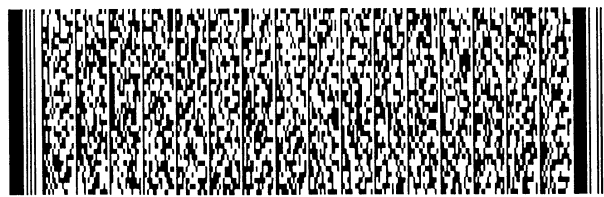
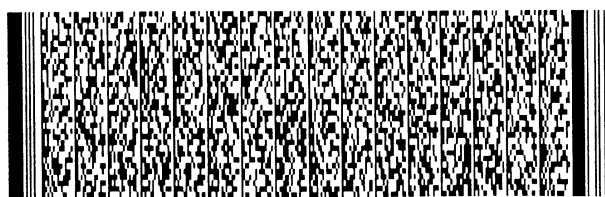


五、發明說明 (13)

內產生之電流強度越大。較佳地，天線配置210係與處理室202與基材206共軸。天線配置之對稱排列可以加強該基材表面之該電漿均勻度，然而，並非所有製程皆需要如此配置。天線配置210與耦合窗212將詳述如下。

處理室202內通常具有一氣體注射器215。較佳地，氣體注射器215係置於處理室202內部之周圍且用以排放氣體材料，諸如：蝕刻劑，進入介於該耦合窗212與基材206間之該射頻感應電漿區(RF-induced plasma region)。或者，該氣體材料亦可自設置於該處理室牆內之阜或經由安置於該介電窗內之噴氣頭(showerhead)排出。氣體之對稱分佈可以加強該基材表面之該電漿均勻度，然而，並非所有製程皆需要如此配置。可用以說明電漿處理系統之氣體分佈系統之範例已詳述於同申請中(co-pending)專利申請案，"PLASMA PROCESSING SYSTEM WITH DYNAMIC GAS DISTRIBUTION CONTROL"；美國專利申請號09/470236，申請日11月15日，1999年。

一般而言，將基材206導引入處理室202內且置於夾盤216上，其中該夾盤216係用以於製程中固定該基材。例如，夾盤216係為一靜電(ESC；electrostatic)夾盤，其係利用靜電力將基材206吸附於該夾盤表面。通常，夾盤216係作為底部電極，且較佳地，利用第二射頻電力源218進行偏壓。此外，較佳地，夾盤216大體上係為圓柱形且與處理室202同軸排列以使得該處理室與該夾盤圓柱對稱。夾盤216亦可以於用以載卸基材206之第一位置(未顯



五、發明說明 (14)

示) 與用以處理基材之第二位置(未顯示)間移動。

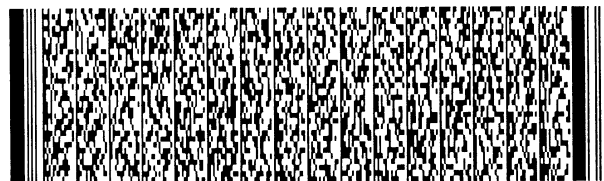
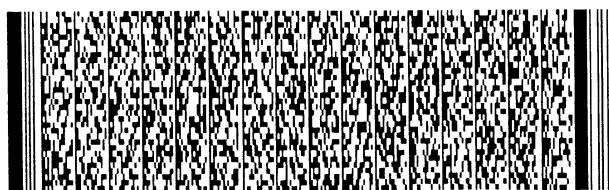
仍參照第2圖，排氣阜220係置於處理室牆202與夾盤216間。然而，該排氣阜之實際配置會依各個電漿處理系統之獨特設計而有所不同。但是，當高均勻度十分關鍵時，則圓柱對稱形排氣阜將十分有利。較佳地，排氣阜220係用於排放製程中形成之氣體副產品。再者，氣體阜220係與一通常置於處理室202外之渦輪式分子泵

(turbomolecular pump)相耦合(未顯示)。如同熟習該項技藝者所知之，該渦輪式分子泵係於處理室202內以維持一適當壓力。

此外，於半導體製程中，諸如蝕刻處理，該處理室內之一些參數需要嚴格控制以維持高度公差。該處理室內之溫度即為此一參數。由於蝕刻公差(與產出之半導體裝置性能)對於系統中元件之溫度波動極為敏感，因此需要精準的控制。可用以說明達成溫度控制之電漿處理系統之溫度管理系統之範例已詳述於同申請中專利申請案，

"TEMPERATURE CONTROL SYSTEM FOR PLASMA PROCESSING APPARATUS"，美國專利號6302966，公告日10月16日，2001年。

此外，為達到對於電漿製程之嚴格控制，用於電漿處理室內之材料亦為一重要考量，例如，處理室牆等之內部表面。而基材製程中使用之氣體化學性質亦為一重要考量。例如，可用以說明電漿處理系統之材料與氣體化學性質之範例已詳述於同申請中專利申請案，"MATERIALS AND



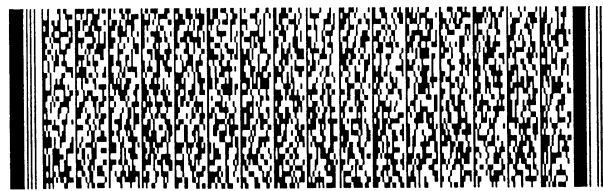
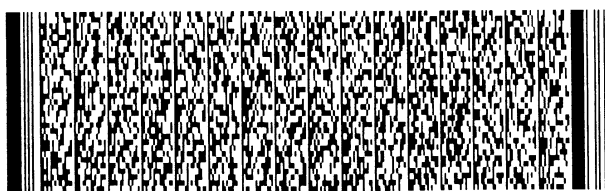
五、發明說明 (15)

GAS CHEMISTRIES FOR PLASMA PROCESSING SYSTEMS"，美國專利號09/440794，申請日11月15日，1999年。

為產生電漿，一處理氣體，藉由氣體注射器215輸入處理室202內。然後使用第一射頻電力源214供給電力予天線配置210，以及經由耦合窗212於處理室202內誘發一大型電場。該電場加速存在於該處理室內之部分電子使其與該處理氣體之氣體分子相碰撞。該碰撞將造成離子化與放電現象或電漿204之激發。如同熟習該項技藝者所知之，承受強大電場之反應氣體中之中性氣體分子會失去電子而留下帶正電荷之離子。因此，電漿204內存在有帶正電荷之離子、帶負電荷之離子與中性氣體分子。

一旦電漿形成，電漿內之中性氣體分子會朝向該基材表面移動。例如，造成基材表面中性氣體分子之其中一個機制係為擴散現象（亦即，該處理室內分子之隨機運動）。因此，通常於基材206表面存在有一中性粒子（例如，中性氣體分子）層。相同的，當底部電極216通電時，離子會朝該基材加速並伴隨著中性粒子激發基材之製程，亦即，蝕刻、沉積與/或其他類似反應。

一般而言，電漿204主要存在於該處理室之上部（例如，反應區），然而，部分該電漿則會充塞於整個處理室。該電漿通常會朝其可以維持處移動，亦即幾乎整個處理室。例如，該電漿會充塞該基材下之區域，諸如該抽氣配置之下部（例如，非反應區）。若該電漿抵達該區域，則該區域之蝕刻、沉積與/或腐蝕便接踵而來，而此將會



五、發明說明 (16)

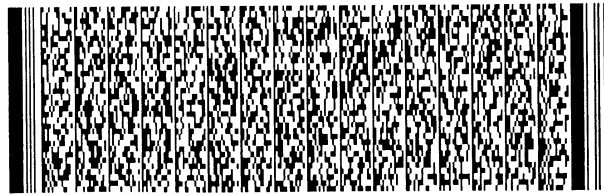
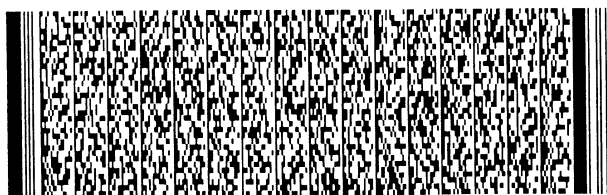
導致該處理室內之微粒污染，亦即，由於蝕刻該區域或沉積材料之剝落。

此外，自由電漿將會形成一非均勻電漿，此將會導致該處理室效能之變異，亦即，蝕刻均勻度、整體蝕刻速率、蝕刻輪廓、微型負載、選擇性與其他類似性質。為削減上述效應，一電漿控制配置可用於控制該電漿。例如，可用以說明電漿處理系統內控制電漿之電漿控制配置之範例已詳述於同申請中專利申請案，"METHOD AND APPARATUS FOR CONTROLLING THE VOLUME OF PLASMA"，美國專利申請號09/439759，申請日11月15日，1999年。

根據本發明之第一形態，該電漿處理裝置係具有一多圈天線配置以使得該電漿處理裝置之該處理室內誘發形成一方位角對稱電場。根據本發明之一實施例，第3與4圖係表示一多圈天線配置400。該多圈天線配置400包括：一有效耦合至射頻電力源404之多圈天線402，例如，分別表示如第2圖所示之該天線210與該射頻電力源214。

如上所述，若該天線長度小於該波長，則該電力耦合之傳輸線描述即不恰當，且該電力耦合應視為集總電路元件。因此，多圈天線402應具有小於該傳輸能量波長之長度。藉由縮短該天線長度，駐波中之節點亦將減少，且存在於該天線方位角方向之高低電壓區亦將大幅減少。

較佳地，該多圈天線具有緊密相連之複數個迴圈，因此形成之電磁場係如一單圈天線。更明確說來，該諸迴圈設置更緊密，則該天線之電流所生成之電容將更為增加。



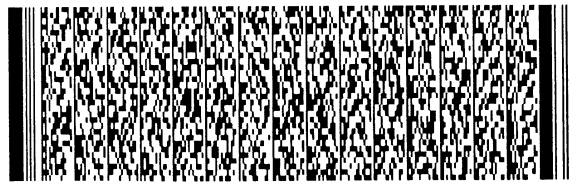
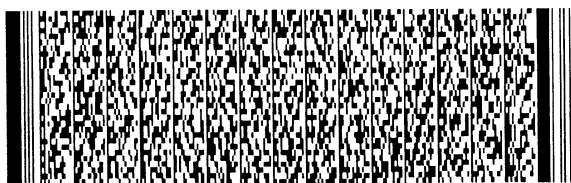
五、發明說明 (17)

例如，若天線係由四圈彼此相連之迴圈所構成，則通過該電漿之電流亦將四倍於該天線之電流。相同的，濃縮電漿乘載之濃縮電流亦較為均勻。因此，相較於該處理室之直徑，若該天線之直徑較小，則該天線之長度亦較小。該天線之實際長度將詳述如下。

多圈天線402大體上係為圓形且至少包括一第一組同心迴圈406於第一平面以及一第二組同心迴圈410於第二平面。較佳地，該第一組同心迴圈406與該第二組同心迴圈410大體上係相同且彼此沿天線軸414對稱排列。其中大體上圓形之天線會形成大體上圓形之電場，因此將會形成一大體上圓形之電漿。因此，由於該處理室與該基材為圓形，所以該大體上為圓形之電漿將會於該基材表面造成較均勻之製程。

雖然本發明所示與所述之基材大體上係為圓形，然諸如顯示器或用以補償處理室內非對稱性之不同形狀之基材亦可以使用。例如，橢圓形或具有圓角之方形亦適用上述之原則。

此外，較佳地，該第一組同心迴圈406係堆疊於該第二組同心迴圈410上。由於該端電壓與所有電壓節點係直接鄰近該窗，因此，通常單平面(single-plane)天線產生一量增之電容耦合。然而，由於堆疊天線以及介於該第一與該第二組同心迴圈間之對稱排列，較佳地，該高端電壓將為該第二組同心迴圈所屏蔽。更明確說來，由於該第二組同心迴圈為該電壓降提供一傳導路徑，因此該電壓降



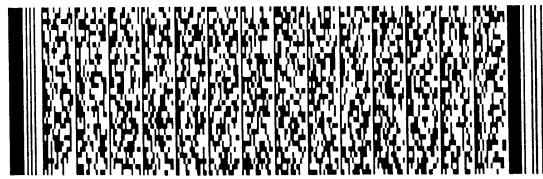
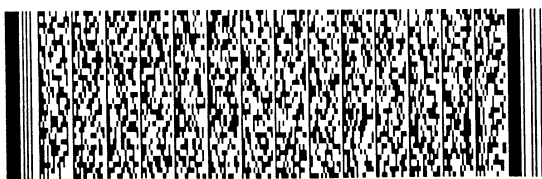
五、發明說明 (18)

不會與電漿發生交互作用，故而通常存在於該第一組同心迴圈與該電漿間之電壓降（例如，電容耦合）將大體上降低。

此外，較佳地，第一組同心迴圈406包括第一圈416與第四圈418，而較佳地，第二組同心迴圈410包括第二圈420與電三圈422。此外，第一圈416大體上與第二圈420相同且置於其上，以及第四圈418大體上與第三圈422相同且置於其上。

第一圈416係有效耦合至第二圈420，第二圈420係有效耦合至第三圈422，第三圈422係有效耦合至第四圈418，其中各圈係排列使得電流於天線軸414上之流向一致。於一實施例中，該多圈天線係由單一傳導元件所構成。然而，此並非一限制，而且該多圈天線可以由結構與電氣相耦合之獨立元件所構成。此外，多圈天線402包括一輸入引線424與輸出引線426。該輸入引線424係有效耦合至第一圈416，以及該輸出引線426係有效耦合至第四圈418。因此，藉由該輸入引線424與輸出引線426間之射頻電壓，射頻電流將流經多圈天線402。

仍參照第3與第4圖，第四圈418之直徑係大於第一圈416，以及第三圈422之直徑係大於第二圈420。雖然該諸外圈（例如，第三與第四圈）具有較大之直徑，較佳地，該諸外圈係與該諸內圈（例如，第一與第二圈）相鄰而置。亦即，較佳地，該第四圈418係與該第一圈416相鄰而置，以及該第三圈422係與該第二圈420相鄰而置。由於彼



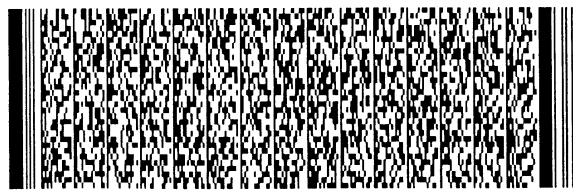
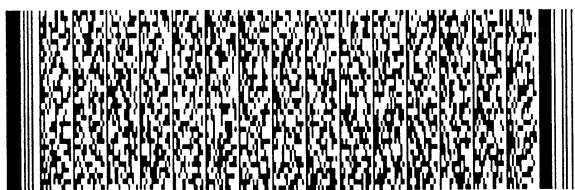
五、發明說明 (19)

此近接，因此該多圈天線視如亦作動如單圈天線（例如，諸圈間大體上無間隙）。因此，放射方向之高低電流區可大體上減少。

如同熟習該項技藝者所知之，通常存在於二導體間之小間隙將於該二導體間產生電弧放電（arcing）。因此，藉由存在於內外圈之間隙以消除電弧放電。然而，本發明之一實施例中，該間隙內係填充一介電材料以使得該內外圈可以盡可能接近並且大體上消除該內外圈間之電弧放電。例如，可使用0.2~1cm間隙之鐵氟隆（teflon）或陶瓷材料。

此外，通常該多圈天線係由銅所製成。於一實施例中，該多圈天線係由鍍銀之銅所製成。然而，此並非侷限該多圈天線係由銅或鍍銀銅所製成，任何適當之導電材料皆可使用。於一實施例中，該天線迴圈之剖面係為方形，此將有利於利用各迴圈相對於該窗與各個迴圈之重複位置。然而，此並非侷限該剖面形狀，任何剖面形狀與尺寸皆可使用。此外，該天線迴圈亦可以中空導體製成以利溫度控制（亦即，使流體流經其中）。

相較於該多圈天線之整體尺寸，亦即，該外徑，為使該電漿聚集於該基材上方之區域以避免朝向該處理室牆之不當電漿擴散，較佳地（然非絕對必須），該天線尺寸通常小於該處理室之剖面尺寸，其中該不當電漿擴散將導致需要更多電力來作動該電漿處理系統且將增加處理室牆之腐蝕。此外，產生之電漿尺寸係相對應於該使用之天線尺

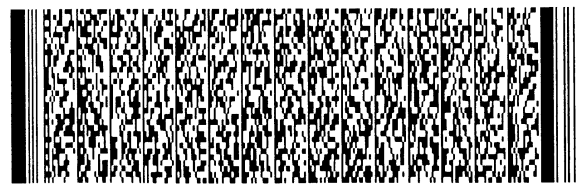
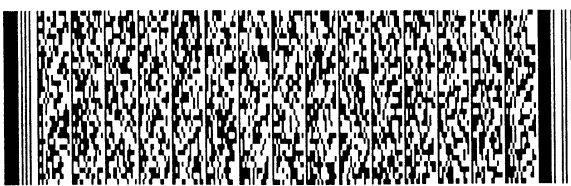


五、發明說明 (20)

寸，因此，該多圈天線之外徑係應小於該基材之直徑以產生一均勻蝕刻速率。例如，該基材尺寸係通常約介於6~12英吋，因此，於一實施例中，該多圈天線之外徑係約介於6~12英吋。

更進一步詳述，由於電流量之增加，亦即，多圈天線作用如單圈天線，該多圈天線可小於該基材。亦即，電流密度越高，產生之電漿將越足以處理該基材。然而，並非對於所有製成皆需使用較小之天線，亦即，天線可大於基材。然而，若高均勻度係十分關鍵，則使用較小之天線將十分有利。例如，為處理12英吋之基材，該天線直徑可以約為6~15英吋，較佳地，係約為7~11英吋。然而，此非侷限該天線尺寸，該天線之實際尺寸可因特定之基材尺寸（亦即，該天線尺寸可因使用不同大小之基材而調整）與各電漿處理器之特定設計而有所不同。

關於使用射頻頻率，一般之使用規範係使用較低之射頻頻率（例如，低於13MHz），藉由降低駐波效應，較低之射頻頻率將減少該電力耦合之傳輸線特性之影響。亦即，較低之射頻頻率將會使得任何天線固有之方位角非對稱耦合特性較不明顯。再者，較低之射頻頻率亦將使該天線與該電漿間之該電容耦合較不明顯，因此，該耦合窗之離子轟擊亦將降低。因此，該射頻電力源之頻率係通常約小於或等於13MHz，較佳地，係約為0.4~13MHz，更佳地，係約為4MHz。需注意並非所有製程皆需使用較低之射頻頻率。然而，若高均勻度係十分關鍵，則使用較低之射



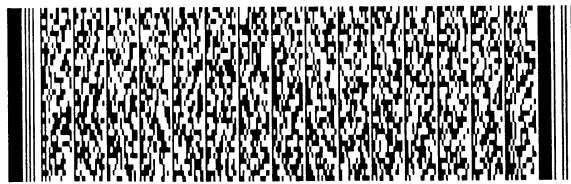
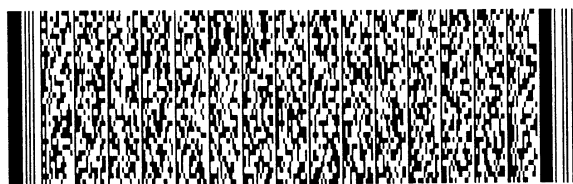
五、發明說明 (21)

頻 頻 率 將 十 分 有 利 。

如上所述，本發明之第一形態具有多項優點。不同之實施例會具有下列一項或多項優點。本發明之一項優點係為產生方位角對稱之之電漿於該處理室內。因此，可以增加製程均勻度，其中可以增加基材產出、降低裝置故障、與增加處理後基材之整體生產率。本發明之另一優點係為，該所發明之天線配置係為自我屏蔽 (self-shielding)，因此，可以降低該天線與該電漿間之該電容耦合。相同地，亦可以降低該耦合窗之離子轟擊，因此增加該耦合窗之壽命，以及離子轟擊之微粒污染亦可降低。

根據本發明之第二形態，一具有多層耦合窗配置之電漿處理裝置可以大體上降低該天線與該電漿間之電容耦合。為有助於討論本發明之本形態，根據本發明之一實施例，第5圖係表示一多層耦合窗配置500。該多層耦合窗配置500可分別相對應於如第2圖所示之該耦合窗212。多層耦合窗配置500至少包括一第一層504與一第二層506。較佳地，該第一層504係與該第二層506相結合。於一實施例中，該二層係以熱力結合。然而，此並非侷限他種結合製程之使用。此外，該二層間亦可設置一間隙，亦即，一真空間隙或允許氣體於其間流動之間隙，然而卻具有上述之優點。此外，較佳地，第二層506係形成部分該處理室之內部周圍表面。

首先討論第二層，該第二層係作為一靜電屏蔽以降低

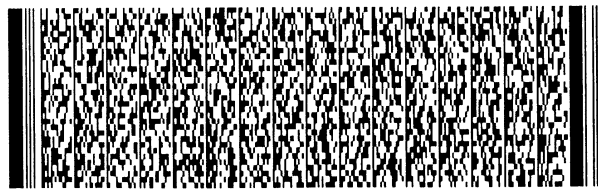
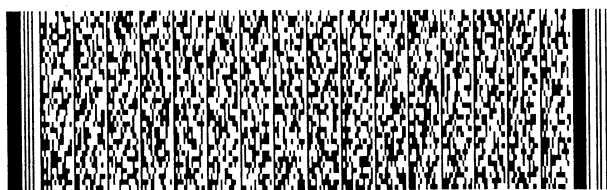


五、發明說明 (22)

其表面之電位差。此外，該第二層係電氣絕緣，且較佳地，係以有助於感應之射頻能量由該天線至該電漿移動之導體或半導體材料所製成。再者，由於該第二層係暴露在該處理室內之電漿下，較佳地，該第二層係以能夠大體上抵抗電漿之材質所形成。於較佳之實施例中，該第二層係由碳化矽 (SiC) 所形成。一般來說，碳化矽可以抵抗電漿處理之熱、化學與物理效應。此外，碳化矽通常歸類為電介質 (dielectric)，會對電流產生些微阻抗。該阻抗特性係產生屏蔽效應，而介電性質則允許感應耦合。

該第二層之電阻係數 (resistivity) 係為一重要參數，可以確保該層作為一靜電屏蔽且不會影響該感應電場。一般來說，使用於本發明之特定電阻係數範圍係取決於該耦合窗使用之實際天線尺寸、該電力耦合之操作頻率以及該第二層之厚度。例如，可以使用約介於 $100 \sim 10^4 \text{ ohm-cm}$ 之電阻係數。然而，若有需要，可使用大於 10^6 ohm-cm 之電阻係數以使該第二層 (例如，碳化矽) 更像一介電層。

即使不願被理論所侷限，但相信該第二層之電阻抗係代表形成該電漿之該處理氣體之一等電位表面。例如，當該電漿激發後，由於該電漿與該第二層之近接，該第二層之電位將大體上降低。此外，通常將形成一電容分壓器 (capacitive voltage divider)，例如，一上部，該上部係藉由具有固定電容之該介電第一層所形成，以及一下部，該下部於電漿激發前係由該導電第二層與該處理室牆

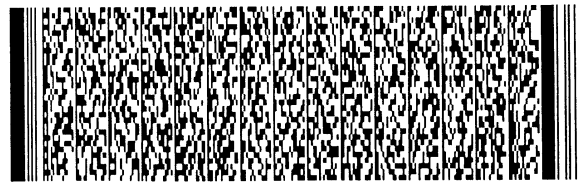
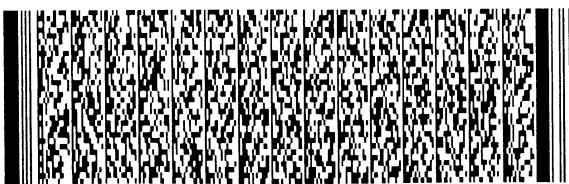


五、發明說明 (23)

所形成，於電漿激發後係由該導電第二層與該電漿所形成。於電漿激發前，該下部具有較小之電容，因此將有一較大之電壓以輔助激發（例如，為造成放電，通常需要一電容電場）。電漿激發後，該下部具有較大之電容以致於該電壓大體上降低，因此將不會產生明顯之電容電力耦合。

現在討論該第一層，較佳地，該第一層係以有助於感應之射頻能量由該天線至該電漿移動之介電材料所製成。此外，該第一層之結構需夠堅固以維持真空且能夠輕易承受處理室週期性之清潔工作。此外，該第一層通常係由一介電材料所形成，其中該介電材料係具有優良之熱力性質以達成該窗之溫度控制。例如，可使用氮化矽（SiN）或氮化鋁（AlN）作為介電材料。然而，此並不限制其他材料的使用。例如，亦可以使用鋁或石英。

該多層耦合窗500之整體厚度需夠薄以有效傳輸該天線之射頻能量至該電漿，且必須能夠承受製程中所產生之壓力與熱。較佳地，該多層耦合窗之厚度係約介於0.5~1英吋。更佳地，該多層耦合窗之厚度係約為0.8英吋。此外，該第一層504之厚度應大於該第二層506之厚度。較佳地，該第一層之厚度係約介於0.5~1英吋。更佳地，該第一層之厚度係約為0.6英吋。此外，較佳地，該第二層之厚度係約介於0.1~0.5英吋。更佳地，該第二層之厚度係約為0.2英吋。應注意各層之實際厚度會因各層所使用之材料而不同。



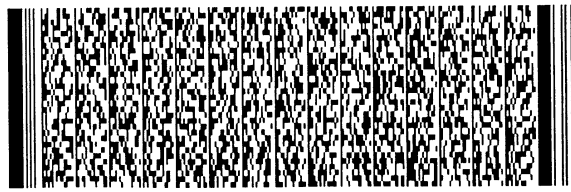
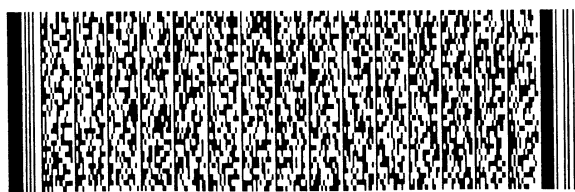
五、發明說明 (24)

於一實施例中，該第二層係完全覆蓋該第一層以使其免於暴露於電漿之下，並確保純淨之材料（例如，SiC）面對與該基材相接之該電漿區。然而，此並非限制其他配置的使用。例如，該第二層可僅僅覆蓋該第一層與天線接近且面對該電漿之部分。

此外，該耦合窗之尺寸並不需要與該電漿處理室之尺寸相同。然而，通常較小之耦合窗可以降低成本，特別當使用諸如SiC之類的昂貴材料。於一實施例中，該耦合窗之外形係與該天線配置之外形相同，因此，該耦合窗大體上係為圓形。於另一實施例中，為了減少任何與環繞該天線之導電元件之電氣耦合，該耦合窗之外尺寸係些微突出於該天線之外尺寸一段距離。例如，該耦合窗之外尺寸係較該天線之外尺寸突出約1英吋。於另一實施例中，該耦合窗之外形係大體上與該天線相同，亦即，環形。

關於該介電性質（例如，介電常數）之使用，如一般之使用規範，藉由降低駐波效應，較低之介電常數，例如，約小於10，將減少該電力耦合之傳輸線特性之影響。甚者，較低之介電常數會使傳輸能量之波長變長，此將會使該天線看起來較短且因此於駐波上形成較少之節點。同樣地，較低之介電常數會使任何天線固有之方位角非對稱耦合特性較不明顯。

於一實施例中，較佳地，該耦合窗之整體介電常數係約小於或等於10。然而，並非所有製程皆需使用較小之介電常數。事實上，通常需要在高度方位角對稱與簡化結構



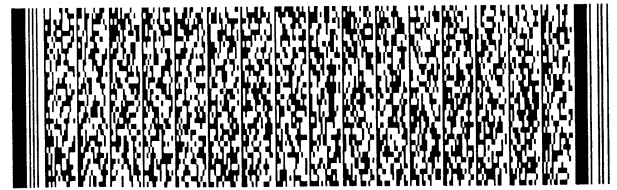
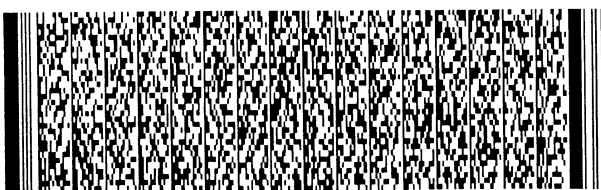
五、發明說明 (25)

與熱傳上之設計間進行折衷。然而，若高均勻度係十分關鍵，則使用較低之介電常數將十分有利。

如上所述，本發明之第二形態具有多項優點。不同之實施例會具有下列一項或多項優點。例如，本發明具有一耦合窗，該耦合窗大體上降低該天線與該電漿間之該電容耦合。因此，電漿中之變異可大體上降低。例如，通常可以維持該感應耦合係數、通常可以降低該耦合窗之離子轟擊、以及有更多的電力可用於產生電漿，亦即，於一定電力下可產生更高之電漿密度。此外，由於降低離子轟擊，由於離子轟擊產生之微粒污染通常亦可降低，因此，由於不同厚度之窗（亦即，沉積或除去材料）產生之製程變異亦將降低。同時，本發明使用純淨之材料，亦即，SiC，亦可降低製程變異。

再者，亦可以考慮使用其他額外元件，與前述之多圈天線與多層耦合窗共同使用以更加提高於電漿處理系統中基材之均勻處理。例如，於接近該耦合窗與該多圈天線處，一磁力配置可以與該多圈天線共同控制該處理室內該靜磁場放射向之變異。此磁力配置之範例可見於同申請中專利申請案，"IMPROVED PLASMA PROCESSING SYSTEMS AND METHODS THEREFOR"。美國專利申請號09/439661，申請日11月15日，1999年。

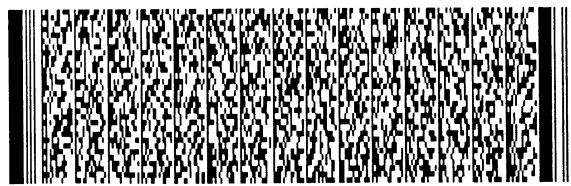
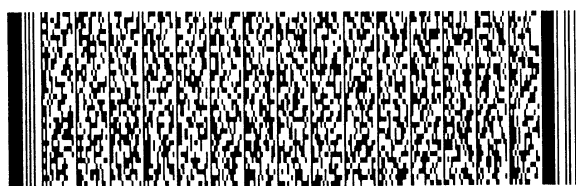
當關鍵尺寸持續減少，則非方位角對稱之電漿之公差亦將減少。該天線之諸迴圈係不完整，該諸天線迴圈之諸端部具有一間隙以避免短路。該間隙係為避免該電漿成為



五、發明說明 (26)

方位角對稱。第6圖係表示具有間隙608之部分天線迴圈604之示意圖。由第一角616所定義之第一方位角扇形區612包含該間隙608。由第二角624所定義之第二方位角扇形區620不包含該間隙608。該間隙608使得於該第一方位角扇形區612內之該射頻功率小於該第二方位角扇形區620內之該射頻功率。不同電流之乘載元件用於橋接該間隙。該橋接元件之非對稱性該元件無法提供希望之均勻度。

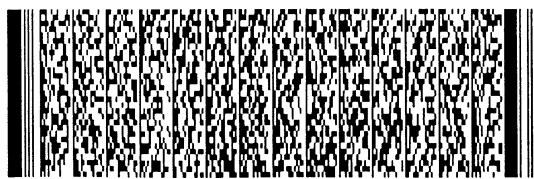
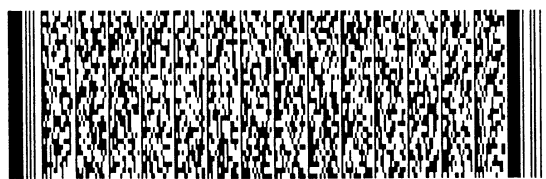
藉由本發明之一實施例，第7圖係表示一多圈天線700之立體圖。該多圈天線700包括一第一圈704、一第二圈708、一第三圈712與一第四圈716。一輸入匯流排720係連接至該第一圈704。一輸出匯流排724係連接至該第四圈716。第8圖係表示第7圖之截斷部728之放大示意上視剖面圖，其中顯示該第三圈712、該第四圈716與該輸出匯流排724之剖面。為清晰故，該第一圈、該第二圈與該輸入匯流排720並不顯示於第8圖上。第9圖係表示單獨該第三圈712之上視圖。如第8與9圖所示，該第三圈712具有一第一端804與一第二端808，其中該第三圈712之該第一端804與該第二端808係以一第三圈間隙812分隔。該第三圈712係置於該天線軸904之中心。該第三圈712之半徑906自該天線軸904延伸至位於該第三圈712上之一點。該第三圈712之周長908係沿著該第三圈方向，自該第一端804至該第二端808，越過該間隙812，回到該第一端804。較佳地，該間隙812僅為該第三圈712之小部份。於該視圖之部份中，諸如間隙812之元件並非依比例繪製以使特定元件能更佳



五、發明說明 (27)

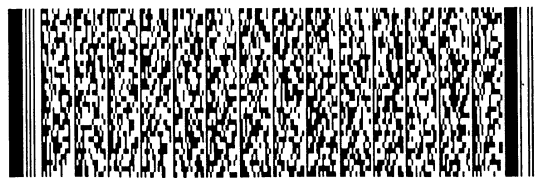
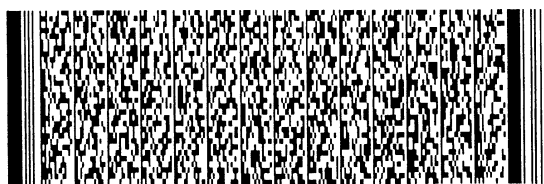
清楚的呈現。如圖所示，該間隙812於該天線軸上形成一角度912。較佳地，由間隙812所形成之該角度912係小於7°。更佳地，由該間隙所形成之該角度係小於3°。該第三圈間隙812之長度大體上係平行於該第三圈712之該周長。介於至少該第三圈之該第一端804之部分與該天線軸904間之距離係等於介於至少該第三圈之該第二端808之部分與該天線軸904間之距離。此表示至一點之半徑，其中該點係介於該第三圈之該第一端之內部與該第一端之外部間，係等於至另一點之半徑，其中該點係介於該第三圈之該第二端之內部與該第三圈之該第二端808之外部間。形成螺旋部分之迴圈並不符合此定義，因為螺旋外之該諸第一端與該諸第二端必須有不同之半徑使其端部不至於相觸。更佳地，如第9圖所示，該第一端804之半徑係等於該第二端之半徑。較佳地，該第三圈大體上係為圓形。更佳地，如圖所示，該第三圈712係為圓形。

第10圖係表示單獨該第四圈716之上視圖。如第8與10圖所示，該第四圈716具有一第一端816與一第二端820，其中該第一端816與該第二端820係由一第四圈間隙824所分隔。該第三圈712係藉由第三四圈間隙828與該第四圈716相分隔。該第三四圈間隙828之長度係為該第三圈712與該第四圈716間之徑向線，該長度大體上係垂直於該第三圈712與該第四圈716。該第四圈716係位於該天線軸904之中心。該第三圈712與該第四圈716係為同心且共面，所以他們之中心係位於該天線軸904上之相同點上。



五、發明說明 (28)

該第四圈716之半徑1006係由該天線軸904延伸至該第四圈716上一點，因此該第四圈716之半徑係約較該第三圈712之半徑大了該第三四圈間間隙828之尺寸。該第四圈716之周長1008係沿著該第四圈方向，自該第一端816至該第四圈之該第二端820，越過該間隙824，回到該第四圈716之該第一端816。較佳地，該間隙824僅為該第四圈716之小部份。如圖所示，該間隙824於該天線軸上形成一角度1012。較佳地，由間隙824所形成之該角度1012係小於7°。更佳地，由該間隙所形成之該角度1012係小於5°。更佳地，由該間隙所形成之該角度係小於3°。該第四圈間隙824之長度大體上係平行於該第四圈716之該周長。於本例中，該第一端816與該第二端820具有一裁斷角1016。介於至少該第四圈之該第一端816之部分與該天線軸904間之距離係等於介於至少該第四圈之該第二端820之部分與該天線軸904間之距離。此表示至一點之半徑，其中該點係介於該第四圈之該第一端之內部與該第一端之外部間，係等於至另一點之半徑，其中該點係介於該第四圈之該第二端之內部與該第四圈之該第二端820之外部間，其中該第一端之內部包括該第一端之該裁斷部1016而使該第一端如同未被裁斷，且該第二端之外部包括該第二端之該裁斷部而使該第二端如同未被裁斷，因為該截斷部分僅用於與連接器相連接，所以於使用時該截斷部分實際上是填滿的。形成螺旋部分之迴圈並不符合此定義，因為該諸第一端與該諸第二端必須有不同之半徑使其端部不至於相觸。

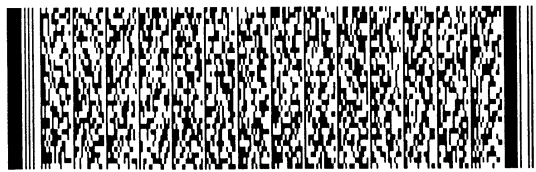


五、發明說明 (29)

更佳地，如第10圖所示，該第一端816之半徑係等於該第二端820之半徑。較佳地，該第四圈大體上係為圓形。更佳地，如圖所示，該第四圈716係為圓形。

第三四圈間連接器832具有一介於該第三圈808之該第二端與該第四圈816之該第一端間之電氣連接。於一較佳實施例中，該第三四圈間連接器832包括一跨接部836、一第三圈連接器之腳840、以及一第四圈連接器之腳844。較佳地，該跨接部836大體上係平行於該第三圈712之圓周與鄰近該跨接部836之該第四圈716之圓周。該第三圈連接器之腳840大體上係為至該第三圈712之放射線。該第三圈連接器之腳840大體上係為至該第三圈712之放射線係表示其大體上平行於鄰近該第三圈連接器之腳之該第三圈之半徑。該第四圈連接器之腳844大體上係為至該第四圈716之放射線。如圖所示，該跨接部836係近似於該第三圈712與該第四圈716之中點。該第三圈連接器之腳840係鄰近於該第三圈間隙812之端部。該第四圈連接器之腳844係鄰近於該第四圈間隙824之端部。於一較佳實施例中，該第三圈間隙812與該第四圈間隙824係彼此相鄰，因此該第三圈間隙812之端部係與該第四圈間隙824之起點相同，其中該第三圈間隙812之端部係位於以斷裂線850標示之放射線上。如圖所示，該相鄰之間隙將不會重疊。較佳地，該間隙812與824可以重疊0.0625~0.0625英吋

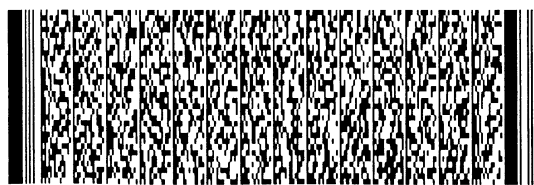
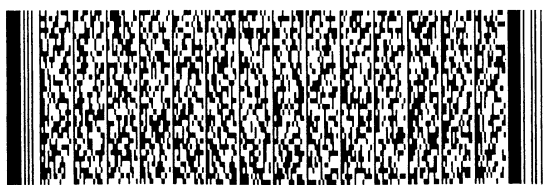
(1.5875~-1.5875mm)，其中負號係表示沒有重疊，但若該間隙重疊，則沿著該第三圈量測終止該第三圈間隙之半



五、發明說明 (30)

徑與起始該第四圈之半徑間之問隙，該問隙將小於0.0625英吋。更佳地，該第三圈問隙與該第四圈問隙係重疊0.005~0.005英吋（0.127~0.127mm）。以百分比而言，該第三與第四圈問隙之重疊係該第三圈問隙長度之50~50%，其中負號係表示沒有重疊，但若該問隙重疊，則沿著該第三圈量測終止該第三圈問隙之半徑與起始該第四圈之半徑間之問隙，該問隙將小於該第三圈問隙長度之50%。更佳地，該第三與第四圈問隙之重疊係該第三圈問隙長度之25~25%。最佳地，該第三與第四圈問隙之重疊係該第三圈問隙長度之5~5%。該連接器832係與該第三圈712以及該第四圈716共面。

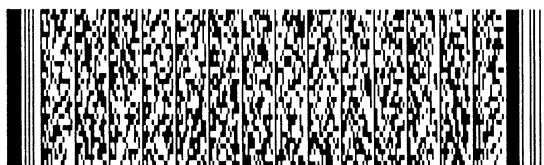
第11圖係表示第7圖之裁斷部728之放大示意上視圖，其中顯示該第一圈704、該第二圈708、與該輸入匯流排720之剖面，其中為清晰故，該第三圈、該第四圈與該輸出匯流排並不顯示於第11圖上。第12圖係表示單獨該第一圈704之上視圖。如第11與12圖所示，該第一圈704具有一第一端1104與一第二端1108，其中該第一圈704之該第一端1104與該第二端1108係以一第一圈問隙1112分隔。該第一圈704係置於該天線軸904之中心。該第一圈704之半徑1206自該天線軸904延伸至位於該第一圈704上之一點。該第一圈704之周長1208係沿著該第一圈方向，自該第一端1104至該第二端1108，越過該問隙1112，回到該第一端1104。較佳地，該問隙1112僅為該第一圈704之小部份。如圖所示，該問隙1112於該天線軸上形成一角度1212。較



五、發明說明 (31)

佳地，由間隙1112所形成之該角度1212係小於 7° 。更佳地，由該間隙所形成之該角度1212係小於 5° 。更佳地，由該間隙所形成之該角度係小於 3° 。該第一圈間隙1112之長度大體上係平行於該第一圈704之該周長。介於至少該第一圈之該第一端1104之部分與該天線軸904間之距離係等於介於至少該第一圈之該第二端1108之部分與該天線軸904間之距離。更佳地，如第12圖所示，該第一端1104之半徑係等於該第二端1108之半徑。較佳地，該第一圈大體上係為圓形。更佳地，如圖所示，該第一圈704係為圓形。

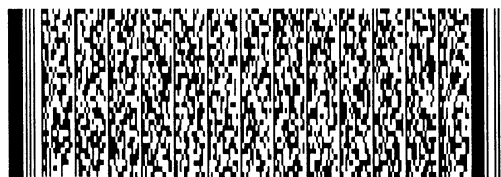
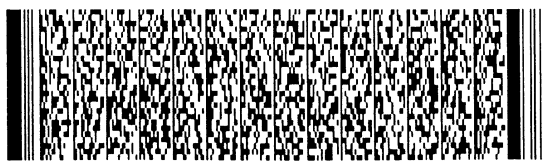
第13圖係表示單獨該第二圈708之上視圖。如第11與12圖所示，該第二圈708具有一第一端1116與一第二端1120，其中該第一端1116與該第二端1120係由一第二圈間隙1124所分隔。該第一圈704係藉由第一二圈間隙1128與該第二圈708相分隔。該第一二圈間隙1128之長度係為該第一圈704與該第二圈708間之徑向線。該第二圈708係位於該天線軸904之中心。該第一圈704與該第二圈708係為同心，所以他們之中心係位於該天線軸904上之相同點上。該第二圈708之半徑1306係由該天線軸904延伸至該第二圈708上一點，因此該第一圈704之半徑係約較該第二圈708之半徑大了該第一二圈間隙828之尺寸。該第二圈708之周長1308係沿著該第二圈方向，自該第一端1116至該第二圈之該第二端1120，越過該間隙1124，回到該第二圈708之該第一端1116。較佳地，該間隙1124僅為該第二



五、發明說明 (32)

圖708之小部份。如圖所示，該間隙1124於該天線軸上形成一角度1312。較佳地，由間隙1124所形成之該角度1312係小於 7° 。更佳地，由該間隙所形成之該角度1312係小於 5° 。更佳地，由該間隙所形成之該角度係小於 3° 。該第二圈間隙1124之長度大體上係平行於該第二圈708之該周長。於本例中，該第一端1116與該第二端1120具有一截斷角1016。介於至少該第二圈之該第一端1116之部分與該天線軸904間之距離係等於介於至少該第二圈之該第二端1120之部分與該天線軸904間之距離。更佳地，如第13圖所示，該第一端1116之半徑係等於該第二端1120之半徑。較佳地，該第二圈大體上係為圓形。更佳地，如圖所示，該第二圈708係為圓形。

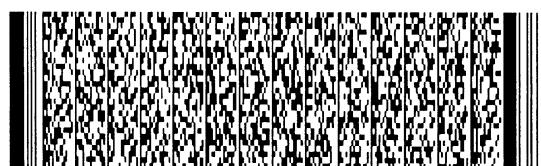
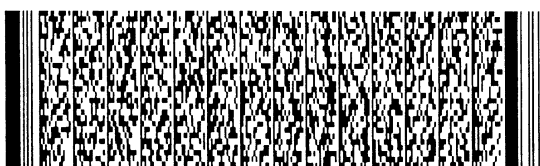
第一二圈間連接器1132具有一介於該第一圈之該第二端1108與該第二圈之該第一端間1116之電氣連接。於一較佳實施例中，該第一二圈間連接器1132包括一跨接部1136、一第一圈連接器之腳1140、以及一第二圈連接器之腳844。較佳地，該跨接部1136大體上係平行於該第一圈704之圓周與鄰近該跨接部1136之該第二圈708之圓周。該第一圈連接器之腳1140大體上係為至該第一圈704之放射線。該第二圈連接器之腳1144大體上係為至該第二圈708之放射線。如圖所示，該跨接部1136係近似於該第一圈704與該第二圈708之中點。該第一圈連接器之腳1140係鄰近於該第一圈間隙1112之端部。該第二圈連接器之腳1144係鄰近於該第二圈間隙1124之端部。於一較佳實施例中，



五、發明說明 (33)

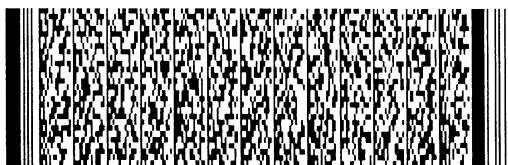
該第一圈間隙1112與該第二圈間隙1124係彼此相鄰，因此該第一圈間隙1112之端部係與該第二圈間隙1124之起點相同，其中該第一圈間隙1112之端部係位於以斷裂線1150標示之放射線上。如圖所示，該相鄰之間隙將不會重疊。較佳地，該間隙1112與1124可以重疊 $0.0625 \sim -0.0625$ 英吋（ $1.5875 \sim -1.5875$ mm），其中負號係表示沒有重疊，但若該間隙重疊，則沿著該第一圈量測終止該第一圈間隙之半徑與起始該第二圈之半徑間之間隙，該間隙將小於 0.0625 英吋。更佳地，該第一圈間隙與該第二圈間隙係重疊 $0.005 \sim -0.005$ 英吋（ $0.127 \sim -0.127$ mm）。以百分比而言，該第一與第二圈間隙之重疊係該第一圈間隙長度之 $50 \sim -50\%$ ，其中負號係表示沒有重疊，但若該間隙重疊，則沿著該第一圈量測終止該第一圈間隙之半徑與起始該第二圈之半徑間之間隙，該間隙將小於該第一圈間隙長度之 50% 。更佳地，該第一與第二圈間隙之重疊係該第一圈間隙長度之 $25 \sim -25\%$ 。最佳地，該第一與第二圈間隙之重疊係該第一圈間隙長度之 $5 \sim -5\%$ 。該連接器1132係與該第一圈704以及該第二圈708共面，且較佳地，與該第一圈704以及該第二圈708高度相同。

第14圖係表示裁斷部728之示意立體圖，表示該第一圈704、該第二圈708、該第三圈712、該第四圈716、該輸入匯流排720、該輸出匯流排724、該第一二圈間連接器1132、該第三四圈間連接器832以及第二三圈間連接器1404。



五、發明說明 (34)

於電漿處理室200運作中可使用該天線700。電流" I "自該第一射頻電力源214經由該輸入匯流排720流向該第一圈704之該第一端1104。該電流自該第一圈704之該第一端1104流向該第一圈704之該第二端1108。該第一圈間隙1112係為避免該第一圈之該第一端與該第二端間短路。然後該電流之流動係起自該第一圈之該第二端，經由該第一圈連接器之腳1140，其中該第一圈連接器之腳1140大體上係為至該第一圈704之放射線，然後沿著該跨接部1136，其中該跨接部1136大體上係平行於該第一圈704之圓周與鄰近該跨接部1136之該第二圈708之圓周。然後該電流流經該第二圈連接器之腳1144，其中該第二圈連接器之腳1144大體上係為至該第二圈708之該第一端1116之放射線。該電流自該第二圈708之該第一端1116流向該第二圈708之該第二端1120，然後經由該第二三圈間連接器1404流向該第三圈712之該第一端804。該電流自該第三圈712之該第一端804流向該第三圈712之該第二端808。該第三圈間隙812係為避免該第三圈之該第一端804與該第二端808間短路。然後該電流之流動係起自該第三圈之該第二端808，經由該第三圈連接器之腳840，其中該第三圈連接器之腳840大體上係為至該第三圈之放射線，然後沿著該跨接部836，其中該跨接部836大體上係平行於該第三圈712之圓周與鄰近該跨接部836之該第四圈716之圓周。然後該電流流經該第四圈連接器之腳844，其中該第四圈連接器之腳844大體上係為至該第四圈716之該第一端816之

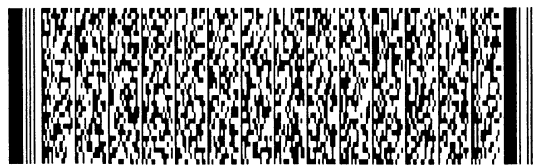
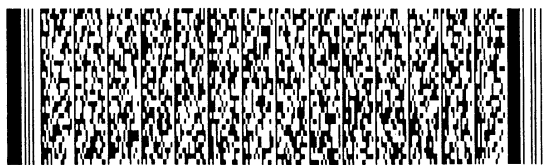


五、發明說明 (35)

放射線。該電流自該第四圈之該第一端816流向該第四圈之該第二端820，然後經由該輸出匯流排724。該射頻產生器導致該電流"I"交流地改變方向。

該第一二圈間連接器1132之該跨接部1136係為一電路，該電路大體上係平行於鄰近該第一圈間隙1112之該第一圈704，其中該第一圈間隙係與該第一圈704共面。此外，該第一二圈間連接器1132之該跨接部1136係為一電路，該電路大體上係平行於鄰近該第二圈間隙1124之該第二圈708，其中該第二圈間隙係與該第二圈708共面。藉由使該第一圈間隙1112與該第二圈間隙1124彼此相鄰卻不重疊，該第一圈704、該第二圈708以及跨接部1136係形成二個電路，該電路係為不具間隙或會產生三個電路之重疊之完整迴路。於使用中可能會造成小型之間隙或重疊，然而在盡可能降低該間隙或重疊後會產生一均勻方位角射頻激發而形成一均勻電漿。該跨接部1136係介於該第一圈704與該第二圈708間，所以該跨接部1136形成之電路係接近該第一圈704與該第二圈708。較佳地，該跨接部1136大體上係位於該第一圈704與該第二圈708之中點以形成一較為均勻之方位角射頻激發，然而卻能保持該第一圈704與該第二圈708間之間隙。

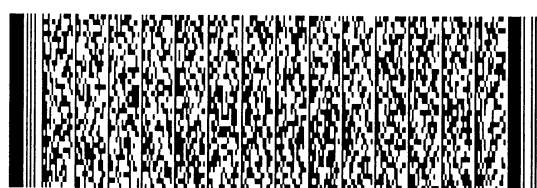
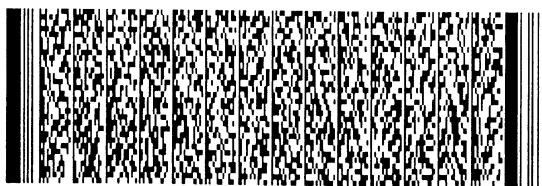
該第三四圈間連接器832之該跨接部836係為一電路，該電路大體上係平行於鄰近該第三圈間隙812之該第三圈712，其中該第三圈間隙係與該第三圈共面。此外，該第三四圈間連接器832之該跨接部836係為一電路，該電路大



五、發明說明 (36)

體上係平行於鄰近該第四圈間隙824之該第四圈716，其中該第四圈間隙係與該第四圈共面。藉由使該第三圈間隙812與該第四圈間隙824彼此相鄰卻不重疊，該第三圈712、該第四圈716以及跨接部836係形成二個電路，該電路係為不具間隙或會產生三個電路之重疊之完整迴路。於使用中可能會造成小型之間隙或重疊，然而在盡可能降低該間隙或重疊後會產生一均勻方位角射頻激發而形成一均勻電漿。該跨接部836係介於該第三圈712與該第四圈716間，所以該跨接部836形成之電路係接近該第三圈712與該第四圈716。較佳地，該跨接部836大體上係位於該第三圈712與該第四圈716之中點以形成一較為均勻之方位角射頻激發，然而卻能保持該第三圈712與該第四圈716間之間隙。

藉由將該第一圈連接器之腳1140沿著該第一圈704之半徑以及於該第一圈704之平面上設置，可以盡量避免射頻激發之中斷（disruption），其中該射頻激發之中斷係由於電流流經該第一圈連接器之腳1140之故。將該第一圈連接器之腳1140置於與該第一圈704相同之平面，可以使該第一圈連接器之腳1140的長度最短。此外，使該第一圈連接器之腳1140以徑向至該第一圈704亦可降低自該第一圈連接器之腳1140所產生之射頻中斷。由於這些原因，該第二圈連接器之腳1144大體上係徑向至該第二圈708，且大體上垂直於該跨接部1136，以及該第三圈連接器之腳840大體上係徑向至該第三圈712，且大體上垂直於該跨接



五、發明說明 (37)

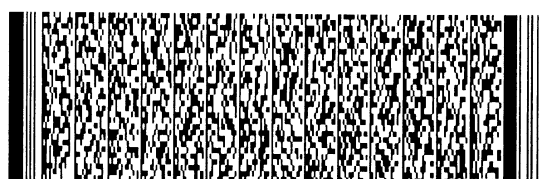
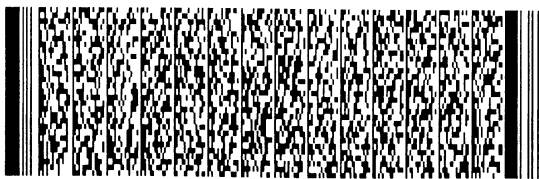
部836，以及該第四圈連接器之腳844大體上係徑向至該第四圈716，且大體上垂直於該跨接部836。

各迴圈之間隙使得單一迴路具有分隔該迴路之端部。此種設計不同與使用螺旋之天線，其中各迴路不具有間隙以及各個迴路之端部具有不同之半徑。

於一較佳實施例中，有一絕緣器以避免電弧放電 (arcing)。第15圖係表示該第三圈712、該第四圈716與該第三四圈間連接器832之上視圖，其中該第三四圈間連接器832係置於本發明之較佳實施例中所使用之中心絕緣器1504上。該中心絕緣器1504包括一基環1508與一上脊環1512。一第三圈間隙絕緣器1516與一第四圈間隙絕緣器1520亦形成上脊部，該上脊部係與該上脊環1512相連接。該基環1508上之間隙1524係為第二三圈間連接器之通道。

第16圖係表示該第一圈704、該第二圈708與該第一二圈間連接器1132之下視圖，其中該第一二圈間連接器1132係置於該中心絕緣器1504上。該中心絕緣器1504更包括一下脊環1604。一第一圈間隙絕緣器1608與一第二圈間隙絕緣器1612亦形成下脊部，該下脊部係與該下脊環1604相連接。一外環1616係置於該第一圈704外。該基環1508上之間隙1524係為第二三圈間連接器之通道。

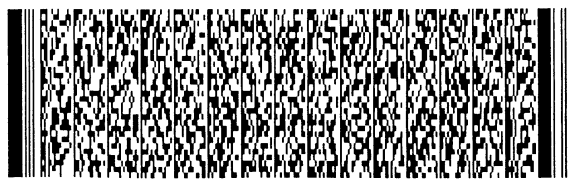
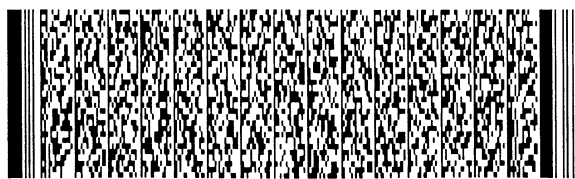
第17圖係表示下絕緣器1704之上視圖。該下絕緣器1704係為環形，具有一中心溝槽1708、一第一圈溝槽1712、一第二圈溝槽1716、一內脊部1720以及一外脊部1724。



五、發明說明 (38)

第18圖係表示該下絕緣器1704、該第一圈704、該第二圈708、該第三圈712、該第四圈716與該中心絕緣器1504之剖面圖，且該剖面圖係自第17圖中之斷裂線18-18觀之。該中心絕緣器1504之該下脊環1604係置於該下絕緣器1704之該中心溝槽1708內。該第一圈704係置於該第一圈溝槽1712內。該第二圈708係置於該第二圈溝槽1716內。該中心絕緣器1504之該上脊環1512係填入該第三圈712與該第四圈716間之該間隙，其中該間隙具有充分之長度以避免電弧放電。該上脊環1512係高於該第三圈712與該第四圈716，所以沿著該上脊環1512之表面，自該第三圈712至該第四圈716之距離係大於避免電弧放電之最小表面距離。該下絕緣器1704可置於一法拉第屏蔽(faraday shield) 1804上。

第22圖係表示該法拉第屏蔽1804之上視圖。該法拉第屏蔽1804可以更降低耦合中之方位角變異並控制電容耦合之範圍。可以附加特定電壓至該法拉第屏蔽1804上以使其接地，或使該法拉第屏蔽懸浮著而達此目的。由於該天線之覆蓋區(footprint)係為環形，故該法拉第屏蔽1804亦為環形以符合該天線之覆蓋區。於較佳之實施例中，該法拉第屏蔽1804係為一環形導電材料，該材料係稍微較該天線之覆蓋區為大，且於該環上至少有一放射向孔槽2204。第18圖顯示該法拉第屏蔽1804之寬度係稍微較該天線之寬度為大。於其他較佳實施例中具有一個以上之孔槽。

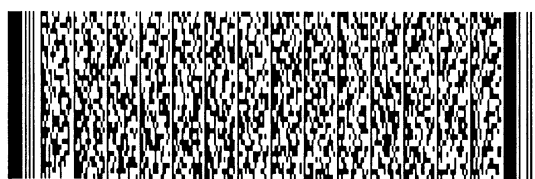


五、發明說明 (39)

第19圖係表示該輸入阜720與該輸出阜724之斷裂立體圖。於本實施例中，該輸入阜720包括一輸入連接器1904，其中該連接器係與一錐形輸入傳導棒1908相連接。該輸出阜724包括一輸出連接器1912，其中該連接器係與一錐形輸入傳導棒1916相連接。如圖所示，該錐形輸入傳導棒1908與該錐形輸入傳導棒1916係對齊且相近而置。一"I"形之介電塊1924係置於該錐形輸入傳導棒1908與該錐形輸入傳導棒1916間以避免該錐形輸入傳導棒1908與該錐形輸入傳導棒1916間之電弧放電。將該錐形輸入傳導棒1908與該錐形輸入傳導棒1916對齊並相近而置係有助於降低由該錐形輸入傳導棒1908與該錐形輸入傳導棒1916所引起之射頻非對稱性。

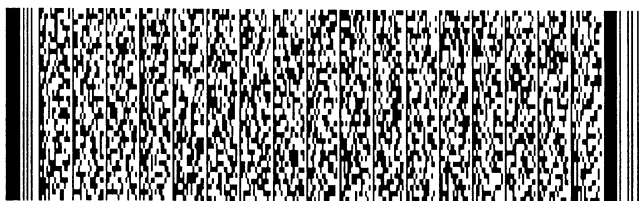
於本發明之一實施例中，該第三圈間隙812與該第四圈間隙824係約為0.125英吋(3.175mm)，電壓係約為600V。沿著該絕緣器1504，介於該第三圈712之該第一端804與該第二端808間之路徑長係約為0.25英吋(6.35mm)。如第18圖所示，沿著該絕緣器1504，該路徑長係超過該諸圈之端部。

第20圖係表示本發明另一實施例之示意圖，其中一天線配置2000係連接至一射頻電力源2004。於本實施例中，該天線配置包括一第一迴圈2006與一第二迴圈2010。該第一迴圈2006包括一第一圈2016與一第二圈2018。該第二迴圈2010包括一第三圈2020與一第四圈2022。一輸入饋入點2026係自該射頻電力源2004連接至該第一圈2016之第一



五、發明說明 (40)

端。一輸出饋入點2028係自該第四圈2022連接至該射頻電力源2004。一第一跨接部2032係連接該第三圈2020與該第四圈2022並與該第一圈2016與該第二圈2018共平面，以及跨接該第一圈2016之該間隙與該第二圈2018之該間隙。一第三圈腳之連接器2034係連接該第一跨接部2032之第一端至該第三圈2020。一第四圈腳之連接器2036係連接該第一跨接部2032之第二端至該第四圈2022。一第二跨接部2044係連接該第一圈2016與該第二圈2018並與該第三圈2020與該第四圈2022共平面，以及跨接該第三圈2020之該間隙與該第四圈2022之該間隙。一第一圈腳之連接器2046係連接該第二跨接部2044之第一端至該第一圈2016。一第二圈腳之連接器2048係連接該第二跨接部2044之第二端至該第二圈2018。一第二三圈間連接器2050連接該第二圈2018至該第三圈2020。如前述之諸實施例所論，將諸間隙縮小。亦如前所述，較佳地，各圈之間隙係小於 7° 。更佳地，各圈之間隙係小於 5° 。最佳地，各圈之間隙係小於 3° 。此外，該第一圈上之間隙與該第二圈上之間隙約重疊該第一圈上間隙長度之50~-50%，以及該第三圈上之間隙與該第四圈上之間隙約重疊該第三圈上間隙長度之50~-50%。更佳地，該第一圈上之間隙與該第二圈上之間隙約重疊該第一圈上間隙長度之25~-25%，以及該第三圈上之間隙與該第四圈上之間隙約重疊該第三圈上間隙長度之25~-25%。更佳地，該第一圈上之間隙與該第二圈上之間隙約重疊該第一圈上間隙長度之5~-5%，以及該第三圈上之間隙與該

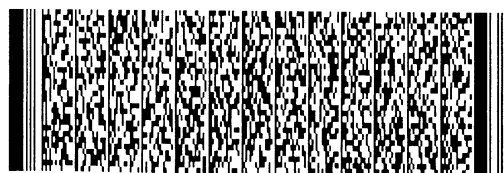
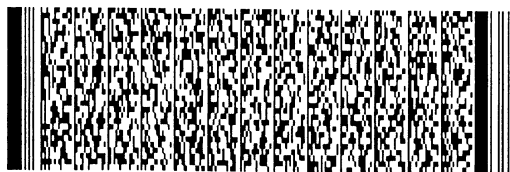


五、發明說明 (41)

第四圈上之間隙約重疊該第三圈上間隙長度之5~-5%。此外，該第一跨接部係跨接該第一圈上之間隙與該第二圈上之間隙。該第二跨接部係跨接該第三圈上之間隙與該第四圈上之間隙。該第一與第二跨接部具有一電路以填補該諸間隙。該諸跨接部係共面且接近該諸間隙。

於運作中，該電路係起自該射頻電力源2004，經由該輸入饋入點2026，至該第一圈2016之第一端。該電流於該第一圈2016內流動至該第一圈之第二端，其中該第二端係連接至該第一圈腳之連接器2046。該電流通過該第一圈腳之連接器2046，經由該第二跨接部2044，流至第二圈腳之連接器2048。該電流通過該第二圈腳之連接器2048，經由該第二圈2018之第一端，流向該第二圈2018之第二端，然後再流向該第二三圈間連接器2050。自該第二三圈間連接器2050，該電流流過該第三圈2020之第一端，再流向該第三圈2020之第二端。自該第三圈2020之第二端起，該電流流過一第三圈腳之連接器2034，流至該第一跨接部2032之第一端，然後再流至一第四圈腳之連接器2036。自該第四圈腳之連接器2036起，該電流流過該第四圈2022之第一端，流至該第四圈2022之第二端。自該第四圈2022之第二端起，該電流流經一輸出饋入點2028，然後流至該射頻電力源2004。該射頻電力源2004導致該電流"I"交流地改變方向。

該第一跨接部2032具有一電路以填補該第一圈2016上之間隙與該第二圈2018上之間隙。該第一跨接部2032上之

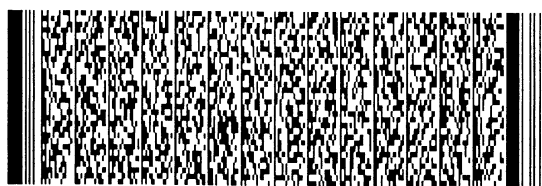


五、發明說明 (42)

該電路係與該第一圈2016上之間隙與該第二圈2018上之間隙共面且密接。此外，該第一跨接部2032上之該電路大體上係平行於該第一圈2016與該第二圈2018之圓周。相同的，該第二跨接部2044具有一電路以填補該第三圈2020上之間隙與該第四圈2022上之間隙。該第二跨接部2044上之該電路係與該第三圈2020上之間隙與該第四圈2022上之間隙共面且密接。此外，該第二跨接部2044上之該電路大體上係平行於該第三圈2020與該第四圈2022之圓周。該諸連接器之腳2026、2028、2046、2048、2050、2034與2036負載會引起方位角非對稱性之非方位角電流。可以使該諸連接器之腳儘可能密接並具有相反之電流來降低該非對稱性。依循此觀念，該第三圈腳之連接器2034係與該第一圈腳之連接器2046相鄰而置，且該第三圈腳之連接器2034上之電流方向係恆與該第一圈腳之連接器2046上之電流方向相反。相同的，該第二圈腳之連接器2048與該第四圈腳之連接器2036將部分抵銷。該輸出饋入點2028與該輸入饋入點2026以及該第二三圈間連接器2050將部分抵銷。

本實施例係偏好將諸連接器之腳密接並使其具有相反之電流以使其彼此間至少部分抵銷，如此將可以減少由磁性雙極 (magnetic dipole) 所包圍之區域以改善方位角之對稱性。

雖然本實施例已為圖示，較佳地，各圈係應如先前之實施例所示為一環形。該諸環可為圓形或方形，但是，如先前之實施例所論，鄰近該諸間隙之該諸環之端部應具有

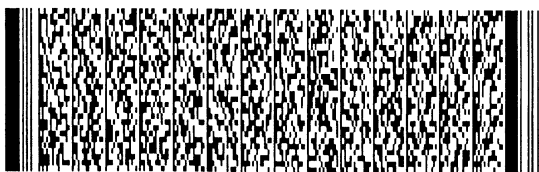


五、發明說明 (43)

相同之半徑。如先前之實施例所論，一介電材料可置於該諸圈與諸迴圈間之間隙以減小間隙之尺寸。

第21圖係表示本發明另一實施例之示意圖，其中一天線配置2100係連接至一射頻電力源2104。於本實施例中，該天線配置包括一第一迴圈2106與一第二迴圈2110。該第一迴圈2106包括一第一圈2116與一第三圈2118，其中該第三圈2118係位於該第一圈2116內。該第二迴圈2110包括一第二圈2120與一第四圈2122，其中該第四圈2122係位於該第二圈2120外。一輸入饋入點2126係自該射頻電力源2104連接至該第一圈2116之第一端。一輸出饋入點2128係自該第四圈2122連接至該射頻電力源2104。一第一跨接部2132係連接該第一圈2116與該第二圈2120，所以該跨接部2132自上部之外圈延伸至下部之內圈。一第二跨接部2144係連接該第三圈2118與該第四圈2122，所以該跨接部2144自上部之內圈延伸至下部之外圈。

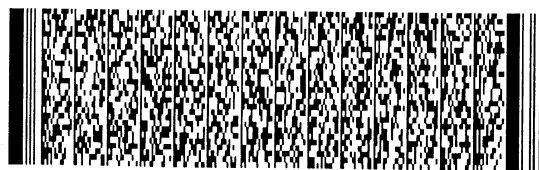
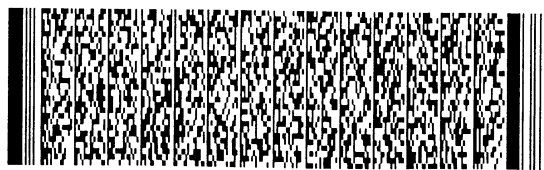
一第二三圈間連接器2150連接該第二圈2120至該第三圈2118。如前述之諸實施例所論，將諸間隙縮小。亦如前所述，較佳地，各圈之間隙係小於 7° 。更佳地，各圈之間隙係小於 5° 。最佳地，各圈之間隙係小於 3° 。此外，該第一圈上之間隙與該第二圈上之間隙係重疊該第一圈上間隙長度之50%~50%，以及該第三圈上之間隙與該第四圈上之間隙約重疊該第三圈上間隙長度之50%~50%。更佳地，該第一圈上之間隙與該第二圈上之間隙約重疊該第一圈上間隙長度之25%~25%，以及該第三圈上之間隙與該第



五、發明說明 (44)

四圈上之間隙約重疊該第三圈上間隙長度之25~25%。更佳地，該第一圈上之間隙與該第二圈上之間隙約重疊該第一圈上間隙長度之5~5%，以及該第三圈上之間隙與該第四圈上之間隙約重疊該第三圈上間隙長度之5~5%。雖然該第一圈與該第二圈非位於相同之迴圈上，但該第二圈係鄰近於該第一圈，所以鄰近該諸圈之該諸間隙仍依循上述之限制相重疊。雖然該第三圈與該第四圈非位於相同之迴圈上，但該第三圈係鄰近於該第四圈，所以鄰近該諸圈之該諸間隙仍依循上述之限制相重疊。此外，該第一跨接部2132係跨接該第一圈2116上之間隙與該第二圈2120上之間隙。該第二跨接部2144係跨接該第三圈2118上之間隙與該第四圈2122上之間隙。該第一與第二跨接部具有一電路以填補該諸間隙。

於運作中，該電路係起自該射頻電力源2104，經由該輸入饋入點2126，至該第一圈2116之第一端。該電流於該第一圈2116內流動至該第一圈之第二端，其中該第二端係連接至該第一跨接部2132。自該第一跨接部2132起，該電流流經該第二圈2120之第一端，流向該第二圈之該第二端，然後再流至該第二三圈間連接器2150。自該第二三圈間連接器2150起，該電流於第三圈2118內流經該第三圈之第一端，再流向該第三圈之第二端。該電路自該第三圈之第二端，流經該第二跨接部2144以及該第四圈2122之第一端，再流至該第四圈之第二端。自該第四圈2122之第二端，該電流流向該輸出饋入點2128，再流向該射頻電力源

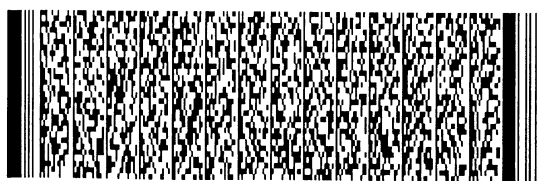
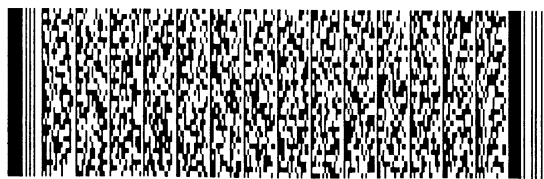


五、發明說明 (45)

2104。該射頻電力源2104導致該電流" I "交流地改變方向。

該第一跨接部2132具有一電路以填補該第一圈2116上之間隙與該第二圈2118上之間隙。該第一跨接部2132上之該電路並不與該第一圈2116或該第二圈2120相共面。該第一跨接部2132上之該電路具有一零件大體上係平行於該第一圈2116與該第二圈2120之圓周，但亦具有垂直與徑向之零件。相同的，該第二跨接部2144具有一電路以填補該第三圈2118上之間隙與該第四圈2122上之間隙。該第二跨接部2144上之該電路並不與該第三圈2118或該第四圈2122相共面。該第二跨接部2144上之該電路具有一零件大體上係平行於該第三圈2118與該第四圈2122之圓周，但亦具有垂直與徑向之零件。該第一跨接部2132與該第二跨接部2144係彼此密接且置於該第二三圈間連接器2150與該輸出饋入點2128間，因此，藉由該第二三圈間連接器2150與該輸出饋入點2128之電流，該第一跨接部2132與該第二跨接部2144之垂直零件可部分抵銷，以及藉由該第二跨接部2144之徑向零件，該第一跨接部2132之徑向零件可部分抵銷。本實施例亦偏好將諸連接器之腳密接並使其具有相反之電流以使其彼此間至少部分抵銷，如此將可以減少由磁性雙極 (magnetic dipole) 所包圍之區域以改善方位角之對稱性。

雖然本實施例已為圖示，較佳地，各圈係應如先前之實施例所示為一環形。該諸環可為圓形或方形，但是，如

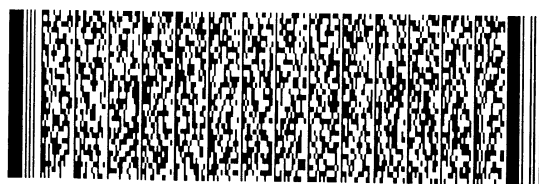
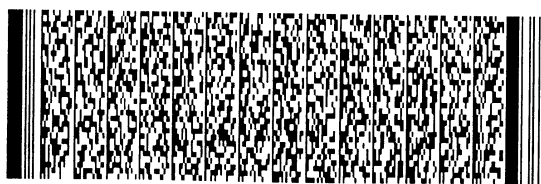


五、發明說明 (46)

先前之實施例所論，鄰近該諸間隙之該諸環之端部應具有相同之半徑。如先前之實施例所論，一介電材料可置於該諸圈與諸迴圈間之間隙以減小間隙之尺寸。

雖然於上述之實施例中，該天線係由一第一迴圈與一第二迴圈所構成，其中該第一迴圈與該第二迴圈係有相同之幾何形狀且共軸，以及一迴圈係置於另一迴圈之上，但是仍可以使用其他型式之天線配置。諸如此類之配置可使用單一迴圈或與該第一迴圈形狀不同之該第二迴圈。該迴圈數量可多於二。較佳地，該諸迴圈上之該諸間隙係為最小，故而該諸間隙之角度係小於 3° 。以及鄰近間隙之該諸迴圈之諸端部之半徑係相同。此外，較佳地，相鄰諸圈之諸間隙係重疊 $5\sim-5\%$ 。此外，具有一電路以跨接該諸間隙。較佳地，使用雙極零件以使其彼此抵銷。此外，該輸入與輸出饋入點可使其部分長度共軸以為消除該雙極效應之另一方式。

雖然本發明已以具體實施例說明如上，然其並非用以限定本發明，任何熟悉此技藝之人士任施匠思而為諸般修飾，皆不脫如附申請專利範圍所欲保護者。



圖式簡單說明

第1圖係表示用於電漿處理之一先前技術之感應式電漿處理反應器。

第2圖係表示一電漿處理系統，根據本發明之一實施例，該系統包括一天線配置與一耦合窗配置。

第3圖係表示，根據本發明之一實施例之該多圈天線配置。

第4圖係表示，根據本發明之一實施例之該多圈天線配置之剖面視圖。

第5圖係表示，根據本發明之一實施例之多層耦合窗之剖面視圖。

第6圖係表示具有間隙之部分天線迴圈之示意圖。

第7圖係表示，根據本發明之一實施例之多圈天線之立體圖。

第8圖係表示第三圈、第四圈與輸出阜之放大示意上視剖面圖。

第9圖係表示該第三圈之上視圖。

第10圖係表示該第四圈之上視圖。

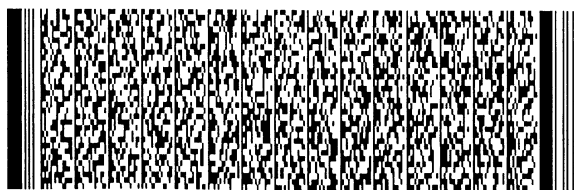
第11圖係表示第一圈、第二圈與輸入阜之放大示意上視剖面圖。

第12圖係表示該第一圈之上視圖。

第13圖係表示該第二圈之上視圖。

第14圖係表示該第一圈、該第二圈、該第三圈與該第四圈之示意立體圖。

第15圖係表示該第三圈、該第四圈與置於中心絕緣器



圖式簡單說明

上之第三-第四圈連接器之上視圖。

第16圖係表示該第一圈、該第二圈與置於該中心絕緣器上之第一-第二圈連接器之下視圖。

第17圖係表示下絕緣器之上視圖。

第18圖係表示該下絕緣器、該第一圈、該第二圈、該第三圈、該第四圈與該中心絕緣器之剖面圖。

第19圖係表示該輸入阜與該輸出阜之斷裂立體圖。

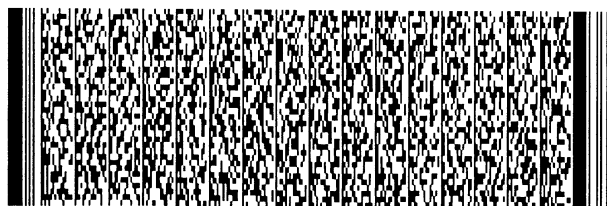
第20圖係表示本發明另一實施例之示意圖。

第21圖係表示本發明另一實施例之示意圖。

第22圖係表示法拉第屏蔽之上視圖。

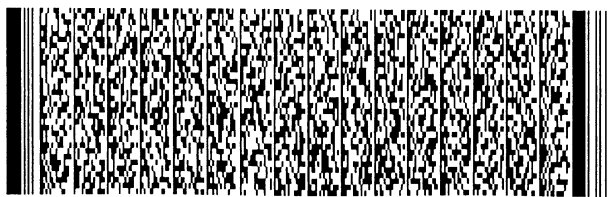
符號說明：

100~電漿製程反應器；	102~處理室；
104~感應線圈；	106~介電窗；
108~第一射頻電力源；	110~氣體阜；
112~基材；	114~夾盤；
116~第二射頻電力源；	118~電漿；
200~電漿製程系統；	202~處理室；
204~電漿；	206~基材；
208~處理室牆；	210~天線配置；
212~耦合窗配置；	214~第一射頻電力源；
215~氣體注射器；	216~夾盤；
218~第二射頻電力源；	220~排氣阜；
400~多圈天線配置；	402~多圈天線；



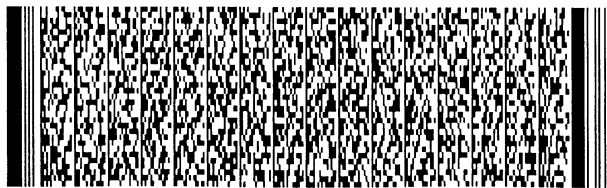
圖式簡單說明

404~射頻電力源；	406~第一組同心迴圈；
410~第二組同心迴圈；	414~天線軸；
416~第一圈；	418~第四圈；
420~第二圈；	422~第三圈；
424~輸入引線；	426~輸出引線；
500~多層耦合窗配置；	504~第一層；
506~第二層；	604~部分天線迴圈；
608~間隙；	612~第一方位角扇形區；
616~第一角；	620~第二方位角扇形區；
624~第二角；	700~多圈天線；
704~第一圈；	708~第二圈；
712~第三圈；	716~第四圈；
720~輸入匯流排；	724~輸出匯流排；
728~裁斷部；	804~第一端；
808~第二端；	812~第三圈間隙；
816~第一端；	820~第二端；
824~第四圈間隙；	828~第三四圈間隙；
832~第三四圈間連接器；	
836~跨接部；	840~第三圈連接器之腳；
844~第四圈連接器之腳；	
850~斷裂線；	904~天線軸；
906~半徑；	908~周長；
912~角度；	1006~半徑；
1008~周長；	1012~角度；



圖式簡單說明

- | | |
|----------------|----------------|
| 1016~截斷角； | 1104~第一端； |
| 1108~第二段； | 1112~第一圈間隙； |
| 1116~第一端； | 1120~第二段； |
| 1124~第二圈間隙； | 1128~第一二圈間隙； |
| 1132~第一二圈間連接器； | |
| 1136~跨接部； | 1140~第一圈連接器之腳； |
| 1144~第二圈連接器之腳； | |
| 1150~斷裂線； | 1206~半徑； |
| 1208~周長； | 1212~角度； |
| 1306~半徑； | 1308~周長； |
| 1312~角度； | 1404~第二三圈間連接器； |
| 1504~中心絕緣器； | 1508~基環； |
| 1512~上脊環； | 1516~第三圈間隙絕緣器； |
| 1520~第四圈間隙絕緣器； | |
| 1524~間隙； | 1604~下脊環； |
| 1608~第一圈間隙絕緣器； | |
| 1612~第二圈間隙絕緣器； | |
| 1616~外環； | 1704~下絕緣器； |
| 1708~中心溝槽； | 1712~第一圈溝槽； |
| 1716~第二圈溝槽； | 1720~內脊部； |
| 1724~外脊部； | 1804~法拉第屏蔽； |
| 1904~輸入連接器； | 1908~錐形輸入傳導棒； |
| 1912~輸出連接器； | 1916~錐形輸出傳導棒； |
| 1924~介電塊； | 2000~天線配置； |



圖式簡單說明

2004~射頻電力源； 2006~第一迴圈；
 2010~第二迴圈； 2016~第一圈；
 2018~第二圈； 2020~第三圈；
 2022~第四圈； 2026~輸入饋入點；
 2028~輸出饋入點； 2032~第一跨接部；
 2034~第三圈腳之連接器；
 2036~第四圈腳之連接器；
 2044~第二跨接部； 2046~第一圈腳之連接器；
 2048~第二圈腳之連接器；
 2050~第二三圈間連接器；
 2100~天線配置； 2104~射頻電力源；
 2106~第一迴圈； 2110~第二迴圈；
 2116~第一圈； 2118~第三圈；
 2120~第二圈； 2122~第四圈；
 2126~輸入饋入點； 2128~輸出饋入點；
 2132~第一跨接部； 2144~第二跨接部；
 2150~第二三圈間連接器；
 2204~放射向孔槽。

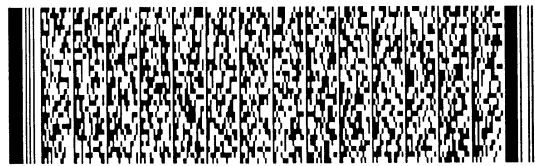
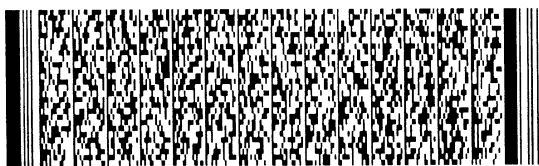


四、中文發明摘要 (發明之名稱：產生均勻處理率之方法和裝置)

提供一種天線配置，用以產生電場於處理室內。通常，該天線配置包含一設置於天線軸上之第一迴圈。該第一迴圈包含具有第一圈間隙之第一圈；具有第二圈間隙之第二圈，其中該第二圈係與該第一圈同心且與第一圈相分離，以及該天線軸係通過該第一與第二圈之中心，以及第一二間圈連接器，該連接器係電氣相連於該第一圈之第二段與該第二圈之第一段間，其中該連接器包含一跨接部 (spanning section)，介於該第一與該第二圈間，其中該跨接部係與該第一與該第二圈共面且跨接該第一與第二圈間隙。

英文發明摘要 (發明之名稱：METHOD AND APPARATUS FOR PRODUCING UNIFORM PROCESS RATES)

An antenna arrangement for generating an electric field inside a process chamber is provided. Generally, the antenna arrangement comprises a first loop disposed around an antenna axis. The first loop comprises a first turn with a first turn gap; a second turn with a second turn gap, where the second turn is concentric and coplanar with the first turn and spaced apart from the first turn, and where the antenna axis passes through the center of the first turn and second



四、中文發明摘要 (發明之名稱：產生均勻處理率之方法和裝置)

英文發明摘要 (發明之名稱：METHOD AND APPARATUS FOR PRODUCING UNIFORM PROCESS RATES)

turn; and a first turn-second turn connector electrically connected between a second end of the first turn and a first end of the second turn comprising a spanning section between and coplanar with the first turn and the second turn and which spans the first turn gap and the second turn gap.



六、申請專利範圍

1. 一種天線配置，用以於一處理室內產生一電場，其中該天線配置包含：

一第一迴圈，設置於天線軸上，其包含：

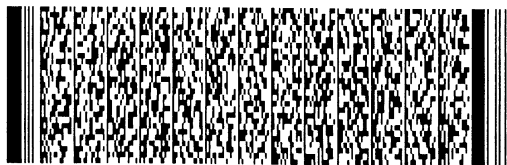
一第一圈，具有第一圈間隙，其中該第一圈之第一端係位於該第一圈間隙之第一側，以及該第一圈之第二端係位於該第一圈間隙之第二側；

一第二圈，具有第二圈間隙，其中該第二圈之第一端係位於該第二圈間隙之第一側，以及該第二圈之第二端係位於該第二圈間隙之第二側，其中該第二圈係與該第一圈同心且共面，並與該第一圈相分離，以及該天線軸係通過該第一與第二圈之中心；以及

一第一電流路徑連接器 (current path connector)，與該一與該第二圈電氣相連，且包含一跨接部 (spanning section)，介於該第一與該第二圈間，其中該跨接部係與該第一與該第二圈共面且跨接該第一與第二圈間隙。

2. 如申請專利範圍第1項所述之天線配置，其中該第一圈之第一端距天線軸之距離係與該第一圈之第二端與天線軸之距離相同，且其中該第二圈之第一端距天線軸之距離係與該第二圈之第二端與天線軸之距離相同。

3. 如申請專利範圍第1項所述之天線配置，其中該第一圈間隙係於該第一圈上產生一小於 10° 之徑向角 (radial angle)，且該第二圈間隙係於該第二圈上產生一小於 10° 之徑向角。



六、申請專利範圍

4. 如申請專利範圍第3項所述之天線配置，其中該第一圈間隙係具有一長度與該第二圈間隙重疊達該第一圈間隙長度之50%~50%。

5. 如申請專利範圍第4項所述之天線配置，其中該第一電流路徑連接器係與該第一與該第二圈相連接，且包含：

一跨接部，具有第一與第二端，其中該跨接部係大體上與該第一圈之周長相平行；

一第一圈連接器之腳，連接該跨接部之第一端與該第一圈之第二端，其中該第一圈連接器之腳係大體上朝該第一圈放射；以及

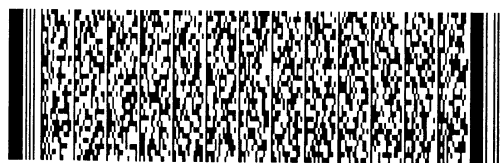
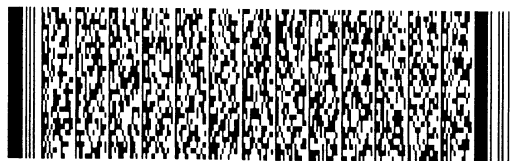
一第二圈連接器之腳，連接該跨接部之第二端與該第二圈之第一端，其中該第二圈連接器之腳係大體上朝該第二圈放射。

6. 如申請專利範圍第5項所述之天線配置，其中該第一與第二圈大體上係為圓形。

7. 如申請專利範圍第6項所述之天線配置，其中更設置一介電介質（dielectric medium），介於該第一與該第二圈間以消除其間之電弧放電（arcing）。

8. 如申請專利範圍第1項所述之天線配置，其中更包含：

一第二迴圈，耦合至該第一迴圈，其中該第二迴圈係具有與該第一迴圈大體上相似之幾何形狀，該第二迴圈係相對於該第一迴圈垂直設置，且係設置於該天線軸上以使



六、申請專利範圍

得該第一與該第二迴圈相對於該天線軸為對稱，並調整該第一與該第二迴圈以負載相同之天線軸向電流，其中該第二迴圈包含：

一 第三圈，具有第三圈間隙；以及

一 第四圈，具有第四圈間隙。

9. 如申請專利範圍第8項所述之天線配置，其中更包含一射頻電力源（RF power source），耦合至該第一與該第二迴圈。

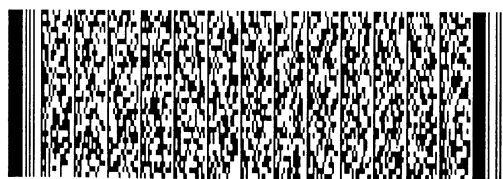
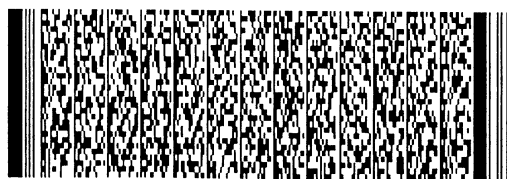
10. 如申請專利範圍第9項所述之天線配置，其中該第一與該第二迴圈係具有一結合長度，該結合長度係小於該天線配置中傳輸能量之波長。

11. 如申請專利範圍第10項所述之天線配置，其中該第二迴圈係有效地屏蔽該第一迴圈之端電壓（terminal voltage）。

12. 如申請專利範圍第9項所述之天線配置，其中該第一與該第二迴圈共同形成一方位角對稱電場

（azimuthally symmetric electric field）於處理室內，該處理室內具有第一射頻電力源所產生之射頻能量，其中該方位角對稱電場形成一大體上方位角對稱之電漿，該電漿形成一大體上均勻之處理率於該處理室內之基材表面。

13. 如申請專利範圍第9項所述之天線配置，其中更設置一介電介質，介於該第一圈、該第二圈、該第三圈以及該第四圈間以消除其間之電弧放電。



六、申請專利範圍

14. 如申請專利範圍第1項所述之天線配置，其中該第一圈之第一端距天線軸之距離係與該第一圈之第二端與天線軸之距離相同，以及其中該第二圈之第一端距天線軸之距離係與該第二圈之第二端與天線軸之距離相同。

15. 一種電漿處理裝置，用以處理基材，其中包含：

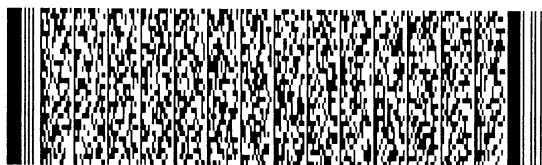
一處理室，其中於該處理過程中電漿係於該處理室內激發與維持；

一多層天線 (multi-layered antenna)，其中該天線係於該處理室內藉由射頻能量產生一電場，該天線具有第一與第二迴圈，且該二迴圈係大體上相似，以及該二迴圈係相對於天線軸對稱，其中該第一迴圈包含：

一第一圈，具有第一圈間隙，其中該第一圈之第一端係位於該第一圈間隙之第一側，以及該第一圈之第二端係位於該第一圈間隙之第二側；

一第二圈，具有第二圈間隙，其中該第二圈之第一端係位於該第二圈間隙之第一側，以及該第二圈之第二端係位於該第二圈間隙之第二側，其中該第二圈係與該第一圈同心且共面，並與該第一圈相分離，且該天線軸係通過該第一與第二圈之中心；以及

一第一二圈間連接器，該連接器係電氣相連於該第一圈之第二端與該第二圈之第一端間，其中該連接器包含一跨接部 (spanning section)，介於該第一與該第二圈間，其中該跨接部係與該第一與該第二圈共面且跨接該第一與第二圈間隙，以及



六、申請專利範圍

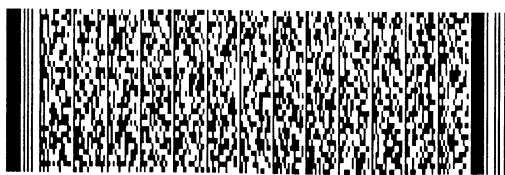
一 多層窗 (multi-layered window) , 其中該多層窗係容許該射頻能量自該天線朝該處理室通過, 該多層窗具有第一層與第二層, 該第二層係用以抑制可能發生於該電漿與該天線間之電容耦合 (capacitive coupling) 。

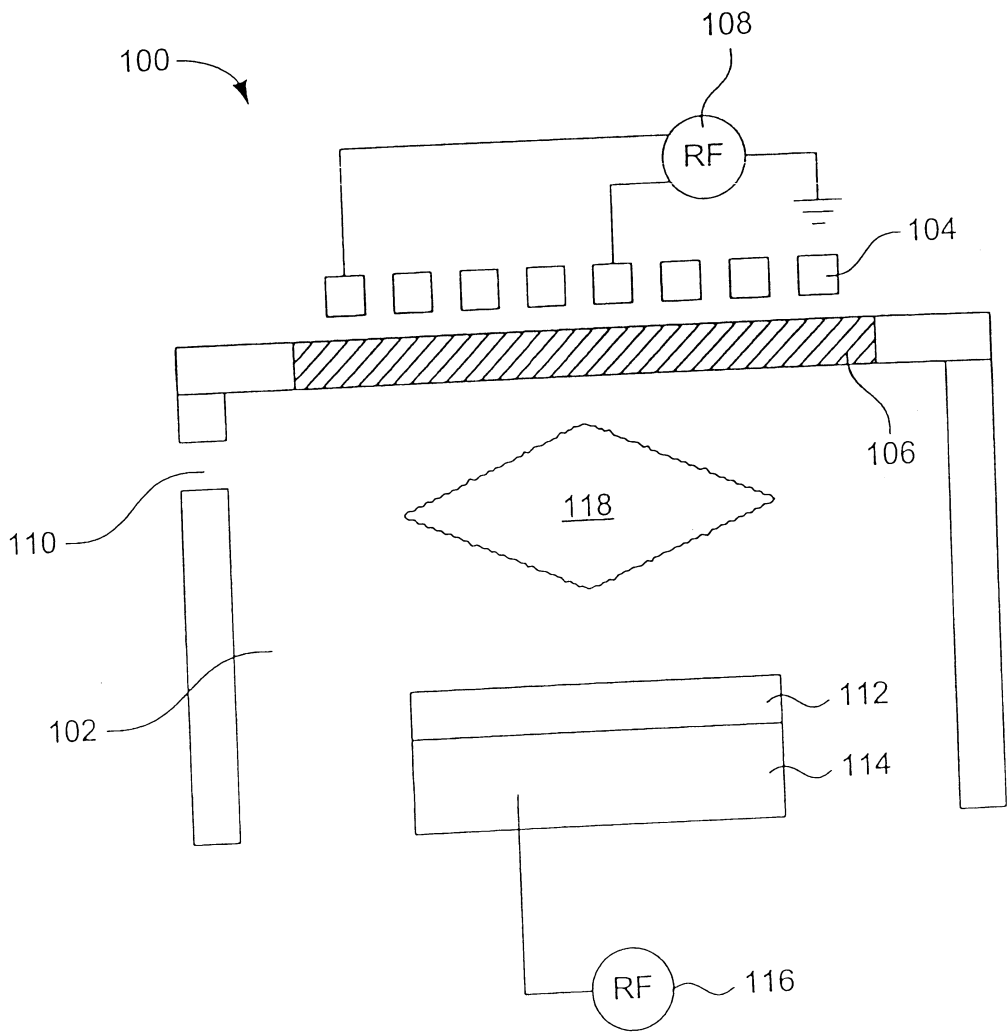
16. 一種天線配置, 用以產生電場於處理室內, 該天線配置包含:

一 第一圈, 具有第一圈間隙, 其中該第一圈之第一端係位於該第一圈間隙之第一側, 以及該第一圈之第二端係位於該第一圈間隙之第二側, 且該第一圈間隙形成一小於 5° 之徑向角;

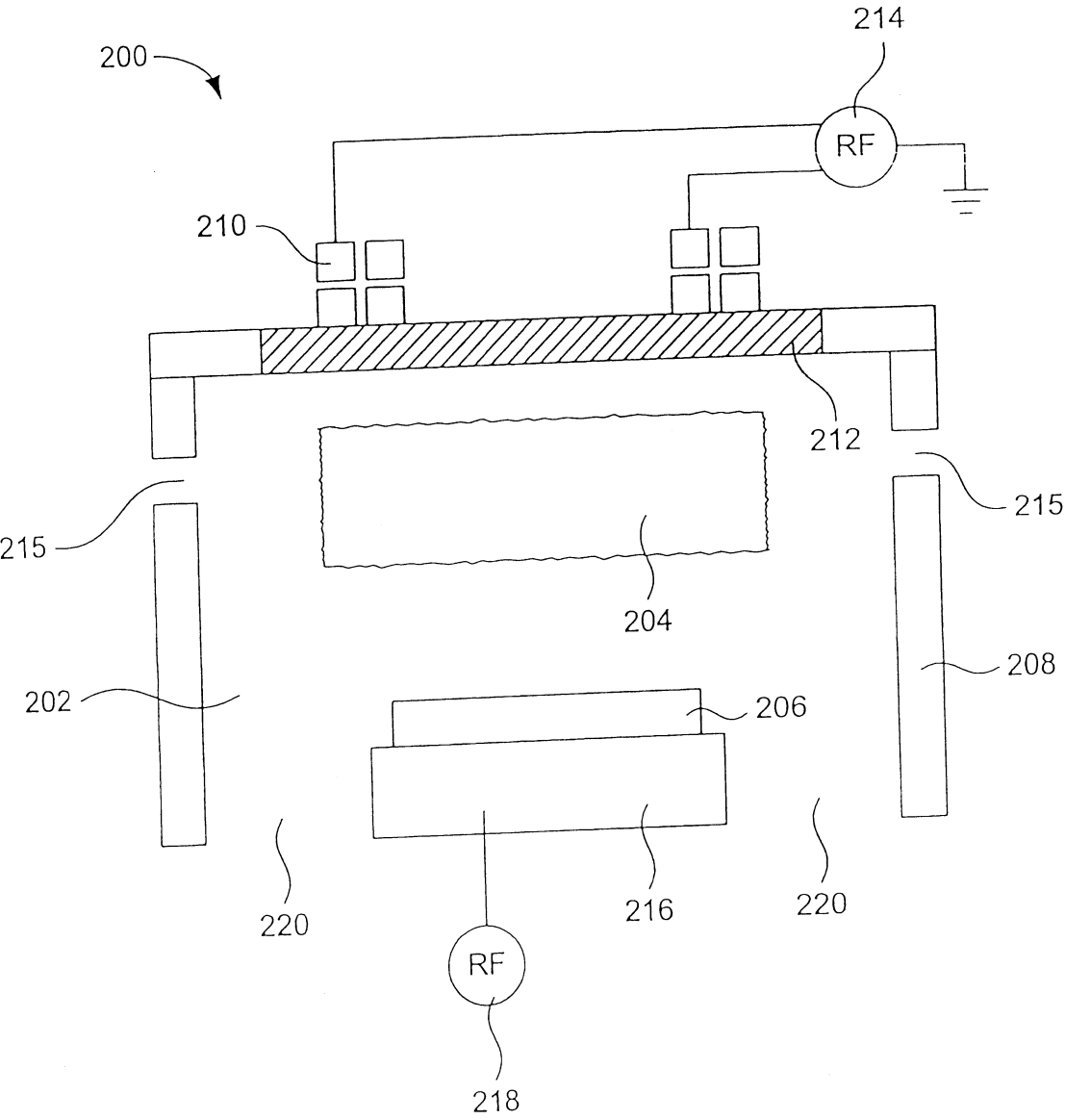
一 第二圈, 具有第二圈間隙, 其中該第二圈之第一端係位於該第二圈間隙之第一側, 以及該第二圈之第二端係位於該第二圈間隙之第二側, 其中該第二圈係與該第一圈共軸且與第一圈相分離, 以及該天線軸係通過該第一與第二圈之中心, 其中該第二圈間隙形成一小於 5° 之徑向角, 且該第一圈間隙係具有一長度與該第二圈間隙重疊達該第一圈間隙長度之50%~50%; 以及

一 第一電流路徑連接器 (current path connector) , 與該一與該第二圈電氣相連, 其包含一跨接部 (spanning section) , 介該第一與該第二圈間隙間。

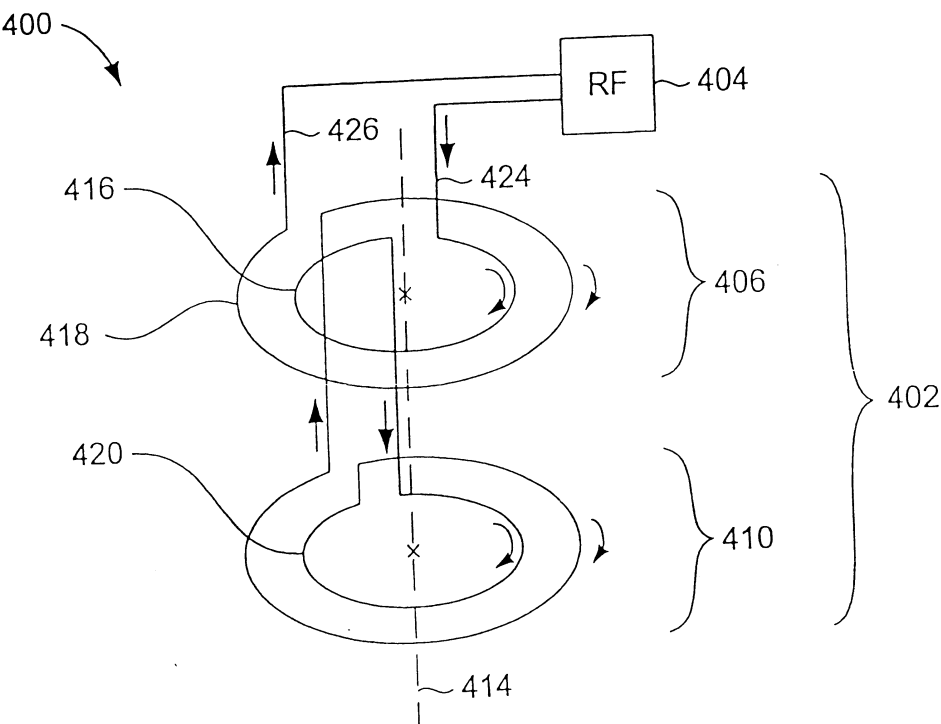




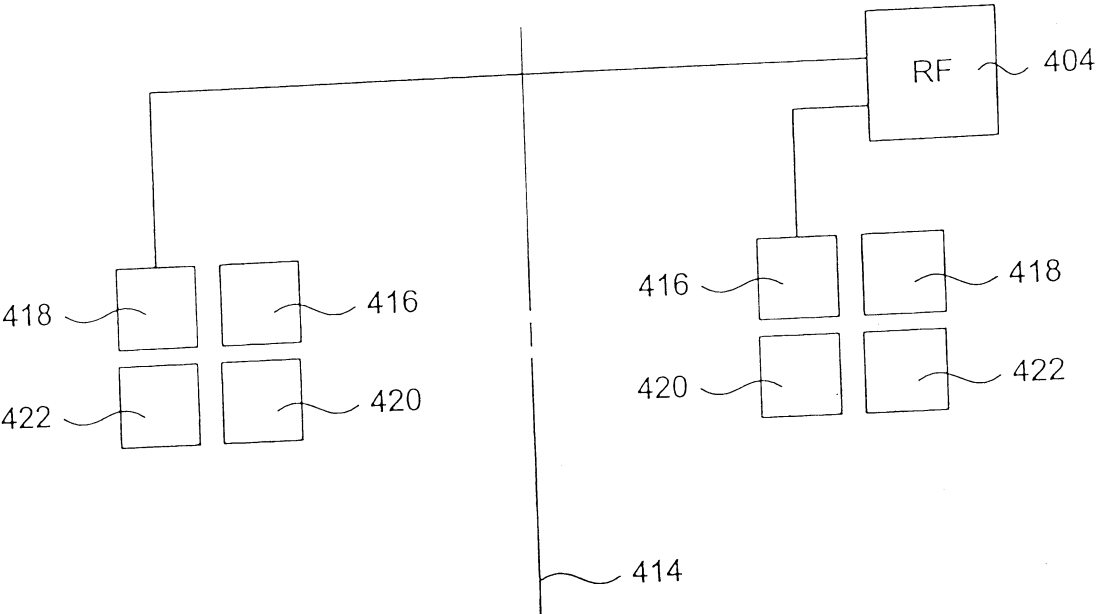
第 1 圖



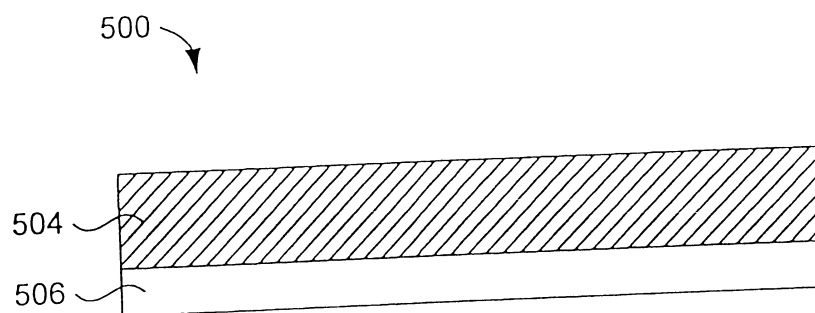
第 2 圖



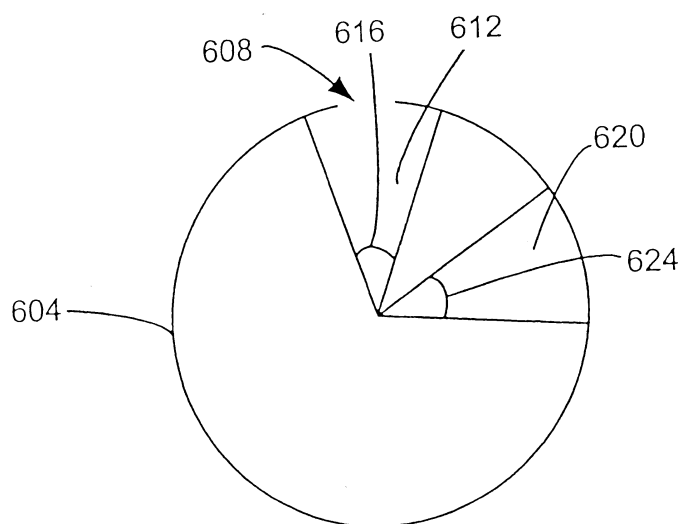
第 3 圖



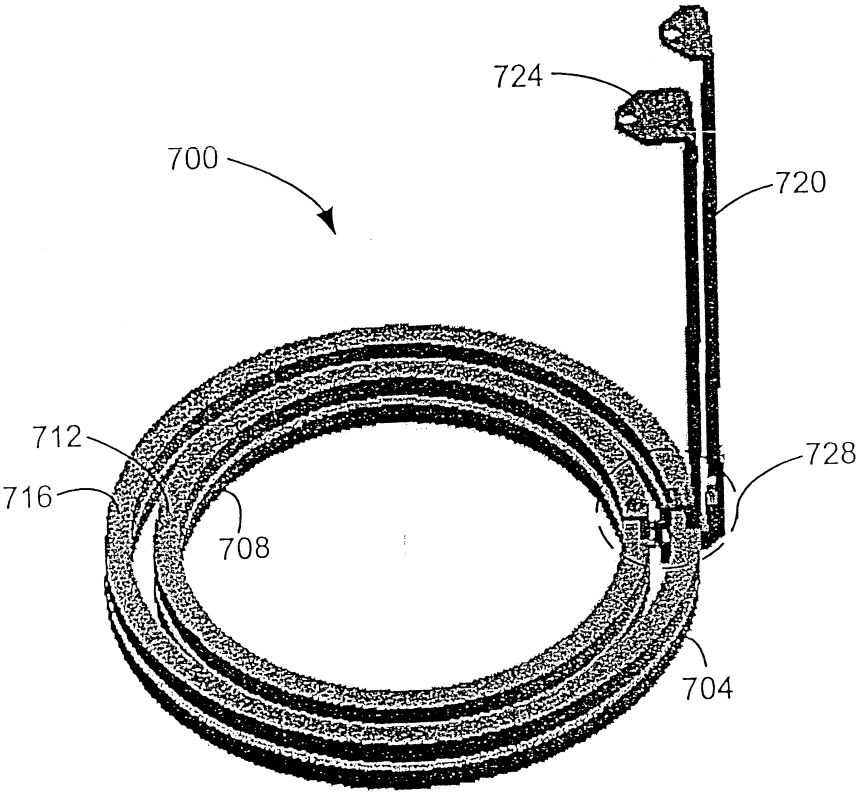
第 4 圖



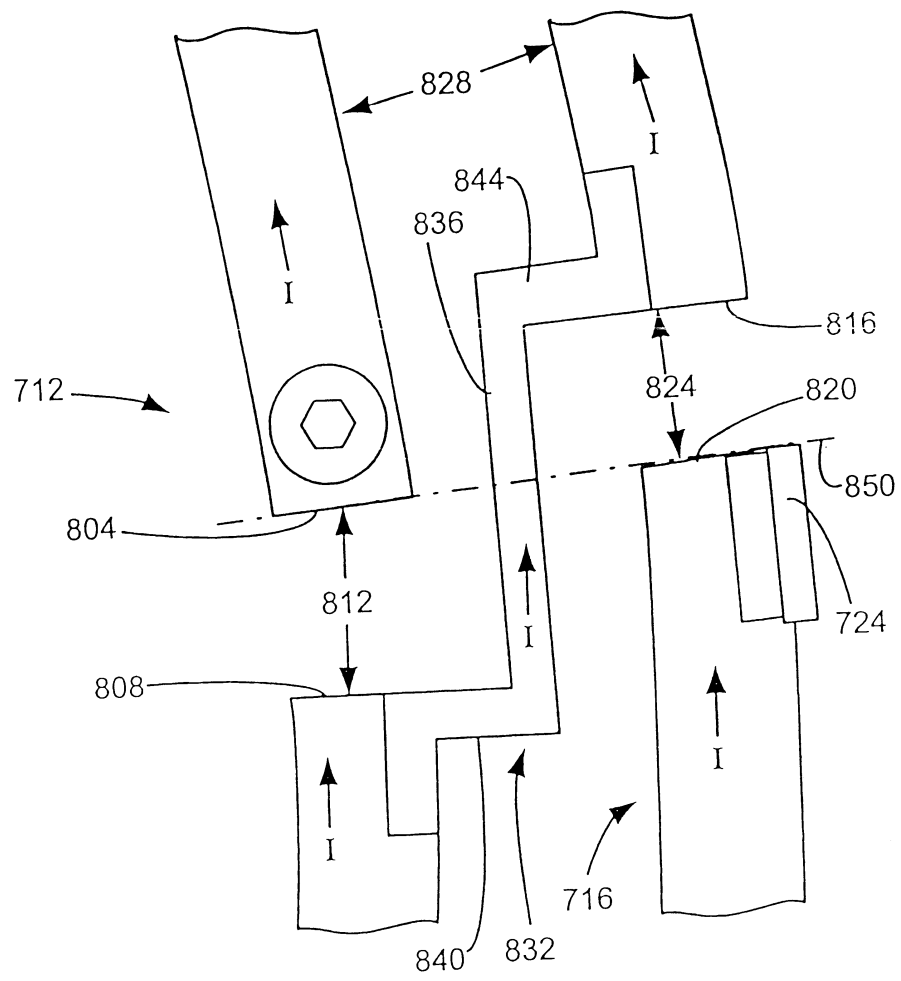
第 5 圖



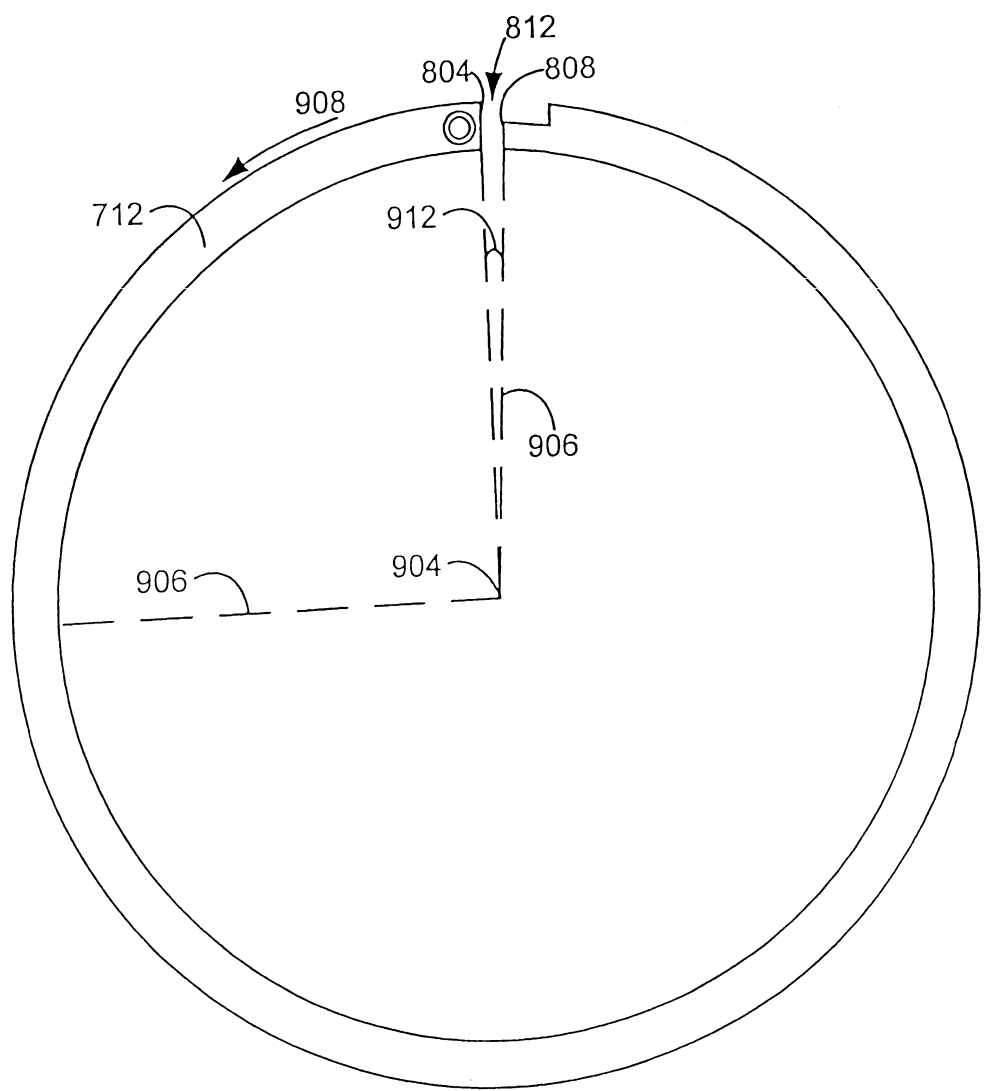
第 6 圖



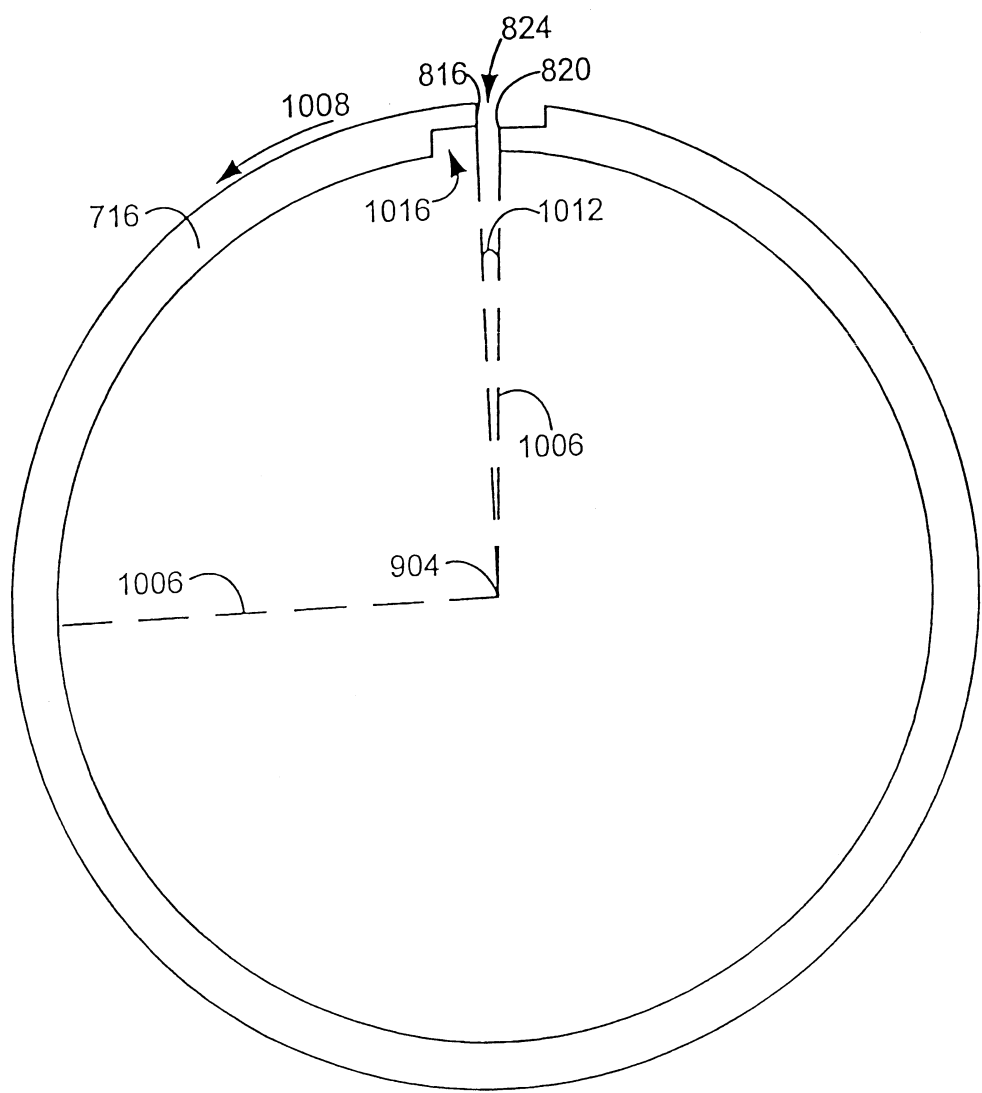
第 7 圖



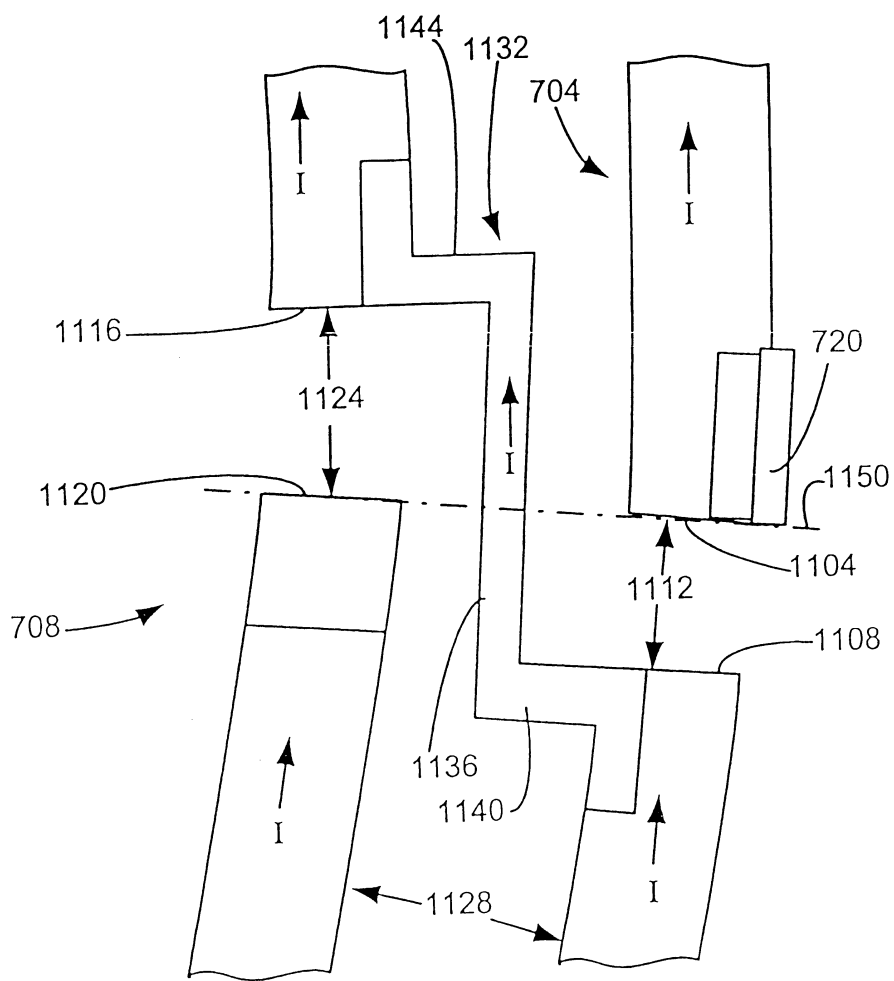
第 8 圖



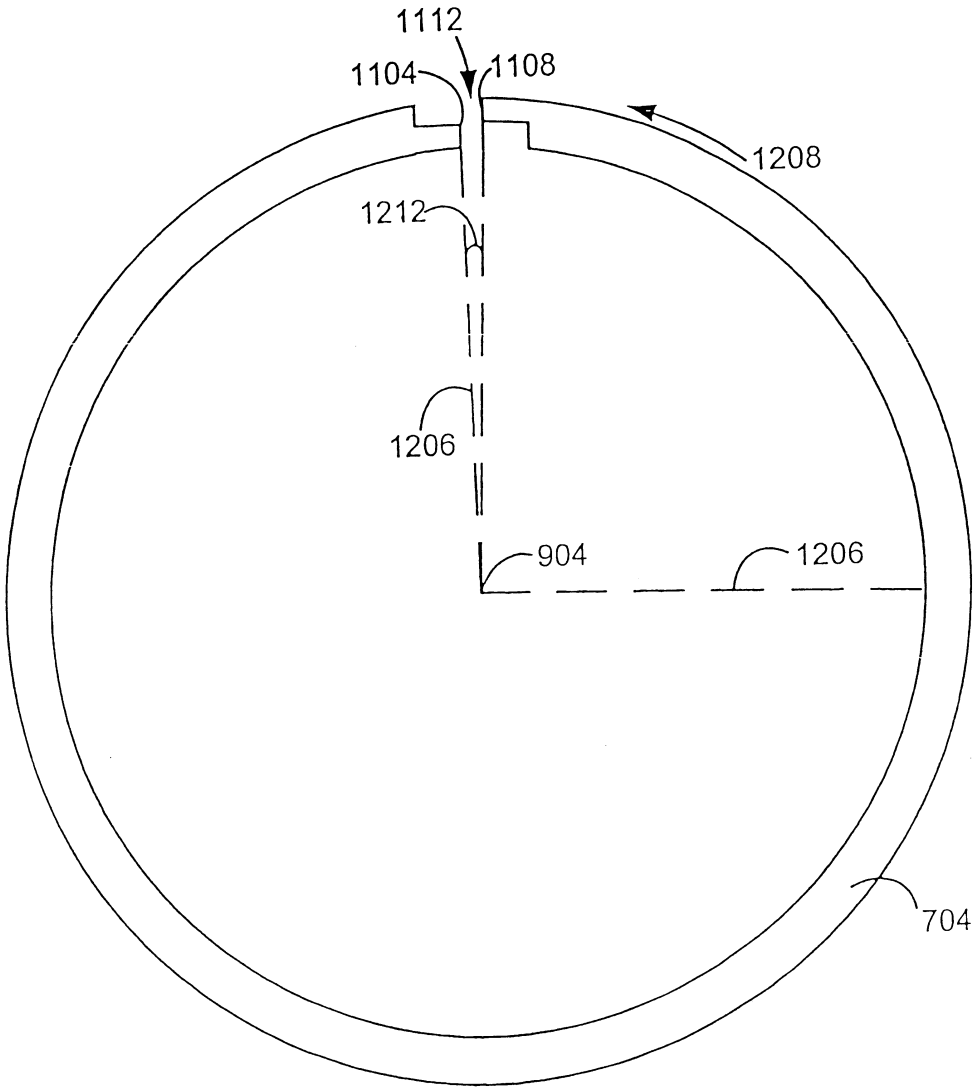
第 9 圖



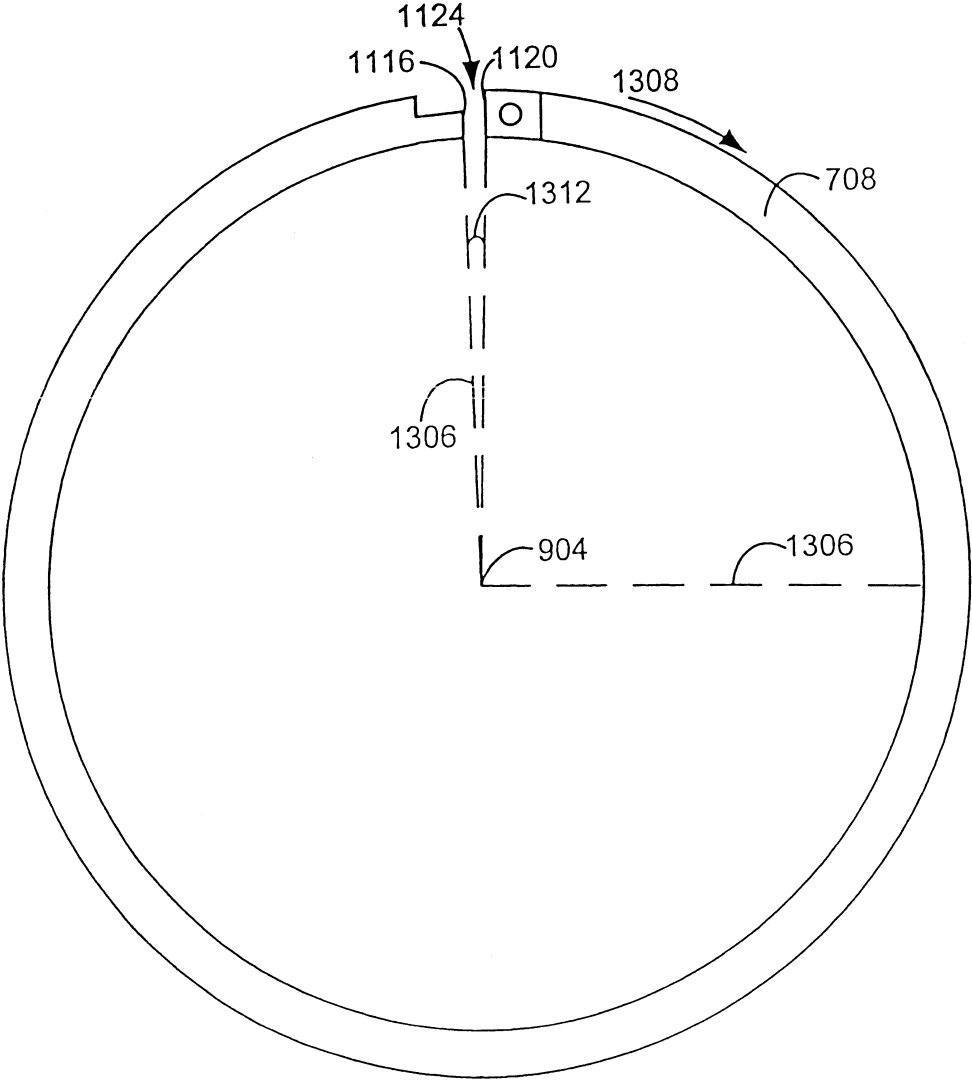
第 10 圖



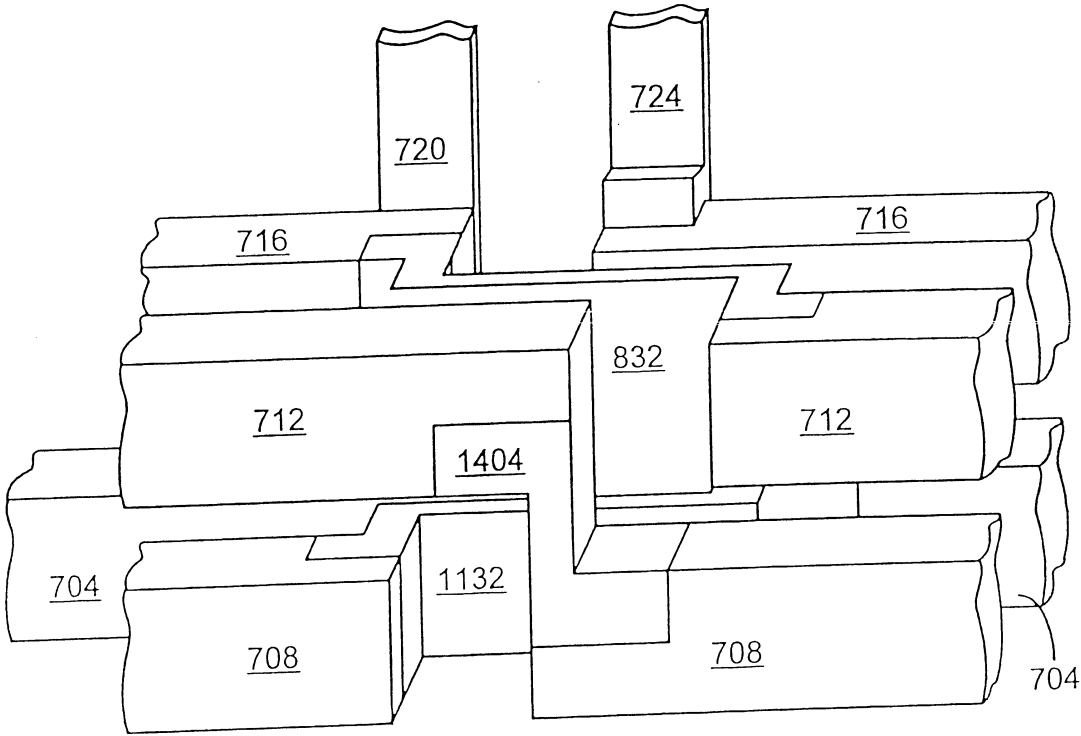
第 11 圖



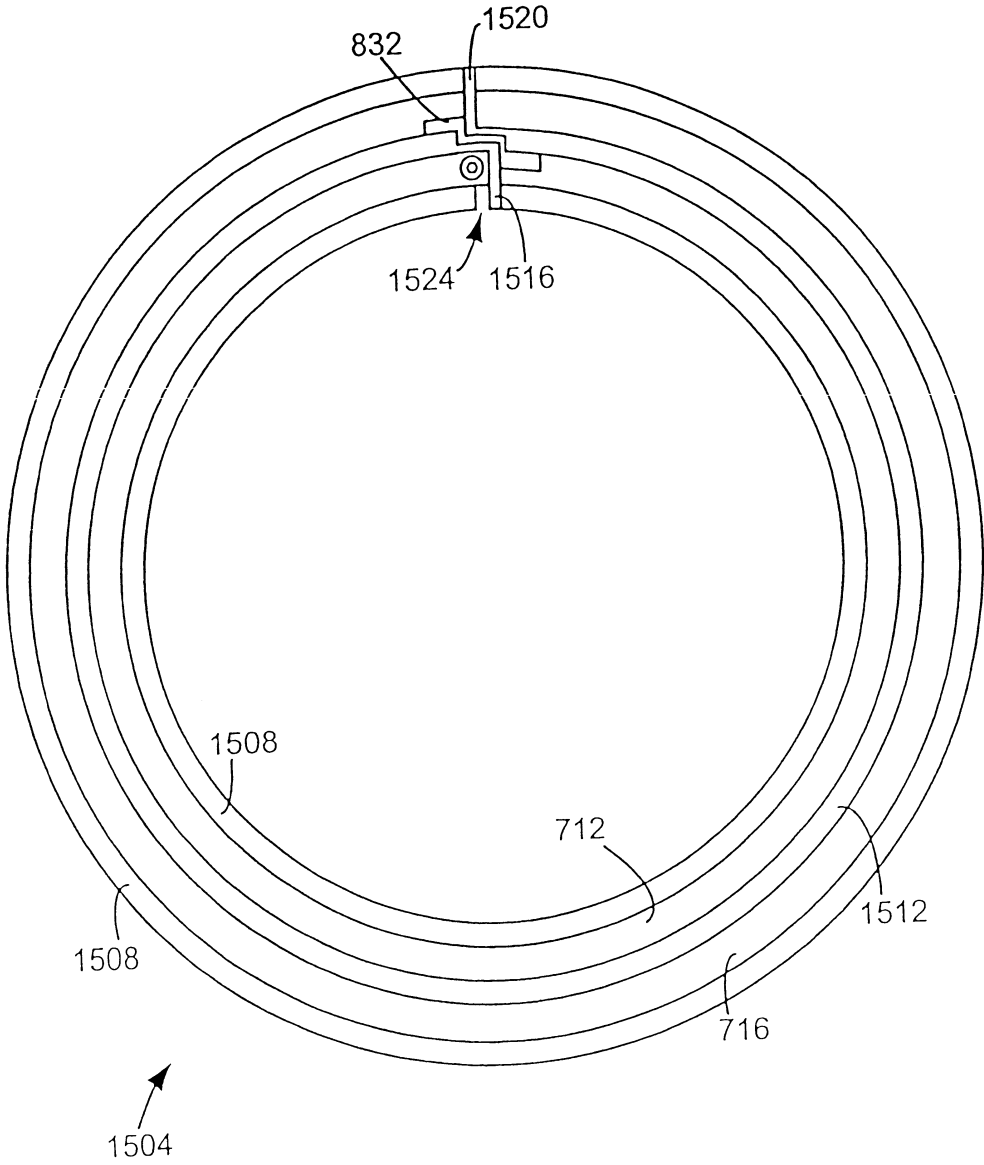
第 12 圖



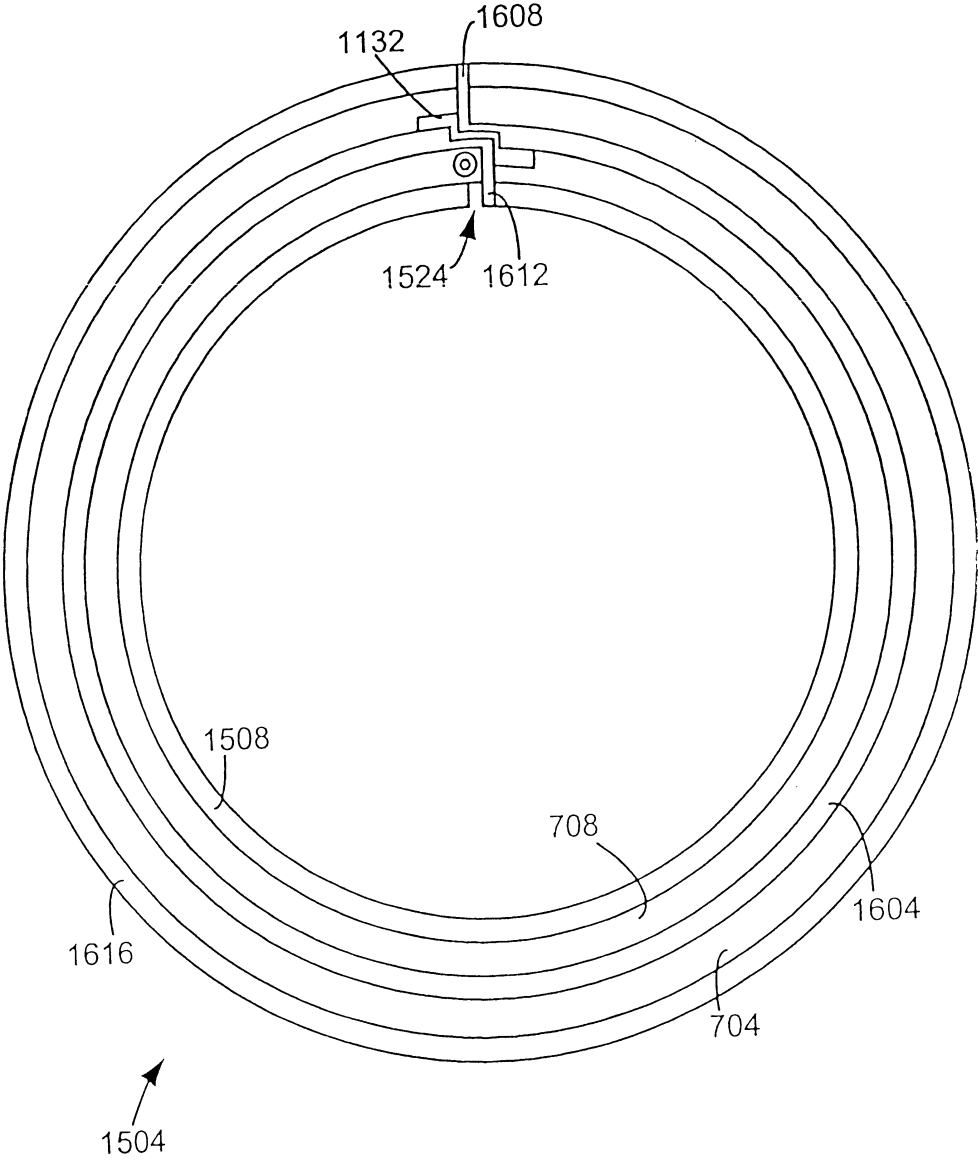
第 13 圖



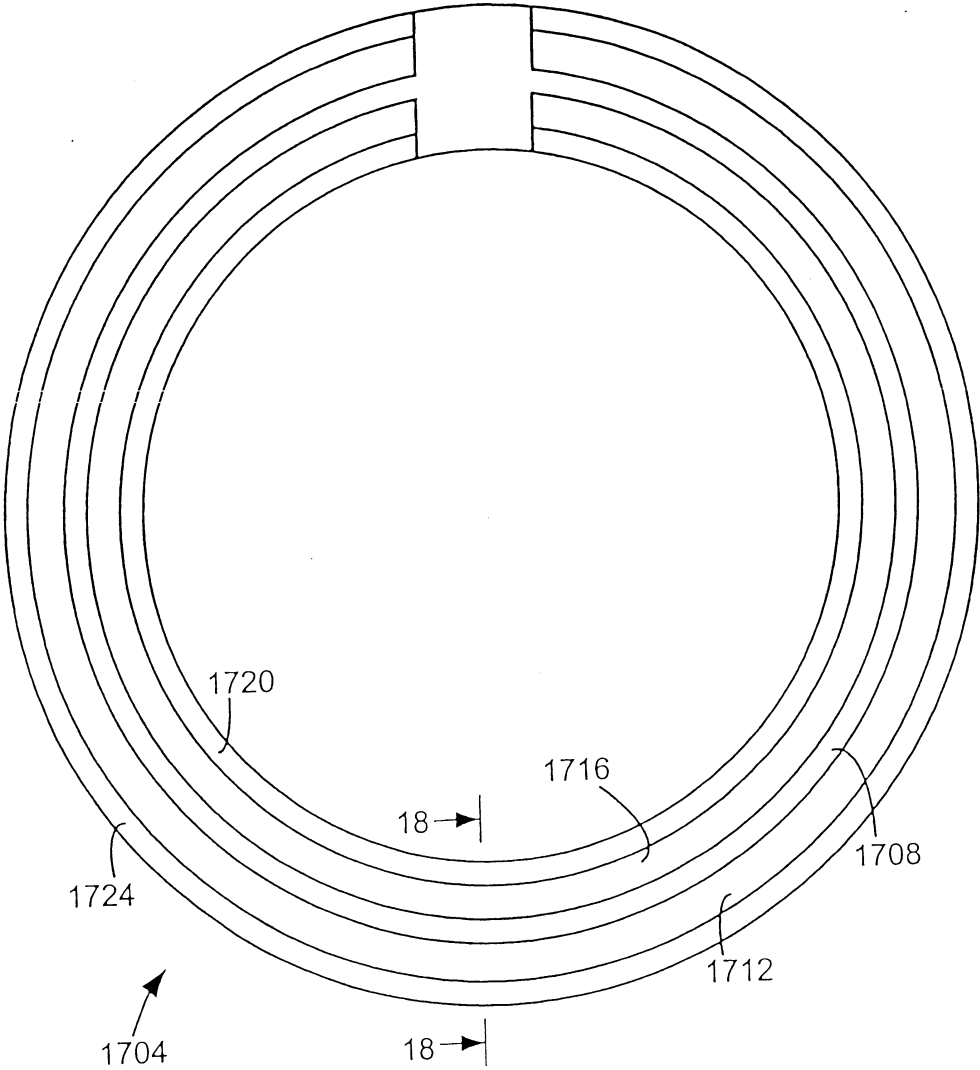
第 14 圖



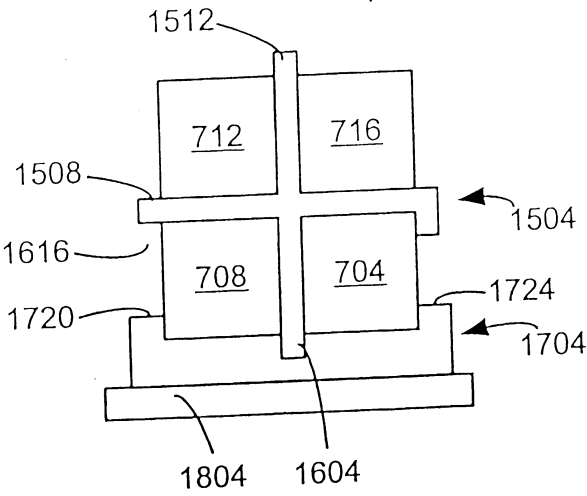
第 15 圖



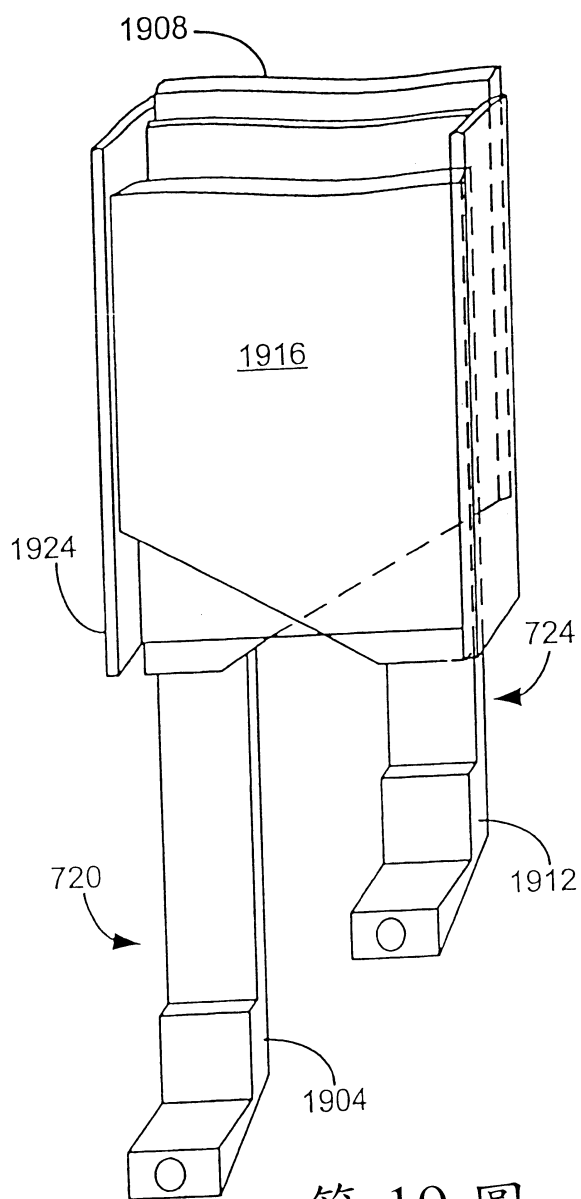
第 16 圖



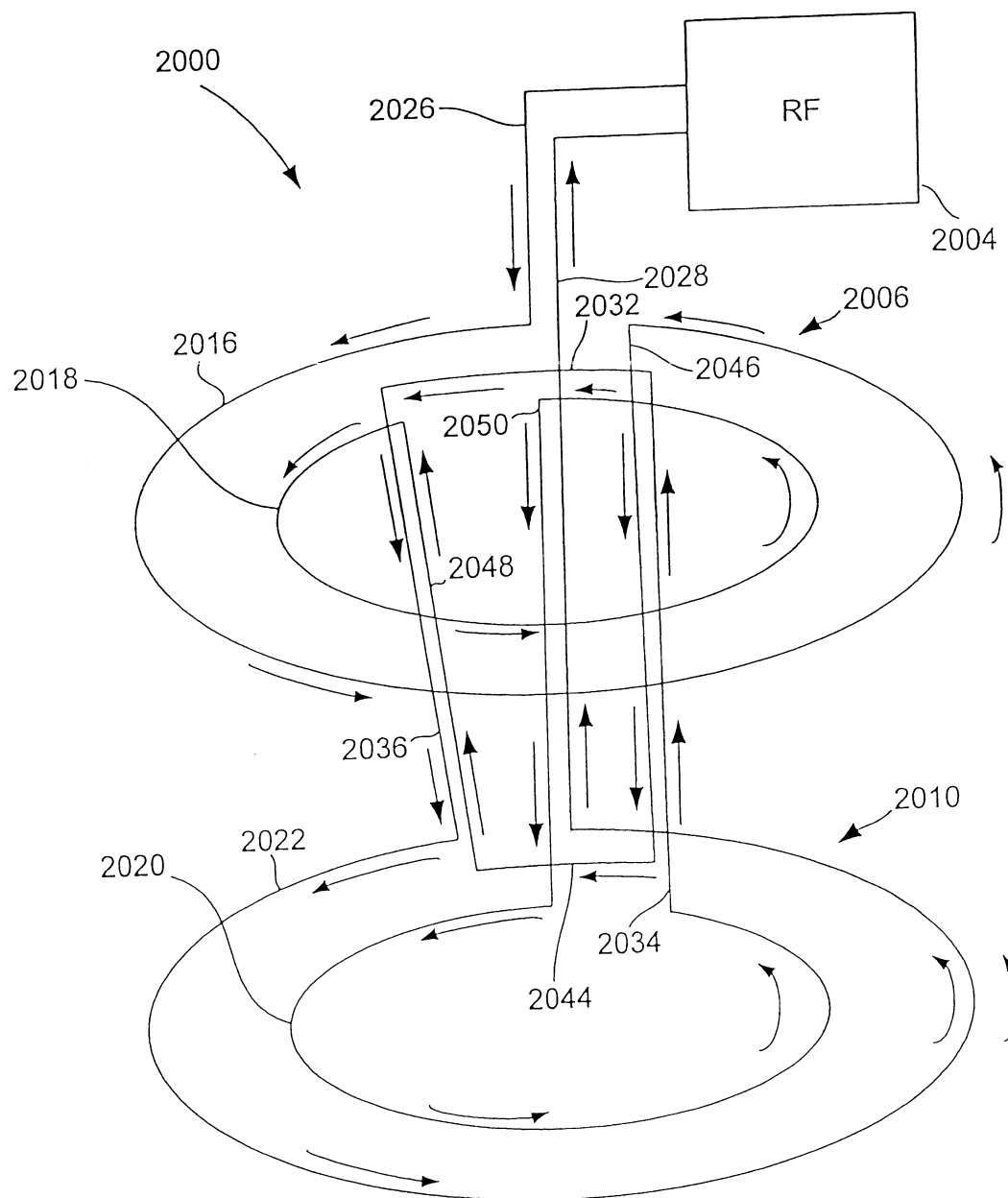
第 17 圖



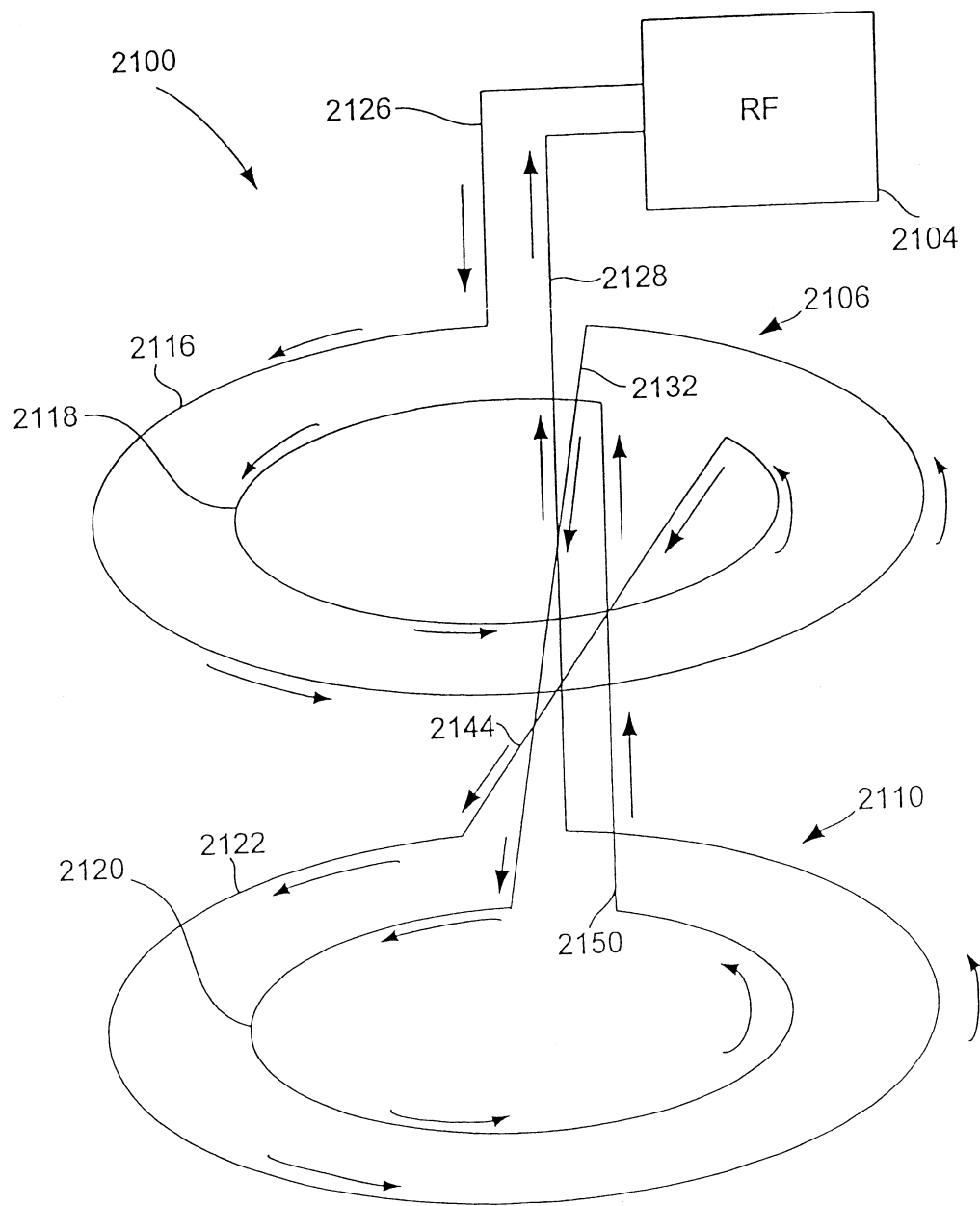
第 18 圖



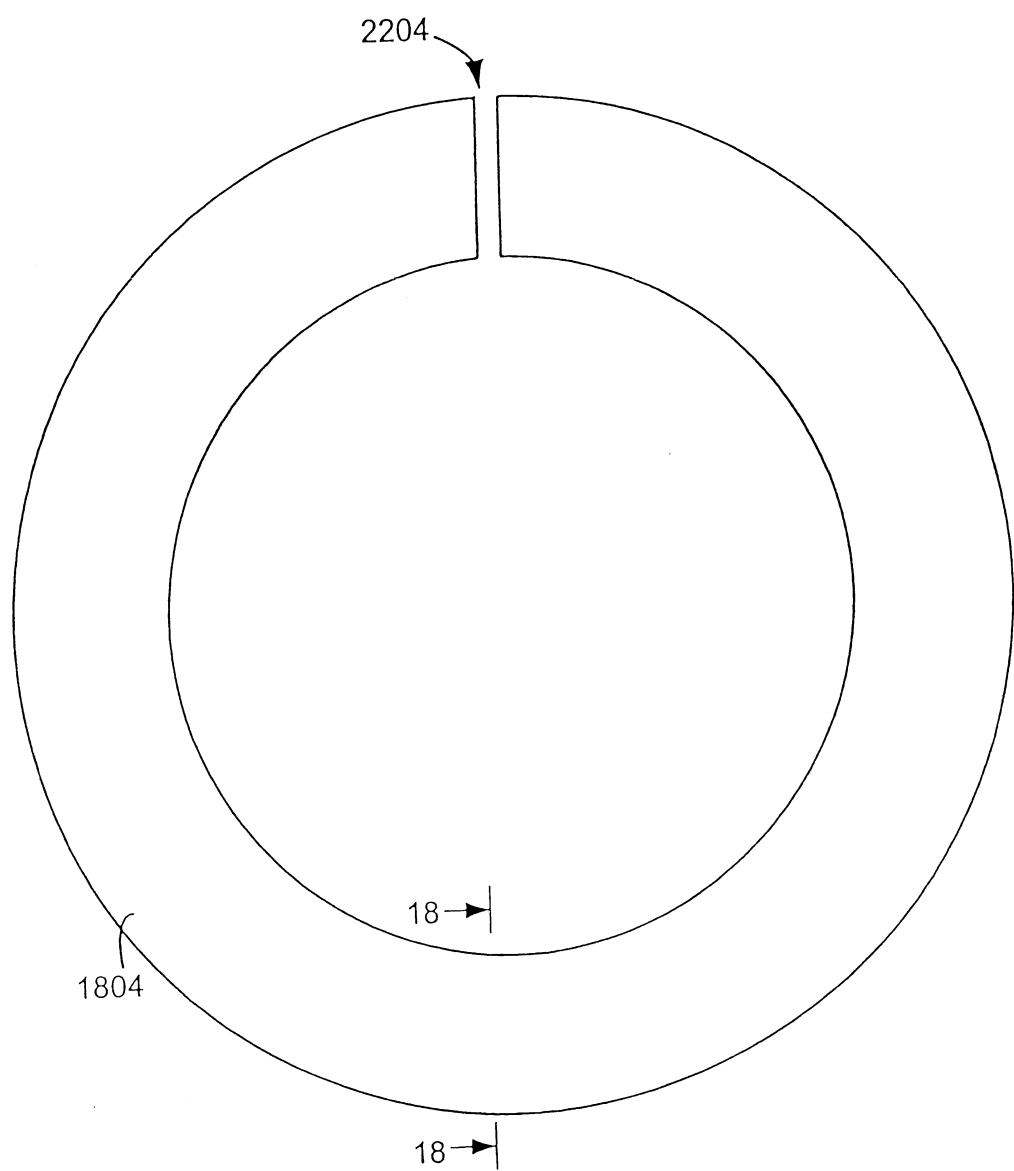
第 19 圖



第 20 圖



第 21 圖



第 22 圖