

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-65136

(P2009-65136A)

(43) 公開日 平成21年3月26日(2009.3.26)

(51) Int.Cl.		F I		テーマコード (参考)
H O 1 L 21/02	(2006.01)	H O 1 L 27/12	B	
H O 1 L 27/12	(2006.01)	H O 1 L 21/265	F	
H O 1 L 21/265	(2006.01)	H O 1 L 21/265	Q	

審査請求 未請求 請求項の数 12 O L (全 19 頁)

(21) 出願番号	特願2008-203669 (P2008-203669)	(71) 出願人	000153878
(22) 出願日	平成20年8月7日 (2008.8.7)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2007-212285 (P2007-212285)		神奈川県厚木市長谷398番地
(32) 優先日	平成19年8月16日 (2007.8.16)	(72) 発明者	肥塚 純一
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

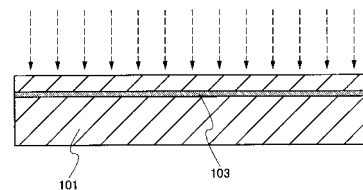
(54) 【発明の名称】 半導体基板の作製方法

(57) 【要約】

【課題】低ドーズ量のイオンで容易に剥離を行うことが可能な半導体基板の作製方法を提供する。

【解決手段】単結晶半導体基板の一方の面から、シラン又はハロゲン化ケイ素をプラズマ励起して生成されたイオンを照射することにより、該単結晶半導体基板に分離層を形成し、前記単結晶半導体基板の一方の面と、絶縁表面を有する基板とを接合し、熱処理を行うことにより、前記分離層に亀裂を生じさせ、前記絶縁表面を有する基板上に単結晶半導体層を残存させたまま前記単結晶半導体基板を剥離する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

単結晶半導体基板の一方の面から、複数の元素からなるソースガスをプラズマ励起して生成されたイオンを照射することにより、単結晶半導体基板に分離層を形成し、

前記単結晶半導体基板の一方の面と、絶縁表面を有する基板とを接合し、

熱処理を行うことにより、前記分離層に亀裂を生じさせ、

前記絶縁表面を有する基板上に単結晶半導体基板を残存させたまま前記単結晶半導体基板を剥離することを特徴とする半導体基板の作製方法。

【請求項 2】

単結晶半導体基板の一方の面から、シラン又はハロゲン化ケイ素をプラズマ励起して生成されたイオンを照射することにより、単結晶半導体基板に分離層を形成し、

前記単結晶半導体基板の一方の面と、絶縁表面を有する基板とを接合し、

熱処理を行うことにより、前記分離層に亀裂を生じさせ、

前記絶縁表面を有する基板上に単結晶半導体層を残存させたまま前記単結晶半導体基板を剥離することを特徴とする半導体基板の作製方法。

【請求項 3】

単結晶半導体基板の一方の面から、シラン又はハロゲン化ケイ素をプラズマ励起して生成されたイオンを照射することにより、単結晶半導体基板に分離層を形成し、

絶縁表面を有する基板の表面に有機シランガスを用いて化学気相成長法により酸化シリコン膜を形成し、

前記単結晶半導体基板の一方の面と、前記酸化シリコン膜が形成された前記基板とを接合し、

熱処理を行うことにより、前記分離層に亀裂を生じさせ、

前記絶縁表面を有する基板上に単結晶半導体層を残存させたまま前記単結晶半導体基板を剥離することを特徴とする半導体基板の作製方法。

【請求項 4】

単結晶半導体基板の一方の面から、シラン又はハロゲン化ケイ素をプラズマ励起して生成されたイオンを照射することにより、単結晶半導体基板に分離層を形成し、

前記単結晶半導体基板の一方の面に有機シランガスを用いて化学気相成長法により酸化シリコン膜を形成し、

前記酸化シリコン膜が形成された前記単結晶半導体基板の一方の面と、絶縁表面を有する基板とを接合し、

熱処理を行うことにより、前記分離層に亀裂を生じさせ、

前記絶縁表面を有する基板上に単結晶半導体層を残存させたまま前記単結晶半導体基板を剥離することを特徴とする半導体基板の作製方法。

【請求項 5】

請求項 3 又は請求項 4 において、

前記有機シランガスが、珪酸エチル (TEOS : 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、トリメチルシラン (TMS : $(\text{CH}_3)_3\text{SiH}$)、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン ($\text{SiH}(\text{OC}_2\text{H}_5)_3$) 又はトリスジメチルアミノシラン ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) から選ばれた一種を用いる半導体基板の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、

前記イオンの照射を、イオンドーピング装置を用いて行うことを特徴とする半導体基板の作製方法。

【請求項 7】

請求項 2 乃至請求項 6 のいずれかーにおいて、

前記シランとして SiH_4 を用い、

10

20

30

40

50

前記イオンとして、 SiH^+ イオン、 SiH_2^+ イオン、 SiH_3^+ イオン、及び SiH_4^+ イオンのうち、少なくとも一のイオンを前記単結晶半導体基板に照射することを特徴とする半導体基板の作製方法。

【請求項 8】

請求項 2 乃至請求項 6 のいずれか一において、

前記ハロゲン化ケイ素として、フッ化ケイ素、塩化ケイ素、臭化ケイ素、又はヨウ化ケイ素を用いることを特徴とする半導体基板の作製方法。

【請求項 9】

請求項 8 において、

前記フッ化ケイ素として SiF_4 を用い、

前記イオンとして、 SiF^+ イオン、 SiF_2^+ イオン、 SiF_3^+ イオン、及び SiF_4^+ イオンのうち、少なくとも一のイオンを前記単結晶半導体基板に照射することを特徴とする半導体基板の作製方法。

10

【請求項 10】

請求項 8 において、

前記塩化ケイ素として SiCl_4 を用い、

前記イオンとして、 SiCl^+ イオン、 SiCl_2^+ イオン、 SiCl_3^+ イオン、及び SiCl_4^+ イオンのうち、少なくとも一のイオンを前記単結晶半導体基板に照射することを特徴とする半導体基板の作製方法。

20

【請求項 11】

請求項 8 において、

前記臭化ケイ素として SiBr_4 を用い、

前記イオンとして、 SiBr^+ イオン、 SiBr_2^+ イオン、 SiBr_3^+ イオン、及び SiBr_4^+ イオンのうち、少なくとも一のイオンを前記単結晶半導体基板に照射することを特徴とする半導体基板の作製方法。

【請求項 12】

請求項 8 において、

前記ヨウ化ケイ素として SiI_4 を用い、

前記イオンとして、 SiI^+ イオン、 SiI_2^+ イオン、 SiI_3^+ イオン、及び SiI_4^+ イオンのうち、少なくとも一のイオンを前記単結晶半導体基板に照射することを特徴とする半導体基板の作製方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板の作製方法に関する。特に、絶縁表面を有する基板に単結晶若しくは多結晶の半導体層を接合させた半導体基板及び半導体装置に関する。

【背景技術】

【0002】

単結晶半導体のインゴットを薄くスライスして作製されるシリコンウエハに代わり、絶縁表面に薄い単結晶半導体を設けたシリコン・オン・インシュレータ (Silicon on Insulator: SOI) と呼ばれる半導体基板を使った集積回路が開発されている。SOI 基板を使った集積回路は、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させるものとして注目を集めている。

40

【0003】

SOI 基板を製造する方法としては、水素イオン注入剥離法が知られている (例えば、特許文献 1)。水素イオン注入剥離法は、シリコンウエハに水素イオンを注入することによって表面から所定の深さに分離層を形成し、分離層を劈開面とすることで、別のシリコンウエハに薄いシリコン層 (SOI 層) を接合する。さらに SOI 層に酸化膜を形成した後該酸化膜を除去し、次に、1000 乃至 1300 の還元性雰囲気下で熱処理を行って接合強度を高める必要があるとされている。

50

【 0 0 0 4 】

ガラス基板上にSOI層を形成したSOI基板の一例として、水素イオン注入剥離法を用いて、コーティング膜を有するガラス基板上に、被膜膜を有する単結晶シリコン薄膜を形成したものが知られている（特許文献2参照）。この場合にも、単結晶シリコン片に水素イオンを注入することによって表面から所定の深さに分離層を形成し、ガラス基板と単結晶シリコン片を貼り合わせた後に、分離層を劈開面としてシリコン片を剥離することで、ガラス基板上に薄いシリコン層（SOI層）を形成している。

【特許文献1】米国特許第6372609号

【特許文献2】特開2004-134675号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

上記のように、水素イオンを注入することにより分離層を形成してシリコン層を形成するためには、一定の深さの領域に水素イオンを集中させる必要がある。しかし、水素イオンの質量は小さいので、水素イオンを一定の深さに集中させるための制御が困難であり、イオンが添加される深さにばらつきが生じてしまい、結晶欠陥を効率良く形成することができず、シリコン片を剥離するためには大量の水素イオンを照射しなければならない。また、過剰に水素イオンが照射されると、基板を貼り合わせる前の段階でシリコン片が剥離してしまうという問題がある。

【 0 0 0 6 】

さらには、水素イオンが添加される深さのばらつきにより、剥離界面での平坦性に乏しく、ガラス基板上に移した薄いシリコン層（SOI層）の平坦性を向上させるためにCMP（Chemical Mechanical Polishing）等の平坦化技術の利用が必須となっている。

【 0 0 0 7 】

上記課題に鑑み本発明の目的の一つは、低ドーズ量のイオンで、容易に剥離を行うことが可能な半導体基板の作製方法を提供する。

【課題を解決するための手段】

【 0 0 0 8 】

上記課題を解決するために本発明の一は、単結晶半導体基板の一方の面に、複数の元素からなるソースガスをプラズマ励起して生成されたイオンを照射して、該単結晶半導体基板の表面から所定の深さの領域に分離層を形成することを特徴とする。

【 0 0 0 9 】

複数の元素からなるソースガスとしては、シラン、ハロゲン化ケイ素等を用いることができる。

【発明の効果】

【 0 0 1 0 】

単結晶半導体基板の一方の面に、複数の元素からなるソースガスをプラズマ励起して生成されたイオンを用いて照射を行うことにより、水素イオンのみを照射する場合よりも質量の大きいイオンを照射することになるため、一定の深さの領域にイオンを集中させるための制御がしやすくなり、イオンが添加される深さのばらつきを少なくすることができる。よって、低ドーズ量のイオンで分離層を形成することができる。このようにして形成された分離層を劈開面とすることにより、容易に剥離を行うことができる。また、一定の深さの領域にイオンが集中して添加することができるため、剥離界面での平坦性が向上する。

【発明を実施するための最良の形態】

【 0 0 1 1 】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実

10

20

30

40

50

施の記載内容に限定して解釈されるものではない。以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いることとする。

【0012】

本発明に係る半導体基板を図1(A)(B)に示す。図1(A)においてベース基板100は、絶縁表面を有する基板若しくは絶縁基板であり、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板を適用される。その他に石英ガラス、シリコンウエハのような半導体基板も適用可能である。LTSS(Low Temperature Single crystal Semiconductor)層102は単結晶半導体材料を適用することができ、例えば単結晶シリコンなどが挙げられる。複数の元素からなるソースガスをプラズマ励起して生成されたイオンを用い、分離層を形成して、単結晶半導体基板若しくは多結晶半導体基板から剥離可能であるシリコン、ゲルマニウム、その他、ガリウムヒ素、インジウムリンなどの化合物半導体による結晶性半導体材料を適用することもできる。

10

【0013】

このようなベース基板とLTSS層102の間に、平滑面を有し親水性表面を形成する接合層104を設ける。この接合層104として酸化シリコン膜が適している。特に有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、トリメチルシラン(TMS: $(\text{CH}_3)_3\text{SiH}$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等のシリコン含有化合物を用いることができる。

20

【0014】

接合層104は5nm乃至500nmの厚さで設けられる。この厚さであれば、被成膜表面の表面荒れを平滑化すると共に、当該膜の成長表面の平滑性を確保することが可能である。また、接合する基板との歪みを緩和することができる。ベース基板にも同様の酸化シリコン膜を設けておいてもよい。すなわち、絶縁表面を有する基板若しくは絶縁性のベース基板100にLTSS層102を接合するに際し、接合を形成する面の一方若しくは双方に、好ましくは有機シランを原材料として成膜した酸化シリコン膜でなる接合層104を設けることで強固な接合を形成することができる。

30

【0015】

接合層104はLTSS層102側に設けられ、ベース基板100の表面と密接することで、室温であっても接合をすることが可能である。より強固に接合を形成するには、ベース基板100とLTSS層102を押圧すれば良い。室温で形成された接合強度を高めるためには更に熱処理をすることが好ましい。

【0016】

異種材料であるベース基板100と接合層104を室温などの低温で接合するには表面を清浄化する。このような状態でベース基板100と接合層104を密着させると、表面間引力により接合が形成される。さらに表面に複数の水酸基を付着させる処理を加えると好ましい。例えば、ベース基板100の表面を酸素プラズマ処理若しくはオゾン処理して親水性にすることが好ましい。このように表面を親水性にする処理を加えた場合には、表面の水酸基が作用して水素結合により接合が形成される。

40

【0017】

異種材料であるベース基板100と接合層104を低温で接合するための処理として、接合を形成する表面にアルゴンなどの不活性ガスによるイオンビームを照射して清浄化しても良い。イオンビームの照射により、ベース基板100若しくは接合層104の未結合手が露呈して非常に活性な表面が形成される。このように活性化された表面同士を密着させると低温でも接合を形成することが可能である。表面を活性化して接合を形成する方法は、当該表面を高度に清浄化しておくことが要求されるので、真空中で行うことが好ましい。

50

【 0 0 1 8 】

L T S S 層 1 0 2 は単結晶半導体基板を薄片化して形成されるものである。例えば、単結晶半導体基板の所定の深さに、シラン又はハロゲン化ケイ素をプラズマ励起して生成されたイオンを照射し、その後熱処理を行って表層の単結晶シリコン層を剥離して L T S S 層 1 0 2 を形成することができる。L T S S 層 1 0 2 の厚さは 5 n m 乃至 5 0 0 n m、好ましくは 1 0 n m 乃至 2 0 0 n m の厚さである。

【 0 0 1 9 】

以上、接合層 1 0 4 を有する例を示したが、ベース基板 1 0 0 と L T S S 層 1 0 2 との接合強度に問題がなければ、接合層 1 0 4 は形成せず、ベース基板 1 0 0 と L T S S 層 1 0 2 を直接接合してもよい。

10

【 0 0 2 0 】

図 1 (B) は、ベース基板 1 0 0 にバリア層 1 0 5 と接合層 1 0 4 を設けた構成を示す。バリア層 1 0 5 と接合層 1 0 4 をベース基板に設けることにより、L T S S 層 1 0 2 をベース基板 1 0 0 に接合した場合に、ベース基板 1 0 0 としてガラス基板を用いた場合に、アルカリ金属若しくはアルカリ土類金属のような可動イオン不純物が拡散して L T S S 層 1 0 2 が汚染されることを防ぐことができる。また、ベース基板 1 0 0 側の接合層 1 0 4 は適宜設ければ良い。

【 0 0 2 1 】

図 2 (A) は L T S S 層 1 0 2 と接合層 1 0 4 の間に窒素含有絶縁層 1 2 0 を設けた構成を示す。窒素含有絶縁層 1 2 0 は窒化シリコン膜、窒化酸化シリコン膜若しくは酸化窒化シリコン膜から選ばれた一又は複数の膜を積層して形成する。例えば、L T S S 層 1 0 2 側から酸化窒化シリコン膜、窒化酸化シリコン膜を積層して窒素含有絶縁層 1 2 0 とすることができる。接合層 1 0 4 がベース基板 1 0 0 と接合を形成するために設けるのに対し、窒素含有絶縁層 1 2 0 は、可動イオンや水分等の不純物が L T S S 層 1 0 2 に拡散して汚染されることを防ぐために設けることが好ましい。

20

【 0 0 2 2 】

なお、ここで窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が 1 5 ~ 3 0 原子%、窒素が 2 0 ~ 3 5 原子%、ケイ素が 2 5 ~ 3 5 原子%、水素が 1 5 ~ 2 5 原子%の範囲で含まれるものをいう。また、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が 5 5 ~ 6 5 原子%、窒素が 1 ~ 2 0 原子%、ケイ素が 2 5 ~ 3 5 原子%、水素が 0 . 1 ~ 1 0 原子%の範囲で含まれるものをいう。

30

【 0 0 2 3 】

図 2 (B) は、ベース基板 1 0 0 に接合層 1 0 4 を設けた構成である。ベース基板 1 0 0 と接合層 1 0 4 との間にはバリア層 1 0 5 が設けられていることが好ましい。バリア層 1 0 5 を設けるのは、ベース基板 1 0 0 として用いられるガラス基板からアルカリ金属若しくはアルカリ土類金属のような可動イオン不純物が拡散して L T S S 層 1 0 2 が汚染されることを防ぐためである。また、L T S S 層 1 0 2 には酸化シリコン膜 1 2 1 が形成されている。この酸化シリコン膜 1 2 1 が接合層 1 0 4 と接合を形成し、ベース基板 1 0 0 上に L T S S 層 1 0 2 を固定する。酸化シリコン膜 1 2 1 は熱酸化により形成されたものが好ましい。

40

【 0 0 2 4 】

このような半導体基板の作製方法について図 3 乃至図 5 を参照して説明する。

【 0 0 2 5 】

図 3 に、半導体基板 1 0 1 の表面に対して複数の元素からなるソースガスをプラズマ励起して生成されたイオンを照射することにより、分離層 1 0 3 を形成する態様を示す。

【 0 0 2 6 】

半導体基板 1 0 1 としては、シリコンやゲルマニウムなどからなる半導体基板、又はガリウムヒ素やインジウムリンなどからなる化合物半導体基板を適用することができる。単結晶半導体基板を適用することが好ましいが、多結晶半導体基板を適用することも可能で

50

ある。また、適用する半導体基板は矩形状でもよいし、円形状でもよい。

【0027】

ここで用いるソースガスとして、シラン(SiH_4)、ジシラン(Si_2H_6)、重水素シラン(SiD_4)、フッ化ケイ素(SiF_4)、塩化ケイ素(SiCl_4)、臭化ケイ素(SiBr_4)、ヨウ化ケイ素(SiI_4)等のハロゲン化ケイ素、ゲルマン(GeH_4)等の複数の元素からなるガスを用いることができる。

【0028】

半導体基板101に照射するイオンとして、シランをプラズマ励起することにより生成された SiH^+ イオン、 SiH_2^+ イオン、 SiH_3^+ イオン、及び SiH_4^+ イオンを用いることができる。フッ化ケイ素をプラズマ励起することにより生成された SiF^+ イオン、 SiF_2^+ イオン、 SiF_3^+ イオン、及び SiF_4^+ イオン、塩化ケイ素をプラズマ励起することにより生成された SiCl^+ イオン、 SiCl_2^+ イオン、 SiCl_3^+ イオン、及び SiCl_4^+ イオン、臭化ケイ素をプラズマ励起することにより生成された SiBr^+ イオン、 SiBr_2^+ イオン、 SiBr_3^+ イオン、及び SiBr_4^+ イオン、ヨウ化ケイ素をプラズマ励起することにより生成された SiI^+ イオン、 SiI_2^+ イオン、 SiI_3^+ イオン、及び SiI_4^+ イオン等を用いることができる。なお、シランをプラズマ励起することにより生成された SiH^+ イオン、 SiH_2^+ イオン、 SiH_3^+ イオン、及び SiH_4^+ イオンのうち、少なくとも一のイオンが基板に照射されればよい。その他のソースガスをプラズマ励起して生成されるイオンについても同様である。

【0029】

このように、イオン照射工程で使用するイオンは、水素イオンに対して質量が比較的大きく且つ熱処理に応じて半導体基板から脱離可能なイオン種であれば、上記のイオンに限らないものであり、半導体基板101に悪影響を及ぼさないものであれば良い。したがって、ジシラン、重水素シラン、ゲルマン等の複数の元素からなるソースガスをプラズマ励起して生成されたイオンを用いることができる。

【0030】

イオン照射による分離層103の形成はベース基板100に転置するLTSS層の厚さを考慮して行われる。当該LTSS層の厚さは5nm乃至500nm、好ましくは10nm乃至200nmの厚さとする。イオンを照射するための加速電圧はこのような厚さを考慮して、半導体基板101に添加されるようにする。

【0031】

イオン照射はイオンドーピング装置を用いて行うことが好ましい。すなわち、ソースガスをプラズマ化して生成された複数のイオン種を質量分離しないで照射するドーピング方式を用いる。本実施の形態では、ドーピング法により、モノシラン(SiH_4)をプラズマ励起して生成されたイオンを40keVの加速電圧にて、 $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量で照射する。

【0032】

イオンドーピング装置では、イオンの生成に係るプラズマ空間が大きく、大量のイオンを生成し、打ち込むことができるというメリットを有している。よって、イオンドーピング装置を用いることによって、生産性が向上する。イオン注入装置は、生成したイオンを質量分離して特定のイオン種だけを基板に打ち込めるといった特徴がある一方、基本的に点ビームを走査することによりイオンを打ち込むため、生産性に問題が生じる。プラズマの発生方法としては、例えば、フィラメントを加熱して出てくる熱電子によるものが挙げられるが、プラズマの発生方法はいずれの装置においても大差はない。

【0033】

ここで、図4に、半導体基板にシランをプラズマ励起して生成されたイオンをドーピング法により照射し分離層を形成した場合のシリコン、水素、及び結晶欠陥の深さ方向プロファイルを示す。横軸は半導体基板の表面からの深さを示し、縦軸は濃度分布を示している。

【0034】

10

20

30

40

50

シランのイオン (SiH^+ イオン、 SiH_2^+ イオン、 SiH_3^+ イオン、及び SiH_4^+ イオン) をドーピング法により半導体基板に照射すると、照射されたシランのイオンの衝撃により結晶構造が乱されて結晶欠陥を形成する。シランのイオンは、水素イオンよりも質量が大きいため、水素イオン単独で照射する場合よりも一定の深さに集中させるための制御がしやすく、効率良く結晶欠陥を形成することができる。また、シランのイオンに含まれる水素イオンは結晶欠陥に捕獲されやすいため、結晶欠陥の極近傍に水素イオンを集中して照射することができる。さらに、質量数の大きいイオン、例えば、 SiH_3^+ イオンと SiH_4^+ イオンの割合を高めておくことにより照射効率を高めることができ、イオンの照射時間を短縮することができる。 SiH_3^+ イオンと SiH_4^+ イオンは合計で 6 割以上含ませることが好ましい。また、ハロゲン化ケイ素等のイオンを用いる場合にも、質量数の大きいイオン、例えば、 SiF_3^+ 、 SiF_4^+ の割合を高めておくことにより照射効率を高めることができ、イオンの照射時間を短縮することができる。質量数の大きいイオンの割合を高めてイオンを照射することによって、水素イオンを単独で照射する場合に比べて、低ドーズ量のイオンで分離層を形成することができる。

10

【0035】

また、シラン、ハロゲン化ケイ素等のイオンを質量分離して半導体基板 101 に照射しても、分離層 103 を形成することができる。この場合には、質量数の大きいイオン (例えば、 SiH_3^+ 、 SiH_4^+ イオン) を選択的に照射することが好ましい。

【0036】

なお、半導体基板に照射されたシリコン原子、ゲルマニウム原子はドーパント不純物とはならないため、最終的にデバイス領域に残存しても、その特性に大きな影響は与えないという利点もある。

20

【0037】

分離層 103 の形成に当たってはイオンを照射する際に、イオン照射によって半導体基板 101 の表面がダメージを受けるため、半導体基板 101 の表面が粗くなってしまう場合がある。そのためイオンが照射される表面に窒化シリコン膜若しくは窒化酸化シリコン膜などによりイオン照射に対する保護膜 (図示せず) を 50 nm 乃至 200 nm の厚さで設けておいても良い。

【0038】

次に、図 5 (A) で示すようにベース基板と接合を形成する面に接合層 104 として酸化シリコン膜を形成する。酸化シリコン膜としては上述のように有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。そのほかに、シランガスを用いて化学気相成長法により作製される酸化シリコン膜を適用することもできる。化学気相成長法による成膜では、単結晶半導体基板に形成した分離層 103 から脱ガスが起こらない温度として、例えば 350 以下の成膜温度が適用される。なお、単結晶若しくは多結晶半導体基板から L T S S 層を剥離する第 2 の熱処理は、成膜温度よりも高い熱処理温度が適用される。

30

【0039】

図 5 (B) はベース基板 100 と、半導体基板 101 の接合層 104 が形成された面とを密接させ、この両者を接合させる態様を示す。接合を形成する面は、十分に清浄化しておく。そして、ベース基板 100 と接合層 104 とを密着させることにより接合が形成される。この接合はファン・デル・ワールス力が作用しており、ベース基板 100 と半導体基板 101 とを圧接することで水素結合により強固な接合を形成することが可能である。

40

【0040】

良好な接合を形成するために、表面を活性化しておいても良い。例えば、接合を形成する面に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガスに中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行う。このような表面処理により 200 乃至 400 の温度であっても異種材料間の接合を形成することが容易となる。

50

【 0 0 4 1 】

ベース基板 1 0 0 と半導体基板 1 0 1 とを接合層 1 0 4 を介して貼り合わせた後に、第 1 の熱処理又は加圧処理を行うことが好ましい。第 1 の熱処理又は加圧処理を行うことで接合強度を向上させることが可能となる。第 1 の熱処理の温度は、ベース基板 1 0 0 の耐熱温度以下であることが好ましい。加圧処理においては、接合面に垂直な方向に圧力が加わるように行い、ベース基板 1 0 0 及び半導体基板 1 0 1 の耐圧性を考慮して行う。

【 0 0 4 2 】

図 5 (C) に、第 2 の熱処理を行い分離層 1 0 3 に亀裂を生じさせ、分離層 1 0 3 を劈開面として半導体基板 1 0 1 をベース基板 1 0 0 から剥離する態様を示す。接合層 1 0 4 はベース基板 1 0 0 と接合しているので、ベース基板 1 0 0 上には、半導体基板 1 0 1 と同じ結晶性の L T S S 層 1 0 2 が残存することとなる。

10

【 0 0 4 3 】

第 2 の熱処理の温度は接合層 1 0 4 の成膜温度以上、ベース基板 1 0 0 の耐熱温度以下で行うことが好ましい。例えば、第 2 の熱処理を 4 0 0 乃至 6 0 0 で行うことが好ましい。第 2 の熱処理を行うことにより、水素イオンが集中して添加された領域で、シリコンと水素との結合が切れて、水素原子がシリコン原子の結晶面に析出し、シリコン - 水素結合による積層欠陥を形成する。熱処理温度を上記温度とし、熱処理時間を増すと水素の析出量が増加し、その析出された水素同士が結合して水素ガスとして脱離する。これにより、シリコン結晶面が劈開し、L T S S 層 1 0 2 を剥離することができる。

【 0 0 4 4 】

分離層 1 0 3 にはイオンが一定の深さの領域に集中して添加されているため、容易に剥離を行うことができ、分離層 1 0 3 の剥離界面 (L T S S 層の表面) において平坦性を向上させることができる。

20

【 0 0 4 5 】

また、半導体基板 1 0 1 に分離層 1 0 3 を形成するために照射するイオンとして、ハロゲン化ケイ素のイオンを用いた場合も、ハロゲンのイオンが集中して添加された領域で、ハロゲンのガスが脱離するため、シリコン結晶面が劈開し、L T S S 層 1 0 2 を剥離することができる。

【 0 0 4 6 】

次いで、ベース基板 1 0 0 に L T S S 層 1 0 2 が接合された状態で第 3 の熱処理を行ってもよい。第 3 の熱処理は、第 2 の熱処理温度よりも高い温度であってベース基板の歪み点を超えない温度で行うことが好ましい。或いは、第 2 の熱処理と第 3 の熱処理が同じ温度であっても、第 3 の熱処理時間を長くすることが好ましい。第 3 の熱処理は、熱伝導加熱、対流加熱、又は輻射加熱などにより、ベース基板及び / 又は L T S S 層 1 0 2 が加熱されるようにすれば良い。熱処理装置として電熱炉、ランプアニール炉、レーザ照射装置等を適用することができる。第 3 の熱処理は多段階に温度を変化させて行っても良い。また瞬間熱アニール (R T A) 装置を用いても良い。R T A 装置によって第 3 の熱処理を行う場合は、基板の歪み点近傍またはそれよりも若干高い温度に加熱することもできる。

30

【 0 0 4 7 】

第 3 の熱処理を行うことで L T S S 層 1 0 2 に残留する応力を緩和することができる。すなわち、第 3 の熱処理によって、ベース基板 1 0 0 と L T S S 層 1 0 2 の膨張係数の違いにより生じる熱歪みを緩和する。また、第 3 の熱処理はイオンを照射することによって結晶性が損なわれた L T S S 層 1 0 2 の結晶性を回復させることができる。さらに、第 3 の熱処理は半導体基板 1 0 1 をベース基板と接合させた後、分割する際に生じる L T S S 層 1 0 2 のダメージを回復させることにも有効である。よって、平坦性を向上させることができる。

40

【 0 0 4 8 】

以上、接合層 1 0 4 を有する例を示したが、ベース基板 1 0 0 と L T S S 層 1 0 2 との接合強度に問題が無ければ、接合層 1 0 4 は形成せず、ベース基板 1 0 0 と L T S S 層 1 0 2 とを直接接合してもよい。

50

【0049】

また、分離層103を形成するためにイオンを照射した後の半導体基板101の表面（ベース基板100と接合される部分）に窒素含有絶縁層を形成しても良い。窒素含有絶縁層は、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンから選ばれた一又は複数の膜を積層して形成する。窒素含有絶縁層を設けることにより、ベース基板100を接合した後、ベース基板から可動イオンや水分等の不純物がLTSS層102に拡散して汚染されることを防ぐことができる。

【0050】

図6(A)～図6(C)はベース基板側に接合層を設けてLTSS層102を形成する工程を示す。

10

【0051】

図6(A)は保護膜として酸化シリコン膜121が形成された半導体基板101に電界で加速されたイオンを照射することにより、分離層103を形成する工程を示している。酸化シリコン膜121は、半導体基板101上に酸化シリコン層をスパッタ法やCVD法で成膜してもよいし、半導体基板101が単結晶シリコンの場合、半導体基板101を熱酸化して形成してもよい。本実施の形態では、半導体基板101が単結晶シリコン基板として、酸化シリコン膜121は単結晶シリコン基板を熱酸化して形成する。半導体基板101の表面に酸化シリコン膜121を形成しておくことで、イオンの照射によって表面がダメージを受け、平坦性が損なわれるのを防ぐことができる。

【0052】

20

次に、図3と同様にして、半導体基板101の表面から電界で加速されたイオンを照射することにより分離層103を形成する。イオンの照射は、ベース基板に転置するLTSS層の厚さを考慮して行われる。イオンの照射は、ドーピング法により行われることが好ましい。ソースガスとしてシラン、ハロゲン化ケイ素等を用いることができる。シラン、ハロゲン化ケイ素等は水素と比べて質量が大きいため、一定の深さに集中させるための制御がしやすく、照射の深さのばらつきが少なくなるため、低ドーズ量で分離層を形成することができる。さらに、シリコン系基板を用いた場合は、添加されたシリコン原子はドーパント不純物とはならないため、最終的にデバイス領域に残存しても、その特性に大きな影響は与えないという利点もある。

【0053】

30

図6(B)は、バリア層105及び接合層104が形成されたベース基板100と半導体基板101の酸化シリコン膜121が形成された面を密着させて接合を形成する工程を示している。ベース基板100上の接合層104と半導体基板101の酸化シリコン膜121を密着させることにより接合が形成される。

【0054】

ベース基板100と半導体基板101とを接合層104を介して貼り合わせた後は、第1の熱処理又は加圧処理を行うことが好ましい。第1の熱処理又は加圧処理を行うことで接合強度を向上させることが可能となる。第1の熱処理の温度は、ベース基板100の耐熱温度以下であることが好ましい。加圧処理においては、接合面に垂直な方向に圧力が加わるように行い、ベース基板100及び半導体基板101の耐圧性を考慮して行う。

40

【0055】

この状態で第2の熱処理を行う。第2の熱処理は接合層104の成膜温度以上で行うことが好ましく、400 以上600 未満の温度で行うことが好ましい。分離層103において水素イオンが集中して添加された領域で、シリコンと水素との結合が切れて、水素原子がシリコン原子の結晶面に析出し、シリコン-水素結合による積層欠陥を形成する。熱処理温度を上記温度とし、熱処理時間を増すと水素の析出量が増加し、その析出された水素同士が結合して水素ガスとして脱離する。これにより、図6(C)で示すようにシリコン結晶面が劈開し、LTSS層102を剥離することができる。ベース基板100には半導体基板101と同じ結晶性を有するLTSS層102が形成される。

【0056】

50

分離層 103 にはイオンが一定の深さの領域に集中して注入されているため、容易に剥離を行うことができ、分離層 103 の剥離界面 (L T S S 層の表面) において平坦性を向上させることができる。

【0057】

このようにして図 2 (B) で示す半導体基板を得ることができる。

【0058】

なお、必要に応じて第 3 の熱処理を行うことが好ましい。第 3 の熱処理は、第 2 の熱処理温度よりも高い温度であってベース基板 100 の歪み点を超えない温度で行うことが好ましい。或いは、第 2 の熱処理と第 3 の熱処理は同じ温度であっても、第 2 の熱処理時間を長くすることが好ましい。熱処理は、熱伝導加熱、対流加熱または輻射加熱などによりベース基板 100 及びまたは L T S S 層 102 が加熱されるようにすれば良い。

10

【0059】

第 3 の熱処理を行うことで L T S S 層 102 に残留する応力を緩和することができる。すなわち、熱処理によって、ベース基板 100 と L T S S 層 102 の膨張係数の違いにより生じる熱歪みを緩和する。また、第 3 の熱処理はイオンを照射することによって結晶性が損なわれた L T S S 層 102 の結晶性を回復させるためにも有効である。さらに、熱処理は半導体基板 101 をベース基板と接合させた後、分割する際に生じる L T S S 層 102 のダメージを回復させることにも有効である。

【0060】

なお、図 6 (A) ~ 図 6 (C) において、ベース基板側に接合層を設けて L T S S 層を形成する工程を示したが、接合を形成する面の双方に接合層を設けても良い。接合を形成する面の双方に接合層を設けることにより、強固な接合を形成することができる。

20

【0061】

このように本形態によれば、シラン、ハロゲン化ケイ素等の複数の元素からなるイオンをドーピング法により照射して分離層を形成するので、水素イオンを照射する場合に比べて、イオンが照射される深さのばらつきを少なくすることができる。水素イオンよりも質量の大きいイオンの照射により結晶欠陥を効率良く形成しつつ、半導体基板を劈開するためのイオンを集中して照射することができるため、低ドーズ量で分離層を形成することができる。また、一定の領域にイオンが集中して照射されるため、容易に剥離を行うことができ、単結晶半導体層の剥離界面での平坦性が向上する。

30

【0062】

次いで、本発明に係る半導体基板を用いた半導体装置について図 7 と図 8 を参照して説明する。図 7 (A) において、ベース基板 100 に接合層 104 を介して L T S S 層 102 が設けられている。L T S S 層 102 の膜厚は 5 nm 乃至 500 nm、好ましくは 10 nm 乃至 200 nm の厚さとする。L T S S 層 102 の厚さは、図 3 で説明した分離層 103 の深さを制御することにより適宜設定できる。L T S S 層 102 にはしきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型不純物を添加する。例えば、p 型不純物として硼素を $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度で添加されていてもよい。ベース基板 100 にはバリア層 105 として窒化シリコン層と酸化シリコン層が積層形成されている。ベース基板 100 にバリア層を設けることで、L T S S 層 102 の汚染を防ぐことができる。なお、窒化シリコン層に代えて、窒化酸化シリコン層、窒化アルミニウム層、窒化酸化アルミニウム層を適用してもよい。

40

【0063】

図 7 (B) に、L T S S 層 102 をエッチングして、半導体素子の配置に合わせて島状に分離した L T S S 層 102 を形成する図を示す。

【0064】

図 7 (C) に、L T S S 層 102 が露出した後ゲート絶縁層 109、ゲート電極 110、サイドウォール絶縁層 111 を形成し、第 1 不純物領域 112、第 2 不純物領域 113 を形成する図を示す。絶縁層 114 は、窒化シリコンで形成し、ゲート電極をエッチングするときのハードマスクとして用いる。

50

【 0 0 6 5 】

図 7 (D) に、層間絶縁層 1 1 5 を形成する図を示す。層間絶縁層 1 1 5 は、B P S G (B r o n P h o s p h o r u s S i l i c o n G l a s s) 膜を成膜するか、ポリイミドに代表される有機樹脂を塗布して形成する。層間絶縁層 1 1 5 にはコンタクトホール 1 1 6 を形成する。コンタクトホール 1 1 6 は、サイドウォール絶縁層 1 1 1 を利用してセルフアラインコンタクトの構成となっている。

【 0 0 6 6 】

その後、図 8 で示すように、コンタクトホール 1 1 6 に合わせて配線 1 1 9 を形成する。配線 1 1 9 は、アルミニウム若しくはアルミニウム合金で形成し、上層と下層にはバリアメタルとしてモリブデン、クロム、チタンなどの金属膜で形成する。

10

【 0 0 6 7 】

このように、ベース基板 1 0 0 に接合された L T S S 層 1 0 2 を用いて電界効果トランジスタを作製することができる。本形態に係る L T S S 層 1 0 2 は、結晶方位が一定の単結晶半導体であるため、均一で高性能な電界効果トランジスタを得ることができる。すなわち、しきい値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動度化などの高性能化を達成することができる。

【 0 0 6 8 】

図 9 は、半導体装置の一例として、マイクロプロセッサ 2 0 0 の一例を示す。このマイクロプロセッサ 2 0 0 は、上記したように本形態に係る半導体基板により製造されるものである。このマイクロプロセッサ 2 0 0 は、演算回路 2 0 1 (A r i t h m e t i c l o g i c u n i t 。 A L U と も い う 。) 、 演算回路制御部 2 0 2 (A L U C o n t r o l l e r) 、 命令解析部 2 0 3 (I n s t r u c t i o n D e c o d e r) 、 割り込み制御部 2 0 4 (I n t e r r u p t C o n t r o l l e r) 、 タイミング制御部 2 0 5 (T i m i n g C o n t r o l l e r) 、 レジスタ 2 0 6 (R e g i s t e r) 、 レジスタ制御部 2 0 7 (R e g i s t e r C o n t r o l l e r) 、 バスインターフェース 2 0 8 (B u s I / F) 、 読み出し専用メモリ 2 0 9 、 及びメモリインターフェース 2 1 0 (R O M I / F) を有している。

20

【 0 0 6 9 】

バスインターフェース 2 0 8 を介してマイクロプロセッサ 2 0 0 に入力された命令は、命令解析部 2 0 3 に入力され、デコードされた後、演算回路制御部 2 0 2 、 割り込み制御部 2 0 4 、 レジスタ制御部 2 0 7 、 タイミング制御部 2 0 5 に入力される。演算回路制御部 2 0 2 、 割り込み制御部 2 0 4 、 レジスタ制御部 2 0 7 、 タイミング制御部 2 0 5 は、デコードされた命令に基づき各種制御を行う。具体的に演算回路制御部 2 0 2 は、演算回路 2 0 1 の動作を制御するための信号を生成する。また、割り込み制御部 2 0 4 は、マイクロプロセッサ 2 0 0 のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を、その優先度やマスク状態から判断して処理する。レジスタ制御部 2 0 7 は、レジスタ 2 0 6 のアドレスを生成し、マイクロプロセッサ 2 0 0 の状態に応じてレジスタ 2 0 6 の読み出しや書き込みを行う。タイミング制御部 2 0 5 は、演算回路 2 0 1 、 演算回路制御部 2 0 2 、 命令解析部 2 0 3 、 割り込み制御部 2 0 4 、 レジスタ制御部 2 0 7 の動作のタイミングを制御する信号を生成する。例えばタイミング制御部 2 0 5 は、規

30

40

【 0 0 7 0 】

このようなマイクロプロセッサ 2 0 0 は、絶縁の表面を有する基板若しくは絶縁基板上に接合された結晶方位が一定の単結晶半導体層 (L T S S 層) によって集積回路が形成されているので、処理速度の高速化のみならず、低消費電力化を図ることができる。

【 0 0 7 1 】

次に、非接触でデータの送受信を行うことのできる演算機能を備えた半導体装置の一例

50

について図 10 を参照して説明する。図 10 は、無線通信により外部装置と信号の送受信を行って動作するコンピュータ（以下、「R F C P U」という）の一例を示す。R F C P U 2 1 1 は、アナログ回路部 2 1 2 とデジタル回路部 2 1 3 を有している。アナログ回路部 2 1 2 として、共振容量を有する共振回路 2 1 4、整流回路 2 1 5、定電圧回路 2 1 6、リセット回路 2 1 7、発信回路 2 1 8、復調回路 2 1 9 と、変調回路 2 2 0 を有している。デジタル回路部 2 1 3 は、R F インターフェース 2 2 1、制御レジスタ 2 2 2、クロックコントローラ 2 2 3、インターフェース 2 2 4、中央処理ユニット 2 2 5、ランダムアクセスメモリ 2 2 6、読み出し専用メモリ 2 2 7 を有している。

【0072】

リセット回路 2 1 7 は、デジタル回路部 2 1 3 をリセットし、初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発信回路 2 1 8 は、定電圧回路 2 1 6 により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。ローパスフィルタで形成される復調回路 2 1 9 は、例えば振幅変調（A S K）方式の送信信号の振幅を変動させて送信する。変調回路 2 2 0 は、共振回路 2 1 4 の共振点を変化させることで通信信号の振幅を変化させている。クロックコントローラ 2 2 3 は、電源電圧又は中央処理ユニット 2 2 5 における消費電流に応じてクロック信号の周波数とデューティ比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 2 3 0 が行っている。

【0073】

アンテナ 2 2 8 から R F C P U 2 1 1 に入力された信号は復調回路 2 1 9 で復調された後、R F インターフェース 2 2 1 で制御コマンドには、読み出し専用メモリ 2 2 7 に記憶されているデータの読み出し、ランダムアクセスメモリ 2 2 6 へのデータの書き込み、中央処理ユニット 2 2 5 への演算命令などが含まれている。中央処理ユニット 2 2 5 は、インターフェース 2 2 4 を介して読み出し専用メモリ 2 2 7、ランダムアクセスメモリ 2 2 6、制御レジスタ 2 2 2 にアクセスする。インターフェース 2 2 4 は、中央処理ユニット 2 2 5 が要求するアドレスより、読み出し専用メモリ 2 2 7、ランダムアクセスメモリ 2 2 6、制御レジスタ 2 2 2 のいずれかに対するアクセス信号を生成する機能を有している。

【0074】

中央処理ユニット 2 2 5 の演算方式は、読み出し専用メモリ 2 2 7 に O S（オペレーティングシステム）を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、残りの演算はプログラムを使って、中央処理ユニット 2 2 5 が実行する方式を適用することができる。

【0075】

このような R F C P U 2 1 1 は、絶縁表面を有する基板若しくは絶縁基板上に接合された結晶方位が一定の単結晶半導体層（L T S S 層）によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。それにより、電力を供給する容量部 2 2 9 を小型化しても長時間の動作を保證することができる。

【0076】

図 1 及び図 2 で例示する L T S S 層 1 0 2 は、表示パネルを製造するマザーガラスと呼ばれる大型のガラス基板に接合することもできる。図 1 1 は、ベース基板 1 0 0 としてマザーガラスに L T S S 層 1 0 2 を形成する場合を示す。まず、図 5（A）を用いて説明した工程を経て、分離層 1 0 3 が形成された半導体基板 1 0 1 を複数用意する。次に、分離層 1 0 3 が形成された複数の半導体基板をマザーガラスに貼り合わせ、仮接合を行う。次に、図 5（C）を用いて説明した加熱工程を行い、半導体基板 1 0 1 を分離層 1 0 3 において分離することで、マザーガラス上に、複数の L T S S 層が接合される。

【0077】

マザーガラスに接合された L T S S 層 1 0 2 からは複数の表示パネルを切り出すことが

10

20

30

40

50

できるが、L T S S 層 1 0 2 は、表示パネル 2 3 1 の形成領域に合わせて接合することが好ましい。半導体基板に比べて、マザーガラス基板は面積が大きいので、L T S S 層 1 0 2 は図 1 1 のように分割して配置することが好ましい。表示パネル 2 3 1 には、走査線駆動回路領域 2 3 2、信号線駆動回路領域 2 3 3、画素形成領域 2 3 4 があり、これらの領域が含まれるように L T S S 層 1 0 2 をベース基板 1 0 0 (マザーガラス)に形成する。

【 0 0 7 8 】

図 1 2 は、L T S S 層 1 0 2 により画素トランジスタが形成される液晶表示装置の画素の一例を示す。図 1 2 (A) は画素の平面図を示し、L T S S 層 1 0 2 に走査線 1 2 6 が交差し、信号線 1 2 7、画素電極 1 2 8 が接続する画素を示す。図 1 2 (A) に示す J - K 切断面に対応する断面図が図 1 2 (B) に示されている。

10

【 0 0 7 9 】

図 1 2 (B) において、ベース基板 1 0 0 にはバリア層 1 0 5 として窒化シリコン層と酸化シリコン層が積層されている。L T S S 層 1 0 2 は接合層 1 0 4 によってバリア層 1 0 5 と接合している。絶縁層 1 1 8 上に画素電極 1 2 8 が設けられている。L T S S 層 1 0 2 と信号線 1 2 7 を接続するコンタクトホールには絶縁層 1 1 8 をエッチングして凹段差が生じるのでそこを埋めるように柱状スペーサ 1 3 1 が設けられている。対向基板 1 2 9 には対向電極 1 3 0 が形成され、柱状スペーサ 1 3 1 によって形成される空隙に液晶層 1 3 2 が形成されている。

【 0 0 8 0 】

図 1 3 (A) は、L T S S 層 1 0 2 により画素部のトランジスタが形成されるエレクトロルミネッセンス表示装置の一例を示す。図 1 3 (A) は画素の平面図を示し、信号線 1 2 7 に接続する選択トランジスタ 1 3 3 と、電流供給線 1 3 5 に接続する表示制御トランジスタ 1 3 4 を有している。この表示パネルはエレクトロルミネッセンス材料を含んで形成される層 (E L 層) を電極間に挟んだ発光素子が各画素に設けられる構成となっている。画素電極 1 2 8 は表示制御トランジスタ 1 3 4 に接続されている。図 1 3 (B) はこのような画素の要部を示す断面図である。

20

【 0 0 8 1 】

図 1 3 (B) において、ベース基板 1 0 0、バリア層 1 0 5、接合層 1 0 4、L T S S 層 1 0 2、絶縁層 1 1 8 などの構成は図 1 2 (B) と同様である。画素電極 1 2 8 は周辺部が絶縁性の隔壁層 1 3 6 で囲まれている。画素電極 1 2 8 上には E L 層 1 3 7 が形成されている。E L 層 1 3 7 上には対向電極 1 3 0 が形成されている。画素部は封止樹脂 1 3 8 が充填され、補強板として対向基板 1 2 9 が設けられている。

30

【 0 0 8 2 】

本形態のエレクトロルミネッセンス表示装置はこのような画素をマトリクス状に配列させて表示画面を構成する。この場合、画素のトランジスタのチャネル部が本発明に係る L T S S 層で形成されるので、各トランジスタ間で特性バラツキが無く、画素毎の発光輝度に斑がでないという利点がある。従って、発光素子の明るさを電流で制御して駆動することが容易となり、トランジスタ特性のバラツキを補正する補正回路も不要となるので、駆動回路の負担を低減することができる。

【 0 0 8 3 】

このように、表示装置を製造するマザーガラスにも本発明に係る L T S S 層を形成しトランジスタを形成することが可能である。L T S S 層で形成されるトランジスタは、アモルファスシリコントランジスタよりも電流駆動能力など全ての動作特性が優れているので、トランジスタのサイズを小型化することができる。それにより、表示装置における画素部の開口率を向上させることができる。また、図 9 及び図 1 0 で説明したようなマイクロプロセッサも形成することができるので、表示装置内にコンピュータの機能を搭載することもできる。また、非接触でデータの入出力を可能としたディスプレイを作製することもできる。

40

【 0 0 8 4 】

以上のように、本発明の適用範囲はきわめて広く、あらゆる分野の電子機器に用いるこ

50

とが可能である。

【図面の簡単な説明】

【0085】

【図1】半導体基板の構成を示す断面図。

【図2】半導体基板の構成を示す断面図。

【図3】半導体基板の製造方法を説明する断面図。

【図4】シランのドーピングによるシリコン、水素、結晶欠陥の深さと濃度との関係を示す図。

【図5】半導体基板の製造方法を説明する断面図。

【図6】半導体基板の製造方法を説明する断面図。

10

【図7】半導体基板を用いた半導体装置の製造方法を説明する断面図。

【図8】半導体基板を用いた半導体装置の製造方法を説明する断面図。

【図9】半導体基板により得られるマイクロプロセッサの構成を示すブロック図。

【図10】半導体基板により得られるR F C P Uの構成を示すブロック図。

【図11】表示装置製造用のマザーガラスにL T S S層を接合する場合を例示する平面図。

【図12】L T S S層により画素トランジスタが構成されている表示装置の一例を示す図。

【図13】L T S S層により画素トランジスタが構成されている表示装置の一例を示す図。

20

【符号の説明】

【0086】

- 100 ベース基板
- 101 半導体基板
- 102 L T S S層
- 103 分離層
- 104 接合層
- 105 バリア層
- 109 ゲート絶縁層
- 110 ゲート電極
- 111 サイドウォール絶縁層
- 112 不純物領域
- 113 不純物領域
- 114 絶縁層
- 115 層間絶縁層
- 116 コンタクトホール
- 118 絶縁層
- 119 配線
- 120 窒素含有絶縁層
- 121 酸化シリコン膜
- 126 走査線
- 127 信号線
- 128 画素電極
- 129 対向基板
- 130 対向電極
- 131 柱状スペーサ
- 132 液晶層
- 136 隔壁層
- 137 E L層
- 138 封止樹脂

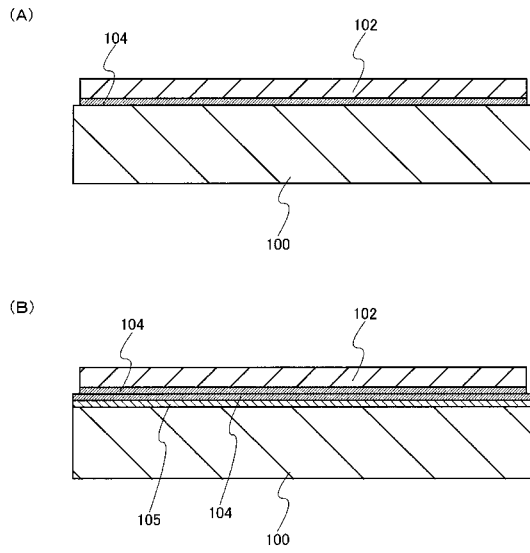
30

40

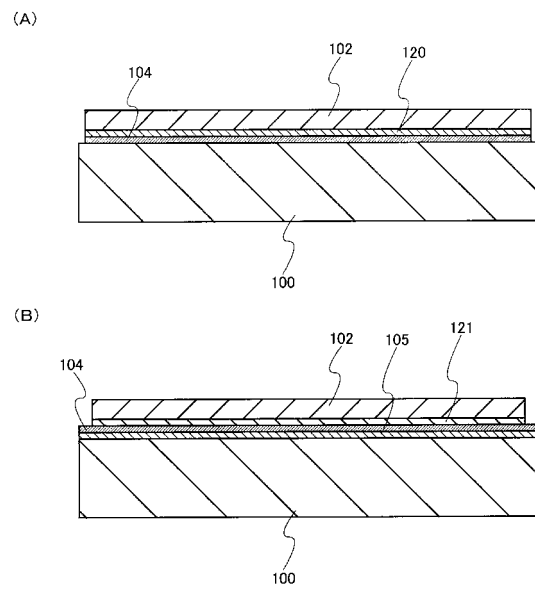
50

2 0 0	マイクロプロセッサ	
2 0 1	演算回路	
2 0 2	演算回路制御部	
2 0 3	命令解析部	
2 0 4	制御部	
2 0 5	タイミング制御部	
2 0 6	レジスタ	
2 0 7	レジスタ制御部	
2 0 8	バスインターフェース	
2 0 9	専用メモリ	10
2 1 0	メモリインターフェース	
2 1 1	R F C P U	
2 1 2	アナログ回路部	
2 1 3	デジタル回路部	
2 1 4	共振回路	
2 1 5	整流回路	
2 1 6	定電圧回路	
2 1 7	リセット回路	
2 1 8	発信回路	
2 1 9	復調回路	20
2 2 0	変調回路	
2 2 1	R F インターフェース	
2 2 2	制御レジスタ	
2 2 3	クロックコントローラ	
2 2 4	インターフェース	
2 2 5	中央処理ユニット	
2 2 6	ランダムアクセスメモリ	
2 2 7	専用メモリ	
2 2 8	アンテナ	
2 2 9	容量部	30
2 3 0	電源管理回路	
2 3 1	表示パネル	
2 3 2	走査線駆動回路領域	
2 3 3	信号線駆動回路領域	
2 3 4	画素形成領域	

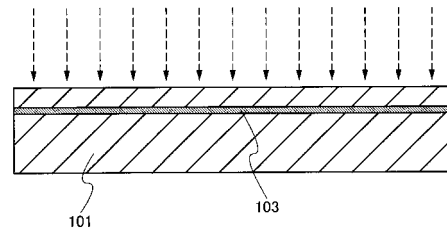
【図 1】



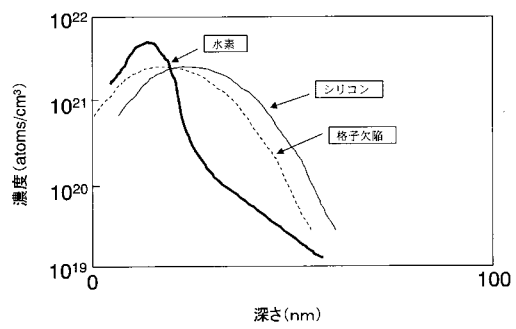
【図 2】



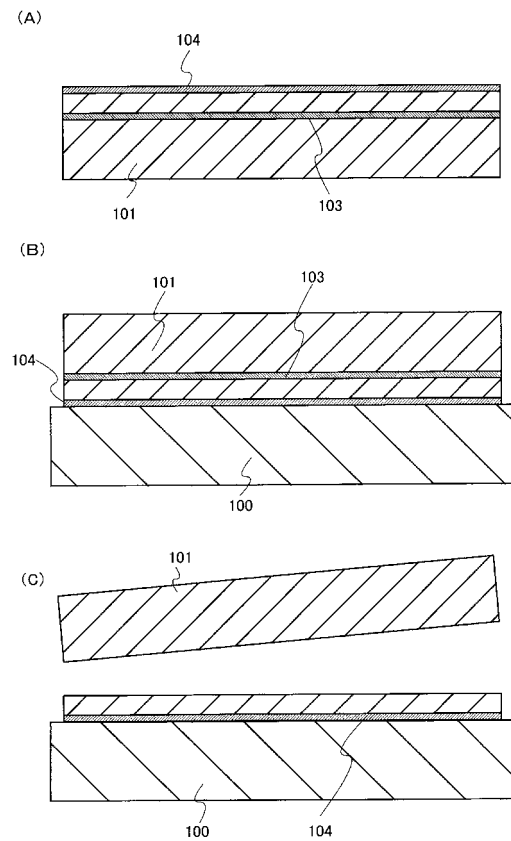
【図 3】



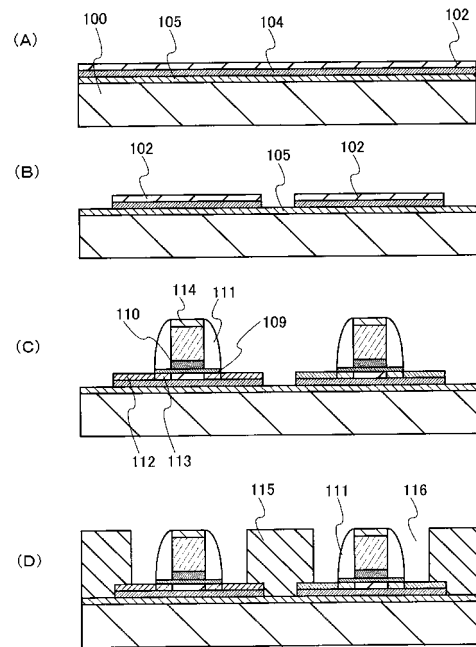
【図 4】



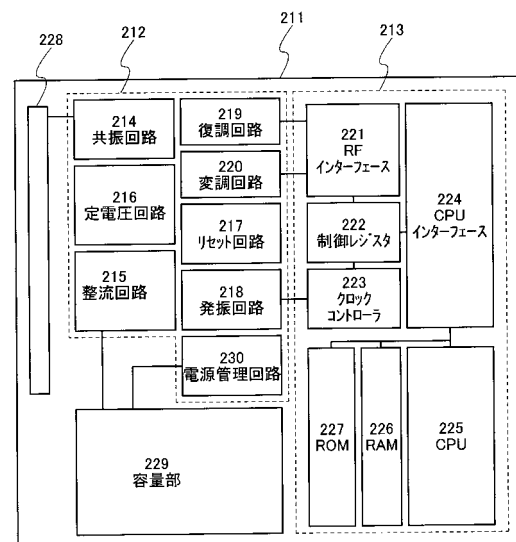
【図 5】



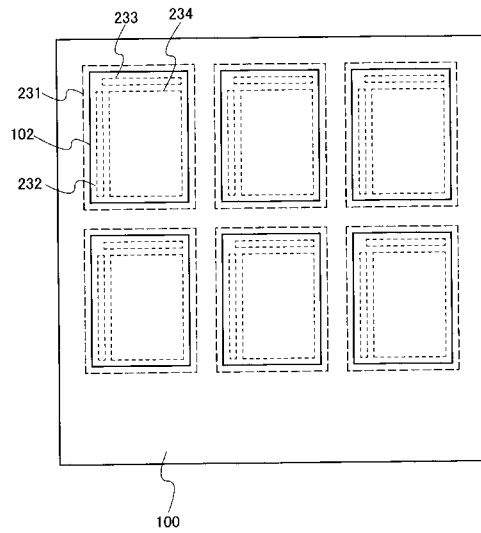
【圖 7】



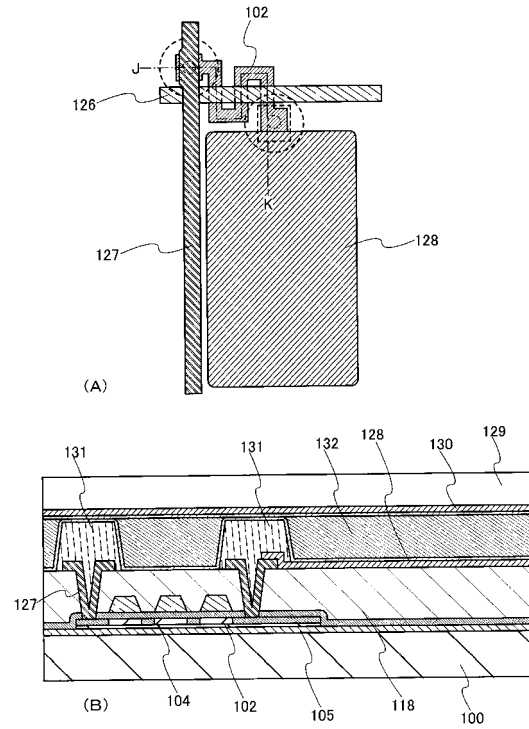
【 ㊦ 1 0 】

[illegible]

【図 1 1】



【図 1 2】



【図 1 3】

