

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 19/20 (2006.01)

H04B 1/38 (2006.01)



# [12] 发明专利说明书

专利号 ZL 01132925.4

[45] 授权公告日 2007 年 9 月 26 日

[11] 授权公告号 CN 100340063C

[22] 申请日 2001.9.11 [21] 申请号 01132925.4

[30] 优先权

[32] 2000. 9. 27 [33] JP [31] 295234/2000

[73] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 古泽敏行 藺田大资 宇佐美公良

河邊直之 小泉正幸 座间英匡

金泽正博

[56] 参考文献

US - 5894482A 1999. 4. 13

CN - 85106483A 1987. 3. 18

US - 5486774A 1996. 1. 23

CN - 1301430A 2001. 6. 27

审查员 朱 骥

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

代理人 王永刚

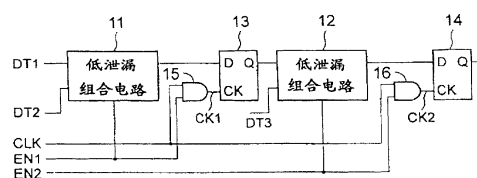
权利要求书 6 页 说明书 10 页 附图 8 页

[54] 发明名称

半导体集成电路

[57] 摘要

低泄漏组合电路 11、12 由用低阈值电压的晶体管构成的逻辑电路和在该逻辑电路中根据控制信号导通、截止的晶体管构成。根据控制信号 EN1、EN2 只在被连接在低泄漏组合电路 11、12 的输出端上的触发电路 13、14 取入数据时，根据控制信号 EN1、EN2 把低泄漏组合电路 11、12 激活。因而，因为低泄漏组合电路 11、12 只在输出数据时被提供电源，在其它时间不被提供电源，所以可以削减泄漏电流。



1. 一种半导体集成电路, 包含:

提供有输入信号和控制信号的组合电路, 所述组合电路在根据所述控制信号提供有电源的动作状态和切断电源的非动作状态之间切换; 以及

连接到上述组合电路的触发电路, 所述触发电路根据时钟信号存储输入信号,

其中所述组合电路仅在所述触发电路存储所述输入信号时被所述控制信号设置于工作状态。

2. 根据权利要求 1 的电路, 还包含第一逻辑电路, 在其输入端输入所述控制信号和所述时钟信号, 其输出端与所述触发电路的时钟信号输入端相连, 所述控制信号的宽度等于所述时钟信号的周期, 且在所述时钟信号上升前立即上升, 在所述控制信号激活时, 所述第一逻辑电路输出一个周期的所述时钟信号。

3. 根据权利要求 1 的电路, 其中所述组合电路包含:

第二逻辑电路, 由第一种导电类型的多个第一晶体管和第二种导电类型的多个第二晶体管构成;

所述第一种导电类型的第三晶体管, 具有连接于所述第二逻辑电路与第一电源线之间的电流通路以及提供有所述控制信号的栅极;

所述第二种导电类型的第四晶体管, 具有连接于所述第二逻辑电路与第二电源线之间的电流通路以及提供有所述控制信号的互补信号的栅极,

其中, 所述第一和第二晶体管的阈值电压被设置为低于所述第三和第四晶体管的阈值电压。

4. 根据权利要求 2 的电路, 还包含中断电路, 其输入端提供有所述控制信号和设置待机状态的待机信号, 其输出端与所述组合电路相连, 所述中断电路根据所述待机信号使所述控制信号中断。

5. 一种半导体集成电路, 包含:

第一触发电路，提供有输入信号，时钟信号输入端提供有时钟信号，所述第一触发电路根据所述时钟信号来存储所述输入信号；

与所述第一触发电路相连的组合电路，所述组合电路具有提供有电源的动作状态和切断电源的非动作状态，所述组合电路根据控制信号而被设置于所述动作状态达所述时钟信号的仅一个时钟，从而在所述触发电路存储所述输入信号时，保持所述第一触发电路的数据，所述组合电路具有保持电路。

6. 一种半导体集成电路，包含：

第一触发电路，提供有输入信号，时钟信号输入端提供有时钟信号，所述第一触发电路根据所述时钟信号来存储所述输入信号；

与所述第一触发电路相连的组合电路，所述组合电路具有提供有电源时的动作状态和切断电源的非动作状态，所述组合电路根据控制信号而被设置于所述动作状态达所述时钟信号的仅一个时钟，从而在所述触发电路存储所述输入信号时，保持所述第一触发电路的数据，所述组合电路具有旁路电路。

7. 根据权利要求5或6的电路，还包含第一逻辑电路，其输入端提供有所述控制信号和所述时钟信号，其输出端与所述触发电路的所述时钟信号输入端相连，所述控制信号的宽度等于所述时钟信号的周期，所述控制信号在所述时钟信号上升之前立即上升，当所述控制信号激活时，所述第一逻辑电路输出一个周期的所述时钟信号。

8. 根据权利要求5或6的电路，还包含第二触发电路，其输入端提供有所述控制信号，其时钟信号输入端提供有所述时钟信号，其输出端与所述组合电路相连。

9. 根据权利要求5的电路，其中所述组合电路包含：

第二逻辑电路，由第一种导电类型的多个第一晶体管 and 第二种导电类型的多个第二晶体管构成；

所述第一种导电类型的第三晶体管，具有连接于所述第二逻辑电路与第一电源线之间的电流通路以及提供有所述控制信号的栅极；

第二种导电类型的第四晶体管，具有连接于所述第二逻辑电路与第

二电源线之间的电流通路以及提供有所述控制信号的互补信号的栅极，所述第一和第二晶体管的阈值电压被设置为低于所述第三和第四晶体管的阈值电压；

与所述第二逻辑电路的输出端相连的保持电路，当所述第三和第四晶体管根据所述控制信号而被截止时，所述保持电路保持所述第二逻辑电路的输出信号。

10. 根据权利要求 6 的电路，其中所述组合电路包含：

第二逻辑电路，由第一种导电类型的多个第一晶体管和第二种导电类型的多个第二晶体管构成；

所述第一种导电类型的第三晶体管，具有连接于所述第二逻辑电路与第一电源线之间的电流通路以及提供有所述控制信号的栅极；

所述第二种导电类型的第四晶体管，具有连接于所述第二逻辑电路与第二电源线之间的电流通路以及提供有所述控制信号的互补信号的栅极，所述第一和第二晶体管的阈值电压被设置为低于所述第三和第四晶体管的阈值电压；

与所述第二逻辑电路并联的旁路电路，总是提供有电源，所述旁路电路由多个具有所述第二阈值电压的第三晶体管构成。

11. 根据权利要求 10 的电路，其中所述旁路电路是由与所述第二逻辑电路相同的逻辑电路构成的。

12. 一种半导体集成电路，包含：

第一触发电路，根据第一控制信号来保持第一输入数据；

第二触发电路，根据第二控制信号来保持第二输入数据；

与所述第一和第二触发电路相连的组合电路，所述组合电路具有提供有电源的动作状态和切断所述电源的非动作状态，所述组合电路根据第三控制信号而被设置于所述动作状态达所述时钟信号的仅一个时钟，从而在所述第一和第二触发电路保持所述第一和第二输入信号时，分别保持所述第一和第二触发电路的数据，所述组合电路具有保持电路。

13. 一种半导体集成电路，包含：

第一触发电路，根据第一控制信号来保持第一输入数据；

第二触发电路, 根据第二控制信号来保持第二输入数据;

与所述第一和第二触发电路相连的组合电路, 所述组合电路具有提供有电源的动作状态和切断所述电源的非动作状态, 所述组合电路根据第三控制信号而被设置于所述动作状态达所述时钟信号的仅一个时钟, 从而在所述第一和第二触发电路保持所述第一和第二输入信号时, 分别保持所述第一和第二触发电路的数据, 所述组合电路具有旁路电路。

14. 根据权利要求 12 或 13 的电路, 还包含第一逻辑电路, 其输入端提供有所述第一控制信号和时钟信号, 其输出端与所述第一触发电路的时钟信号输入端相连, 所述第一控制信号的宽度等于所述时钟信号的周期, 且在所述时钟信号上升之前立即上升, 当所述第一控制信号激活时, 所述第一逻辑电路输出一个周期的所述时钟信号。

15. 根据权利要求 12 或 13 的电路, 还包含第二逻辑电路, 其输入端提供有所述第二控制信号和时钟信号, 其输出端与所述第二触发电路的时钟信号输入端相连, 所述第二控制信号的宽度等于所述时钟信号的周期, 且在所述时钟信号上升之前立即上升, 当所述第二控制信号激活时, 所述第二逻辑电路输出一个周期的所述时钟信号。

16. 根据权利要求 12 或 13 的电路, 还包含:

提供有所述第一和第二控制信号的第三逻辑电路;

第三触发电路, 其输入端与所述第三逻辑电路相连, 其时钟信号输入端提供有时钟信号, 其输出端与所述组合电路相连, 所述第三触发电路根据所述时钟信号接收由所述第三逻辑电路馈送的信号, 而输出所述第三控制信号。

17. 根据权利要求 12 的电路, 其中所述组合电路包含:

第四逻辑电路, 由第一种导电类型的多个第一晶体管 and 第二种导电类型的多个第二晶体管构成;

所述第一种导电类型的第三晶体管, 具有连接于所述第四逻辑电路与第一电源线之间的电流通路以及提供有所述控制信号的栅极;

所述第二种导电类型的第四晶体管, 具有连接于所述第四逻辑电路与第二电源线之间的电流通路以及提供有所述控制信号的互补信号的栅

极, 所述第一和第二晶体管的阈值电压被设置为低于所述第三和第四晶体管的阈值电压;

与所述第四逻辑电路的输出端相连的保持电路, 当所述第三和第四晶体管根据所述控制信号而被截止时, 所述保持电路保持所述第四逻辑电路的输出信号。

18. 根据权利要求 13 的电路, 其中所述组合电路包含:

第五逻辑电路, 由第一种导电类型的多个第一晶体管和第二种导电类型的多个第二晶体管构成;

所述第一种导电类型的第三晶体管, 具有连接于所述第五逻辑电路与第一电源线之间的电流通路以及提供有所述控制信号的栅极;

所述第二种导电类型的第四晶体管, 具有连接于所述第五逻辑电路与第二电源线之间的电流通路以及提供有所述控制信号的互补信号的栅极, 所述第一和第二晶体管的阈值电压被设置为低于所述第三和第四晶体管的阈值电压;

与所述第五逻辑电路并联的旁路电路, 总被提供有电源, 所述旁路电路由所述第一种导电类型的多个第五晶体管和所述第二种导电类型的多个第六晶体管构成, 这两种晶体管都具有所述第二阈值电压。

19. 根据权利要求 18 的电路, 其中所述旁路电路是由与所述第五逻辑电路相同的逻辑电路构成的。

20. 一种半导体集成电路, 包含:

多路转换器, 它具有输入信号的第一和第二输入端以及一个输出端, 所述多路转换器根据控制信号选择所述第一或第二输入端之一;

触发电路, 其输入端与所述多路转换器的所述输出端相连, 而其输出端与所述多路转换器的所述第二输入端相连, 所述触发电路根据时钟信号保持所述多路转换器的输出信号;

组合电路, 其输入端与所述触发电路的输出相连, 所述组合电路由所述控制信号驱动。

21. 根据权利要求 20 的电路, 其中所述组合电路包含:

第二逻辑电路, 由多个第一种导电类型的第一晶体管和多个第二种

导电类型的第二晶体管构成;

所述第一种导电类型的第三晶体管, 具有连接于所述第二逻辑电路与第一电源线之间的电流通路以及提供有所述控制信号的栅极; 以及

所述第二种导电类型的第四晶体管, 具有连接于所述第二逻辑电路与第二电源线之间的电流通路以及提供有所述控制信号的互补信号的栅极,

其中, 所述第一和第二晶体管的阈值电压被设置为低于所述第三和第四晶体管的阈值电压。

22. 根据权利要求 20 的电路, 其中所述组合电路包含:

第二逻辑电路, 由多个第一种导电类型的第一晶体管和多个第二种导电类型的第二晶体管构成;

所述第一种导电类型的第三晶体管, 具有连接于所述第二逻辑电路与第一电源线之间的电流通路以及提供有所述控制信号的栅极;

所述第二种导电类型的第四晶体管, 具有连接于所述第二逻辑电路与第二电源线之间的电流通路以及提供有所述控制信号的互补信号的栅极, 所述第一和第二晶体管的阈值电压被设置为低于所述第三和第四晶体管的阈值电压; 以及

与所述第二逻辑电路的输出端相连的保持电路, 当所述第三和第四晶体管根据所述控制信号而被截止时, 所述保持电路保持所述第二逻辑电路的输出信号。

## 半导体集成电路

### 技术领域

本发明涉及例如适用于用便携终端等的电池驱动的电子机器的半导体集成电路。

### 背景技术

随着加工工艺的微细化以及电源电压的降低，晶体管的阈值电压降低。这样，通过使阈值电压降低，可以使晶体管高速动作，但相反存在在待机时的晶体管的泄漏电流增大的问题。

特别是在被安装在用便携式电池驱动的电子机器内的 LSI 中，因为需要用掉许多等待时间，所以消减待机电流很重要。为了消减该待机电流，以往采用 MT（多阈值）-CMOS 电路，或者在待机时关断 LSI 的电源来消减停止中的电流。

图 13 展示上述 MT-CMOS 电路的一例。该 MT-CMOS 电路，由低阈值电压电路块 1、P 沟道 MOS 晶体管 Q1、N 沟道 MOS 晶体管 Q2 构成。低阈值电压电路块 1，由被连接在虚拟电源线 VDD1 和虚拟接地线 VSS1 相互间的阈值电压低的多个晶体管构成。即，该低阈值电压电路块 1，包含由未图示的多个逻辑电路组成的元件。上述晶体管 Q1 被连接在虚拟电源线 VDD1 和电源线 VDD 的相互间，上述晶体管 Q2 被连接在虚拟接地线 VSS1 和接地线 VSS 相互间。这些晶体管 Q2、Q1 由控制信号 E 分别控制。

在激活（动作）时，如果控制信号 E 被激活，则晶体管 Q1、Q2 导通。因此，通过这些晶体管 Q1、Q2 向低阈值电压电路块 1 提供电源电压。低阈值电压电路块 1 因为由阈值电压低的晶体管构成所以高速动作。

另外，在待机时，如果控制信号 E 未被激活，则晶体管 Q1、Q2 截止。因此，从电源线 VDD 至接地线 VSS 的总线被切断，可以防止产生泄漏电流。

图 13 所示的 MT-CMOS 电路，用晶体管 Q1、Q2 控制对于低阈值电压电路块 1 整体的电源供给。对此，考虑只把逻辑电路中的一部分元件用阈值电压低的晶体管构成。

图 14 展示用阈值电压低的晶体管只构成门电路 2 内的例如构成关键路径的用斜线表示的逻辑电路，和门电路 2 前后的触发电路（都用斜线表示）的例子。通过设置成这种构成，因为可以消减低阈值电压的晶体管的数目，所以在可以消减待机时的泄漏电流的同时，可以高速动作。

#### 发明内容

可是，泄漏电流不只在半导体芯片或者门电路停止时流动，而且在动作中也流动。近来，半导体集成电路的低消耗电力得到发展，在动作中的泄漏电流与原本的动作消耗电流相比，占到了不能忽视的相当大的比例。

但是，上述图 13、图 14 所示的电路，在激活时经过低阈值电压的晶体管流过泄漏电流。作为削减激活时的泄漏电流的方法，除了提高晶体管的阈值电压以外没有别的方法。但是，当把阈值电压设定得高的情况下，因为电路的动作速度降低所以是下策。

#### 发明内容

本发明就是为了解决上述问题而提出的，其目的在于提供一种即使在电路动作的情况下，也可以削减泄漏电流，并可以大幅度削减消耗电流的半导体集成电路。

本发明，通过把在电路停止时削减泄漏电流的方法适用于动作的电路，就可以削减动作时的泄漏电流。

根据本发明的一方面，提供一种半导体集成电路，包含：提供有输入信号和控制信号的组合电路，所述组合电路在根据所述控制信号提供有电源的动作状态和切断电源的非动作状态之间切换；以及连接到上述组合电路的触发电路，所述触发电路根据时钟信号存储输入信号，其中所述组合电路仅在所述触发电路存储所述输入信号时被所述控制信号设置于工作状态。

根据本发明的另一方面，提供一种半导体集成电路，包含：第一触发电路，提供有输入信号，时钟信号输入端提供有时钟信号，所述第一触发

电路根据所述时钟信号来存储所述输入信号；与所述第一触发电路相连的组合电路，所述组合电路具有提供有电源时的动作状态和切断电源的非动作状态，所述组合电路根据控制信号而被设置于所述动作状态达所述时钟信号的仅一个时钟，从而在所述触发电路存储所述输入信号时，保持所述第一触发电路的数据，所述组合电路具有保持电路。

根据本发明的另一方面，提供一种半导体集成电路，包含：第一触发电路，提供有输入信号，时钟信号输入端提供有时钟信号，所述第一触发电路根据所述时钟信号来存储所述输入信号；与所述第一触发电路相连的组合电路，所述组合电路具有提供有电源时的动作状态和切断电源的非动作状态，所述组合电路根据控制信号而被设置于所述动作状态达所述时钟信号的仅一个时钟，从而在所述触发电路存储所述输入信号时，保持所述第一触发电路的数据，所述组合电路具有旁路电路。

根据本发明的另一方面，提供一种半导体集成电路，包含：第一触发电路，根据第一控制信号来保持第一输入数据；第二触发电路，根据第二控制信号来保持第二输入数据；与所述第一和第二触发电路相连的组合电路，所述组合电路具有提供有电源的动作状态和切断所述电源的非动作状态，所述组合电路根据第三控制信号而被设置于所述动作状态达所述时钟信号的仅一个时钟，从而在所述第一和第二触发电路保持所述第一和第二输入信号时，分别保持所述第一和第二触发电路的数据，所述组合电路具有保持电路。

根据本发明的另一方面，提供一种半导体集成电路，包含：第一触发电路，根据第一控制信号来保持第一输入数据；第二触发电路，根据第二控制信号来保持第二输入数据；与所述第一和第二触发电路相连的组合电路，所述组合电路具有提供有电源的动作状态和切断所述电源的非动作状态，所述组合电路根据第三控制信号而被设置于所述动作状态达所述时钟信号的仅一个时钟，从而在所述第一和第二触发电路保持所述第一和第二输入信号时，分别保持所述第一和第二触发电路的数据，所述组合电路具有旁路电路。

根据本发明的另一方面，提供一种半导体集成电路，包含：多路转换

器，它具有输入信号的第一和第二输入端以及一个输出端，所述多路转换器根据控制信号选择所述第一或第二输入端之一；触发电路，其输入端与所述多路转换器的所述输出端相连，而其输出端与所述多路转换器的所述第二输入端相连，所述触发电路根据时钟信号保持所述多路转换器的输出信号；组合电路，其输入端与所述触发电路的输出相连，所述组合电路由所述控制信号驱动。

本发明的第一逻辑电路例如为“与”电路，第二、第四和第五逻辑电路例如为“与非”电路，第三逻辑电路例如为“或”电路。

#### 附图说明

图 1 是本发明的实施方案 1 的构成图。

图 2 是展示图 1 动作的时间图。

图 3 是展示图 1 所示的低泄漏组合电路的一例的电路构成图。

图 4 是具体地展示图 3 所示的电路构成的电路图。

图 5 是展示本发明的实施方案 2 的构成图。

图 6 是展示图 2 的时间图。

图 7 是展示图 5 所示的低泄漏组合电路的一例的电路构成图。

图 8 是展示图 5 所示的低泄漏组合电路的另一例子的电路构成图。

图 9 是展示本发明的实施方案 3 的构成图。

图 10 是展示本发明的实施方案 4 的构成图。

图 11 是展示选通时钟方式的构成图。

图 12 是展示反馈方式的数据转送电路的构成图。

图 13 是 MT-CMOS 电路的一例的电路图。

图 14 是用低阈值电压的晶体管构成门电路中的一部分逻辑电路的以往的电路图。

#### 具体实施方式

以下，参照附图说明本发明的实施方案。

##### (实施方案 1)

图 1 展示了本发明的实施方案 1，展示半导体集成电路内的门电路的一部分。在图 1 中，低泄漏组合电路 11、12，是由阈值电压低的晶体管构

成的逻辑电路。对该逻辑电路的供电由控制信号 EN1、EN2 控制。向低泄漏组合电路 11 的输入端提供数据 DT1、DT2。在这些低泄漏组合电路 11、12 的输出端上，连接有触发电路 13、14 的输入端 D。从上述触发电路 13 的输出端 Q 输出的信号，和数据 DT3 一同，被提供给上述低泄漏组合电路 12 的输入端。

另外，向“与”电路 15 的输入端提供时钟脉冲信号 CLK 和控制信号 EN1。该“与”电路 15 的输出信号，被提供给上述触发电路 13 的时钟脉冲信号输入端 CK。进而，向“与”电路 16 的输入端上提供时钟脉冲信号 CLK 和控制信号 EN2。该“与”电路 16 的输出信号，被提供给上述触发电路 14 的时钟脉冲信号输入端 CK。

上述控制信号 EN1、EN2，由未图示的控制电路，或者未图示的组合电路发生。

图 3 展示上述低泄漏组合电路 11 的一例，图 4 是具体地展示图 3 的电路图。在图 3、图 4 中，低泄漏组合电路 11，例如用“与非”电路 11a 构成。该“与非”电路 11a 由阈值电压低的晶体管构成。

在“与非”电路 11a 和电源线 VDD 相互之间，连接阈值电压高的 P 沟道 MOS 晶体管 11b。在该晶体管 11b 的栅上经过倒相器 11c 提供控制信号 EN1。另外，在“与非”电路 11a 和接地线 VSS 相互之间，连接阈值电压高的 N 沟道 MOS 晶体管 11d。向该晶体管 11d 的栅上提供控制信号 EN1。因而，当控制信号 EN1 是低电平时，因为晶体管 11b、11d 都截止，所以不能向“与非”电路 11a 提供电源。另外，当控制信号 EN1 是高电平时，因为晶体管 11b、11d 都导通，所以向“与非”电路 11a 提供电源。

低泄漏组合电路 11 不仅限于“与非”电路 11a，还可以使用其它的逻辑电路。另外，低泄漏组合电路 12，是和低泄漏组合电路 11 同样的构成，或者用其它的逻辑电路构成。

在上述构成中，参照图 2 说明图 1 的动作。

如图 2 所示，当控制信号 EN1、EN2 都是低电平时，不向低泄漏组合电路 11、12 提供电源。因此，低泄漏组合电路 11、12 截止，不产生泄漏电流。

在这种状态中，例如因为对触发电路 13 取入数据，所以如果控制信号 EN1 被设置成高电平，则靠该控制信号 EN1，低泄漏组合电路 11 被激活。因此，向低泄漏组合电路 11 提供数据 DT1、DT2。控制信号 EN1，例如具有和时钟脉冲信号 CLK 的 1 个周期相同的脉冲宽度，比时钟脉冲信号 CLK 的上升沿上升的快些。因此，被提供时钟脉冲信号 CLK 以及控制信号 EN1 的“与”电路 15 的输出信号 CK1，在控制信号 EN1 上升后，在时钟脉冲信号 CLK 上升的时刻变为高电平。

触发电路 13 根据“与”电路 15 的输出信号 CK1，取入低泄漏组合电路 11 的输出信号。低泄漏组合电路 11 的输出信号，在控制信号 EN1 上升后，至时钟脉冲信号 CLK 上升的期间 T1 内确定。因而，触发电路 13，可以可靠保持低泄漏组合电路 11 的输出信号。

低泄漏组合电路 12，也根据控制信号 EN2 和时钟脉冲信号 CLK，进行和低泄漏组合电路 11 相同的动作。

进而，在实施方案 1 的情况下，低泄漏组合电路 11、12 的构成是，在触发电路 13、14 取入数据时被激活，在输出数据确定之后，触发电路 13、14 取入数据。因此，低泄漏组合电路 11、12，在动作停止的泄漏减低状态中，输出数据即使不定也没有问题。

如果采用上述实施方案 1，则由用低阈值电压的晶体管构成的逻辑电路，和根据控制信号使该逻辑电路导通、截止的晶体管 11b、11d 构成低泄漏组合电路 11、12，在被连接在各低泄漏组合电路 11、12 的输出端上的触发电路 13、14 取入数据时，把低泄漏组合电路 11、12 激活。因而，因为低泄漏组合电路 11、12 只在输出数据时提供电源，其他时候不提供电源，所以可以削减泄漏电流。

而且，因为低泄漏组合电路由低阈值电压的晶体管构成，所以可以高速动作。

#### （实施方案 2）

图 5 展示本发明的实施方案 2。实施方案 1 在被设置在低泄漏组合电路的输出端的触发电路取入数据时，把低泄漏组合电路设置成激活状态。与此相反，实施方案 2 的特征是，在被设置在低泄漏组合电路的输入端的

触发电路取入数据时，把低泄漏组合电路设置成激活状态。

在图 5 中，向触发电路 21 的输入端 D 提供数据 DT1。从该触发电路 21 的输出端 Q 输出的数据 DT1 和另一数据 DT2 被提供给低泄漏组合电路 22。时钟脉冲信号 CLK 和控制信号 EN1 被提供给“与”电路 23 的输入端，该“与”电路 23 的输出信号 CK 被提供给上述触发电路 21 的时钟脉冲信号输入端 CK。

另外，上述控制信号 EN1 被提供给触发电路 24 的输入端 D，时钟脉冲信号 CLK 被提供给触发电路 24 的时钟脉冲信号输入端 CK。从该触发电路 24 的输出端 D 输出的控制信号 MTE 被提供给上述低泄漏组合电路 22。

该低泄漏组合电路 22 的输出信号，被提供给触发电路 25 的输入端 D。时钟脉冲信号 CLK 和控制信号 EN2 被提供给“与”电路 26 的输入端，该“与”电路 26 的输出信号被提供给触发电路 25 的时钟脉冲信号输入端 CK。

上述低泄漏组合电路 22，如后述，在未提供电源的泄漏降低状态中，具有保持此前动作时的输出数据的功能。

在上述构成中，参照图 6 说明图 5 所示的电路的动作。

“与”电路 23 在把控制信号 EN1 设置成激活的状态中，产生与时钟脉冲信号 CLK 同步的控制信号 CK。根据该控制信号 CK 触发电路 21 保持数据 DT1。

另外，触发电路 24 根据时钟脉冲信号 CLK 保持 1 个周期的控制信号 EN1。低泄漏组合电路 22，根据从触发电路 24 输出的控制信号 MTE 被激活，接受从触发电路 21 的输出端 D 提供的数据 DT1，和从未图示的另一电路提供的数据 DT2，输出输出信号。

低泄漏组合电路 22，根据从触发电路 24 提供的控制信号 MTE，只在时钟脉冲信号 CLK 的 1 个周期期间被激活，切断电源。因此，需要保持已确定的数据。被保持在该低泄漏组合电路 22 中的数据，如果控制信号 EN2 被设置成高电平，并经过“与”电路 26 使触发电路 25 动作，则被保持在触发电路 26 中。

图 7 展示低泄漏组合电路 22 的一例。在图 7 中，在和图 3、图 4 相同

的部分上标注同一符号并只说明不同的部分。

低泄漏组合电路 22，例如在“与非”电路 11a 的输出端上连接数据保持电路 31。该数据保持电路 31，由被连接在“与非”电路 11a 的输出端上的倒相器 31a，和被连接在该倒相器 31a 的输出端和“与非”电路 11a 的输出端之间的时钟倒相器电路 31b 构成。该时钟倒相器电路 31b 由控制信号/MTE 控制。

在根据控制信号 MTE 晶体管 11b、11d 导通，低泄漏组合电路 22 被激活时，上述时钟倒相器电路 31b，不保持“与非”电路 11a 的输出数据。另一方面，如果晶体管 11b、11d 被截止，则保持此前的“与非”电路 11a 的输出数据。

图 8 展示低泄漏组合电路 22 的另一例子。在图 8 中，在和图 3、图 4 相同的部分上标注相同的符号并只说明不同的部分。

该低泄漏组合电路 22，代替图 7 所示的数据保持电路 22 具有旁路电路 32。该旁路电路 32，被设置成和“与非”电路 11a 相同的构成，并与“与非”电路 11a 并联连接。该旁路电路 32 被直接连接在电源线 VDD 和接地线 VSS 相互间。和“与非”电路 11a 由阈值电压低的晶体管构成相反，该旁路电路 32 由阈值电压高的晶体管构成。

和“与非”电路 11a 在晶体管 11b、11d 导通时被激活相反，旁路电路 32 始终被激活。因此，在晶体管 11b、11d 导通时，“与非”电路 11a 和旁路电路 32 都输出同样的逻辑信号。

另一方面，在晶体管 11b、11d 截止时，“与非”电路 11a 不动作，但旁路电路 32 在半导体芯片或者门电路被激活时，因为始终被提供电源所以继续动作。因而，用旁路电路 32 继续输出以前的输出数据。

如果采用上述实施方案 2，则只在被设置在低泄漏组合电路 22 的前级的触发电路 21 的数据被更新的 1 个周期期间，控制信号 MTE 变为高电平，把低泄漏组合电路 22 激活。因此，低泄漏组合电路 22，只在时钟脉冲信号 CLK 的 1 个周期期间提供电流，被激活。因而，即使半导体芯片或者门电路处于激活状态中，也因为低泄漏组合电路 22 的激活期间短，所以可以降低消耗电流。

另外，低泄漏组合电路 22 具有数据保持功能。因此，被设置在低泄漏组合电路 22 的后级上的触发电路 25，可以根据在任意时刻提供的控制信号 EN2，接受低泄漏组合电路 22 的数据。

### (实施方案3)

图9展示本发明的实施方案3。图9所示的电路是图5所示的电路的变形。因而，在和图5相同的部分上标注相同符号，并只说明不同的部分。

在图9中，数据DT2被提供给触发电路27的输入端D。控制信号EN3，和时钟脉冲信号CLK一同提供给“与”电路28。该“与”电路28的输出信号CK2，被提供给触发电路27的时钟脉冲信号输入端CK。从该触发电路27的输出端Q提供的数据DT2被提供给低泄漏组合电路22。

另外，上述控制信号EN1、EN3经过“或”电路29提供给上述触发电路24的输入端D。

说明在上述构成中的动作。在图9所示的情况下，触发电路21、27根据控制信号EN1、EN3，分别保持数据DT1、DT2。触发电路24，在控制信号EN1、EN3都被设置在高电平时，根据“或”电路29的输出信号与时钟脉冲信号CLK的1个周期对应地产生控制信号MTE。因此，低泄漏组合电路22根据控制信号MTE在时钟脉冲信号CLK的1个周期期间被激活，接受从触发电路21、27输出的数据DT1、DT2。该低泄漏组合电路22，在激活期结束后，保持此前数据停止。

即使采用上述实施方案3，也可以得到和实施方案2同样的效果。

进而，在实施方案3的情况下，即使在低泄漏组合电路22的后级具有多个系统的时钟脉冲信号的情况下，也可以用同样的控制方法实现。

### (实施方案4)

图10展示本发明的实施方案4。图10所示的电路，是图1所示的电路的变形，在和图1相同的部分上标注相同的符号并只说明不同的部分。

上述实施方案1至实施方案3，说明了半导体芯片或者门电路在动作时泄漏电流的降低。实施方案4，不仅在半导体芯片或者门电路动作时，而且在待机时也可以降低泄漏电流。

在图10中，向“与”电路41提供控制信号EN1，和表示待机的待机信号/STBY。从该“与”电路41的输出端输出的控制信号EN1S，被提供给低泄漏电路11。另外，向“与”电路42提供控制信号EN2、待机信号/STBY。从该“与”电路42的输出端输出的控制信号EN2S被提供给低泄漏组合电路12。该待机信号/STBY，例如是把半导体芯片或者门电路设定为待机状态的信号。

说明在上述构成中的动作。在动作时，待机信号/STBY 被设置成高电平。因此，图 10 所示的电路，根据控制信号 EN1、EN2，和图 1 所示的电路同样地动作。

与此相反，在待机信号/STBY 被设置成低电平，处于待机状态时，从“与”电路 41、42 输出的控制信号 EN1S、EN2S 被设置成低电平。因此，低泄漏组合电路 11、12，被强制设置成非动作状态，设定在低泄漏状态。

如果采用实施方案 4，则用待机信号/STBY，把低泄漏组合电路 11、12 设定为非动作状态。因而，不仅在动作时而且在待机时，也可以降低泄漏电流。

进而，上述实施方案 1 至实施方案 4，说明了把本发明适用于图 11 所示的一般的选通时钟方式的电路的情况。即，如图 11 所示，用控制对触发电路 51 的时钟信号的输入的控制信号，控制低泄漏组合电路 52，但并不限定与此。

例如也可以把本发明适用于图 12 所示的反馈方式的数据转送电路。这种情况下，只要把提供给被设置在组合电路 61 和触发电路 62 相互之间的多路转换器（MUX）63 的控制信号提供给低泄漏组合电路 64，与多路转换器（MUX）63 的动作连动地控制低泄漏组合电路 64 即可。

另外，本发明也可以组合实施方案 1 和实施方案 2、3 实施。进而，也可以把实施方案 4 与给实施方案 1 至 3 组合实施。

除此以外，在不改变本发明的主旨的范围内可以有各种各样的实施是毋庸置疑的。

以上，如上所述如果采用本发明，则即使在电路动作的情况下，也可以消减泄漏电流，可以大幅度消减消耗电流，而且可以提供可以高速动作的半导体集成电路。

图 1

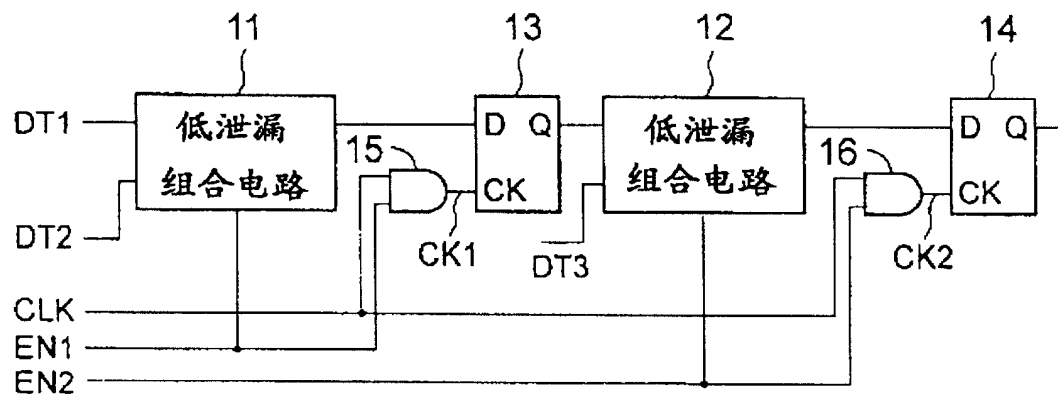


图 2

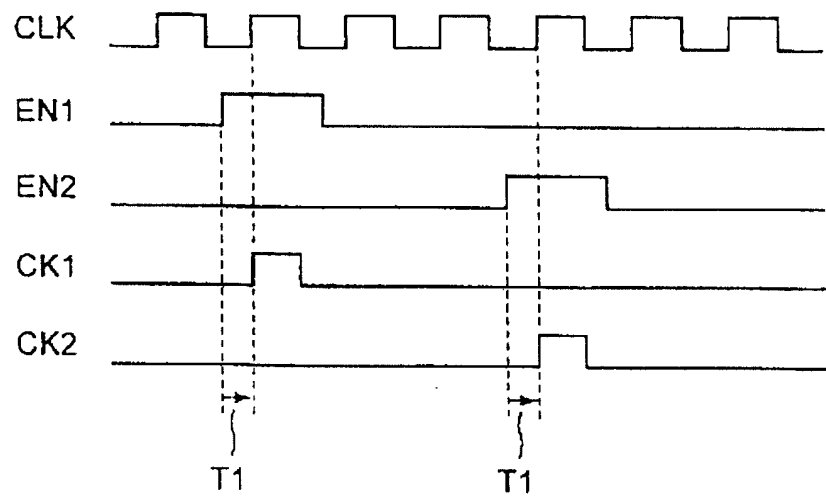


图 3

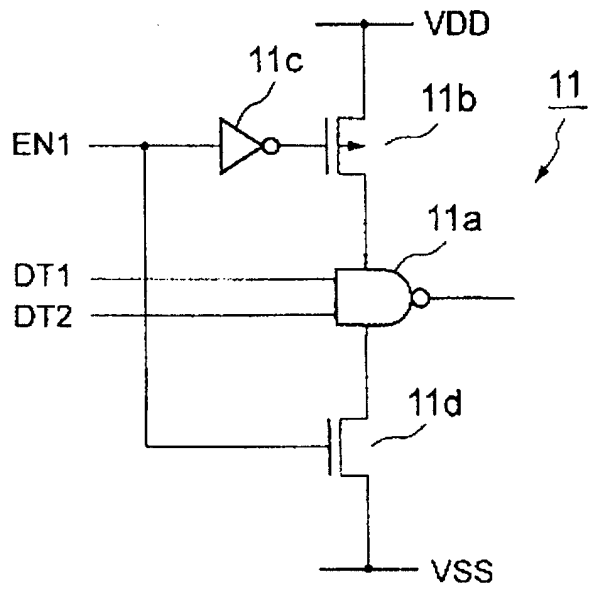


图 4

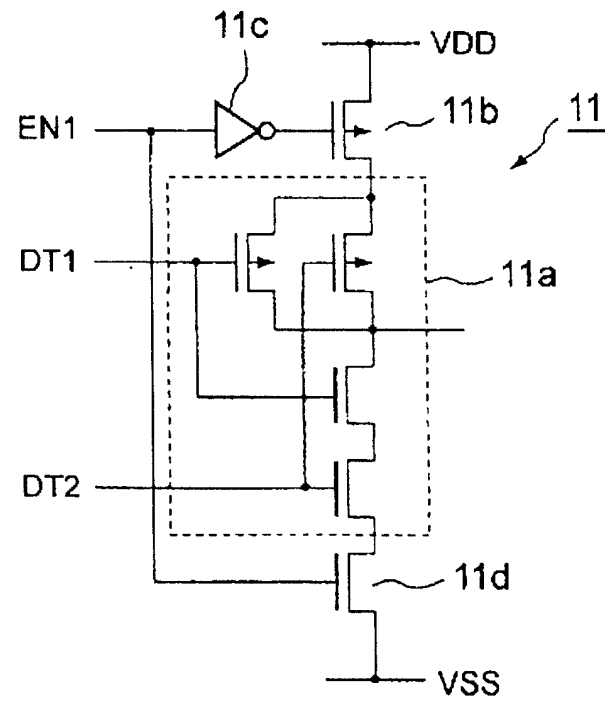


图 5

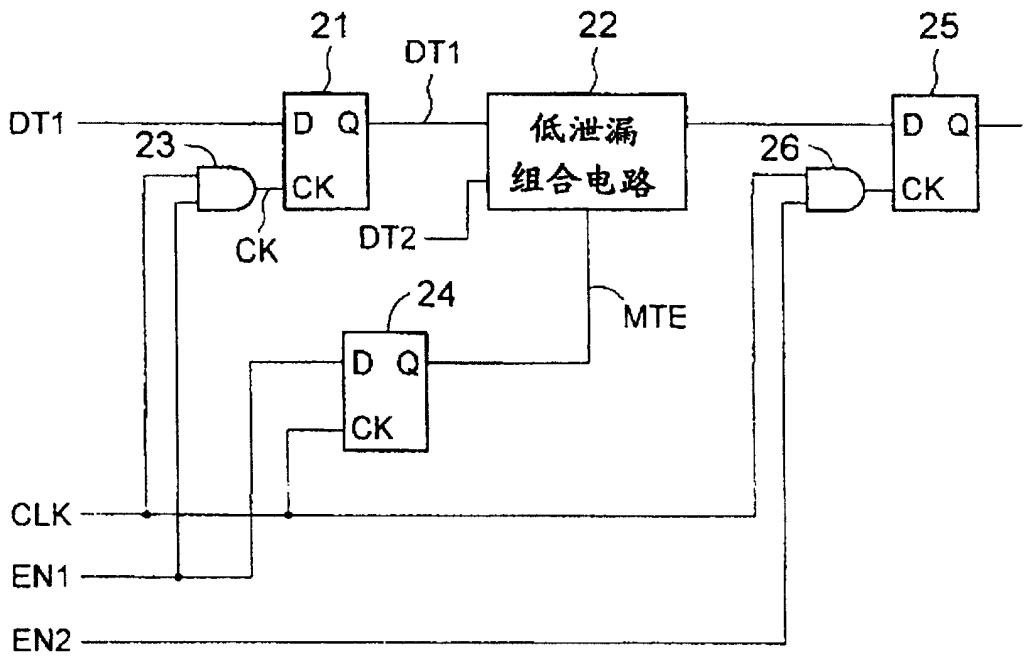


图 6

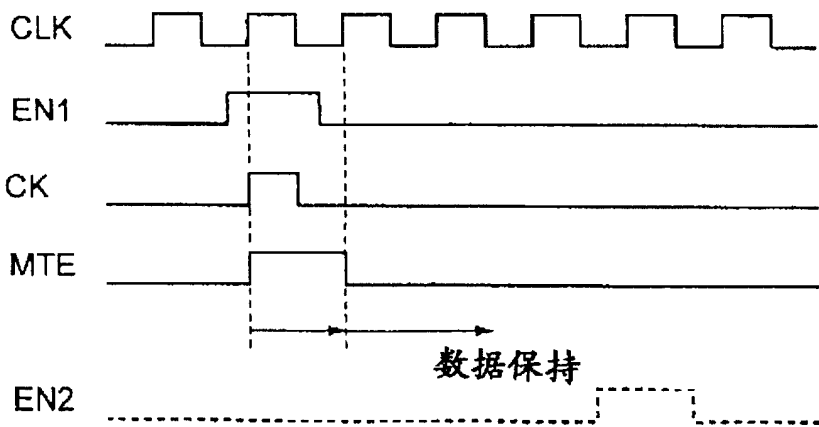




图 8

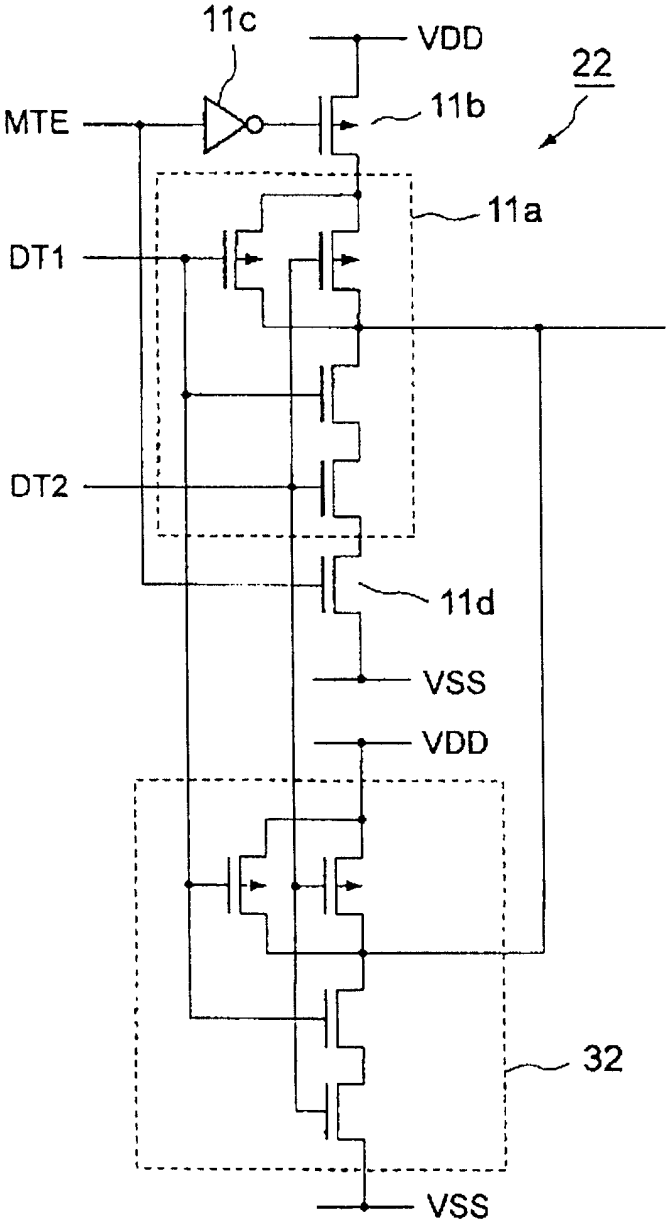


图 9

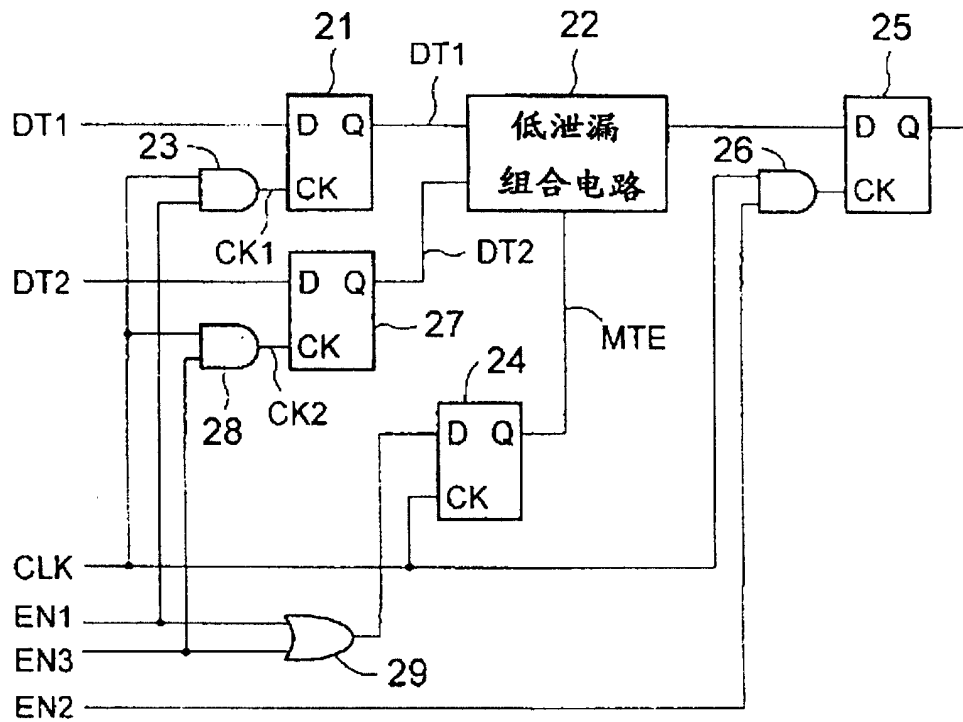


图 10

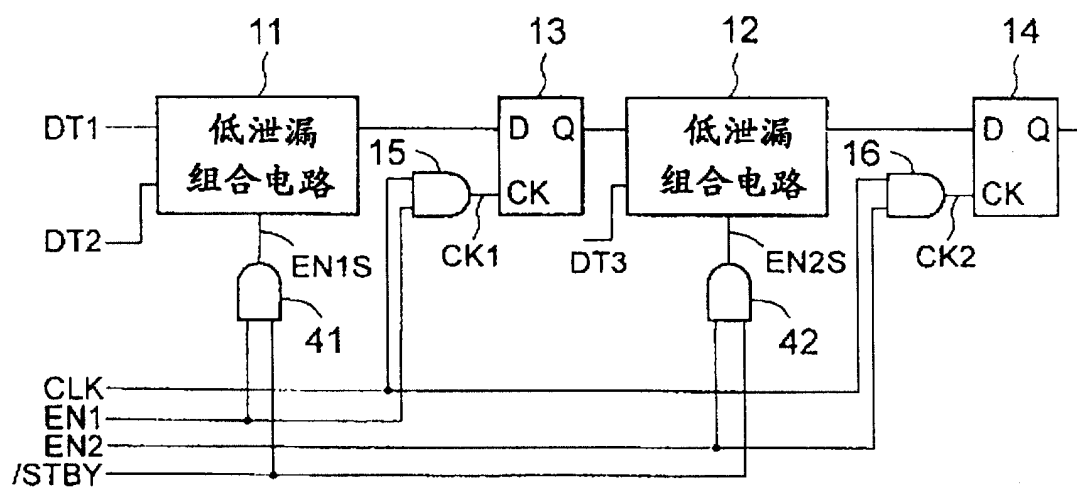


图 11

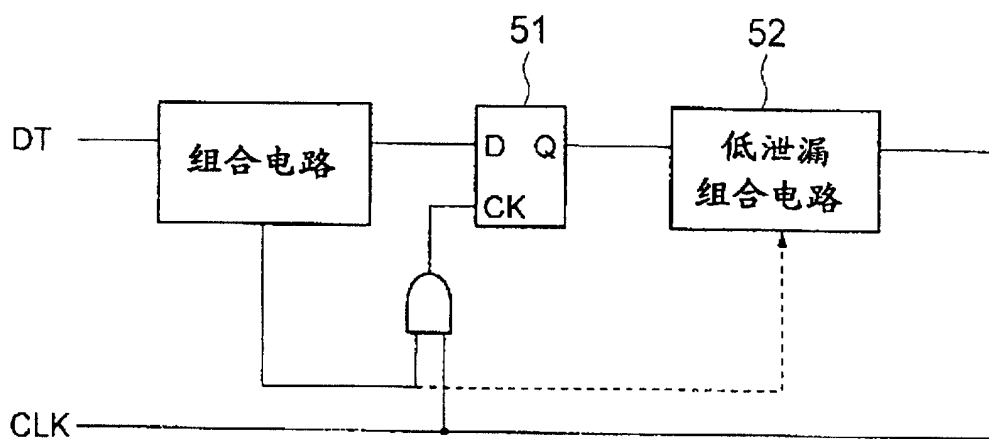


图 12

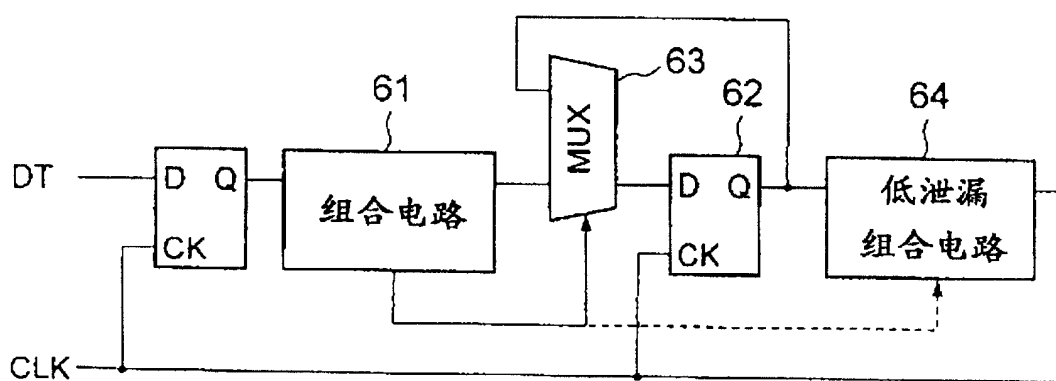


图 13

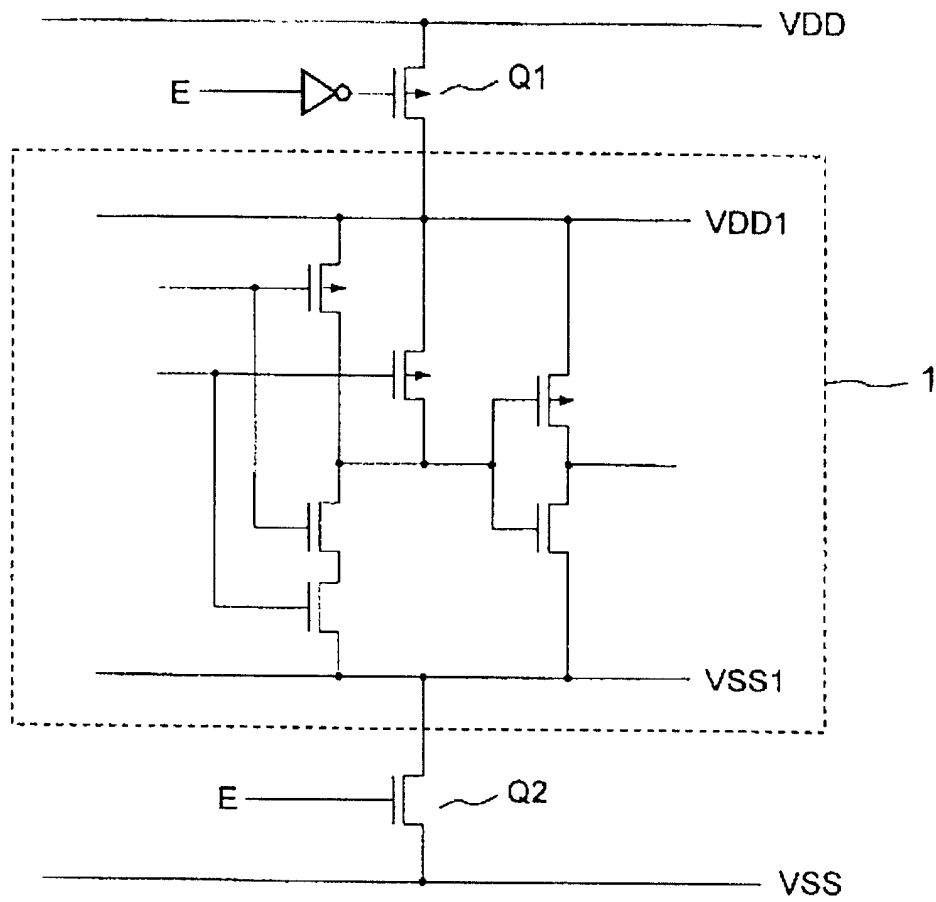


图 14

