



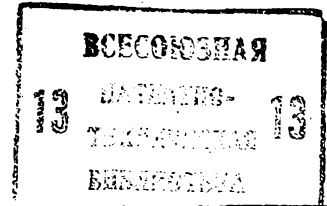
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1149259 A

4(5D) G 06 F 9/46

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3651341/24-24
(22) 10.10.83
(46) 07.04.85. Бюл. № 13
(72) Г.К. Гедрикас
(71) Литовский научно-исследовательский геолого-разведочный институт
(53) 681.325(088.8)
(56) 1. Авторское свидетельство СССР № 450174, кл. G 06 F 9/46, 1974.
2. Авторское свидетельство СССР № 1016785, кл. G 06 F 9/46, 1983 (прототип).

(54) (57) УСТРОЙСТВО ПЕРЕМЕННОГО ПРИОРИТЕТА, содержащее шифратор, триггер, буферный регистр, регистр запросов, первую группу элементов И, причем выходы регистра запросов соединены с первыми входами элементов И первой группы, группа входов регистра запросов является группой запросных входов устройства отличающееся тем, что, с целью увеличения быстродействия, в него введены блок памяти, вторая группа элементов И, два элемента ИЛИ, генератор импульсов, элемент задержки и выходной регистр, причем первая группа входов буферного регистра соединена с группой выходов регистра запросов, выходы буферного регистра соответственно подключены к адресным входам чтения блока памяти, выходы которого соединены с вторыми входами элементов И первой

группы, с первыми входами элементов И второй группы и с входами шифратора, выходы которого подключены к второй группе входов буферного регистра, первый вход сброса регистра запросов и первый вход сброса выходного регистра соединены с входом сброса устройства, сигнальный вход устройства соединен с первым входом сброса триггера и с вторыми входами элементов И второй группы, выход каждого из которых соединен с одноименным входом первого элемента ИЛИ, с вторым входом сброса одноименного разряда выходного регистра и с вторым входом сброса одноименного разряда регистра запросов, выходы элементов И первой группы соединены с входами второго элемента ИЛИ, выходы первого и второго элементов ИЛИ соединены соответственно с единичным входом и вторым входом сброса триггера, выход которого соединен с входом запуска генератора импульсов, выход которого соединен с тактовым входом буферного регистра и через элемент задержки - с третьими входами элементов И первой группы, группа кодовых входов устройства и группа адресных входов устройства соединены соответственно с группой информационных входов и с группой входов адреса записи блока памяти, группа выходов выходного регистра является группой выходов устройства.

(19) SU (11) 1149259 A

Изобретение относится к вычислительной технике и может найти применение в вычислительных системах для обслуживания периферийных устройств или ЭВМ, задавая их каналы по заранее заданной приоритетной таблице.

Известно устройство переменного приоритета, содержащее регистр приоритета, выход старшего разряда которого подключен к счетчику, а информационные выходы через дешифратор соединены с блоком выявления приоритетного разряда прерывания, один выход которого подключен к блоку управления, а другой - к счетчику. Выходы блока управления подключены к входам младшего разряда регистра сдвига и регистра приоритета, а также к входу счетчика. В свою очередь, выход регистра сдвига соединен с управляющим входом блока выявления приоритетного разряда прерывания, к другому управляющему входу которого подключен счетчик [1].

Наиболее близким по технической сущности и достигаемому результату к изобретению является устройство переменного приоритета, содержащее регистр запросов, выходы которого соединены с первыми входами группы элементов И, к вторым входам которых подключены входы приоритета через дешифратор и регистр. Выходы группы элементов И соединены с входами шифратора и с входами элемента ИЛИ-НЕ, выход которого подключен к первым входам первого и второго элементов И, к вторым входам которых подключен тактовый вход, а к третьим входам соответственно подключены прямой и инверсный выходы триггера [2].

Недостатком указанных устройств является низкое быстродействие.

Целью изобретения является увеличение быстродействия устройства.

Поставленная цель достигается тем, что в устройство переменного приоритета, содержащее шифратор, триггер, буферный регистр, регистр запросов, первую группу элементов И, причем выходы регистра запросов соединены с первыми входами элементов И первой группы, группа входов регистра запросов является группой запросных входов устройства, введены блок памяти, вторая группа

элементов И, два элемента ИЛИ, генератор импульсов, элемент задержки и выходной регистр, причем первая группа входов буферного регистра соединена с группой выходов регистра запросов, выходы буферного регистра соответственно подключены к адресным входам чтения блока памяти, выходы которого соединены с вторыми входами элементов И первой группы, с первыми входами элементов И второй группы и с входами шифратора, выходы которого подключены ко второй группе входов буферного регистра, первый вход сброса регистра запросов и первый вход сброса выходного регистра соединены с входом сброса устройства, сигнальный вход устройства соединен с первым входом сброса триггера и со вторыми входами элементов И второй группы, выход каждого из которых соединен с одноименным входом первого элемента ИЛИ, со вторым входом сброса одноименного разряда выходного регистра и со вторым входом сброса одноименного разряда регистра запросов, выходы элементов И первой группы соединены с входами второго элемента ИЛИ, выходы первого и второго элементов ИЛИ соединены соответственно с единичным входом и вторым входом сброса триггера, выход которого соединен с входом запуска генератора импульсов, выход которого соединен с тактовым входом буферного регистра и через элемент задержки - с третьими входами элементов И первой группы, группа кодовых входов устройства и группа адресных входов устройства соединены соответственно с группой информационных входов и с группой входов адреса записи блока памяти, группа выходов выходного регистра является группой выходов устройства.

На фиг. 1 приведена структурная схема устройства; на фиг. 2 - временная диаграмма работы устройства.

Устройство содержит регистр 1 запросов, буферный регистр 2, группу 3 элементов И, выходной регистр 4, элемент ИЛИ 5, блок 6 памяти, группу 7 элементов И, шифратор 8, триггер 9, элемент ИЛИ 10, генератор 11 импульсов, элемент 12 задержки, группу адресных входов 13 устройства, группу кодовых входов 14

устройства, запросные входы 15 устройства, выходы 16 устройства.

Устройство работает следующим образом.

Импульс по входу "Сброс" устанавливает регистр 1, регистр 2, регистр 4 и триггер 9 в исходное состояние; на входах регистров 1, 2, 4 и блока 6 логические нули. Генератор 11 включен и вырабатывает импульсную последовательность до прихода первого запроса. Период колебаний генератора 11 — это время максимальной задержки в последовательной цепи логических узлов выбора каналов устройства и узла управления генератором плюс время необходимого запаса надежности устройства.

Одновременный приход по входам 15 одного или нескольких импульсов запроса фиксируется в регистре 1. Следующий за этим импульс генератора 11 заносит информацию о запросах и о последнем выбранном канале, если такой был, в регистр 2.

Например, если запросы приходят по каналам q и p (фиг. 2) почти в один момент времени, они фиксируются в регистре 1, и с первым же пришедшим от генератора 11 импульсом запросы фиксируются в младших разрядах q и p регистра 2. Таким образом, на одном из выходов блока 6, количество которых равно количеству входов 15, появляется логическая единица. Она появляется согласно программно введенной таблице приоритетов, которая вводится в блок 6 заранее по входам 13 и 14. Определение приоритета происходит отдельно для каждого конкретного варианта запросов, зависит от их комбинаций и происходит согласно таблице приоритета, введенной в блок 6.

Для максимального использования ресурсов быстродействующих устройств и организации оптимальной взаимной работы при определении следующего приоритета необходимо учитывать устройство, которое пользовалось каналом перед этим запросом, т.е. необходимо увеличить число возможных вариантов при определении приоритета. Это реализуется путем увеличения объема блока 6 и введением шифратора 8. Уровень "1" от блока 6

шифратором 8 преобразуется в двоичный код и поступает на старшие разряды регистра 2 как часть адресного слова. При учете шифратором 8 устройства, с которым велась работа, можно использовать четыре варианта, определяемые кодом 00, 01, 10, 11, т.е. при разных комбинациях запросов.

В зависимости от предыдущего выбранного канала и от комбинации пришедших запросов можно параллельно использовать четыре таблицы приоритетов, каждая из которых имеет 16 позиций с кодами от шифратора 8: 00, 01, 10 и 11. При этом с возрастанием количества каналов, возрастает и количество параллельно используемых таблиц приоритета, соответственно возрастает и количество возможных комбинаций.

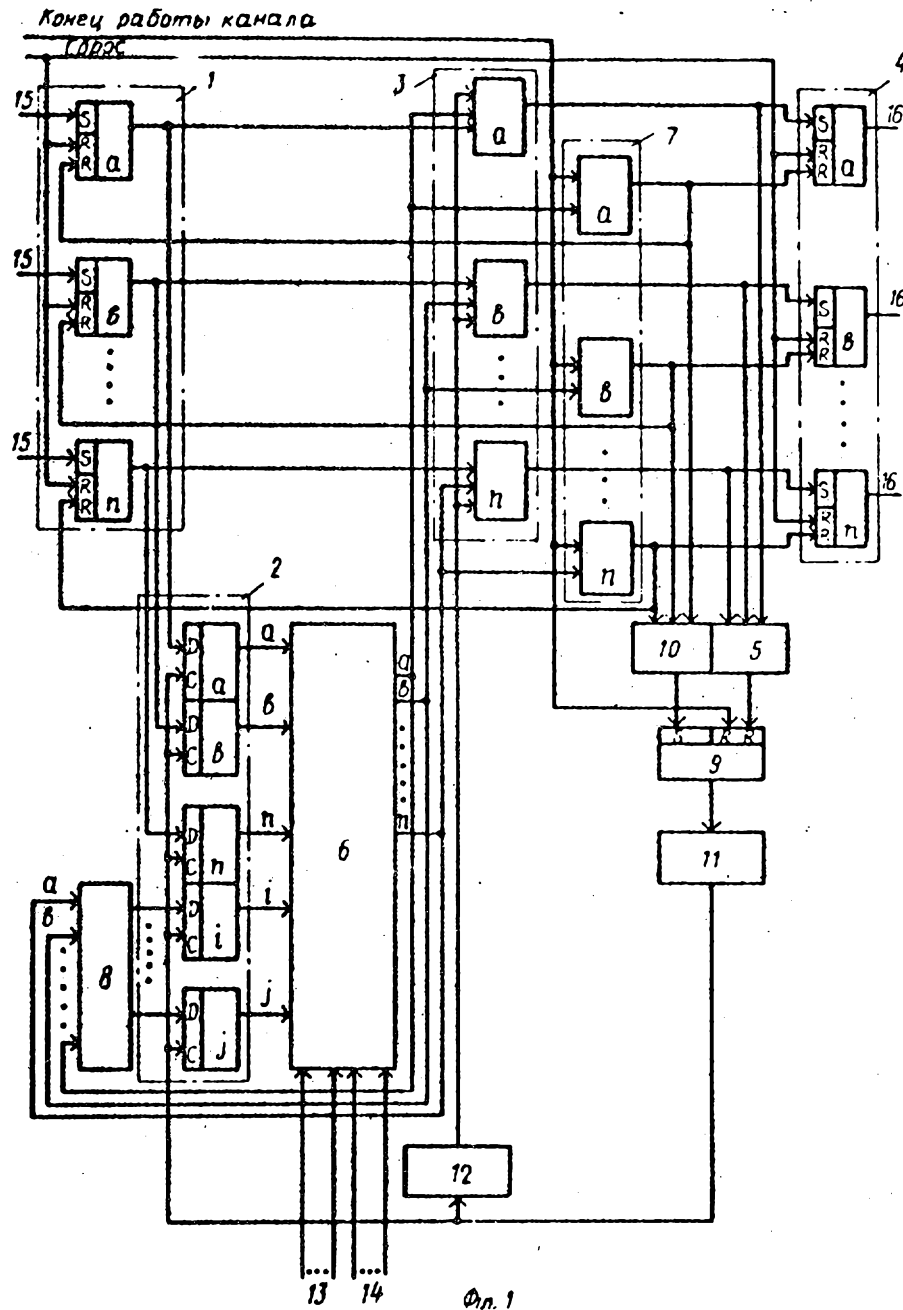
Итак, на одном из выходов блока 6 имеем единицу. В этом примере приоритет отдан n -му каналу (фиг. 2). Тот же импульс генератора (который зафиксировал запрос в регистре 2), только задержанный элементом 12, поступает на входы группы 3 элементов И, на входы n -го элемента которой поступает единица с выхода блока 6 и регистра 1, что дает единицу на выходе n -го элемента И группы 3 элементов И. Она поступает на вход n -го триггера регистра 4 и переводит его в "1". Одновременно импульс с выхода элемента И группы 3 элементов И через элемент ИЛИ 5 поступает на триггер 9 и переводит его в "0", тем самым выключая генератор 11. По окончании работы с каналом на вход устройства поступает импульс "Конец работы канала", который проходит через n -й элемент И группы 7 элементов И, сбрасывает n -й триггер в регистре 1 и в регистре 4. Через элемент ИЛИ 10 триггер переводится в состояние "0". Генератор 11 запускается, и от переднего фронта его импульса в регистре 2 записывается новая информация о запросах (от регистра 1) и об уже выполненном запросе (от шифратора 8).

По новому коду регистра 2 блок 6 выбирает нужную таблицу приоритета и на соответствующем выходе устанавливает логическую "1". Задержанный элементом 12 задержки импульс генератора 11 поступает на входы группы 3 элементов И, на q -й элемент которой

поступают логические "1" с выхода блока 6 и q -го триггера регистра 1, что переводит q -й триггер регистра 4 в положение "1". Одновременно через элемент ИЛИ 5 гасится триггер 9; тем самым выключается генератор 11. По окончании работы с каналом на вход устройства поступает импульс "Конец работы канала", который проходит через q -й элемент

И группы 7 элементов И, выключает q -й триггер в регистре 1 и регистре 4. Через элемент ИЛИ 10 триггер 9 переводится в состояние "0". Генератор 11 запускается, и устройство ждет канальных заказов или обрабатывает уже пришедшие запросы.

Применение изобретения позволяет повысить быстродействие устройства.



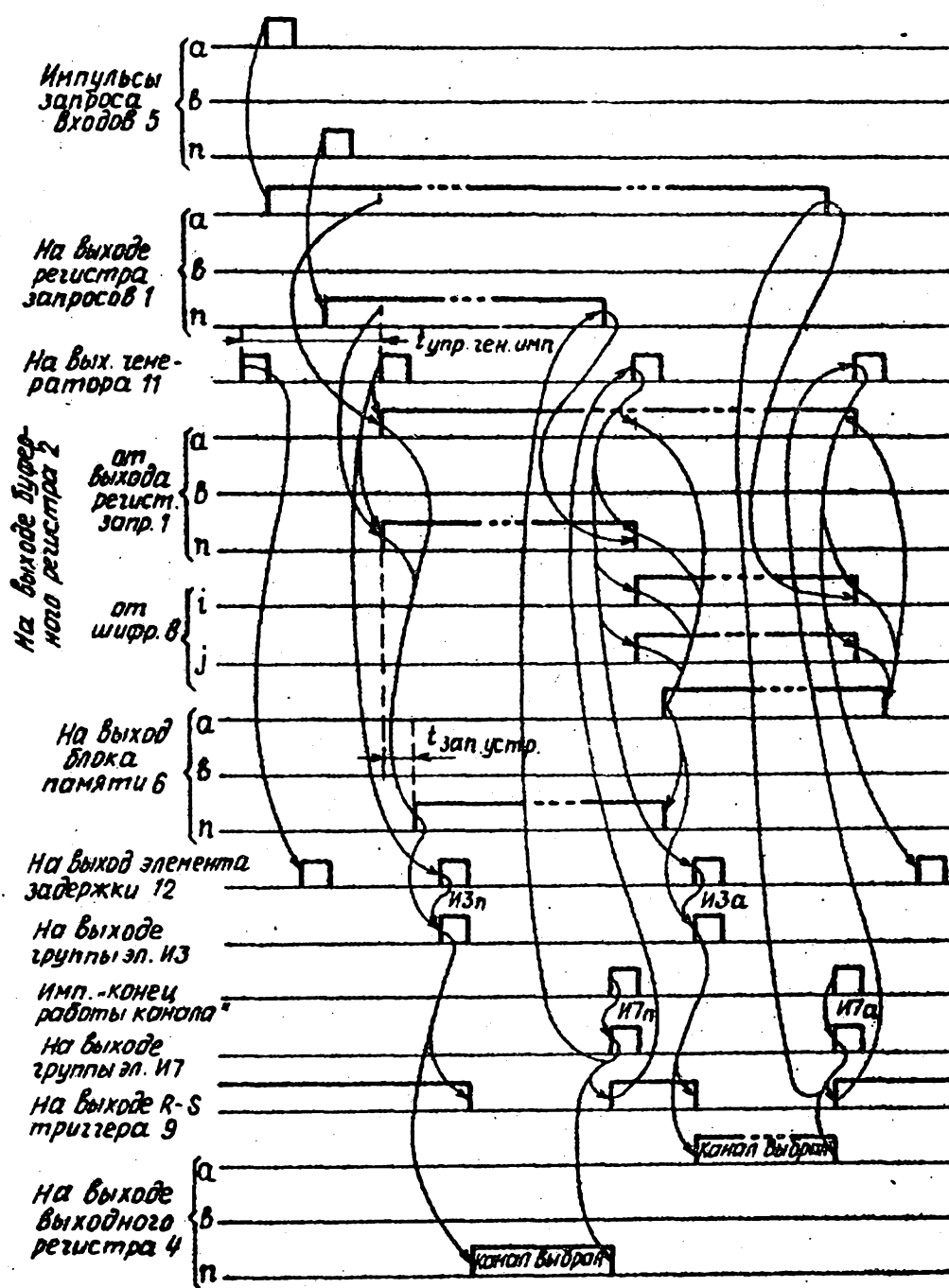


Рис. 2