



(51) 国際特許分類:

H01L 29/737 (2006.01) H01L 21/8222 (2006.01)

H01L 21/331 (2006.01) H01L 27/06 (2006.01)

(21) 国際出願番号:

PCT/JP2023/030322

(22) 国際出願日:

2023年8月23日(23.08.2023)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2022-149477 2022年9月20日(20.09.2022) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).

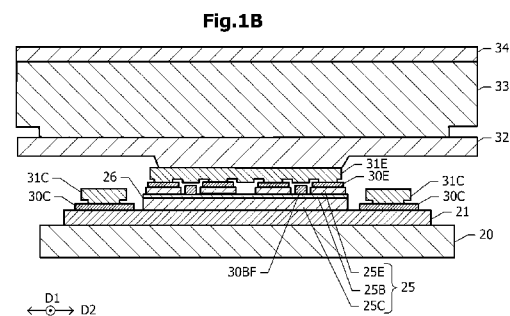
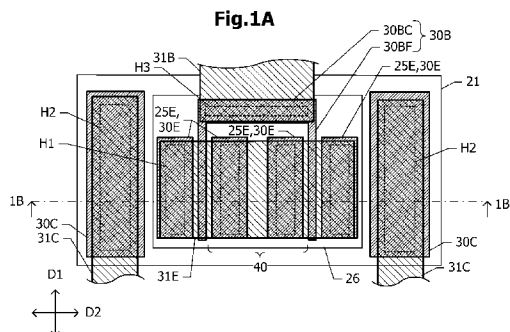
(72) 発明者: 佐々木 健次(SASAKI Kenji); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP). 高橋 新之助
(TAKAHASHI Shinnosuke); 〒6178555 京都府
長岡京市東神足 1 丁目 10 番 1 号 株式会社村田
製作所内 Kyoto (JP). 後藤 聡(GOTO Satoshi);
〒6178555 京都府長岡京市東神足 1 丁目 10 番
1 号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 来山 幹雄, 外 (KITAYAMA Mikio et
al.); 〒1010054 東京都千代田区神田錦町 3 丁
目 6 番 D's V A R I E 神田錦町 801 号室
欧和特許事務所 東京事務所 Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE AND HIGH FREQUENCY POWER AMPLIFIER

(54) 発明の名称: 半導体装置及び高周波電力増幅器

[図1]



(57) Abstract: In the present invention, a transistor comprises a collector layer, a base layer, and an emitter layer stacked in this order on an upper surface, which is one surface of a substrate. Four or more emitter electrodes are electrically connected to the emitter layer. A base electrode includes two or more base fingers electrically connected to the base layer. A collector electrode is electrically connected to the collector layer. The emitter electrodes and the base fingers each have a shape that is long in a first direction in the upper surface of the substrate. The emitter electrodes and the base fingers are disposed side by side in a second direction orthogonal to the first direction in the upper surface of the substrate. In a row of four or more emitter electrodes and two or more base fingers arranged side by side in the second direction, emitter electrodes are disposed at both ends in the second direction. Among inter-base-finger regions, which are each between two base fingers adjacent in the second direction, two emitter electrodes arranged side-by-side in the second direction are disposed in at least one inter-base-finger region. When an area/facing length ratio is defined as the ratio of the area, in plan view, of an emitter electrode to the length of the edge of the emitter electrode that faces one or two base fingers disposed adjacently to the plurality of emitter electrodes, the difference between the maximum value and the minimum value of the area/facing length ratio of each of the plurality of emitter electrodes is

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

not more than 20% of the average value of the area/facing length ratio.

(57) 要約: トランジスタが、基板の一方の面である上面の上に順番に積層されたコレクタ層、ベース層、及びエミッタ層を含む。4つ以上のエミッタ電極が、エミッタ層に電氣的に接続されている。ベース電極が、ベース層に電氣的に接続された2つ以上のベースフィンガを含む。コレクタ電極が、コレクタ層に電氣的に接続されている。エミッタ電極の各々、及びベースフィンガの各々は、基板の上面内の第1方向に長い形状を有する。エミッタ電極及びベースフィンガは、基板の上面内で第1方向と直交する第2方向に並んで配置されている。第2方向に並ぶ4つ以上のエミッタ電極及び2つ以上のベースフィンガの列において、第2方向の両端には、それぞれエミッタ電極が配置されている。第2方向に隣り合う2つのベースフィンガの間のベースフィンガ間領域のうち、少なくとも1つのベースフィンガ間領域には、第2方向に並ぶ2つのエミッタ電極が配置されている。複数のエミッタ電極の各々の隣に配置された1つまたは2つのベースフィンガに対向するエミッタ電極の縁の長さに対するエミッタ電極の平面視における面積の比を対向長面積比と定義したとき、複数のエミッタ電極のそれぞれの対向長面積比の最大値と最小値との差が、対向長面積比の平均値の20%以下である。

明 細 書

発明の名称：半導体装置及び高周波電力増幅器

技術分野

[0001] 本発明は、半導体装置及び高周波電力増幅器に関する。

背景技術

[0002] ヘテロ接合バイポーラトランジスタにおいて、エミッタ層を短冊状の複数のエミッタフィンガで構成したものが公知である（特許文献1）。エミッタフィンガのそれぞれの幅方向の両側にベース電極のフィンガ部分（ベースフィンガ）が配置される。エミッタフィンガ及びベースフィンガは、平面視したとき、コレクタ層とベース層との接合界面に包含されるように配置される。

[0003] コレクタベース間接合容量 C_{bc} が大きくなるとトランジスタのゲインが低下してしまう。ゲインの低下を抑制するために、エミッタベース接合界面の面積に対するコレクタベース接合界面の面積の比を小さくすることが好ましい。

先行技術文献

特許文献

[0004] 特許文献1：特開平5-190563号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に記載のように、複数のエミッタフィンガの両側にベースフィンガを配置する構成においては、最も外側のベースフィンガに対して片側しかエミッタフィンガが配置されない。最も外側のベースフィンガの外側の縁には、エミッタフィンガが対向していないため、この縁からエミッタフィンガに向けてベース電流が流れない。しかし、製造プロセスの観点では、ベース電流を流す起点として機能しないベースフィンガの縁も、平面視においてコレクタ層とベース層との接合界面に包含されるように、コレクタ層とベ

ース層との接合界面を広げなければならない。この構成は、コレクタベース間接合容量 C_{bc} を低減させる観点から好ましくない。

[0006] また、コレクタベース間接合容量を低減させることの他に、破壊耐圧の向上が求められている。

[0007] 本発明の目的は、コレクタベース間接合容量を低減させ、かつ破壊耐圧を向上させることが可能な半導体装置を提供することである。本発明の他の目的は、この半導体装置を用いた高周波電力増幅器を提供することである。

課題を解決するための手段

[0008] 本発明の一観点によると、

基板と、

前記基板の一方の面である上面の上に順番に積層されたコレクタ層、ベース層、及びエミッタ層を含むトランジスタと、

前記エミッタ層に電氣的に接続された4つ以上のエミッタ電極と、

前記ベース層に電氣的に接続された2つ以上のベースフィンガを含むベース電極と、

前記コレクタ層に電氣的に接続されたコレクタ電極とを備えており、

前記エミッタ電極の各々、及び前記ベースフィンガの各々は、前記基板の前記上面内の第1方向に長い形状を有し、

前記エミッタ電極及び前記ベースフィンガは、前記基板の前記上面内で前記第1方向と直交する第2方向に並んで配置されており、

前記第2方向に並ぶ4つ以上の前記エミッタ電極及び2つ以上の前記ベースフィンガの列において、前記第2方向の両端には、それぞれ前記エミッタ電極が配置されており、

前記第2方向に隣り合う2つの前記ベースフィンガの間のベースフィンガ間領域のうち、少なくとも1つの前記ベースフィンガ間領域には、前記第2方向に並ぶ2つの前記エミッタ電極が配置されており、

複数の前記エミッタ電極の各々の隣に配置された1つまたは2つの前記ベ

ースフィンガに対向する前記エミッタ電極の縁の長さに対する前記エミッタ電極の平面視における面積の比を対向長面積比と定義したとき、複数の前記エミッタ電極のそれぞれの前記対向長面積比の最大値と最小値との差が、前記対向長面積比の平均値の20%以下である半導体装置が提供される。

[0009] 本発明の他の観点によると、

基板の一方の面である上面の上に順番に積層されたコレクタ層、ベース層、及びエミッタ層を含むトランジスタと、

前記エミッタ層に電氣的に接続された3つのエミッタ電極と、

前記ベース層に電氣的に接続された2つのベースフィンガを含むベース電極と

前記コレクタ層に電氣的に接続されたコレクタ電極とを備えており、

前記エミッタ電極の各々、及び前記ベースフィンガの各々は、前記基板の前記上面内の第1方向に長い形状を有し、

3つの前記エミッタ電極及び2つの前記ベースフィンガは、前記基板の前記上面内で前記第1方向と直交する第2方向に、前記エミッタ電極、前記ベースフィンガ、前記エミッタ電極、前記ベースフィンガ、前記エミッタ電極の順に並んで配置されており、

複数の前記エミッタ電極の各々の隣に配置された1つまたは2つの前記ベースフィンガに対向する前記エミッタ電極の縁の長さに対する前記エミッタ電極の平面視における面積の比を対向長面積比と定義したとき、複数の前記エミッタ電極のそれぞれの前記対向長面積比の最大値と最小値との差が、前記対向長面積比の平均値の20%以下であり、

平面視において、3つの前記エミッタ電極を包含する最小包含長方形の前記第1方向の寸法に対する前記第2方向の寸法の比が0.5以上2以下である半導体装置が提供される。

[0010] 本発明の他の観点によると、

前記基板の前記上面に、前記第2方向に並んで配置された複数の前記半導

体装置と、

前記複数の半導体装置の前記エミッタ電極を接続するエミッタ配線と、
高周波信号入力配線と、

前記複数の半導体装置の各々の前記ベース電極と、前記高周波信号入力配線とを接続する入力キャパシタと
を備え、

前記複数の半導体装置の前記コレクタ電極は相互に連続している高周波電力増幅器が提供される。

発明の効果

[0011] 第2方向に並ぶエミッタ電極とベースフィンガの列において、第2方向の両端に、それぞれエミッタ電極が配置されているため、両端にベースフィンガを配置する構成と比べて、エミッタベース間接合容量に対してコレクタベース間接合容量を相対的に低減させることができる。複数のエミッタ電極のそれぞれの対向長面積比の最大値と最小値との差を、対向長面積比の平均値の20%以下にすることにより、エミッタ電流密度の均一性の崩れを抑制し、その結果、破壊耐圧を向上させることができる。

図面の簡単な説明

[0012] [図1]図1Aは、第1実施例による半導体装置の各構成要素の平面視における配置を示す図であり、図1Bは、図1Aの一点鎖線1B-1Bにおける断面図である。

[図2]図2A及び図2Bは、評価実験の対象となる2つの試料のベース電極、エミッタ電極、及びコレクタ電極の配置を示す平面図である。

[図3]図3は、図2A及び図2Bに示した試料の破壊境界の測定結果を示すグラフである。

[図4]図4A及び図4Bは、比較例による半導体装置の各構成要素の平面視における配置を示す図である。

[図5]図5は、比較例による半導体装置の各構成要素の平面視における配置を示す図である。

[図6]図6 A及び図6 Bは、1つのエミッタ電極と、それに隣接する1本のベースフィンガの平面視における位置関係を示す模式図である。

[図7]図7 A及び図7 Bは、4つのエミッタ電極の配置及び形状を示す平面図である。

[図8]図8は、第2実施例による半導体装置の各構成要素の平面視における配置を示す図である。

[図9]図9 Aは、第3実施例による半導体装置の各構成要素の平面視における配置を示す図であり、図9 Bは、図9 Aの一点鎖線9 B－9 Bにおける断面図である。

[図10]図10 Aは、第4実施例による半導体装置の各構成要素の平面視における配置を示す図であり、図10 Bは、図10 Aの一点鎖線10 B－10 Bにおける断面図である。

[図11]図11は、第4実施例による半導体装置のエミッタ電極及びベースフィンガの平面視における位置関係を示す模式図である。

[図12]図12は、第5実施例による高周波電力増幅器の各構成要素の平面視における配置を示す図である。

[図13]図13は、図12の一点鎖線13－13における断面図である。

[図14]図14は、第5実施例による高周波電力増幅器の1つのセルの等価回路図である。

[図15]図15は、第6実施例による高周波電力増幅器の各構成要素の平面視における配置を示す図である。

[図16]図16は、第7実施例による高周波電力増幅器の各構成要素の平面視における配置を示す図である。

[図17]図17は、図16の一点鎖線17－17における断面図である。

[図18]図18は、第8実施例による高周波増幅回路のブロック図である。

[図19]図19は、第8実施例による高周波増幅回路の基板内における各構成要素の配置を示す図である。

[図20]図20は、第8実施例による高周波フロントエンドモジュールの概略

断面図である。

発明を実施するための形態

[0013] [第1実施例]

図1Aから図5までの図面を参照して第1実施例による半導体装置について説明する。

[0014] 図1Aは、第1実施例による半導体装置の各構成要素の平面視における配置を示す図であり、図1Bは、図1Aの一点鎖線1B-1Bにおける断面図である。半絶縁性の半導体からなる基板20の一方の面である上面の一部の領域に、n型導電性を有するサブコレクタ層21が配置されている。本明細書において、基板20の上面をその垂直方向から見ることを平面視ということとする。図1Aにおいて、半導体領域に接触する電極に相対的に濃い右上がりのハッチングを付し、その上の1層目の配線に相対的に淡い右下がりのハッチングを付している。

[0015] サブコレクタ層21の一部の領域の上に、トランジスタ25が配置されている。トランジスタ25は、サブコレクタ層21から順番に積層されたコレクタ層25C、ベース層25B、及び4つのエミッタ層25Eを含む。一例としてサブコレクタ層21及びコレクタ層25Cはn型GaAsで形成され、ベース層25Bはp型GaAsで形成され、エミッタ層25Eはn型InGaPで形成される。すなわち、トランジスタ25は、ヘテロ接合バイポーラトランジスタである。

[0016] コレクタ層25C及びベース層25Bの積層構造をコレクタメサ26ということとする。4つのエミッタ層25Eの各々は、平面視において一方向に長い形状を有する。基板20の上面内で、エミッタ層25Eの長手方向を第1方向D1といい、第1方向D1に直交する方向を第2方向D2ということとする。

[0017] 4つのエミッタ層25Eは、相互に間隔を隔てて第2方向D2に並んで配置されている。エミッタ層25Eのそれぞれの上にエミッタ電極30Eが配置されている。平面視において、エミッタ電極30Eはエミッタ層25Eと

ほぼ同一の形状及び同一の大きさを有し、エミッタ層 25 E にほぼ重なっている。すなわち、エミッタ電極 30 E の平面視にける面積は、エミッタベース接合界面の面積とほぼ等しいと考えることができる。エミッタ電極 30 E はエミッタ層 25 E に電氣的に接続されている。ここで、「電氣的に接続されている」とは、ほぼオームの法則に則って接続されていることを意味する。図 1 B に示した例では、エミッタ層 25 E が配置されていない領域のベース層 25 B の結晶面が露出しているが、この結晶面を露出させないレジ構造を採用してもよい。

[0018] サブコレクタ層 21 の上面に、平面視においてコレクタメサ 26 を第 2 方向 D2 に挟むように、2 つのコレクタ電極 30 C が配置されている。コレクタ電極 30 C は、サブコレクタ層 21 を介してコレクタ層 25 C に電氣的に接続されている。

[0019] ベース電極 30 B が、2 つのベースフィンガ 30 B F、及び両者を相互に接続するベースコンタクト部 30 B C を含む。ベース電極 30 B は、ベース層 25 B に電氣的に接続されている。平面視において、ベースフィンガ 30 B F の各々は第 1 方向 D1 に長い形状を有しており、第 2 方向 D2 に並んで配置されている。すなわち、4 つのエミッタ電極 30 E と 2 つのベースフィンガ 30 B F とが、第 2 方向 D2 に並んで配置されている。

[0020] 2 つのベースフィンガ 30 B F の間の領域をベースフィンガ間領域 40 ということとする。4 つのエミッタ電極 30 E 及び 2 つのベースフィンガ 30 B F からなる列において、第 2 方向 D2 の両端には、それぞれエミッタ電極 30 E が配置されており、1 つのベースフィンガ間領域 40 に、第 2 方向 D2 に並ぶ 2 つのエミッタ電極 30 E が配置されている。

[0021] ベースコンタクト部 30 B C は、2 つのベースフィンガ 30 B F の両端同士を接続する。4 つのエミッタ電極 30 E 及びベース電極 30 B は、平面視においてコレクタメサ 26 に包含される。

[0022] 1 層目の配線層に、コレクタ配線 31 C、エミッタ配線 31 E、及びベース配線 31 B が配置されている。コレクタ配線 31 C の一部分は、平面視に

においてコレクタ電極30Cと重なっている。コレクタ配線31Cは、コレクタ電極30Cとの重なり領域に配置された開口H2を通してコレクタ電極30Cに接続されている。コレクタ配線31Cは、コレクタ電極30Cとの重なり領域から、第2方向D2の一方の側（図1Aにおいて下側）に延びている。

[0023] ベース配線31Bの一部分は、平面視においてベース電極30Bのベースコンタクト部30BCと重なっている。ベース配線31Bは、ベースコンタクト部30BCとの重なり領域に配置された開口H3を通してベースコンタクト部30BCに接続されている。ベース配線31Bは、ベースコンタクト部30BCとの重なり領域から、第2方向D2の一方の側（図1Aにおいて上側）に延びている。コレクタ配線31Cとベース配線31Bとは、相互に反対方向に延びている。

[0024] エミッタ配線31Eは、平面視において4つのエミッタ電極30Eと重なるように配置されている。エミッタ配線31Eは、4つのエミッタ電極30Eとの重なり領域にそれぞれ配置された開口H1を通して4つのエミッタ電極30Eに接続されている。

[0025] 2層目の配線層に、エミッタ配線32Eが配置されている。2層目のエミッタ配線32Eは、平面視において1層目のエミッタ配線31Eと重なり、1層目のエミッタ配線31Eに接続されている。2層目のエミッタ配線32Eの上に、エミッタ用の外部接続端子33Eが配置されており、その上にハンダ34が載せられている。外部接続端子33Eとして、例えばCuピラーバンプが用いられる。なお、Cuピラーバンプに代えて、Auバンプ、ハンダボールバンプ等を用いてもよい。

[0026] 次に、図2Aから図3までの図面を参照して、発明者らが行った評価実験について説明する。ベース電極30Bの形状が異なる2つの試料を作製し、各試料の破壊耐圧を測定した。

[0027] 図2A及び図2Bは、2つの試料のベース電極30B、エミッタ電極30E、及びコレクタ電極30Cの配置を示す平面図である。図2A及び図2B

において、これらの電極にハッチングを付している。いずれの試料においても、ベース電極 30B のベースフィンガ 30BF 及びエミッタ電極 30E は、第 1 方向 D1 に長い形状を有し、2 つのエミッタ電極 30E が第 2 方向 D2 に並んで配置されている。

[0028] 図 2A に示した試料においては、2 つのエミッタ電極 30E の間にベースフィンガ 30BF が配置されており、2 つのエミッタ電極 30E の外側にはベースフィンガ 30BF が配置されていない。図 2B に示した試料においては、3 本のベースフィンガ 30BF が配置されており、第 2 方向 D2 に隣り合う 2 本のベースフィンガ 30BF の間に、それぞれエミッタ電極 30E が配置されている。いずれの試料においても、ベースフィンガ 30BF の一方の端部にベースコンタクト部 30BC が接続されている。

[0029] すなわち、図 2A に示した試料においては、エミッタ電極 30E の各々の幅方向（第 2 方向 D2）の片側にしかベースフィンガ 30BF が配置されていない。図 2B に示した試料においては、エミッタ電極 30E の各々の幅方向の両側にそれぞれベースフィンガ 30BF が配置されている。

[0030] 図 3 は、図 2A 及び図 2B に示した試料の破壊耐圧の測定結果を示すグラフである。横軸はコレクタ電圧を表し、縦軸はコレクタ電流を表す。図 3 において、実線は図 2A に示した試料の破壊境界を示し、破線は図 2B に示した試料の破壊境界を示す。図 2B の試料の高電圧側の破壊境界は、図 2A の試料の高電圧側の破壊境界より 2V から 3V 程度低い結果が得られた。

[0031] この評価実験から、エミッタ電極 30E の両側にベースフィンガ 30BF を配置すると、破壊耐圧が低下することが確認された。

[0032] 次に、図 4A から図 5 までの図面に示した比較例による半導体装置と比較しながら、第 1 実施例の優れた効果について説明する。図 4A、図 4B、及び図 5 は、比較例による半導体装置の各構成要素の平面視における配置を示す図である。図 4A、図 4B、図 5 において、図 1A と同様に、半導体領域に接触する電極に相対的に濃い右上がりのハッチングを付し、その上の 1 層目の配線に相対的に淡い右下がりのハッチングを付している。また、図 4A

、図4 B、図5 に示した比較例による半導体装置の各構成要素には、図1 A に示した第1 実施例による半導体装置の対応する構成要素に付された参照符号と同一の参照符号を付している。

[0033] 図4 A に示した比較例では、平面視においてコレクタメサ2 6 内に2 本のベースフィンガ3 0 B F が配置されており、ベースフィンガ間領域4 0 に1 つのエミッタ電極3 0 E が配置されている。

[0034] コレクタベース接合面積を S_{cb} と標記し、エミッタベース接合面積を S_{eb} と標記する。エミッタベース接合面積 S_{eb} に対するコレクタベース接合面積 S_{cb} の比(S_{cb}/S_{eb})が1 であることが理想的であるが、ベースフィンガ3 0 B F を配置する領域を確保する必要があるため、 S_{cb}/S_{eb} は1 より大きくなってしまう。 S_{cb}/S_{eb} を1 に近づけるためには、エミッタベース接合面積 S_{eb} に比べて、ベースフィンガ3 0 B F が占める領域の面積を小さくすることが好ましい。図4 B に示した比較例では、4 つのエミッタ電極3 0 E に対して5 本のベースフィンガ3 0 B F が配置されている。このため、図4 B に示した比較例の S_{cb}/S_{eb} が、図4 A に示した比較例の S_{cb}/S_{eb} より小さくなる。コレクタメサ2 6 の面積とコレクタベース間接合容量 C_{bc} とは比例関係にあるため、エミッタ電極3 0 E の面積に対するコレクタベース間接合容量 C_{bc} の比が小さくなる。

[0035] このように、図4 B に示した比較例は、エミッタ電極3 0 E の平面視における面積に対するコレクタベース接合界面の面積の比を小さくするという観点から、図4 A に示した比較例より好ましい。ところが、図4 B に示した比較例では、エミッタ電極3 0 E の各々の幅方向の両側にそれぞれベースフィンガ3 0 B F が配置されているため、図2 A から図3 までの図面を参照して説明した評価実験の結果から、破壊耐圧が低下してしまう。

[0036] 図5 に示した比較例では、図4 B に示した比較例のうち、最も外側の2 本のベースフィンガ3 0 B F が除去されている。図5 に示した比較例では、4 つのエミッタ電極3 0 E に対して3 本のベースフィンガ3 0 B F が配置されており、1 つのエミッタ電極3 0 E に対するベースフィンガ3 0 B F の本数

が図4 Bの場合より少ないため、エミッタ電極30 Eの平面視における面積に対するコレクタベース接合界面の面積の比が、図4 Bに示した比較例の場合の比より小さくなる。

[0037] ところが、図5に示した比較例では、最も外側のエミッタ電極30 Eに対しては幅方向の片側のみにベースフィンガ30 B Fが配置されており、それ以外のエミッタ電極30 Eに対しては、幅方向の両側にベースフィンガ30 B Fが配置されている。このため、エミッタ電極30 Eの間で動作条件にばらつきが生じ、エミッタ電流密度のばらつきが大きくなる。

[0038] エミッタ電流密度のばらつきにより、エミッタ電極30 Eの直下のエミッタ層25 E（図1 B）の間で発熱量にばらつきが生じ、熱的均一性が崩れてしまう。その結果、熱暴走が生じやすくなり、破壊耐圧が低下してしまう。

[0039] これに対して第1実施例（図1 A）では、エミッタ電極30 Eの各々に着目したとき、エミッタ電極30 Eの幅方向の片側のみにベースフィンガ30 B Fが隣接して配置されている。このため、エミッタ電極30 Eの間で動作条件のばらつきが低減され、エミッタ電流密度のばらつきも低減される。その結果、熱的な均一性が維持され、熱暴走が生じにくくなる。

[0040] さらに、第1実施例（図1 A）では、すべてのエミッタ電極30 Eについて、その幅方向の片側のみにベースフィンガ30 B Fが隣接して配置されるため、エミッタ電極30 Eはそれぞれ図2 Aに示した比較例による半導体装置のエミッタ電極30 Eとほぼ同一の動作条件で動作する。このため、エミッタ電極30 Eのそれぞれの幅方向の両側にベースフィンガ30 B Fが配置される構成と比べて、図3に示すように破壊耐圧を高めることができる。

[0041] さらに、第1実施例（図1 A）では、4つのエミッタ電極30 Eに対して2本のベースフィンガ30 B Fが配置されている。すなわち、1つのエミッタ電極30 Eに対するベースフィンガ30 B Fの本数が1／2本であり、図4 Bや図5に示した比較例の場合より少ない。このため、エミッタ電極30 Eの平面視における面積に対するコレクタベース接合界面の面積の比を小さくすることが可能である。第1実施例は、エミッタ電極30 Eの平面視にお

ける面積に対してコレクタベース間接合容量 C_{bc} を小さくするという観点でも、図4Bや図5に示した比較例より優れている。これにより、コレクタベース間接合容量 C_{bc} に起因するゲインの低下を抑制することができる。

[0042] 次に、図6A及び図6Bを参照して、4つのエミッタ電極30Eの好ましい形状及び寸法について説明する。図6A及び図6Bは、1つのエミッタ電極30Eと、それに隣接する1本のベースフィンガ30BFの平面視における位置関係を示す模式図である。

[0043] 図6Aに示した例では、エミッタ電極30Eが、第1方向D1に関してベースフィンガ30BFが配置された範囲内に含まれている。このとき、エミッタ電極30Eの第1方向D1に平行な一方の縁（太い実線で示した縁）が、その全長に亘ってベースフィンガ30BFに対向する。ベースフィンガ30BFに対向するエミッタ電極30Eの縁の長さを対向長 L_{EB} ということとする。エミッタ電極30Eの平面視における面積を S_E と標記する。なお、エミッタ電極30Eの第2方向にD2平行な縁がベースコンタクト部30BCに対向しているが、エミッタ電極30Eとベースコンタクト部30BCとの間隔は、エミッタ電極30Eとベースフィンガ30BFとの間隔より十分広いと、ここでは、ベースコンタクト部30BCに対向する縁の長さは、対向長 L_{BE} に含めない。

[0044] 対向長 L_{EB} に対する面積 S_E の比 S_E/L_{EB} を、対向長面積比 R ということとする。複数のエミッタ電極30Eの間で動作の均一性、例えばエミッタ電流密度の均一性の崩れを抑制するために、複数のエミッタ電極30Eの間で、対向長面積比 R のばらつきを少なくすることが好ましい。例えば、対向長面積比 R の最大値と最小値との差が、対向長面積比 R の平均値の20%以下であることが好ましく、10%以下であることがより好ましい。また、対向長面積比 R が、すべてのエミッタ電極30Eにおいて同一であることが最も好ましい。例えば、すべてのエミッタ電極30Eの間で、対向長 L_{EB} が同一であり、面積 S_E も同一であることが好ましい。なお、製造プロセス上の許容範囲内の寸法ばらつきが生じている場合も「同一である」といえる。

[0045] 図6Bに示した例では、エミッタ電極30Eの一部が、第1方向D1に関してベースフィンガ30BFが配置された範囲の外側まで延びている。すなわち、エミッタ電極30Eの第1方向D1に平行な一方の縁の一部分（太い実線で示した部分）のみが、ベースフィンガ30BFに対向する。エミッタ電極30Eの第1方向D1に平行な一方の縁のうち、第1方向D1に関してベースフィンガ30BFが配置されている範囲内の部分の長さが、対向長 L_E に相当する。

[0046] 次に、図7A及び図7Bを参照して、エミッタ電極30Eの好ましい配置及び形状について説明する。図7A及び図7Bは、4つのエミッタ電極30Eの配置及び形状を示す平面図である。平面視において4つのエミッタ電極30Eを包含する最小の長方形を最小包含長方形41という。通常、最小包含長方形41の一对の辺は第1方向D1と平行であり、他の一对の辺は第2方向D2と平行である。最小包含長方形41の第1方向D1の寸法を L_1 と標記し、第2方向D2の寸法を L_2 と標記する。

[0047] 図7Aに示した例では、図7Bに示した例より、最小包含長方形41の縦横比が1に近い。最小包含長方形41の縦横比が1からずれると、すなわち細長くなると、長手方向に関して温度のばらつきが生じやすい。温度のばらつきが生じると、トランジスタ25が熱暴走しやすくなる。トランジスタ25の熱暴走を抑制するために、最小包含長方形41を正方形に近づけることが好ましい。例えば、最小包含長方形41の第1方向D1の寸法 L_1 に対する第2方向D2の寸法 L_2 の比が、0.5以上2以下であることが好ましい。

[0048] つぎに、第1実施例の変形例について説明する。

第1実施例では、1つのトランジスタ25（図1B）において、4つのエミッタ電極30Eと2つのベースフィンガ30BFとが第2方向D2に並んで配置されているが、エミッタ電極30Eの個数を4個以上にし、ベースフィンガ30BFの本数を2本以上にしてもよい。このとき、2つのエミッタ電極30Eと、その間に配置された1本のベースフィンガ30BFとが繰り

返し単位となって、複数の繰り返し単位が第2方向D2に並んで配置される。すなわち、エミッタ電極30Eの個数は偶数であり、ベースフィンガ30BFの本数はエミッタ電極30Eの個数の1/2である。

[0049] [第2実施例]

次に、図8を参照して第2実施例による半導体装置について説明する。以下、図1Aから図7Bまでの図面を参照して説明した第1実施例による半導体装置と共通の構成については説明を省略する。

[0050] 図8は、第2実施例による半導体装置の各構成要素の平面視における配置を示す図である。図8において、図1Aと同様に、半導体領域に接触する電極に相対的に濃い右上がりのハッチングを付し、その上の1層目の配線に相対的に淡い右下がりのハッチングを付している。

[0051] 第1実施例（図1A）では、一对のコレクタ電極30Cがコレクタメサ26を第2方向D2に挟んでいる。これに対して第2実施例では、平面視において、コレクタ電極30Cは、第2方向D2に並ぶエミッタ電極30E及びベースフィンガ30BFの列を、第2方向D2の両側、及び第1方向D1の片側（図8において下側）からU字状に囲んでいる。1層目のコレクタ配線31Cも、コレクタ電極30Cと同様にU字状の形状を有する。

[0052] 次に、第2実施例の優れた効果について説明する。

第2実施例においても第1実施例と同様に、コレクタベース間接合容量Cbcに起因するゲインの低下を抑制することができる。

[0053] 第1実施例（図1A）では、コレクタ電流は、図8に横向き矢印で示したように、エミッタ電極30Eからコレクタ電極30Cに向かう。これに対して第2実施例では、図8に示した横方向の矢印のみならず、縦方向の矢印の方向にもコレクタ電流が流れる。このため、複数のエミッタ電極30Eの間で、電流の均一性が高まる。その結果、熱的な均一性も高まり、熱暴走を抑制する効果及び破壊耐圧を向上させる効果が、第1実施例の場合より高くなる。

[0054] [第3実施例]

次に、図 9 A 及び図 9 B を参照して第 3 実施例による半導体装置について説明する。以下、図 1 A から図 7 B までの図面を参照して説明した第 1 実施例による半導体装置と共通の構成については説明を省略する。

[0055] 図 9 A は、第 3 実施例による半導体装置の各構成要素の平面視における配置を示す図であり、図 9 B は、図 9 A の一点鎖線 9 B - 9 B における断面図である。図 9 A において、図 1 A と同様に、半導体領域に接触する電極に相対的に濃い右上がりのハッチングを付し、その上の 1 層目の配線に相対的に薄い右下がりのハッチングを付している。

[0056] 第 1 実施例（図 1 A）では、ベース電極 30 B の全体が、平面視においてコレクタメサ 26 に包含されている。すなわちベースコンタクト部 30 B C が、平面視においてコレクタメサ 26 の内側に配置されている。これに対して第 3 実施例では、ベースコンタクト部 30 B C が、平面視においてコレクタメサ 26 の外側、すなわちベース層 25 B とコレクタ層 25 C との接合界面の外側に配置されている。この構成において、ベースコンタクト部 30 B C がサブコレクタ層 21 に電氣的に接続されないようにするために、ベース電極 30 B とサブコレクタ層 21 との間に絶縁膜が配置される。この絶縁膜は、図 9 B に示したベース層 25 B とベースフィンガ 30 B F との間にも配置される。なお、この絶縁膜は、エミッタ電極 30 E 及びコレクタ電極 30 C を形成した後に成膜される。

[0057] ベースフィンガ 30 B F をベース層 25 B に接続するために、両者の間に配置された絶縁膜（図示せず）に開口 H 4（図 9 A）が設けられている。ベースフィンガ 30 B F は、この開口 H 4 を通ってベース層 25 B に電氣的に接続される。ベースフィンガ 30 B F が開口 H 4 を通ることにより、図 9 B に示した断面において、ベースフィンガ 30 B F の形状が T 字状になっている。ベースフィンガ 30 B F は、平面視においてコレクタメサ 26 の外周の段差と交差して、コレクタメサ 26 の外側まで延び、ベースコンタクト部 30 B C に接続されている。

[0058] 次に、第 3 実施例の優れた効果について説明する。

第3実施例においても第1実施例と同様に、破壊耐圧を向上させるとともに、コレクタベース間接合容量 C_{bc} に起因するゲインの低下を抑制することができる。第3実施例では、第1実施例（図1A）と比べてコレクタメサ26の平面視における面積が小さい。このため、エミッタ電極30Eの面積が同一の条件の下で、コレクタベース間接合容量 C_{bc} がより小さくなる。その結果、コレクタベース間接合容量 C_{bc} に起因するゲインの低下を抑制する効果がより高まる。

[0059] [第4実施例]

次に、図10Aから図11までの図面を参照して、第4実施例による半導体装置について説明する。以下、図1Aから図7Bまでの図面を参照して説明した第1実施例による半導体装置と共通の構成については説明を省略する。

[0060] 図10Aは、第4実施例による半導体装置の各構成要素の平面視における配置を示す図であり、図10Bは、図10Aの一点鎖線10B-10Bにおける断面図である。図10Aにおいて、図1Aと同様に、半導体領域に接触する電極に相対的に濃い右上がりのハッチングを付し、その上の1層目の配線に相対的に淡い右下がりのハッチングを付している。

[0061] 第1実施例（図1A）では、ベースフィンガ間領域40に2つのエミッタ電極30Eが配置されている。これに対して第4実施例では、ベースフィンガ間領域40に1つのエミッタ電極30E及び1つのエミッタ層25Eが配置されている。ベースフィンガ間領域40に配置されているエミッタ電極30Eの第2方向D2の寸法は、第2方向D2の両端に配置されているエミッタ電極30Eのそれぞれの第2方向D2の寸法より大きい。ベースコンタクト部30BCは、第3実施例による半導体装置（図9A）と同様に、平面視においてコレクタメサ26の外側に配置されている。3つのエミッタ電極30Eの第1方向の寸法は同一である。

[0062] 次に、図11を参照して、エミッタ電極30Eの好ましい寸法について説明する。図11は、エミッタ電極30E及びベースフィンガ30BFの平面

視における位置関係を示す模式図である。

[0063] エミッタ電極30Eのそれぞれの縁のうち、ベースフィンガ30BFに対向する部分を太い実線で示している。両端のエミッタ電極30Eにおいては、第1方向D1に平行な一对の縁のうち一方の縁がベースフィンガ30BFに対向している。ベースフィンガ間領域40内のエミッタ電極30Eにおいては、第1方向D1に平行な一对の縁の両方がベースフィンガ30BFに対向している。第1方向D1に平行な一对の縁の各々の長さは、両端のエミッタ電極30Eの第1方向に平行な一对の縁の各々の長さと同じ。

[0064] 両端のエミッタ電極30Eの対向長を L_{EB1} と標記し、平面視における面積を S_{E1} と標記する。両端の2つのエミッタ電極30Eのそれぞれの対向長 L_{EB1} は等しく、面積 S_{E1} も等しい。両端のエミッタ電極30Eのそれぞれの対向長面積比 R_1 は、以下の式で計算される。

$$R_1 = S_{E1} / L_{EB1} \cdots (1)$$

[0065] ベースフィンガ間領域40内のエミッタ電極30Eの対向長を L_{EB2} と標記し、平面視における面積を S_{E2} と標記する。ベースフィンガ間領域40に配置されているエミッタ電極30Eにおいては、第1方向D1に平行な2本の縁の両方がベースフィンガ30BFに対向しているため、以下の式が成り立つ。

$$L_{EB2} = 2 \times L_{EB1} \cdots (2)$$

[0066] ベースフィンガ間領域40に配置されているエミッタ電極30Eの対向長面積比 R_2 は、以下の式で計算される。

$$R_2 = S_{E2} / L_{EB2} = S_{E2} / (2 \times L_{EB1}) \cdots (3)$$

[0067] 図6A及び図6Bを参照して説明したように、複数のエミッタ電極30Eの間で動作の均一性、例えばエミッタ電流密度の均一性の崩れを抑制するために、複数のエミッタ電極30Eの間で、対向長面積比 R_1 、 R_2 のばらつきを少なくすることが好ましい。例えば、対向長面積比 R_1 、 R_2 の最大値と最小値との差が、対向長面積比 R_1 、 R_2 の平均値の20%以下であることが好ましく、10%以下であることがより好ましい。

[0068] また、ベースフィンガ間領域40内のエミッタ電極30Eの対向長面積比 R_2 と両端のエミッタ電極30Eの対向長面積比 R_1 とを等しくすることが最も好ましい。この最適条件下では、式(1)及び式(3)から、ベースフィンガ間領域40のエミッタ電極30Eの面積 S_{E2} が両端のエミッタ電極30Eの面積 S_{E1} の2倍に等しい。

[0069] 次に、第4実施例の優れた効果について説明する。

第4実施例においても第1実施例と同様に、破壊耐圧を向上させるとともに、コレクタベース間接合容量 C_{bc} に起因するゲインの低下を抑制することができる。第1実施例(図1B)では、ベースフィンガ間領域40内の2つのエミッタ電極30Eの間に間隙が確保されているが、第4実施例では、この間隙を確保する必要がない。このため、第1実施例と比べて、コレクタメサ26(図10A)の面積をより小さくすることができる。その結果、コレクタベース間接合容量 C_{bc} をより小さくすることが可能になる。

[0070] 次に、第4実施例の変形例について説明する。

第4実施例では、エミッタ電極30Eを3個配置しているが、4個以上配置してもよい。この場合、ベースフィンガ30BFの本数は、エミッタ電極30Eの個数より1つだけ少ない本数になる。複数のベースフィンガ間領域40にエミッタ電極30Eが1つずつ配置される。

[0071] ベースフィンガ間領域40が複数個配置される構成において、第1実施例のように、ベースフィンガ間領域40内に2つのエミッタ電極30Eが配置された箇所と、第4実施例のように、ベースフィンガ間領域40内に1つのエミッタ電極30Eが配置された箇所とを混在させてもよい。

[0072] [第5実施例]

次に、図12から図14までの図面を参照して第5実施例による高周波電力増幅器について説明する。第5実施例による高周波電力増幅器には、第1実施例から第4実施例までのいずれかの実施例による半導体装置が含まれる。

[0073] 図12は、第5実施例による高周波電力増幅器の各構成要素の平面視にお

ける配置を示す図である。図 13 は、図 12 の一点鎖線 13-13 における断面図である。図 12 において、半導体領域に接触する電極に相対的に濃い右上がりのハッチングを付し、1 層目の配線に相対的に淡い右下がりのハッチングを付し、2 層目の配線の輪郭を相対的に太い実線で表している。

[0074] 複数のセル 27 が、基板 20 の上面に、第 2 方向 D2 に並んで配置されている。複数のセル 27 の各々は、第 3 実施例（図 9A、図 9B）による半導体装置のトランジスタ 25、コレクタ電極 30C、エミッタ電極 30E、及びベース電極 30B を含む。複数のセル 27 の各々は、さらに、入力キャパシタ 28 及びバラスト抵抗素子 29 を含む。セル 27 の各々に、第 1 実施例、第 2 実施例、または第 4 実施例による半導体装置の構成を採用してもよい。第 2 方向 D2 に隣り合う 2 つのセル 27 のコレクタ電極 30C は、相互に連続している。

[0075] 複数のセル 27 の各々のベースコンタクト部 30BC（図 9A）から第 1 方向（図 12 において上方向）に 1 層目のベース配線 31B が延びている。2 層目の配線層に配置された高周波信号入力配線 32RF が、複数のベース配線 31B と交差する。ベース配線 31B のうち高周波信号入力配線 32RF と重なっている部分は、他の部分に比べて拡幅されており、重なり部分に入力キャパシタ 28 が形成される。

[0076] 複数のバラスト抵抗素子 29 の一端が、それぞれ複数のベース配線 31B の先端に重なる。バラスト抵抗素子 29 の他端は、1 層目の配線層に配置された共通のベースバイアス配線 31BB の一部分に重なる。バラスト抵抗素子 29 は、ベース配線 31B 及びベースバイアス配線 31BB に対して層間絶縁膜を介することなく配置されている。

[0077] 2 層目のエミッタ配線 32E が、平面視において複数のトランジスタ 25 を包含する。2 層目のエミッタ配線 32E は、層間絶縁膜に設けられたビアホールを通して 1 層目の複数のエミッタ配線 31E に接続されている。1 層目のグランド配線 31G が、複数のセル 27 のセル列に並走するように配置されている。グランド配線 31G の一部分が 2 層目のエミッタ配線 32E の

一部分と重なり、重なり箇所において両者が相互に接続されている。

[0078] 平面視においてグランド配線 3 1 G に包含される位置に、基板 2 0 を貫通する複数の貫通バイアホール 2 2 が設けられている。基板 2 0 の上面とは反対側の裏面に、裏面電極 5 0 が配置されている。裏面電極 5 0 は、貫通バイアホール 2 2 の側面を通してグランド配線 3 1 G に接続されている。貫通バイアホール 2 2 内の残りの部分に、導電性の充填部材 5 1 が充填されている。

[0079] 平面視において複数のセル 2 7 のセル列に並走するように、2 層目のコレクタ配線 3 2 C が配置されている。2 層目のコレクタ配線 3 2 C の一部分が 1 層目のコレクタ配線 3 1 C の一部分と重なり、重なり箇所において両者が接続されている。2 層目のコレクタ配線 3 2 C の一部の領域は、ワイヤボンディング用のパッド 3 2 P として利用される。

[0080] 図 1 4 は、1 つのセル 2 7 の等価回路図である。セル 2 7 の各々は、トランジスタ 2 5、入力キャパシタ 2 8、及びバラスト抵抗素子 2 9 を含む。トランジスタ 2 5 のエミッタがグランド配線 3 1 G に接続され、コレクタがコレクタ配線 3 2 C に接続されている。コレクタ配線 3 2 C からトランジスタ 2 5 に電源が供給される。

[0081] トランジスタ 2 5 のベースが入力キャパシタ 2 8 を介して高周波信号入力配線 3 2 R F に接続されている。高周波信号入力配線 3 2 R F から入力キャパシタ 2 8 を介してトランジスタ 2 5 のベースに高周波信号が入力される。トランジスタ 2 5 のベースは、さらに、バラスト抵抗素子 2 9 を介してベースバイアス配線 3 1 B B に接続されている。ベースバイアス配線 3 1 B B からバラスト抵抗素子 2 9 を介してトランジスタ 2 5 のベースにベースバイアスが供給される。

[0082] 次に、第 5 実施例の優れた効果について説明する。

第 5 実施例においては、複数のセル 2 7 のそれぞれが、第 1 実施例から第 4 実施例までのいずれかの半導体装置と同一の構成のトランジスタ 2 5 を含んでいるため、第 1 実施例から第 4 実施例までの半導体装置と同様に、破壊

耐圧を向上させるとともに、コレクタベース間接合容量 C_{bc} に起因するゲインの低下を抑制することができる。

[0083] [第6実施例]

次に、図15を参照して第6実施例による高周波電力増幅器について説明する。以下、図12から図14までの図面を参照して説明した第5実施例による高周波電力増幅器と共通の構成については説明を省略する。

[0084] 図15は、第6実施例による高周波電力増幅器の各構成要素の平面視における配置を示す図である。図15において、図12と同様に、半導体領域に接触する電極に相対的に濃い右上がりのハッチングを付し、1層目の配線に相対的に淡い右下がりのハッチングを付し、2層目の配線の輪郭を相対的に太い実線で表している。第5実施例（図12）では、複数のセル27のそれぞれのトランジスタ25が、第2方向D2に平行な1本の直線上に並んで配置されている。これに対して第6実施例では、複数のセル27のそれぞれのトランジスタ25が、千鳥状に配置されている。

[0085] 次に、千鳥状の配置について具体的に説明する。複数のセル27に、第2方向D2の一方の端のセル27から他方の端のセル27に向かって1から順番に通し番号を付したとき、奇数番目のセル27及び偶数番目のセル27のそれぞれのトランジスタ25は、第2方向D2に平行な1本の直線上に並んで配置されている。ただし、偶数番目のセル27のトランジスタ25は、奇数番目のセル27のトランジスタ25に対して第1方向D1にずれた位置に配置されている。例えば、2層目のコレクタ配線32Cから見て、偶数番目のセル27のトランジスタ25は、奇数番目のセル27のトランジスタ25より遠い位置に配置されている。奇数番目のセル27のトランジスタ25に対する偶数番目のセル27のトランジスタ25の第1方向D1へのずれ量は、トランジスタ25の各々のコレクタメサ26（図1A、図9A等）の第1方向D1の寸法以上である。

[0086] 2層目のコレクタ配線32Cから見て遠い方のトランジスタ25のコレクタ電極30Cの第2方向D2の寸法（以下、幅という場合がある。）は、第

2 方向 D 2 に対して斜めに隣り合う 2 つのトランジスタ 2 5 の第 2 方向 D 2 の間隔 G よりやや小さい程度であり、間隔 G の $1/2$ より十分大きい。このコレクタ電極 3 0 C に平面視においてほぼ重なっている 1 層目のコレクタ配線 3 1 C の幅も、コレクタ電極 3 0 C の幅とほぼ同程度である。

[0087] 2 層目のコレクタ配線 3 2 C から見て近い方のトランジスタ 2 5 のうち第 2 方向 D 2 に隣り合うトランジスタ 2 5 の間のほぼ全域に、1 層目のコレクタ配線 3 1 C が配置されている。

[0088] 次に、第 6 実施例の優れた効果について説明する。

第 6 実施例においても第 5 実施例と同様に、破壊耐圧を向上させるとともに、コレクタベース間接合容量 C_{bc} に起因するゲインの低下を抑制することができる。第 6 実施例では、第 5 実施例と比べてトランジスタ 2 5 の分布密度が低い。このため、トランジスタ 2 5 からの放熱性を高めることができる。

[0089] 第 5 実施例（図 1 2）では、第 2 方向 D 2 に隣り合う 2 つのトランジスタ 2 5 の間に配置されているコレクタ配線 3 1 C が、2 つのトランジスタ 2 5 で共用される。このため、1 つのトランジスタ 2 5 のコレクタ電流が流れる部分は、実質的に、2 つのトランジスタ 2 5 の間に配置されているコレクタ配線 3 1 C の幅の $1/2$ の領域に制限されることができる。

[0090] これに対して第 6 実施例では、2 層目のコレクタ配線 3 2 C から見て遠い方のトランジスタ 2 5 を第 2 方向 D 2 に挟む位置に配置されたコレクタ配線 3 1 C には、1 つのトランジスタ 2 5 のコレクタ電流のみが流れる。このため、2 層目のコレクタ配線 3 2 C から見て遠い方のトランジスタ 2 5 に対して配置されたコレクタ配線 3 1 C の幅が実質的に拡幅されることになる。

[0091] また、2 層目のコレクタ配線 3 2 C から見て近い方のトランジスタ 2 5 に対しては、第 2 方向 D 2 に隣り合う 2 つのトランジスタ 2 5 の間のほぼ全域に、1 層目のコレクタ配線 3 1 C が配置されている。このため、2 層目のコレクタ配線 3 2 C から見て近い方のトランジスタ 2 5 に対して配置されたコレクタ配線 3 1 C の幅は、充分広いと考えることができる。

[0092] このように、第6実施例においては、第5実施例と比べて、複数のトランジスタ25のそれぞれに対して配置されたコレクタ配線31Cの幅が広くなる。このため、コレクタ配線31Cの寄生抵抗を、実質的に低減させることができる。

[0093] [第7実施例]

次に、図16及び図17を参照して第7実施例による高周波電力増幅器について説明する。以下、図15を参照して説明した第6実施例による高周波電力増幅器と共通の構成については説明を省略する。

[0094] 第6実施例（図15）では、トランジスタ25のエミッタが、図13に示すように、基板20の裏面に配置された裏面電極50に接続される。基板20の上面の上に、ワイヤボンディング用のパッド32Pが配置されている。すなわち、第6実施例による高周波電力増幅器は、実装基板に対して、トランジスタ25が配置された面が実装基板とは反対側を向くように実装（フェイスアップ実装）される。これに対して第7実施例による高周波電力増幅器は、実装基板に対して、トランジスタ25が配置された面が実装基板と対向するように実装（フェイスダウン実装）される。

[0095] 図16は、第7実施例による高周波電力増幅器の各構成要素の平面視における配置を示す図である。図17は、図16の一点鎖線17-17における断面図である。図16において、図15と同様に、半導体領域に接触する電極に相対的に濃い右上がりのハッチングを付し、1層目の配線に相対的に薄い右下がりのハッチングを付し、2層目の配線の輪郭を相対的に太い実線で表している。さらに、2層目の配線の上に配置される外部接続端子の輪郭を、さらに太い実線で表している。

[0096] 平面視において複数のトランジスタ25を包含するように2層目のエミッタ配線32Eが配置されている。2層目のエミッタ配線32Eの上にエミッタ用の外部接続端子33Eが配置されている。外部接続端子33Eは、平面視においてすべてのトランジスタ25と少なくとも部分的に重なっている。

[0097] 2層目のエミッタ配線32Eに並走するように、2層目のコレクタ配線3

2 Cが配置されている。2層目のコレクタ配線3 2 Cの一部が1層目のコレクタ配線3 1 Cの一部に重なり、重なり箇所において両者が接続されている。2層目のコレクタ配線3 1 Cの上に、コレクタ用の複数の外部接続端子3 3 Cが配置されている。エミッタ用の外部接続端子3 3 E及びコレクタ用の外部接続端子3 3 Cの上に、それぞれハンダ3 4が配置されている。外部接続端子3 3 E、3 3 Cには、例えばCuピラーバンプが用いられる。なお、Cuピラーバンプに代えて、Auバンプ、ハンダボールバンプ等を用いてもよい。

[0098] 次に、第7実施例の優れた効果について説明する。

第7実施例においても第6実施例と同様に、破壊耐圧を向上させるとともに、コレクタベース間接合容量C b cに起因するゲインの低下を抑制することができる。第7実施例では、エミッタ用の外部接続端子3 3 Eがトランジスタ2 5から実装基板に向かう放熱経路として機能する。このため、動作時におけるトランジスタ2 5の温度上昇を抑制することができる。

[0099] [第8実施例]

次に、図1 8、図1 9、及び図2 0を参照して、第8実施例による高周波増幅回路及び高周波フロントエンドモジュールについて説明する。第8実施例による高周波増幅回路は、第7実施例による高周波電力増幅器（図1 6、図1 7）を含む。

[0100] 図1 8は、第8実施例による高周波増幅回路6 0のブロック図である。第8実施例による高周波増幅回路6 0は、初段増幅回路6 1、出力段増幅回路6 2、入力整合回路6 5、段間整合回路6 6、初段バイアス回路6 8、及び出力段バイアス回路6 9を含む。さらに、第8実施例による高周波増幅回路6 0は、バンプで構成される外部接続端子として、高周波信号入力端子R F i n、高周波信号出力端子R F o u t、初段バイアス制御端子V b i a s 1、出力段バイアス制御端子V b i a s 2、電源端子V c c 1、V c c 2、バイアス電源端子V b a t t、及びグランド端子G N Dを含む。なお、図1 8のブロック図ではグランド端子G N Dを1個のみ示しているが、実際にはグ

ランド端子 GND は複数個配置されている。

[0101] 高周波信号入力端子 RFin から入力された高周波信号が、入力整合回路 65 を介して初段増幅回路 61 に入力される。初段増幅回路 61 で増幅された高周波信号が段間整合回路 66 を介して出力段増幅回路 62 に入力される。出力段増幅回路 62 で増幅された高周波信号が高周波信号出力端子 RFout から出力される。出力段増幅回路 62 に、第 7 実施例による高周波電力増幅器 (図 16、図 17) が用いられる。高周波信号出力端子 RFout に出力整合回路 67 が接続される。

[0102] 電源端子 Vcc1 及び Vcc2 から、それぞれ初段増幅回路 61 及び出力段増幅回路 62 に電源電圧が印加される。バイアス電源端子 Vbatt から初段バイアス回路 68 及び出力段バイアス回路 69 にバイアス電源が供給される。初段バイアス回路 68 が、初段バイアス制御端子 Vbias1 に入力されたバイアス制御信号に基づいて、初段増幅回路 61 にバイアスを供給する。出力段バイアス回路 69 が、出力段バイアス制御端子 Vbias2 に入力されたバイアス制御信号に基づいて、出力段増幅回路 62 にバイアスを供給する。

[0103] 図 19 は、第 8 実施例による高周波増幅回路 60 の基板内における各構成要素の配置を示す図である。図 19 において、1 層目及び 2 層目の主な配線にハッチングを付している。

[0104] エミッタ用の外部接続端子 33E と重なる位置に、出力段増幅回路 62 が配置されている。第 7 実施例 (図 16) では、8 個のトランジスタ 25 に対して 1 つの外部接続端子 33E が配置されているが、第 8 実施例では、14 個のトランジスタ 25 が 2 つの組に分けられ、2 つの組のそれぞれに対して外部接続端子 33E が配置されている。また、第 7 実施例 (図 16) では、8 個のトランジスタ 25 に対して 3 つの外部接続端子 33C が配置されているが、第 8 実施例では、14 個のトランジスタ 25 に対して 1 つの外部接続端子 33C が配置されている。外部接続端子 33C は、電源端子 Vcc2 (図 18) 及び高周波信号出力端子 RFout (図 18) に相当する。

[0105] 基板20の上面に、その他に、初段増幅回路61、入力整合回路65、段間整合回路66、初段バイアス回路68、出力段バイアス回路69、高周波信号入力端子RF_{in}、電源端子V_{cc1}、バイアス電源端子V_{batt}、初段バイアス制御端子V_{bias1}、及び出力段バイアス制御端子V_{bias2}が配置されている。さらに、初段増幅回路61に含まれる複数のトランジスタのエミッタに接続されるグランド端子GND等が配置されている。

[0106] 図20は、第8実施例による高周波フロントエンドモジュールの概略断面図である。高周波増幅回路60の一方の面に、エミッタ用の外部接続端子33E、コレクタ用の外部接続端子33C等が配置されている。モジュール基板70の実装面に複数のランド74が配置されている。高周波増幅回路60の外部接続端子33E、33Cが、モジュール基板70のランド74に、ハンダ80により接続されている。

[0107] なお、高周波増幅回路60には、外部接続端子33E、33C以外にも、電源用や信号用の複数の外部接続端子（図19）が配置されている。これらの外部接続端子も、モジュール基板70の対応するランドにハンダにより接続される。

[0108] モジュール基板70の実装面に、高周波増幅回路60以外に、インダクタ、キャパシタ等の複数の表面実装部品75が実装されている。これらの表面実装部品75の一部は、出力整合回路67（図18）を構成する。モジュール基板70の内層、及び実装面とは反対側の表面（以下、裏面という。）に、グランドプレーン72が配置されている。実装面に配置されたグランド用のランド74から裏面のグランドプレーン72まで達する複数のビア73が設けられている。

[0109] 次に、第8実施例の優れた効果について説明する。

第8実施例では、高周波増幅回路60の出力段増幅回路62（図18）に、第7実施例による高周波増幅回路（図16、図17）が用いられている。このため、第5実施例と同様に、出力段増幅回路62のトランジスタ25の破壊耐圧を向上させるとともに、コレクタベース間接合容量C_{bc}に起因す

るゲインの低下を抑制することができる。

[0110] 上述の各実施例は例示であり、異なる実施例で示した構成の部分的な置換または組み合わせが可能であることは言うまでもない。複数の実施例の同様の構成による同様の作用効果については実施例ごとには逐次言及しない。さらに、本発明は上述の実施例に制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

符号の説明

- [0111] 20 基板
- 21 サブコレクタ層
 - 22 貫通バイアホール
 - 25 トランジスタ
 - 25B ベース層
 - 25C コレクタ層
 - 25E エミッタ層
 - 26 コレクタメサ
 - 27 セル
 - 28 入力キャパシタ
 - 29 バラスト抵抗素子
 - 30B ベース電極
 - 30BC ベースコンタクト部
 - 30BF ベースフィンガ
 - 30C コレクタ電極
 - 30E エミッタ電極
 - 31B 1層目のベース配線
 - 31BB ベースバイアス配線
 - 31C 1層目のコレクタ配線
 - 31E 1層目のエミッタ配線
 - 31G 1層目のグランド配線

- 3 2 C 2 層目のコレクタ配線
- 3 2 E 2 層目のエミッタ配線
- 3 2 P ワイヤボンディング用のパッド
- 3 2 R F 2 層目の高周波信号入力配線
- 3 3 C コレクタ用の外部接続端子
- 3 3 E エミッタ用の外部接続端子
- 3 4 ハンダ
- 4 0 ベースフィンガ間領域
- 4 1 最小包含長方形
- 5 0 裏面電極
- 5 1 充填部材
- 6 0 高周波増幅回路
- 6 1 初段増幅回路
- 6 2 出力段増幅回路（高周波信号電力増幅回路）
- 6 5 入力整合回路
- 6 6 段間整合回路
- 6 8 初段バイアス回路
- 6 9 出力段バイアス回路
- 7 0 モジュール基板
- 7 2 グランドプレーン
- 7 3 ビア
- 7 4 ランド
- 7 5 表面実装部品
- 8 0 ハンダ

請求の範囲

- [請求項1] 基板と、
- 前記基板の一方の面である上面の上に順番に積層されたコレクタ層、ベース層、及びエミッタ層を含むトランジスタと、
- 前記エミッタ層に電氣的に接続された4つ以上のエミッタ電極と、
- 前記ベース層に電氣的に接続された2つ以上のベースフィンガを含むベース電極と、
- 前記コレクタ層に電氣的に接続されたコレクタ電極と
- を備えており、
- 前記エミッタ電極の各々、及び前記ベースフィンガの各々は、前記基板の前記上面内の第1方向に長い形状を有し、
- 前記エミッタ電極及び前記ベースフィンガは、前記基板の前記上面内で前記第1方向と直交する第2方向に並んで配置されており、
- 前記第2方向に並ぶ4つ以上の前記エミッタ電極及び2つ以上の前記ベースフィンガの列において、前記第2方向の両端には、それぞれ前記エミッタ電極が配置されており、
- 前記第2方向に隣り合う2つの前記ベースフィンガの間のベースフィンガ間領域のうち、少なくとも1つの前記ベースフィンガ間領域には、前記第2方向に並ぶ2つの前記エミッタ電極が配置されており、
- 複数の前記エミッタ電極の各々の隣に配置された1つまたは2つの前記ベースフィンガに対向する前記エミッタ電極の縁の長さに対する前記エミッタ電極の平面視における面積の比を対向長面積比と定義したとき、複数の前記エミッタ電極のそれぞれの前記対向長面積比の最大値と最小値との差が、前記対向長面積比の平均値の20%以下である半導体装置。
- [請求項2] 4つ以上の前記エミッタ電極の平面視における面積が同一である請求項1に記載の半導体装置。
- [請求項3] 基板の一方の面である上面の上に順番に積層されたコレクタ層、ベ

ース層、及びエミッタ層を含むトランジスタと、

前記エミッタ層に電氣的に接続された3つのエミッタ電極と、

前記ベース層に電氣的に接続された2つのベースフィンガを含むベース電極と

前記コレクタ層に電氣的に接続されたコレクタ電極と

を備えており、

前記エミッタ電極の各々、及び前記ベースフィンガの各々は、前記基板の前記上面内の第1方向に長い形状を有し、

3つの前記エミッタ電極及び2つの前記ベースフィンガは、前記基板の前記上面内で前記第1方向と直交する第2方向に、前記エミッタ電極、前記ベースフィンガ、前記エミッタ電極、前記ベースフィンガ、前記エミッタ電極の順に並んで配置されており、

複数の前記エミッタ電極の各々の隣に配置された1つまたは2つの前記ベースフィンガに対向する前記エミッタ電極の縁の長さに対する前記エミッタ電極の平面視における面積の比を対向長面積比と定義したとき、複数の前記エミッタ電極のそれぞれの前記対向長面積比の最大値と最小値との差が、前記対向長面積比の平均値の20%以下であり、

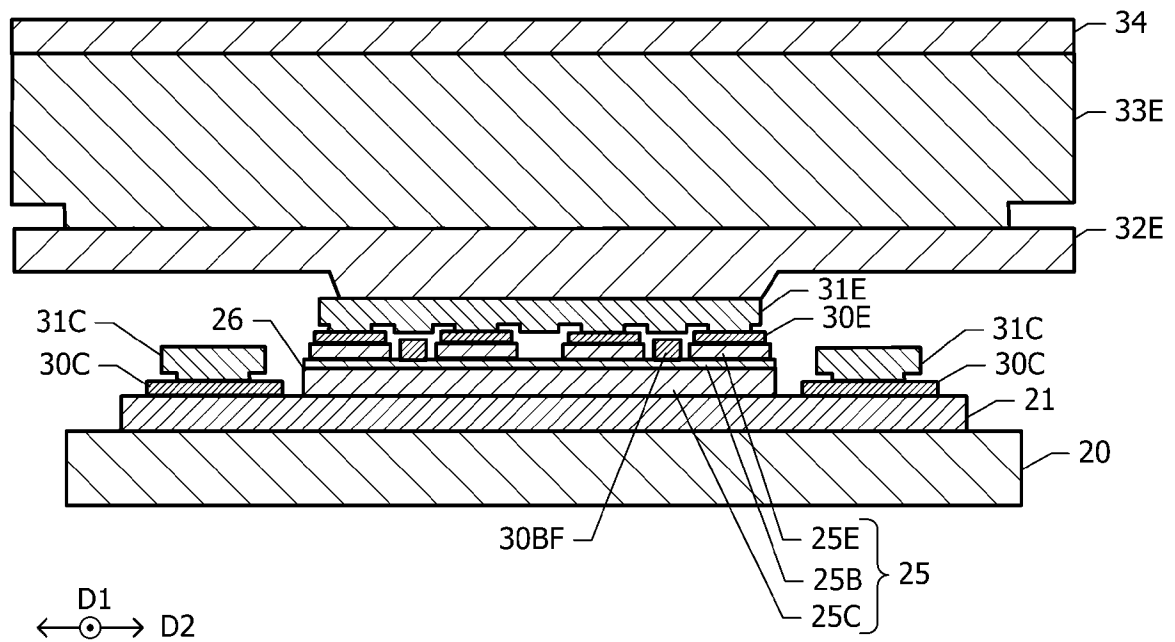
平面視において、3つの前記エミッタ電極を包含する最小包含長方形の前記第1方向の寸法に対する前記第2方向の寸法の比が0.5以上2以下である半導体装置。

[請求項4] 平面視において、前記コレクタ電極は、前記第2方向に並ぶ前記エミッタ電極及び前記ベースフィンガの列を、前記第2方向の両側、及び前記第1方向の片側からU字状に囲んでいる請求項1乃至3のいずれか1項に記載の半導体装置。

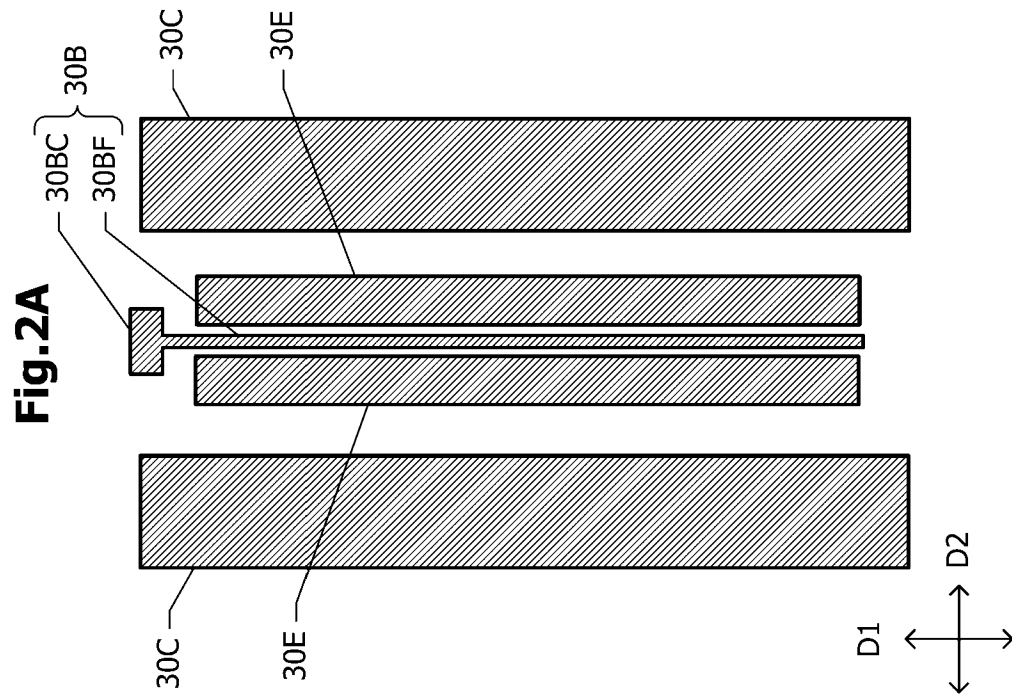
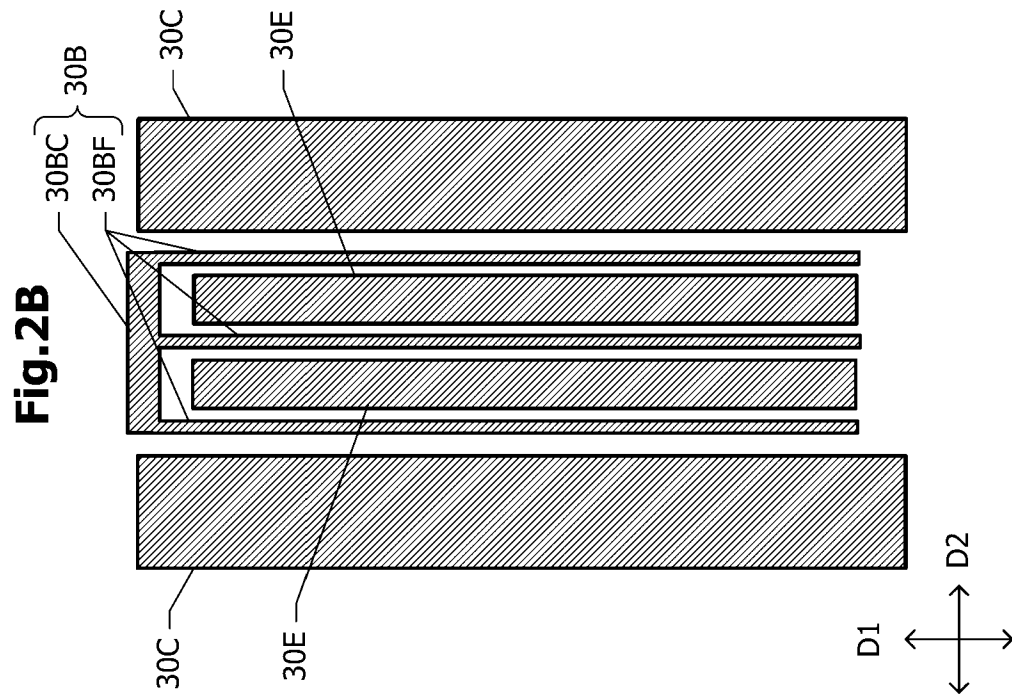
[請求項5] 前記ベース電極は、平面視において、前記ベース層と前記コレクタ層との接合界面の外側で、複数の前記ベースフィンガを相互に接続している請求項1乃至4のいずれか1項に記載の半導体装置。

- [請求項6] 前記ベースフィンガの本数が2本であり、
平面視において、複数の前記エミッタ電極を包含する最小包含長方形の前記第1方向の寸法に対する前記第2方向の寸法の比が、0.5以上2以下である請求項1または2に記載の半導体装置。
- [請求項7] 前記トランジスタは、ヘテロ接合バイポーラトランジスタである請求項1乃至6のいずれか1項に記載の半導体装置。
- [請求項8] 前記基板の前記上面に、前記第2方向に並んで配置された請求項1乃至7のいずれか1項に記載の複数の半導体装置と、
前記複数の半導体装置の前記エミッタ電極を接続するエミッタ配線と、
高周波信号入力配線と、
前記複数の半導体装置の各々の前記ベース電極と、前記高周波信号入力配線とを接続する入力キャパシタと
を備え、
前記複数の半導体装置の前記コレクタ電極は相互に連続している高周波電力増幅器。
- [請求項9] 前記基板の前記上面とは反対側の下面に配置された裏面電極を、さらに備え、
前記基板に、貫通バイアホールが設けられており、
前記裏面電極は、前記貫通バイアホールを通して前記エミッタ配線に電氣的に接続されている請求項8に記載の高周波電力増幅器。
- [請求項10] 前記基板の前記上面の上に配置され、前記エミッタ配線に電氣的に接続された外部接続端子を、さらに備えた請求項8に記載の高周波電力増幅器。

Fig.1A

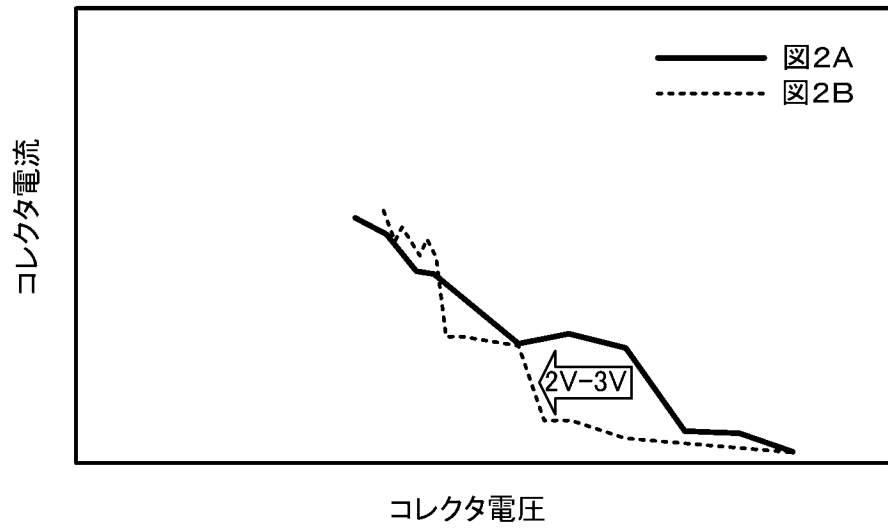


[図2]



[図3]

Fig.3



[図4]

Fig.4A

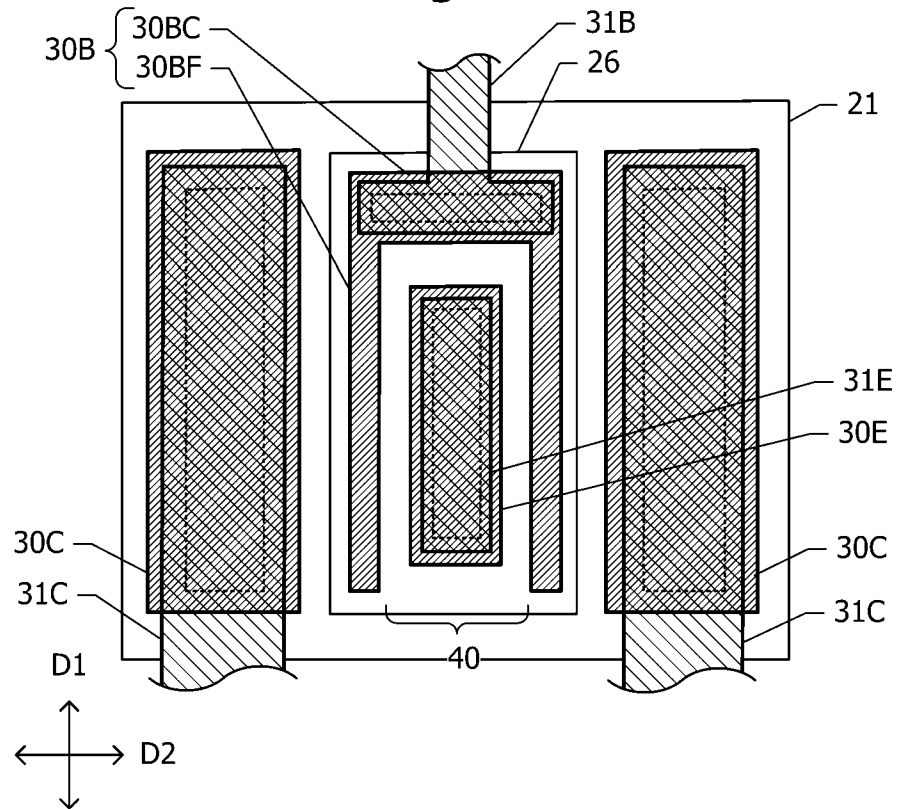
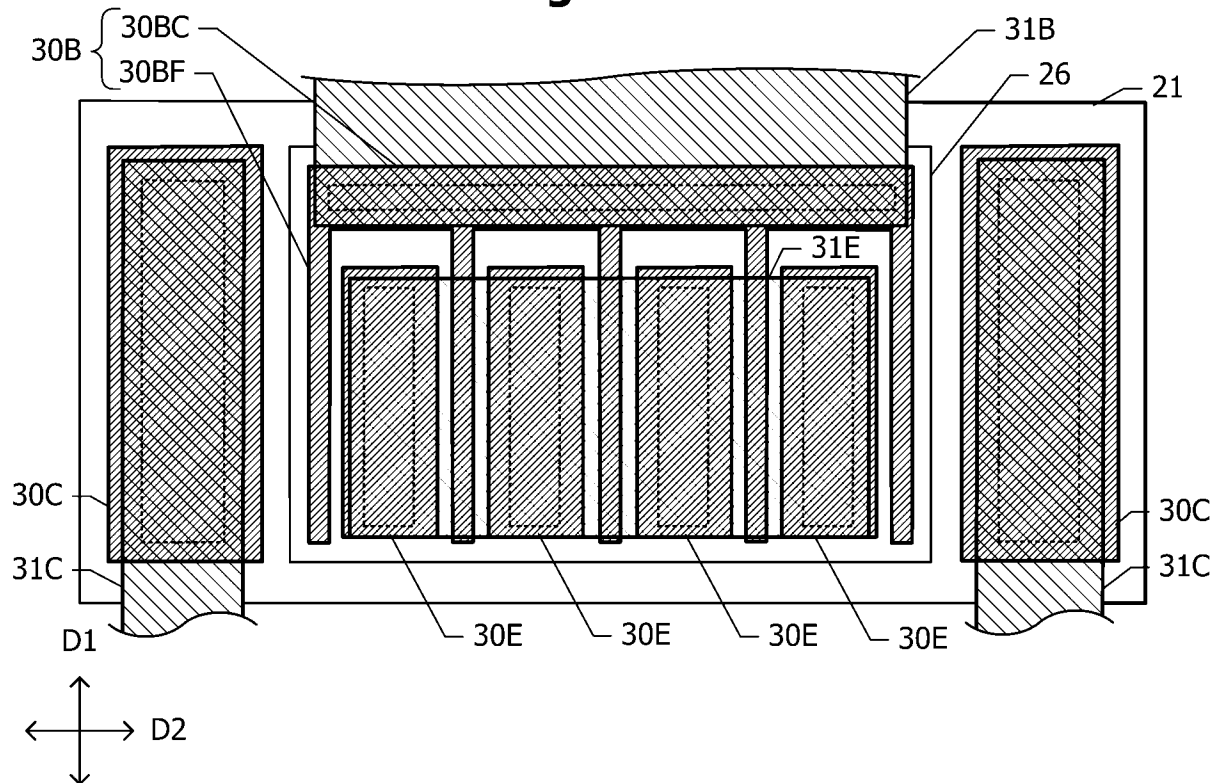
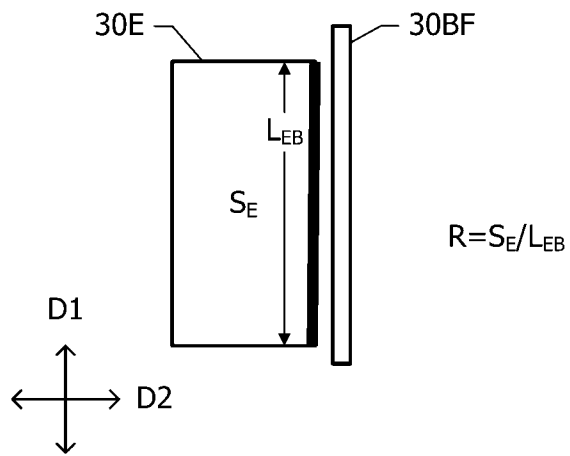
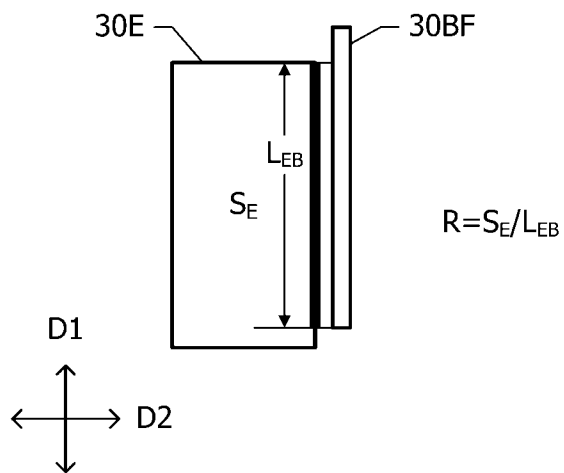


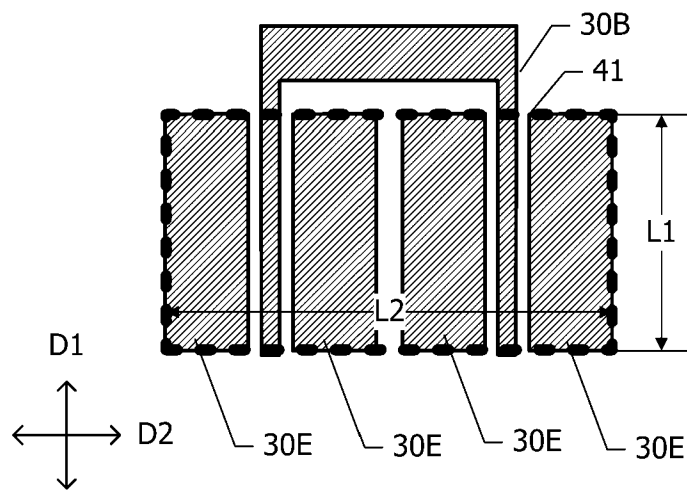
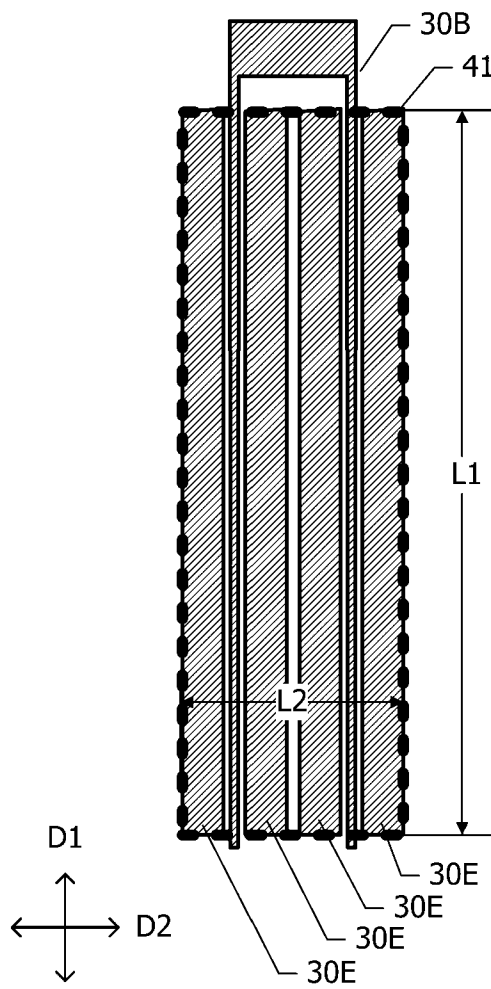
Fig.4B



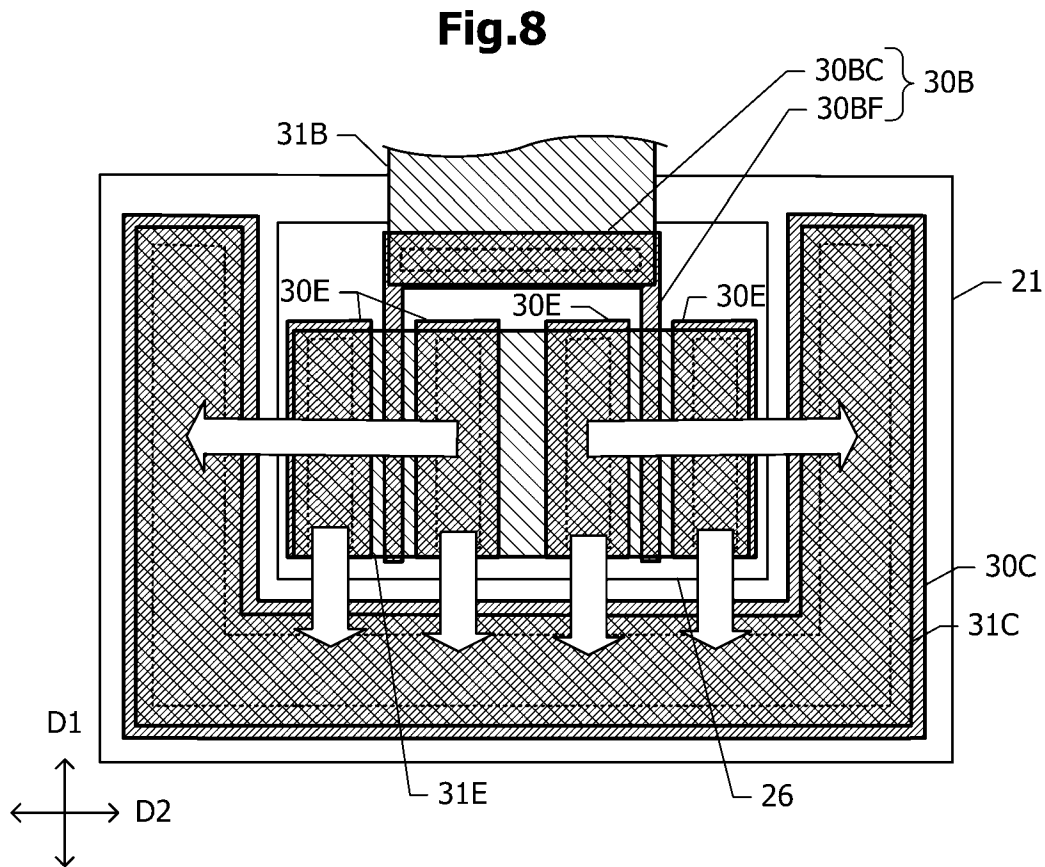
[図6]

Fig.6A**Fig.6B**

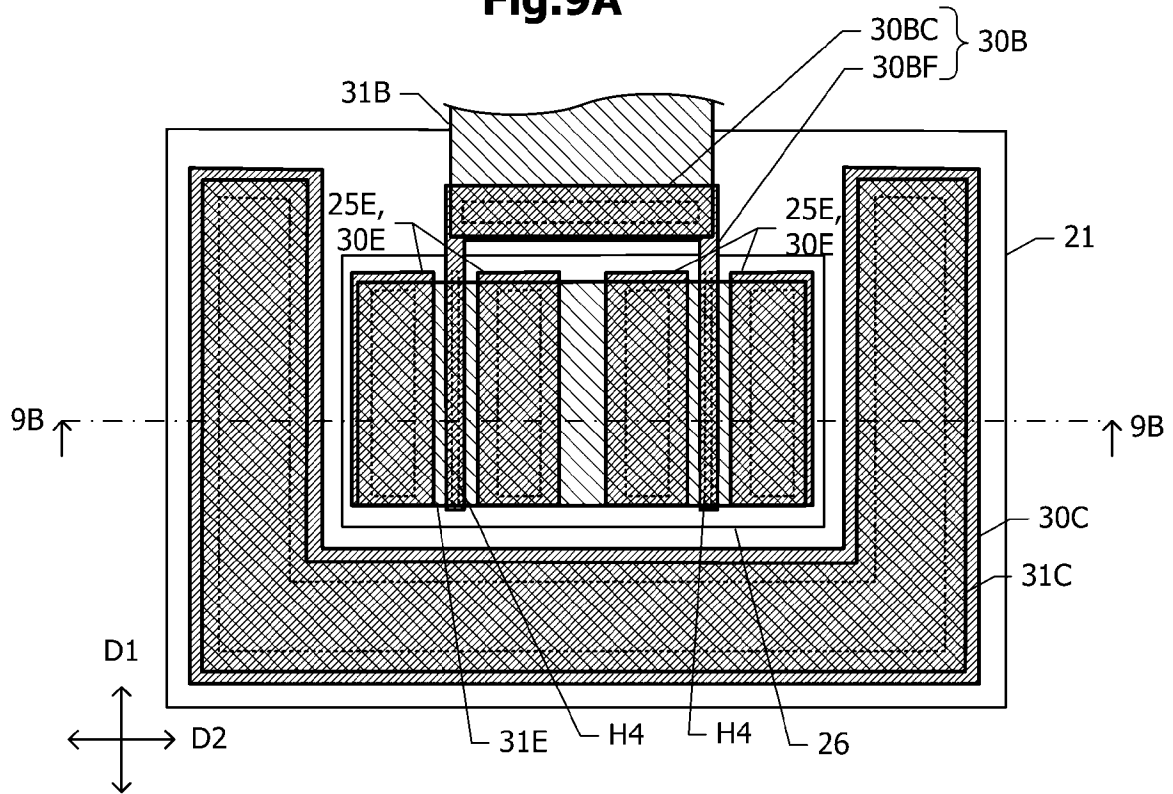
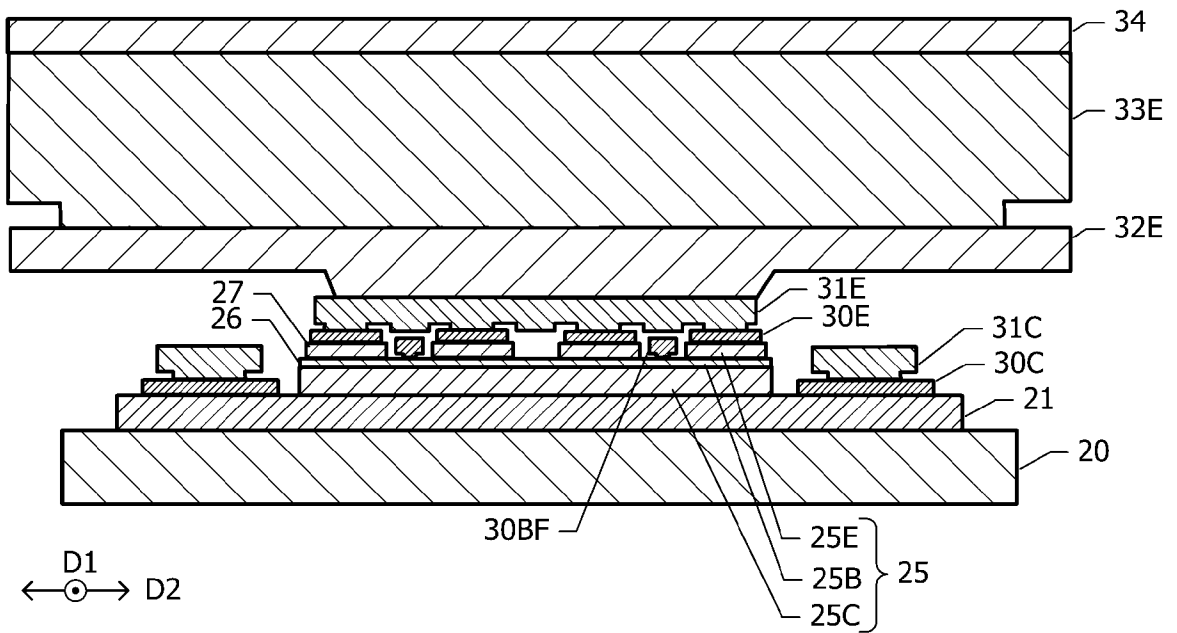
[図7]

Fig.7A**Fig.7B**

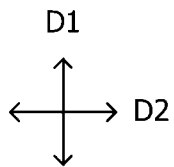
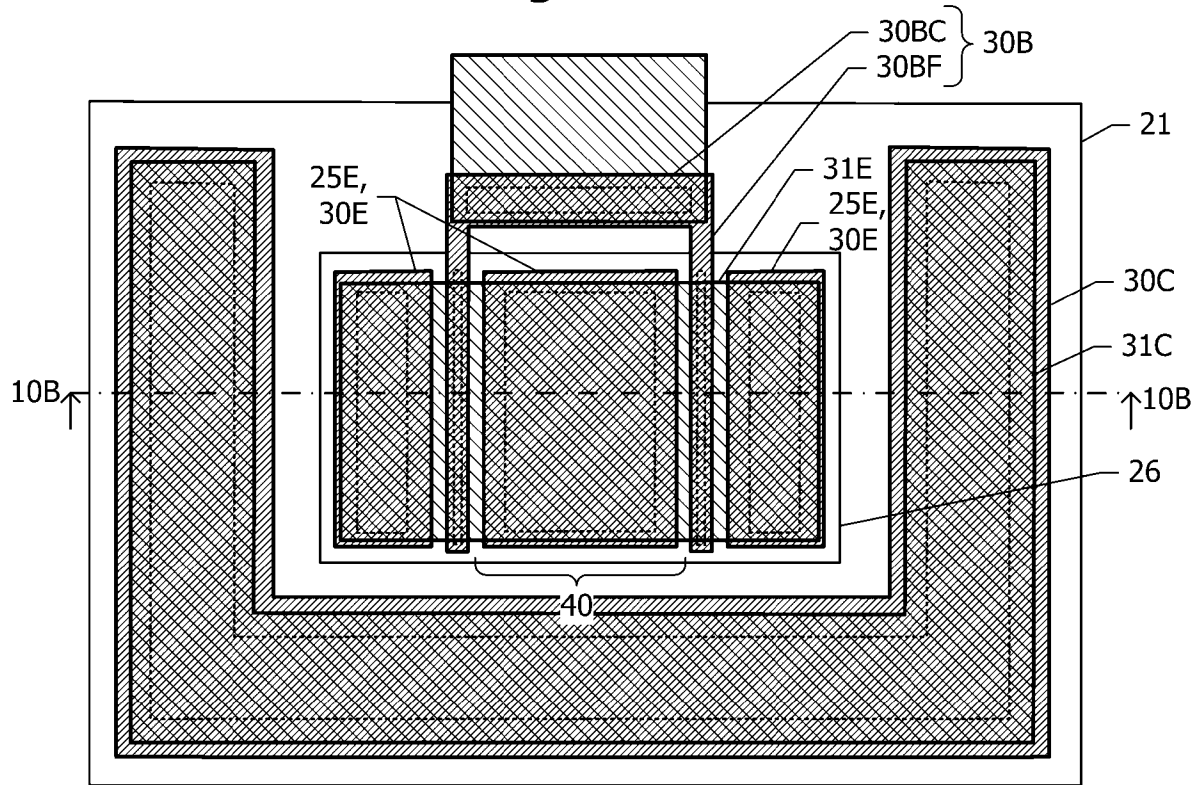
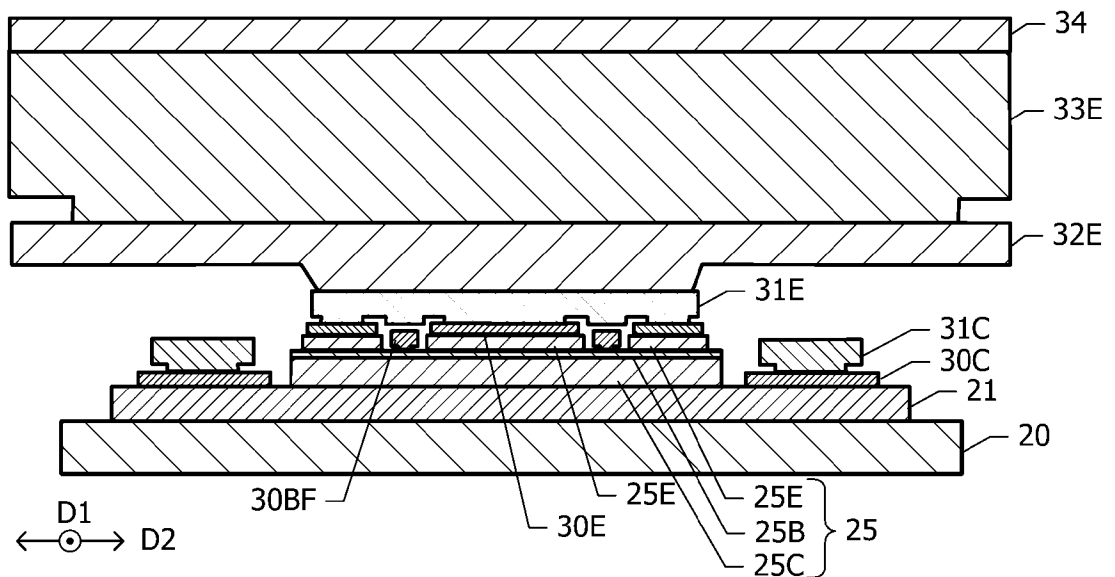
[図8]



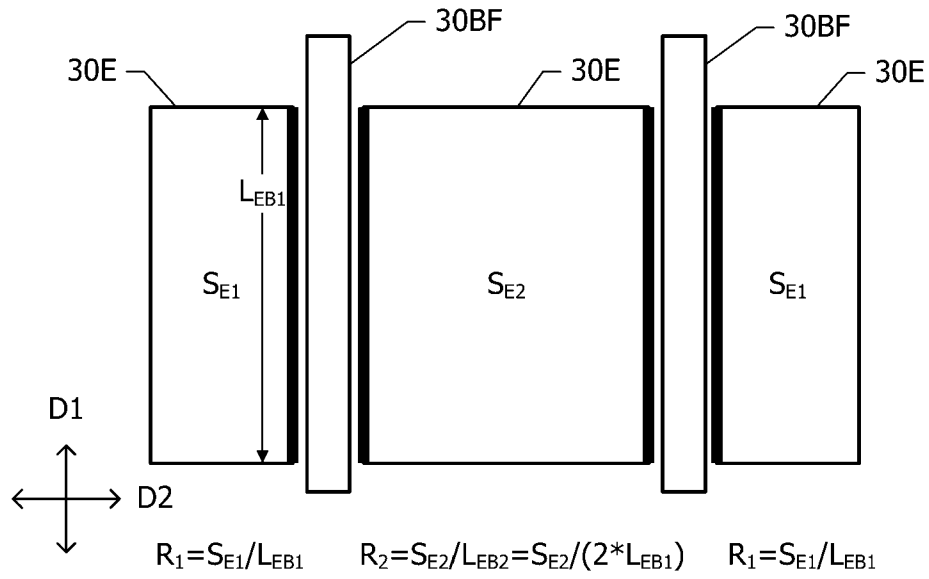
[図9]

Fig.9A**Fig.9B**

[図10]

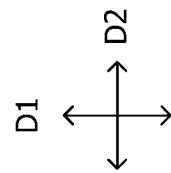
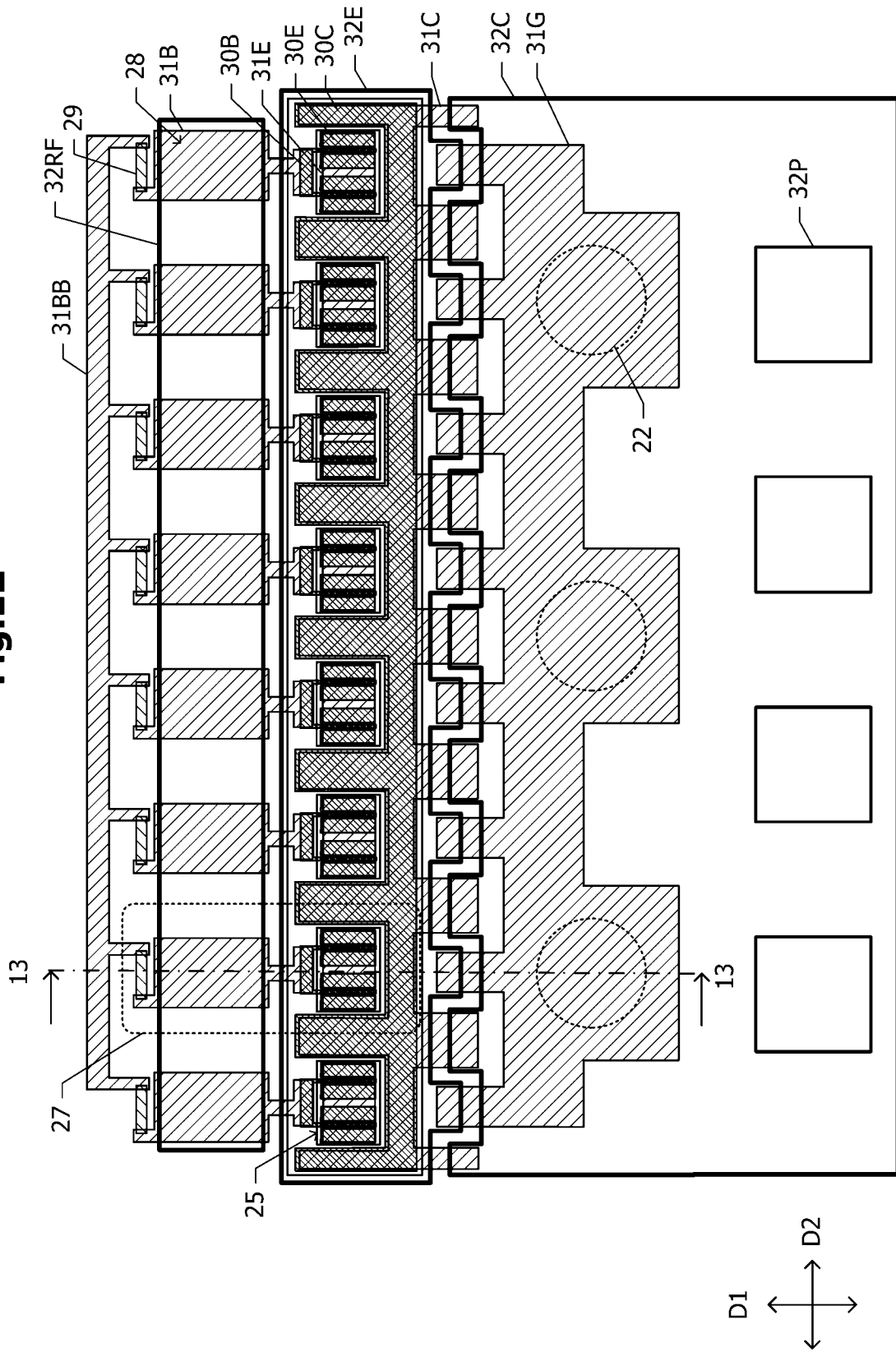
Fig.10A**Fig.10B**

[図11]

Fig.11

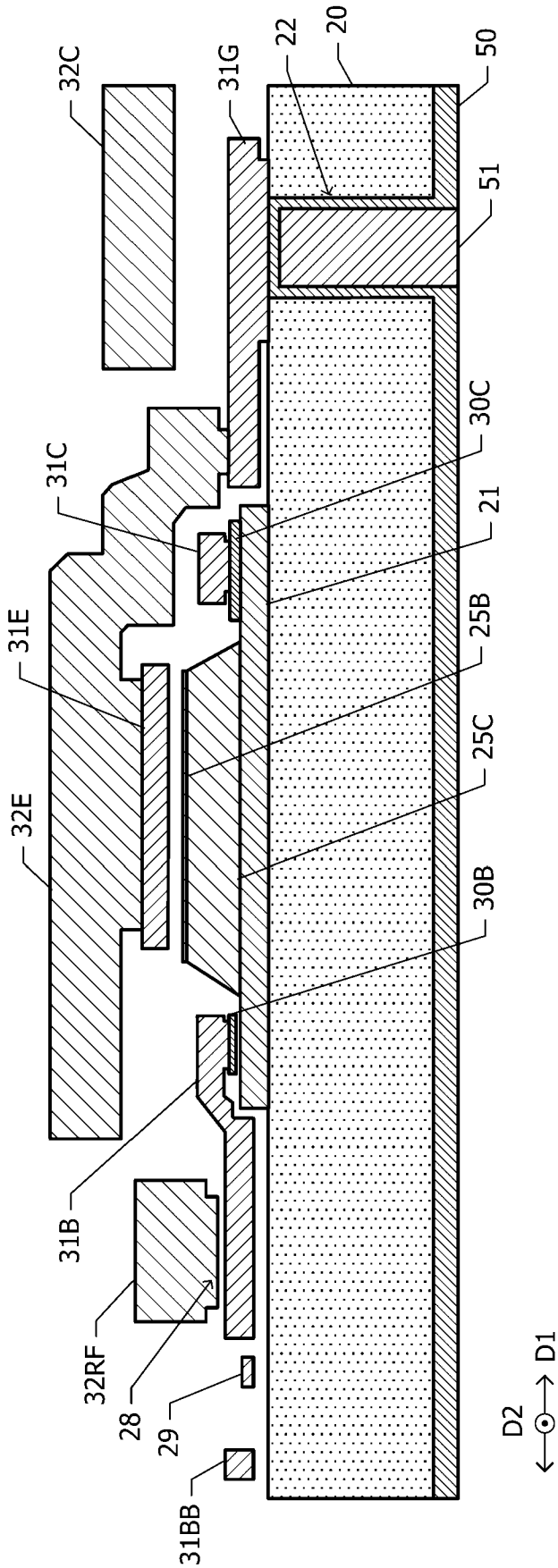
[図12]

Fig.12

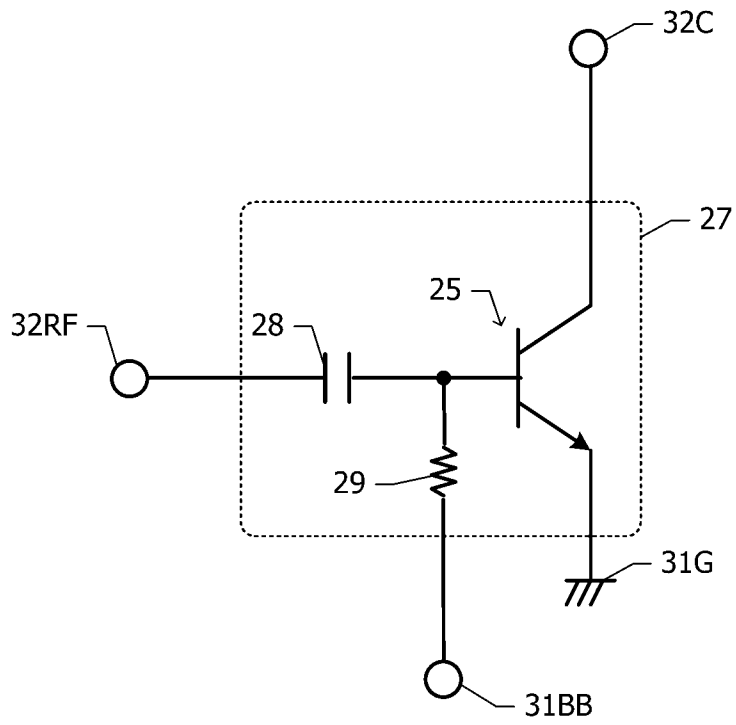


[図13]

Fig.13

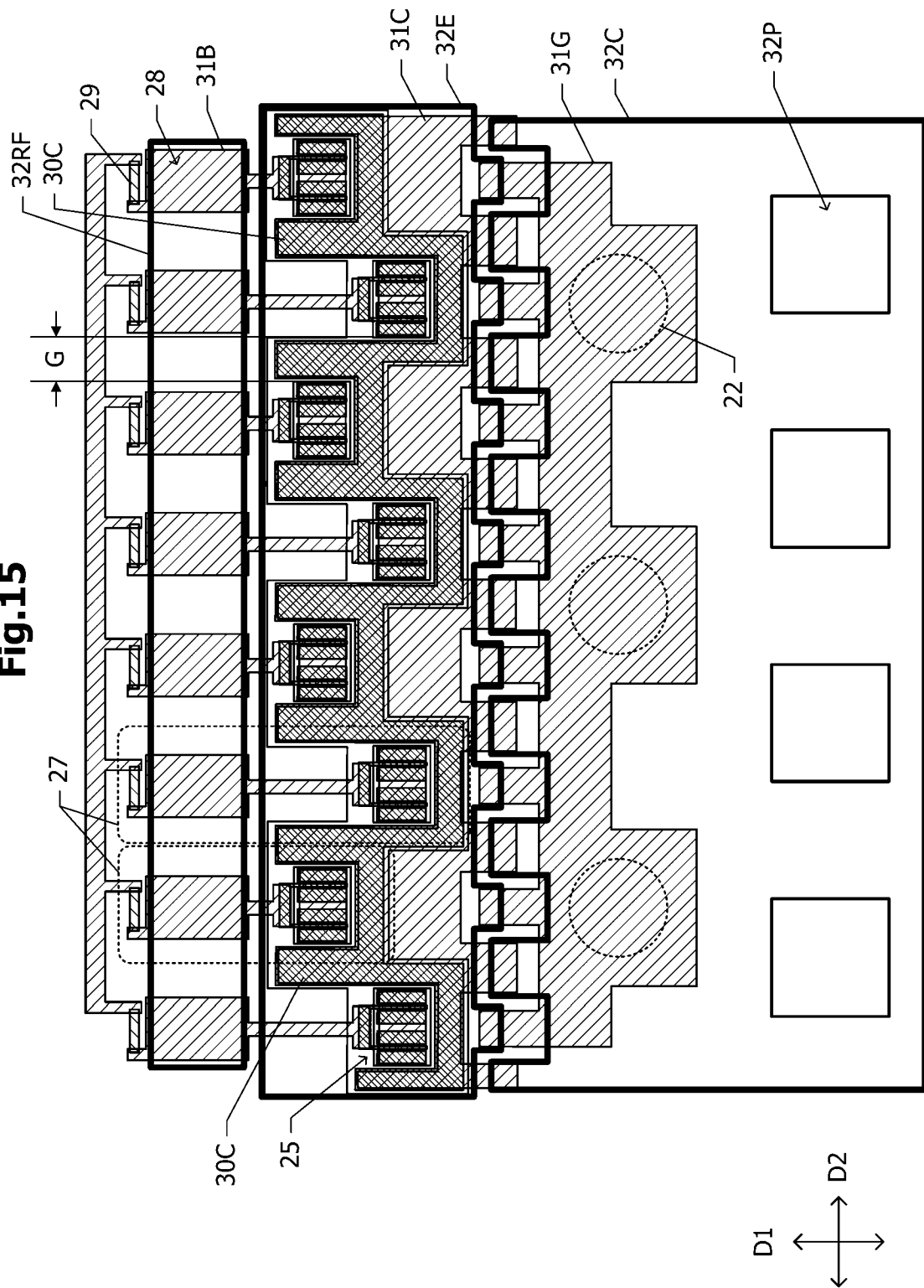


[図14]

Fig.14

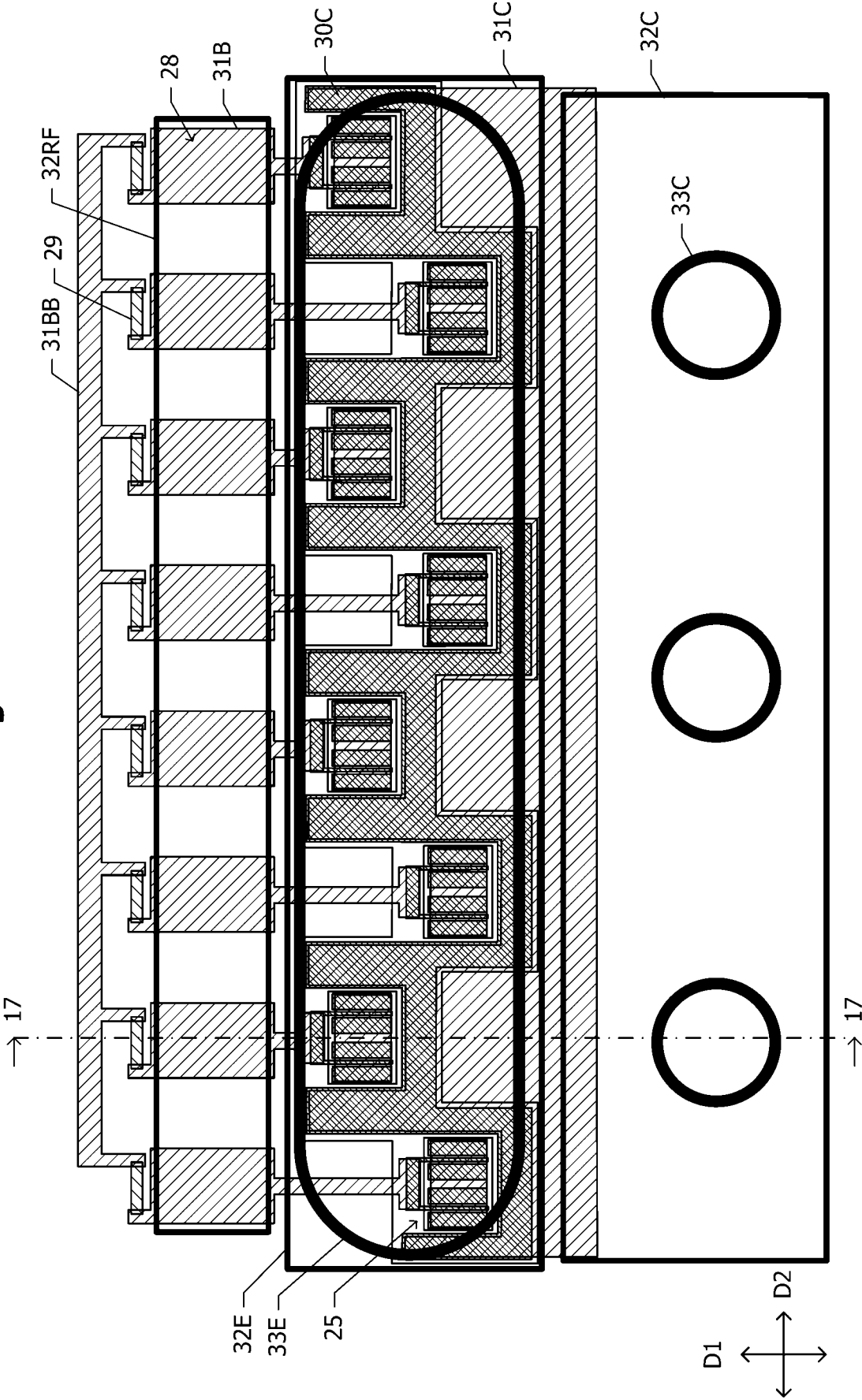
[図15]

Fig.15



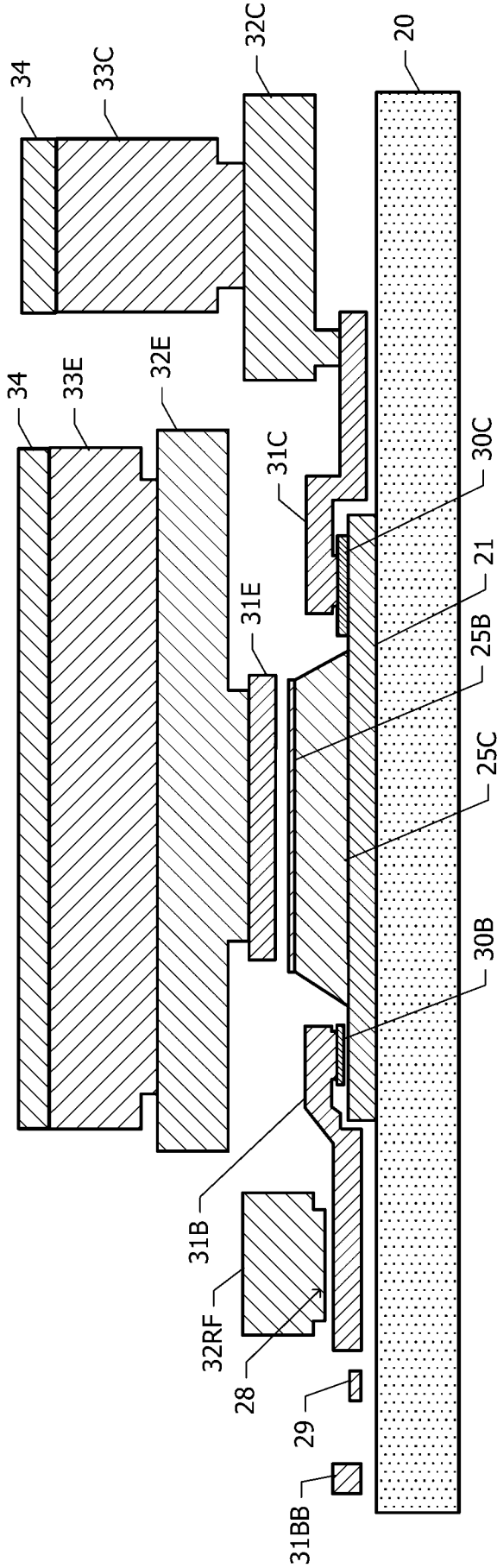
[図16]

Fig.16



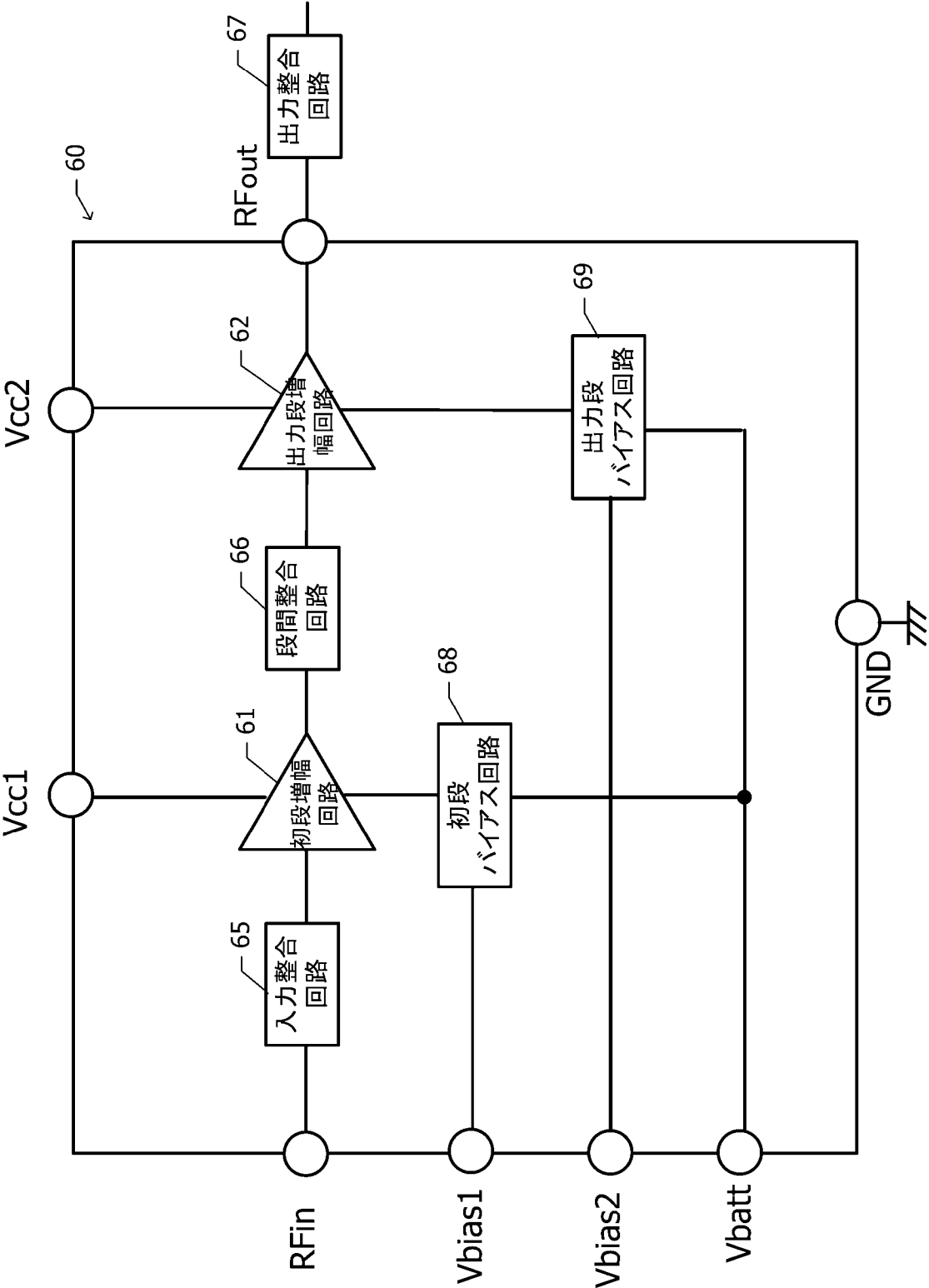
[図17]

Fig.17



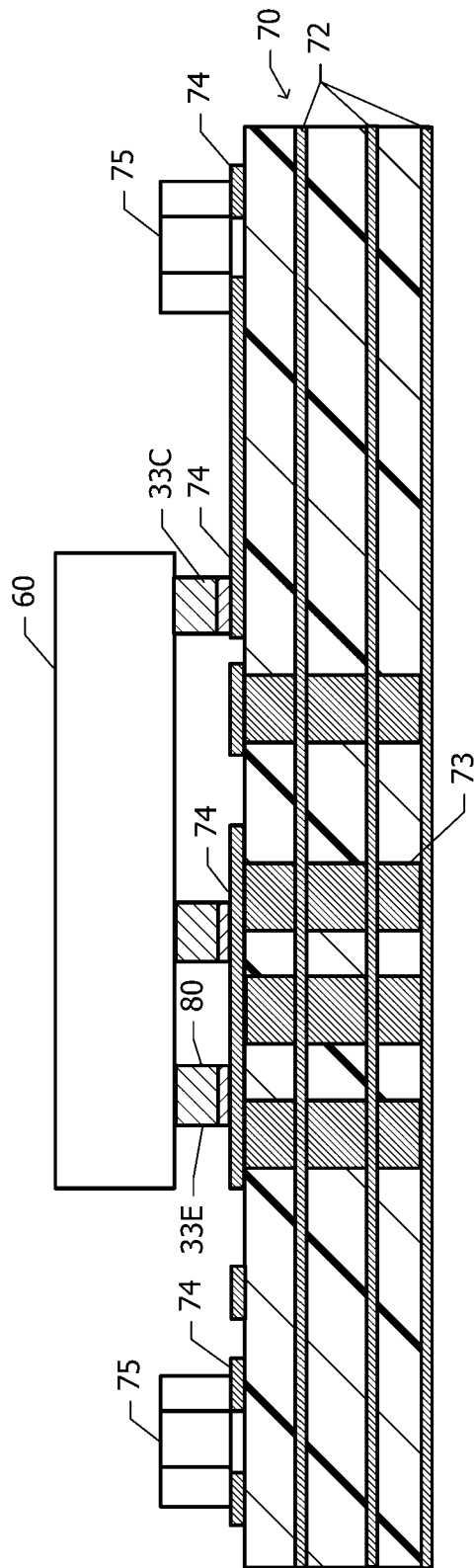
[図18]

Fig.18



[図20]

Fig.20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/030322

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/737**(2006.01)i; **H01L 21/331**(2006.01)i; **H01L 21/8222**(2006.01)i; **H01L 27/06**(2006.01)i

FI: H01L29/72 H; H01L27/06 101D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/331; H01L29/737; H01L21/8222; H01L27/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-035809 A (SONY CORP) 08 February 2007 (2007-02-08) paragraphs [0043]-[0059], fig. 1-2	1-2, 6-7
Y		4, 8-10
A		3, 5
Y	JP 2002-076014 A (MITSUBISHI ELECTRIC CORP) 15 March 2002 (2002-03-15) paragraphs [0019]-[0021], fig. 3-4	4, 8-10
A		1-3, 5-7
Y	JP 2022-080639 A (MURATA MANUFACTURING CO) 30 May 2022 (2022-05-30) paragraph [0031], fig. 2	8-10
A		1-7
Y	JP 2021-132100 A (MURATA MANUFACTURING CO) 09 September 2021 (2021-09-09) paragraphs [0059], [0093], fig. 1, 3-4	9-10
A		1-8

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

04 October 2023

Date of mailing of the international search report

17 October 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/030322

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2007-035809	A	08 February 2007	(Family: none)	
JP	2002-076014	A	15 March 2002	US 2002/0024391 A1 paragraphs [0049]-[0054], fig. 3-4	
				DE 10119383 A	
JP	2022-080639	A	30 May 2022	US 2022/0157808 A1 paragraph [0057], fig. 2	
				CN 114520224 A	
				TW 202221791 A	
JP	2021-132100	A	09 September 2021	US 2021/0257973 A1 paragraphs [0080], [0116], fig. 1, 3-4	
				CN 113285681 A	
				TW 202133549 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/737(2006.01)i; H01L 21/331(2006.01)i; H01L 21/8222(2006.01)i; H01L 27/06(2006.01)i FI: H01L29/72 H; H01L27/06 101D										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01L21/331; H01L29/737; H01L21/8222; H01L27/06										
最小限資料以外の資料で調査を行った分野に含まれるもの										
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2007-035809 A（ソニー株式会社）08.02.2007（2007 - 02 - 08） 段落[0043]-[0059], 図1-2	1-2, 6-7								
Y		4, 8-10								
A		3, 5								
Y	JP 2002-076014 A（三菱電機株式会社）15.03.2002（2002 - 03 - 15） 段落[0019]-[0021], 図3-4	4, 8-10								
A		1-3, 5-7								
Y	JP 2022-080639 A（株式会社村田製作所）30.05.2022（2022 - 05 - 30） 段落[0031], 図2	8-10								
A		1-7								
Y	JP 2021-132100 A（株式会社村田製作所）09.09.2021（2021 - 09 - 09） 段落[0059], [0093], 図1, 3-4	9-10								
A		1-8								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 04.10.2023		国際調査報告の発送日 17.10.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 聡一郎 5F 2576 電話番号 03-3581-1101 内線 3516								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/030322

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-035809	A	08.02.2007	(ファミリーなし)	
JP	2002-076014	A	15.03.2002	US 2002/0024391 A1	
				段落[0049]-[0054], 図3-4	
				DE 10119383 A	
JP	2022-080639	A	30.05.2022	US 2022/0157808 A1	
				段落[0057], 図2	
				CN 114520224 A	
				TW 202221791 A	
JP	2021-132100	A	09.09.2021	US 2021/0257973 A1	
				段落[0080],[0116], 図1, 3-4	
				CN 113285681 A	
				TW 202133549 A	