



(10) **DE 10 2004 041 023 B4** 2011.04.07

(12)

Patentschrift

(21) Aktenzeichen: **10 2004 041 023.2**
(22) Anmeldetag: **17.08.2004**
(43) Offenlegungstag: **17.03.2005**
(45) Veröffentlichungstag
der Patenterteilung: **07.04.2011**

(51) Int Cl.⁸: **G11C 7/10 (2006.01)**
H03K 19/0185 (2006.01)
G11C 5/06 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

2003-57245 19.08.2003 KR

(73) Patentinhaber:

Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(74) Vertreter:

Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

(72) Erfinder:

Park, Youn-Sik, Yongin, Kyonggi, KR

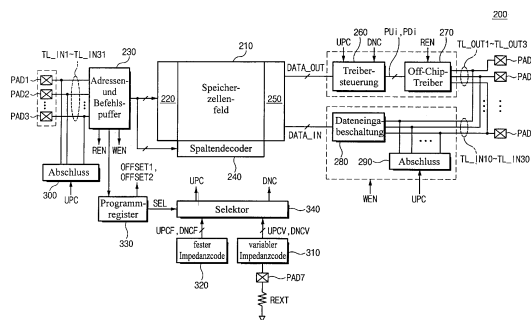
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

US	61 57 206	A
US	59 55 894	A
US	57 93 233	A
US	56 66 078	A
KR	1 003 32 455	B1

(54) Bezeichnung: **Integrierte Schaltung und zugehöriger Halbleiterspeicherbaustein**

(57) Hauptanspruch: Integrierte Schaltung mit

- einer Impedanzsteuerschaltung (310) zur Erzeugung von Impedanzsteuercodes (UPC, DNC), welche gemäß einer Impedanz eines externen Referenzwiderstandes (REXT) variierbar sind,
- einer Eingabeschaltung (280) zur Übertragung eines Eingangesignals an eine interne Schaltung (210), wobei das Eingangesignal über eine Eingangesignalübertragungsleitung (TL_IN10 bis TL_IN30) übertragen wird,
- einer Abschlussschaltung (290) zum Abschließen der Eingangesignalübertragungsleitung (TL_IN10 bis TL_IN30) in Reaktion auf wenigstens einen (UPC) der Impedanzsteuercodes (UPC, DNC) und
- einer Ausgabeschaltung (260, 270) zum Treiben einer Ausgangesignalübertragungsleitung (TL_OUT1 bis TL_OUT3) gemäß einem Signal, das von der internen Schaltung (210) ausgegeben wird, mit einer gemäß den Impedanzsteuercodes (UPC, DNC) variablen Impedanz,
- wobei wenigstens einer (UPC) der Impedanzsteuercodes (UPC, DNC) gemeinsam der Abschlussschaltung (290) und der Ausgabeschaltung (260, 270) zugeführt ist.



Beschreibung

[0001] Die Erfindung betrifft eine integrierte Schaltung und einen zugehörigen Halbleiterspeicherbaustein.

[0002] Bei der Entwicklung von hochfrequenten integrierten Schaltungsbausteinen, die mit Speichern mit doppelter Datenrate (DDR) verknüpft sind, werden mit fortschreitenden Funktionalitäten Wechselstrom(AC)-Eingabe/Ausgabe-Eigenschaften von Daten-, Adressen- und Steuersignalen in der Halbleiterbausteinindustrie immer wichtiger. Die AC-Eigenschaften werden stärker durch die Eigenschaften von Kanälen beeinflusst, die zwei oder mehr Geräte miteinander verbinden, als von den integrierten Schaltungsbausteinen oder Steuerschaltungen zum Betreiben dieser Geräte. Daher ist es wesentlich, die Kanalcharakteristiken bei der Entwicklung von hochfrequenten integrierten Schaltungsbausteinen zu betrachten.

[0003] Es gibt verschiedene Studien, um die Kanaleigenschaften zu verbessern, beispielsweise Techniken, die programmierbare Schaltungen für On-Chip-Abschluss und Off-Chip-Treiberfähigkeit verwenden. Verschiedene Ausführungsbeispiele von Schaltungen für On-Chip-Abschluss und Off-Chip-Treiberfähigkeit sind in den Patentschriften US 5.666.078, US 5.955.894, US 6.157.206 und KR 10-0332455 beschrieben.

[0004] Wie dem Fachmann allgemein bekannt, werden die Impedanzen von On-Chip-Abschlusschaltungen und Off-Chip-Treibern unterschiedlich eingestellt. Die Impedanz einer On-Chip-Abschlusschaltung wird beispielsweise auf 60 Ω eingestellt, während die Impedanz eines Off-Chip-Treibers auf 40 Ω eingestellt wird. Der bisherige Stand der Technik benutzt gewöhnlich zusätzliche Steuerschaltungen und externe Referenzwiderstände, um die Impedanz der On-Chip-Abschlusschaltungen und der Off-Chip-Treiberschaltungen zu steuern. Diese bekannten Techniken können jedoch die Chipabmessungen vergrößern und die Anschlussanzahl erhöhen und so den Entwurf von integrierten Halbleiter-schaltungen erschweren.

[0005] Die Patentschrift US 5.793.223 offenbart eine Schaltungsanordnung zur Anpassung von Stromquellentreibern und Empfängern, die in mehreren integrierten Schaltkreisbauelementen vorgesehen sind, welche über einen Übertragungsleitungsbus miteinander verbunden sind. Die Schaltungsanordnung umfasst eine in einem der Bauelemente vorgesehenen Referenzsignalgenerator, der drei verschiedene Referenzsignale an parallelen Ausgängen abgibt, die allen Bauelementen parallel zugeführt werden. Eines der Referenzsignale ist ein Treiberstromsignal zur Anpassung eines Stromquellen-

treibers in jedem Bauelement, ein zweites Referenzsignal ist ein Vorspann-Stromsignal zur Anpassung einer vorspannenden Stromquelle im jeweiligen Bauelement, und ein drittes Referenzsignal ist ein Spannungssignal zur Anpassung einer Leitungsabschlussschaltung im jeweiligen Bauelement. Für jeden der drei Referenzsignale weist der Referenzsignalgenerator einen zugehörigen Signalerzeugungsschaltkreis mit einem Verstärkerteil auf.

[0006] Es ist Aufgabe der Erfindung, eine integrierte Schaltung anzugeben, die effiziente Schaltungsmechanismen zur Impedanzsteuerung von Abschlusschaltungen und von Off-Chip-Treiberschaltungen aufweist und z. B. nur einen Referenzwiderstand benutzt, und einen zugehörigen Halbleiterspeicherbaustein zur Verfügung zu stellen.

[0007] Die Erfindung löst diese Aufgabe durch eine integrierte Schaltung mit den Merkmalen des Patentanspruchs 1 und durch einen Halbleiterspeicherbaustein mit den Merkmalen des Patentanspruchs 11.

[0008] Vorteilhafte Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

[0009] Vorteilhafte, nachfolgend beschriebene Ausführungsformen der Erfindung sind in den Zeichnungen dargestellt. Es zeigen:

[0010] [Fig. 1](#) ein Blockschaltbild einer integrierten Schaltung,

[0011] [Fig. 2](#) ein Blockschaltbild eines Halbleiterspeicherbausteins,

[0012] [Fig. 3](#) ein Blockschaltbild eines Generators für variable Impedanzcodes aus [Fig. 2](#),

[0013] [Fig. 4A](#) und [Fig. 4B](#) jeweils ein Schaltbild von beispielhaften Schaltungsrealisierungen des Generators für variable Impedanzcodes aus [Fig. 3](#),

[0014] [Fig. 5](#) ein Schaltbild einer beispielhaften Schaltungsrealisierung eines Generators für feste Impedanzcodes aus [Fig. 2](#),

[0015] [Fig. 6](#) ein Blockschaltbild einer beispielhaften Schaltungsrealisierung einer Auswahl-schaltung aus [Fig. 2](#),

[0016] [Fig. 7](#) ein Schaltbild einer beispielhaften Schaltungsrealisierung einer Treibersteuerschaltung aus [Fig. 2](#),

[0017] [Fig. 8](#) ein Blockschaltbild eines Off-Chip-Treibers und einer Abschlusschaltung aus [Fig. 2](#),

[0018] [Fig. 9](#) ein Schaltbild einer beispielhaften Schaltungsrealisierung des Off-Chip-Treibers aus [Fig. 8](#),

[0019] [Fig. 10](#) ein Schaltbild einer beispielhaften Schaltungsrealisierung der Abschlusschaltung aus [Fig. 8](#),

[0020] [Fig. 11](#) ein Schaltbild einer anderen beispielhaften Schaltungsrealisierung der Abschlusschaltung aus [Fig. 8](#),

[0021] [Fig. 12](#) ein Blockschaltbild einer anderen Realisierung des Off-Chip-Treibers und der Abschlusschaltung aus [Fig. 2](#),

[0022] [Fig. 13](#) ein Schaltbild einer beispielhaften Schaltungsrealisierung des Off-Chip-Treibers aus [Fig. 12](#) und

[0023] [Fig. 14](#) ein Schaltbild einer beispielhaften Schaltungsrealisierung der Abschlusschaltung aus [Fig. 12](#).

[0024] [Fig. 1](#) zeigt ein Blockschaltbild eines Ausführungsbeispiels einer erfindungsgemäßen integrierten Halbleiterspeicherschaltung **100**. Wie aus [Fig. 1](#) ersichtlich ist, ist der integrierte Halbleiterschaltungsbaustein **100** so ausgeführt, dass er mit anderen integrierten Schaltungsbausteinen kommuniziert, wobei er einen Empfänger **110** und einen Treiber **120** umfasst. Der Empfänger **110** ist über eine Signalübertragungsleitung TL0 mit einem Anschluss **131** verbunden, um externe Signale, wie Steuersignale oder Adressensignale, über den Anschluss **131** zu empfangen. Die Treiberschaltung **120** ist über eine Signalübertragungsleitung TL1 mit einem Anschluss **132** verbunden. Die Treiberschaltung **120** betreibt die Signalübertragungsleitung TL1 in Reaktion auf interne Signale, wie Datensignale. Der Empfänger **110** und der Treiber **120** sind beide mit einer internen Schaltung **140** verbunden.

[0025] An die Signalübertragungsleitung TL0 ist eine Abschlusschaltung **150** gekoppelt. Der Anschluss **131** kann über eine externe Übertragungsleitung mit anderen integrierten Schaltungen verbunden sein. Die Abschlusschaltung **150** wird zur Verfügung gestellt, um die Signalübertragungsleitung TL0 abzuschließen und so Signalreflexionen zu reduzieren, die von Impedanzfehlanspassungen zwischen der nicht dargestellten externen Übertragungsleitung und dem Empfänger **110** verursacht werden. Eine Impedanzsteuerschaltung **160** ist mit einem Anschluss **133** verbunden, an den ein externer Referenzwiderstand REXT angeschlossen ist, und erzeugt einen variablen Steuercode gemäß der Impedanz des externen Referenzwiderstands REXT. Die Abschlusschaltung **150** und die Treiberschaltung **120** können mit variablen Impedanzen in gleichzeitiger Reakti-

on auf den Steuercode betrieben werden, der von der Impedanzsteuerschaltung **160** zugeführt wird. In anderen Worten ausgedrückt, die Impedanzsteuerschaltung **160** stellt die Impedanz der Abschlusschaltung **150** in variablen Optionen sowie auch der Treiberschaltung **120** gemäß der Impedanz variabel ein, die vom Referenzwiderstand REXT bereitgestellt wird.

[0026] Das variable Impedanzsteuerschema kann für Halbleiterspeicherbausteine mit hoher Bandbreite als typische integrierte Schaltungsbausteine verwendet werden und ist auch an andere Arten von integrierten Halbleiterschaltungsbausteinen anpassbar, die mit hohen Frequenzen betrieben werden.

[0027] [Fig. 2](#) zeigt einen Halbleiterspeicherbaustein **200**, der die Steuerfunktion für variable Impedanzen praktisch umsetzt. Der Halbleiterspeicherbaustein **200** kann mit hoher Bandbreite oder Frequenz und empfindlich gegenüber Kanalgegebenheiten betrieben werden, wie ein Speicher mit doppelter Datenrate (DDR) oder ein Speicher für höhere Frequenzen.

[0028] Wie aus [Fig. 2](#) ersichtlich ist, umfasst der Speicherbaustein **200** ein Speicherzellenfeld **210**, in dem Speicherzellen in einer Matrix aus Zeilen oder Wortleitungen und Spalten oder Bitleitungen angeordnet sind. Im Speicherbaustein **200** wählt ein Zeilendecoder **220** die Zeilen in Reaktion auf Zeilenadressen aus, die von einem Adressen- und Befehlspuffer **230** zur Verfügung gestellt werden. Ein Spaltendecoder **240** wählt die Spalten in Reaktion auf Spaltenadressen aus, die vom Adressen- und Befehlspuffer **230** zur Verfügung gestellt werden. Eine Abtastverstärkerschaltung **250** hält Daten, die aus dem Speicherzellenfeld **210** gelesen oder in das Speicherzellenfeld **210** geschrieben werden, auf einem ausreichenden Spannungspegel.

[0029] Eine Treibersteuerschaltung **260** empfängt Daten von der Abtastverstärkerschaltung **250** und erzeugt Aufwärts- bzw. Pull-up- sowie Abwärts- bzw. Pull-down-Steuersignale PUi und PDi in Reaktion auf Impedanzsteuercodes UPC und DNC. Hierbei wird der Code UPC benutzt, um die Impedanz zu erhöhen, während der Code DNC benutzt wird, um die Impedanz zu verkleinern. Eine Off-Chip-Treiberschaltung **270** gibt Ausgabesignalübertragungsleitungen TL_OUT1 bis TL_OUT3 in Reaktion auf die Aufwärts- und Abwärtssteuersignale PUi und PDi frei, die von der Treibersteuerschaltung **260** angelegt werden. Die Ausgabesignalübertragungsleitungen TL_OUT1 bis TL_OUT3 sind jeweils mit ihren korrespondierenden Anschlüssen PAD4 bis PAD6 verbunden. Eine Impedanz des Off-Chip-Treibers **270** ist gemäß der selektiven Aktivierung der Aufwärts- und Abwärtssteuersignale PUi und PDi variabel, was später detaillierter beschrieben wird. Die Dateneingabeschaltung **280**

ist über Eingabesignalübertragungsleitungen TL_IN10 bis TL_IN30 mit den Anschlüssen PAD4 bis PAD6 verbunden, um Daten von den Anschlüssen PAD4 bis PAD6 zur Abtastverstärkerschaltung **250** zu übertragen. Mit den Eingabesignalübertragungsleitungen TL_IN10 bis TL_IN30 ist eine Abschlusschaltung **290** gekoppelt. Die Abschlusschaltung **290** wird in Reaktion auf den Impedanzsteuercode UPC oder auf beide Impedanzsteuercodes UPC und DNC betrieben und schließt die Eingabesignalübertragungsleitungen TL_IN10 bis TL_IN30 ab, um Signalreflektionen zu reduzieren, welche von Impedanzfehlanspassungen zwischen einer nicht dargestellten externen Übertragungsleitung und der Dateneingabeschaltung verursacht werden, welche mit dem Empfänger **110** aus [Fig. 1](#) korrespondiert.

[0030] Bei dieser Ausführungsform sind die Treibersteuerschaltung **260** und die Off-Chip-Treiberschaltung **270** während einer Aktivierung eines für einen Lesevorgang relevanten Steuersignals REN, d. h. eines Lesefreigabesignals, leitend geschaltet, während die Dateneingabeschaltung **280** und die Abschlusschaltung **290** während einer Aktivierung eines für einen Schreibvorgang relevanten Steuersignals WEN, d. h. eines Schreibfreigabesignals, leitend geschaltet sind.

[0031] Wie aus [Fig. 2](#) ersichtlich ist, ist der Adressen- und Befehlspuffer **230** über Eingabesignalübertragungsleitungen TL_IN11 bis TL_IN31 mit Anschlüssen PAD1 bis PAD3 verbunden, um Adressen- und Befehlssignale in vorgegebenen Zeittakten von einer externen Schaltung zu empfangen, wie von einer Speichersteuerschaltung. Zeilenadressen unter den eingegebenen Adressen werden zum Zeilendecoder **220** und Spaltenadressen werden zum Spaltendecoder **240** übertragen. An die Eingabesignalübertragungsleitungen TL_IN11 bis TL_IN31 ist eine Abschlusschaltung **300** gekoppelt. Die Abschlusschaltung **300** wird in Reaktion auf den Impedanzsteuercode UPC oder auf beide Impedanzsteuercodes UPC und DNC betrieben und schließt die Eingabesignalübertragungsleitungen TL_IN11 bis TL_IN31 ab, um Signalreflektionen zu reduzieren, welche von Impedanzfehlanspassungen zwischen einer nicht dargestellten, externen Übertragungsleitung und dem Adressen- und Befehlspuffer **230** verursacht werden, welcher mit dem Empfänger **110** aus [Fig. 1](#) korrespondiert.

[0032] Wie weiter aus [Fig. 2](#) ersichtlich ist, ist ein Anschluss PAD7 mit einem externen Referenzwiderstand REXT und einem Generator **310** für variable Impedanzcodes verbunden. Der Generator **310** für variable Impedanzcodes erzeugt die Impedanzcodes UPCV und DNCV variabel in Abhängigkeit von einer Impedanz des externen Referenzwiderstandes REXT. Ein Generator **320** für feste Impedanzcodes erzeugt hingegen feste Impedanzsteuercodes UPCF

und DNCF unabhängig von der Impedanz des externen Referenzwiderstandes REXT. Die Erzeugung der variablen und festen Impedanzsteuercode wird später detaillierter beschrieben. Ein Programmregister **330** ist so gebildet, dass es durch Befehlssignale programmierbar ist, die von extern zur Verfügung gestellt werden, und erzeugt ein Codeauswahlsignal SEL und Offsetauswahlsignale OFFSET1 und OFFSET2. Das Programmregister **330** kann beispielsweise durch eine Schaltungsmethode eines Modusregistersatzes implementiert sein, die allgemein bekannt ist. Eine Auswahlchaltung **340** bestimmt in Reaktion auf das Codeauswahlsignal SEL die Steuercode UPC und DNC aus den variablen Impedanzsteuercode UPCV und DNCV, die vom Generator **310** zur Verfügung gestellt werden, und aus den festen Impedanzsteuercode UPCF und DNCF, die vom Codegenerator **320** zur Verfügung gestellt werden. Die ausgewählten Steuercode UPC und DNC werden an die Treibersteuerschaltung **260** und die Abschlusschaltungen **290** und **300** angelegt.

[0033] Aus den obigen Ausführungen ergibt sich, dass die Impedanzen der Abschlusschaltungen **290** und **300** durch die Steuercode UPC und DNC variabel sind, ebenso die Impedanz des Off-Chip-Treibers **270**. Das bedeutet, dass ein einziger externer Referenzwiderstand, wie REXT, und ein Impedanzcodegenerator, wie der Generator **310**, ausreichend sind, um die Impedanz des Off-Chip-Treibers **270** und der Abschlusschaltungen **290** und **300** in einem gleichzeitigen Modus zu steuern.

[0034] [Fig. 3](#) zeigt ein Blockschaltbild einer bevorzugten funktionalen Struktur des Generators **310** für variable Impedanzcodes aus [Fig. 2](#). Wie aus [Fig. 3](#) ersichtlich ist, umfasst der Generator **310** für variable Impedanzcodes in diesem Beispiel einen ersten und einen zweiten Komparator **311** und **312**, einen ersten und einen zweiten Zähler **313** und **314** und Schaltungen mit variabler Impedanz **315**, **316** und **317**.

[0035] Der erste Komparator **311** detektiert, ob eine Spannung am Anschluss PAD7 höher als eine vorbestimmte Referenzspannung VREF ist oder nicht, die beispielsweise gleich VDDQ/2 sein kann. Der erste Zähler **313** erzeugt den variablen Impedanzsteuercode UPCV in Reaktion auf eine Ausgabe des ersten Komparators **311**. Die Impedanzen der Schaltungen **315** und **316** sind vom Wert des variablen Impedanzsteuercode UPCV abhängig. Diese Vorgänge werden so lange wiederholt, bis die Spannung am Anschluss PAD7 die Referenzspannung VREF erreicht. Währenddessen detektiert der zweite Komparator **312**, ob eine Spannung an einem internen Knoten ND10 höher als eine Spannung am Anschluss PAD7 ist oder nicht. Der zweite Zähler **314** erzeugt den variablen Impedanzsteuercode DNCV in Reaktion auf eine Ausgabe des zweiten Komparators **312**. Die Impedanz der dritten Schaltung **317** ist vom Wert

des variablen Impedanzsteuercode DNCV abhängig. Diese Vorgänge werden so lange wiederholt, bis die Spannung am internen Knoten ND10 die Spannung am Anschluss PAD7 erreicht.

[0036] Wird beispielsweise angenommen, dass der externe Referenzwiderstand REXT einen Wert von 24 Ω aufweist, dann werden die Schaltungen **315** bis **317** mit variabler Impedanz durch den Betrieb der Komparatoren und Zähler **311** bis **314** so gesteuert, dass ihre Impedanzen jeweils einen Wert von 24 Ω haben.

[0037] Bei diesem Ausführungsbeispiel sind der erste und zweite Zähler **313** und **314** als Aufwärts-/Abwärtszähler mit sieben Bit aufgebaut, so dass die variablen Impedanzsteuercode UPCV und DNCV jeweils aus sieben Bits aufgebaut sind. Diese Codeinformationen können jedoch durch implementierte Kapazitäten im Gerät auch nach Bedarf verändert werden.

[0038] Die [Fig. 4A](#) und [Fig. 4B](#) zeigen jeweils ein Schaltbild von beispielhaften Realisierungen des Generators für variable Impedanzcode aus [Fig. 3](#). Die Schaltung **315** für variable Impedanz umfasst im Beispiel von [Fig. 4A](#) Paare von PMOS-Transistoren 64WP, 32WP, 16WP, ..., 2WP und 1WP und Widerständen 1R, 2R, 4R, ..., 64R, die mit je einem von einer Mehrzahl von verschiedenen Impedanzsteuercode UPCV<6> bis UPCV<0> korrespondieren. In jedem Paar sind der PMOS-Transistor und der Widerstand in Reihe zwischen einer Versorgungsspannung und dem Anschluss PAD7 eingeschleift. Die PMOS-Transistoren 64WP bis 1WP der Schaltung **315** mit variabler Impedanz sind binär gewichtete Transistoren und die Widerstände 1R bis 64R der Schaltung **315** mit Variabler Impedanz sind binär gewichtete Widerstände. Die binär gewichteten Transistoren 64WP bis 1WP werden selektiv leitend geschaltet, gemäß einer passenden Aktivierung der variablen Impedanzsteuercode UPCV<6> bis UPCV<0>, so dass die Schaltung **315** mit variabler Impedanz derart eingestellt wird, dass die Impedanz gleich derjenigen des externen Referenzwiderstandes REXT ist. Die zweite Schaltung **316** mit variabler Impedanz ist gleich wie die in [Fig. 4A](#) dargestellte Schaltung aufgebaut.

[0039] Die Schaltung **317** für variable Impedanz aus [Fig. 4B](#) umfasst Paare von NMOS-Transistoren (64WN, 32WN, 16WN, ..., 2WN und 1WN) und Widerständen (1R, 2R, 4R, ..., 64R), die mit je einem von einer Mehrzahl von verschiedenen Impedanzsteuercode DNCV<6> bis DNCV<0> korrespondieren. In jedem Paar sind der NMOS-Transistor und der Widerstand in Reihe zwischen dem internen Knoten ND10 und einer Massespannung oder Substratspannung eingeschleift. Die NMOS-Transistoren 64WN bis 1WN der Schaltung **317** mit variabler Impedanz sind binär gewichtete Transistoren und die Wider-

stände 1R bis 64R der Schaltung **317** mit variabler Impedanz sind binär gewichtete Widerstände. Die binär gewichteten Transistoren 64WN bis 1WN werden selektiv leitend geschaltet, gemäß einer passenden Aktivierung der variablen Impedanzsteuercode DNCV<6> bis DNCV<0>, so dass die Schaltung **317** mit variabler Impedanz derart eingestellt wird, dass die Impedanz gleich derjenigen des externen Referenzwiderstandes REXT ist.

[0040] [Fig. 5](#) zeigt ein Schaltbild einer beispielhaften Realisierung des Generators **320** für feste Impedanzcode aus [Fig. 2](#). Wie aus [Fig. 5](#) ersichtlich ist, ist der Generator **320** so ausgeführt, dass er feste Impedanzsteuercode UPCF<0> bis UPCF<6> mit der Versorgungsspannung oder der Massespannung gemäß vorbestimmter Werte verbindet. In nicht dargestellter Weise kann der Generator **320** für feste Impedanzcode auch so ausgeführt sein, dass die festen Impedanzsteuercode durch externe Daten programmierbar sind. Daher können die festen Impedanzsteuercode UPCF durch die Verbindungsoption aus [Fig. 5](#) oder durch die Programmieroption erzeugt werden. Zusätzlich können die festen Impedanzsteuercode UPCF als deren entsprechende Impedanzsteuercode DNCF genutzt werden.

[0041] [Fig. 6](#) zeigt ein Ausführungsbeispiel der Auswahlhaltung **340** aus [Fig. 2](#). Wie aus [Fig. 6](#) ersichtlich ist, umfasst der Selektor **340** in diesem Fall eine Mehrzahl von 2:1-Multiplexern, z. B. vierzehn Multiplexer MUX1 bis MUX14. Jeder der Multiplexer ist aus einem Inverter INV10 und Übertragungsgattern TG10 und TG11 gebildet, wie im Block des MUX1 dargestellt ist. Die anderen Multiplexer MUX2 bis MUX14 sind gleich aufgebaut wie der MUX1. Jeder Multiplexer empfängt ein Paar der variablen und festen Impedanzsteuercode, das ihm zugeordnet ist, und gibt den daraus ausgewählten Impedanzsteuercode aus. Eine erste Gruppe MUX1 bis MUX7 der Multiplexer wird benutzt, um die Impedanzsteuercode UPC<6:0> in Reaktion auf die variablen und festen Impedanzsteuercode UPCV<6:0> und UPCF<6:0> festzulegen. Eine zweite Gruppe MUX8 bis MUX14 der Multiplexer wird benutzt, um die Impedanzsteuercode DNC<6:0> in Reaktion auf die variablen und festen Impedanzsteuercode DNCV<6:0> und DNCF<6:0> festzulegen. So empfängt z. B. in der ersten Multiplexergruppe der Multiplexer MUX1 den variablen Impedanzsteuercode UPCV<6>, der vom Generator **310** für variable Impedanzsteuercode zur Verfügung gestellt wird, und den festen Impedanzsteuercode UPCF<6>, der vom Generator **320** für feste Impedanzsteuercode zur Verfügung gestellt wird, und gibt dann den Impedanzsteuercode UPC<6> durch Auswahl eines der Codes UPCV<6> und UPCF<6> aus. Auf die gleiche Weise empfängt der Multiplexer MUX8 in der zweiten Multiplexergruppe den variablen Impedanzsteuercode DNCV<6>, der vom Generator **310** für variable Impedanzsteuer-

ercodes zur Verfügung gestellt wird, und den festen Impedanzsteuercode DNCF<6>, der vom Generator **320** für feste Impedanzsteuercodes zur Verfügung gestellt wird, und gibt dann den Impedanzsteuercode DNC<6> durch Auswahl eines der Code DNCV<6> und DNCF<6> aus.

[0042] Ist das Codeauswahlsignal SEL auf einem niedrigen Pegel, dann gibt die Auswahlerschaltung **340** jeweils die variablen Impedanzsteuercodes UPCV<6:0> bzw. DNCV<6:0> als Ausgabecodes UPC<6:0> bzw. DN<6:0> frei. Ist das Codeauswahlsignal SEL auf einem hohen Pegel, dann gibt die Auswahlerschaltung **340** jeweils die festen Impedanzsteuercodes UPCF<6:0> bzw. DNCF<6:0> als Ausgabecodes UPC<6:0> bzw. DN<6:0> frei.

[0043] [Fig. 7](#) zeigt ein Schaltbild einer beispielhaften Realisierung der Treibersteuerschaltung **260** aus [Fig. 2](#). Wie aus [Fig. 7](#) ersichtlich ist, empfängt die Treibersteuerschaltung **260** die Impedanzsteuercodes UPC<6:0> und DNC<6:0> vom Selektor **340** und ein Datenbit DATA<0> der Daten DATA_OUT von der Abtastverstärkerschaltung **250** und erzeugt Aufwärts- und Abwärtssteuersignale PU<6:0> und PD<6:0>. Die Treibersteuerschaltung **260** ist aus sieben NAND-Gattern G10 bis G16, sieben NOR-Gattern G17 bis G23 und sieben Invertern INV11 bis INV17 aufgebaut. Jedes der NAND-Gatter G10 bis G16 empfängt einen der Impedanzsteuercodes UPC<6:0> und gibt eines der Aufwärtssteuersignale PU<6:0> aus, gesteuert vom Datenbit DATA<0>. Jedes der NOR-Gatter G17 bis G23 empfängt einen der Impedanzsteuercodes DNC<6:0> über den jeweiligen Inverter INV11 bis INV17 und gibt eines der Abwärtssteuersignale PD<6:0> aus, gesteuert vom Datenbit DATA<0>.

[0044] Hat das Datenbit DATA<0>, das von der Abtastverstärkerschaltung **250** zur Verfügung gestellt wird, den Wert „1“ (Binärcode), dann sind die Aufwärtssteuersignale PU<6:0> von den variablen Impedanzsteuercodes UPC<6:0> abhängig. Hat beispielsweise das Codesignal UPC<6:0> den Wert „1010101“, dann sind PU<6>, PU<4>, PU<2> und PU<0> auf einem niedrigen Pegel, während PU<5>, PU<3> und PU<1> auf einen hohen Pegel gesetzt sind. Da das Datenbit DATA<0> den Wert „1“ hat, werden alle Ausgaben der NOR-Gatter G17 bis G23, d. h. die Signale PD<6:0>, unabhängig vom Zustand ihrer Eingabesignale DNC<6:0> auf einem niedrigen Pegel gehalten.

[0045] Wenn andererseits das Datenbit DATA<0>, das von der Abtastverstärkerschaltung **250** zur Verfügung gestellt wird, den Wert „0“ hat, dann sind die Abwärtssteuersignale PD<6:0> von den variablen Impedanzsteuercodes DNC<6:0> abhängig. Hat beispielsweise das Codesignal DNC<6:0> den Wert „1010101“, dann sind PD<6>, PD<4>, PD<2> und

PD<0> auf einem niedrigen Pegel, während PD<5>, PD<3> und PD<1> auf einen hohen Pegel gesetzt sind. Da das Datenbit DATA<0> den Wert „0“ hat, werden alle Ausgaben der NAND-Gatter G10 bis G16, d. h. die Signale PU<6:0>, unabhängig vom Zustand ihrer Eingabesignale UPC<6:0> auf einem niedrigen Pegel gehalten.

[0046] Entsprechend werden, wie oben erwähnt, die Aufwärtssteuersignale PU<6:0> selektiv entsprechend den variablen Impedanzsteuercodes UPC<6:0> freigegeben, wenn das Datenbit DATA<0>, das von der Abtastverstärkerschaltung **250** zur Verfügung gestellt wird, einen Wert „1“ hat, während die Abwärtssteuersignale PD<6:0> selektiv entsprechend den variablen Impedanzsteuercodes DNC<6:0> freigegeben werden, wenn das Datenbit DATA<0> den Wert „1“ hat. Die Aufwärts- und Abwärtssteuersignale UPC<6:0> und DNC<6:0> sind zueinander exklusiv.

[0047] [Fig. 8](#) zeigt ein Blockschaltbild des Off-Chip-Treibers **270** und der Abschlusserschaltung **290** aus [Fig. 2](#) in einer vorteilhaften schaltungstechnischen Realisierung. Obwohl [Fig. 8](#) nur Strukturen zeigt, die mit einem der Anschlüsse verknüpft sind, hier dem Anschluss PAD4, sind die anderen Anschlüsse IPAD5 bis PAD6 dazu entsprechend mit dem gleichen Schaltungsaufbau gemäß [Fig. 8](#) angeordnet.

[0048] Wie aus [Fig. 8](#) ersichtlich ist, umfasst der Off-Chip-Treiber **270** mehrere, z. B. sechs, Off-Chip-Treiberblöcke OCD1 bis OCD6. Die Off-Chip-Treiberblöcke OCD1 bis OCD6 aktivieren den zugehörigen Anschluss PAD4 bzw. die zugehörige Ausgabesignalübertragungsleitung TLOUT_1 in Reaktion auf die Aufwärts- und Abwärtssteuersignale PU<6:0> und PD<6:0>, die von der Treibersteuerschaltung **260** erzeugt werden. Jeder der Treiberblöcke ist z. B. aus binär gewichteten Transistoren und binär gewichteten Widerständen gebildet, wie aus einer möglichen schaltungstechnischen Realisierung gemäß [Fig. 9](#) ersichtlich ist, die im übrigen selbsterklärend ist.

[0049] Es wurde oben ausgeführt, dass im Generator **310** für variable Impedanzcodes die Schaltung **315** für variable Impedanz eine zur Impedanz des externen Referenzwiderstandes REXT identische Impedanz hat, wenn die Spannung am Anschluss PAD7 gleich der Referenzspannung VREF ist. Ebenfalls haben die Off-Chip-Treiberblöcke OCD1 bis OCD6, indem die Aufwärts- und Abwärtssteuersignale PU<6:0> und PD<6:0> selektiv gemäß den variablen Impedanzsteuercodes aktiviert werden, eine Impedanz, die zur Impedanz des externen Referenzwiderstandes REXT identisch ist. Hat der externe Referenzwiderstand REXT beispielsweise einen Wert von 240 Ω, dann haben die Off-Chip-Treiberblöcke OCD1 bis OCD6 eine Impedanz von 240 Ω gemäß den Impedanzsteuercodes. Da die Off-Chip-Treiberblöcke

OCD1 bis OCD6 zu jedem Anschluss parallel geschaltet sind, wird jeder Anschluss bzw. jede Ausgabesignalübertragungsleitung durch den Off-Chip-Treiber **270** mit einer Impedanz von 40 Ω getrieben.

[0050] In [Fig. 8](#) umfasst die Abschlusschaltung **290** vier Abschlussblöcke ODT1 bis ODT4, die parallel mit dem Anschluss PAD4 bzw. der Eingabesignalübertragungsleitung TL_IN10 verbunden sind. Jeder Abschlussblock schließt die Eingabesignalübertragungsleitung TL_IN10 in Reaktion auf den zugeordneten Impedanzsteuercode UPC ab und ist z. B. aus binär gewichteten Transistoren und binär gewichteten Widerständen aufgebaut, wie [Fig. 10](#) für eine mögliche schaltungstechnische Realisierung zeigt, wobei der Schaltungsaufbau von [Fig. 10](#) im übrigen selbsterklärend ist. Wie oben ausgeführt ist, hat im Generator **310** für variable Impedanzcodes die Schaltung **315** für variable Impedanz eine Impedanz, die mit der Impedanz des externen Referenzwiderstands REXT identisch ist, wenn die Spannung am Anschluss PAD7 gleich der Referenzspannung VREF ist. Ebenso haben die Abschlussblöcke ODT1 bis ODT6 eine Impedanz, die mit der Impedanz des externen Referenzwiderstandes identisch sind, indem die Impedanzsteuercodes UPC<6:0> identisch zu den variablen Impedanzsteuercodes sind. Hat der externe Referenzwiderstand REXT beispielsweise einen Wert von 240 Ω , dann haben die Off-Chip-Treiberblöcke OCD1 bis OCD6 gemäß den Impedanzsteuercodes eine Impedanz von 240 Ω . Da die vier Abschlussblöcke ODT1 bis ODT4 parallel mit dem betreffenden Anschluss verbunden sind, wird jeder Anschluss bzw. jede Ausgabesignalübertragungsleitung von der Abschlusschaltung **290** mit einer Impedanz von 60 Ω getrieben.

[0051] Während in [Fig. 8](#) die Abschlusschaltung **290** so ausgeführt ist, dass sie von den Impedanzsteuercodes UPC gesteuert wird, die von der Auswahlchaltung **340** aus [Fig. 2](#) erzeugt werden, kann sie auch so ausgeführt sein, dass sie mit allen Impedanzsteuercodes UPC<6:0> und DNC<6:0> betrieben wird, wofür eine schaltungstechnische Realisierung in der selbsterklärenden [Fig. 11](#) dargestellt ist. Die andere Abschlusschaltung **300**, die mit den Eingabesignalübertragungsleitungen TL_IN11 bis TL_IN31 assoziiert ist, kann mit der gleichen Struktur, wie sie in den [Fig. 8](#), [Fig. 10](#) und [Fig. 11](#) dargestellt ist, ausgeführt sein, was nicht weiter dargestellt ist.

[0052] Nachfolgend wird die Funktionsweise zum Einstellen der Impedanz der Abschlusschaltung und des Off-Chip-Treibers in Verbindung mit den zugehörigen Figuren näher beschrieben.

[0053] Das Programmregister **330** ist programmierbar festgelegt, um aus den festen Impedanzsteuercodes UPCF<6:0> und DNCF<6:0> und variablen Impedanzsteuercodes UPCV<6:0> und DNCV<6:0>

auszuwählen. Im dargestellten Ausführungsbeispiel ist das Programmregister **330** so programmiert, dass es die variablen Impedanzsteuercodes UPCV<6:0> und DNCV<6:0> auswählt. Das Programmregister **310** erzeugt das Codeauswahlsignal SEL mit niedrigem Pegel, um die Auswahlchaltung **340** zu veranlassen, die Ausgabe des Generators **310** für variable Impedanzcodes auszuwählen. Der Generator **310** gibt die variablen Impedanzsteuercodes UPCV<6:0> und DNCV<6:0> orientiert an der Impedanz des externen Referenzwiderstands REXT aus, der mit dem Anschluss PAD7 verbunden ist. Die variablen Impedanzsteuercodes werden zu den Abschlusschaltungen **290** und **300** und zur Treibersteuerschaltung **260** übertragen. Die Auswahlchaltung **340** kann z. B. nur mit den Impedanzsteuercodes UPC<6:0> oder mit den beiden Arten von Impedanzsteuercodes UPC<6:0> und DNC<6:0> assoziiert sein.

[0054] Die Abschlusschaltung **300** schließt die Eingabesignalübertragungsleitungen TL_IN11 bis TL_IN31 in Reaktion auf den Impedanzsteuercode UPC<6:0> ab. Die Abschlusschaltung **290** schließt die Eingabesignalübertragungsleitungen TL_IN10 bis TL_IN30 in Reaktion auf den Impedanzsteuercode UPC<6:0> während eines Schreibvorgangs ab. Die Abschlusschaltungen **290** und **300** haben die gleiche Impedanz, beispielsweise 60 Ω , wenn der externe Referenzwiderstand REXT, der mit dem Anschluss PAD7 verbunden ist, einen Wert von 240 Ω hat. Dies kommt daher, dass die vier Abschlussblöcke ODT1 bis ODT4 jeder Abschlusschaltung parallel mit deren korrespondierendem Anschluss bzw. Eingabesignalübertragungsleitung verbunden sind und durch den gleichen Impedanzsteuercode für die Impedanzübereinstimmung, z. B. 240 Ω , mit dem externen Referenzwiderstand gesteuert werden.

[0055] Gleichzeitig wird der von der Auswahlchaltung **340** ausgewählte Impedanzsteuercode UPC<6:0> oder DNC<6:0> zur Treibersteuerschaltung **260** übertragen. Die Treibersteuerschaltung **260** erzeugt das Aufwärtssteuersignal PU<6:0> oder das Abwärtssteuersignal PD<6:0> gemäß den Daten DATA_OUT, d. h. DATA<0>, die von der Abtastverstärkerschaltung **250** zur Verfügung gestellt werden. Das Aufwärtssteuersignal PU<6:0> bzw. das Abwärtssteuersignal PD<6:0> ist identisch mit dem Impedanzsteuercode UPC<6:0> oder DNC<6:0>. Hat der externe Referenzwiderstand REXT, der mit dem Anschluss PAD7 verbunden ist, einen Wert von 240 Ω , dann hat der Off-Chip-Treiber **270** eine Impedanz von 40 Ω . Dies kommt daher, dass die sechs Off-Chip-Treiberblöcke OCD1 bis OCD6 jedes Off-Chip-Treibers parallel mit dessen korrespondierendem Anschluss bzw. Eingabesignalübertragungsleitung verbunden sind und durch die gleichen Aufwärts- und Abwärtssteuersignale für die Impedanzübereinstimmung, z. B. 240 Ω , mit dem externen Referenzwiderstand gesteuert werden.

[0056] Während eines Lesevorgangs werden die Abschlusschaltung **300** und der Off-Chip-Treiber **270** gleichzeitig von den Impedanzsteuer codes UPC<6:0> und DNC<6:0> gesteuert, die zur Angleichung der geforderten Impedanz ausgewählt werden. Analog werden während eines Schreibvorgangs die Abschlusschaltungen **290** und **300** von den Impedanzsteuer codes UPC<6:0> und DNC<6:0> stellen die Impedanz der Abschlusschaltungen **290** und **300** ein und steuern zudem die Impedanz der Off-Chip-Treiberschaltung **270**. Deshalb ist es möglich, die Impedanz der Abschlusschaltungen **290** und **300** und des Off-Chip-Treibers **270** gleichzeitig mittels eines einzelnen externen Referenzwiderstandes, z. B. REXT, und eines Impedanzcodegenerators, z. B. **310** oder **320**, einzustellen.

[0057] Fig. 12 zeigt ein Blockschaltbild einer anderen Ausführungsform des Off-Chip-Treibers und der Abschlusschaltung aus Fig. 2. Im Gegensatz zur Schaltung aus Fig. 8 ist die Off-Chip-Treiberschaltung **270'** mit einem einzelnen Off-Chip-Treiberblock OCD1 ausgeführt, dessen Impedanz gemäß den Offsetsignalen OFFSET0 und OFFSET1 genau einstellbar ist. Wie aus Fig. 13 ersichtlich ist, ist die Off-Chip-Treiberschaltung **270'** aus einem Pull-up-Teil bzw. Aufwärtsteil **271** und einem Pull-down-Teil bzw. Abwärtsteil **272** aufgebaut. Der Aufwärtsteil **271** ist aus binär gewichteten Transistoren 64WP/N bis 1WP/N und binär gewichteten Widerständen 1R/N bis 64R/N aufgebaut. Um den Off-Chip-Treiber **270'** mit einer Impedanz von 40 Ω zu implementieren, sind die binär gewichteten Transistoren 64WP/N bis 1WP/N und Widerstände 1R/N bis 64R/N als um den Faktor 1/N linear verkleinerte Transistoren und Widerstände aus den Fig. 9, Fig. 10 oder Fig. 11 ausgeführt. Die binär gewichteten Transistoren 64WP/N bis 1WP/N werden von den Aufwärtssteuersignalen PU<6:0> gesteuert, so dass der Anschluss PAD4 vom Off-Chip-Treiber **270'** mit einer Impedanz von 40 Ω getrieben wird.

[0058] Der Aufwärtsteil **271** umfasst des Weiteren Offsetwiderstände OFR1 bis OFR7 und Offsettransistoren OFT1 bis OFT7. Die Offsettransistoren OFT1 bis OFT7 werden gleichzeitig vom Offsetsignal OFFSET1 gesteuert. Die Impedanz des Aufwärtsteils **271** kann gemäß einer Aktivierung des Offsetsignals OFFSET1 eingestellt werden. Die Offsettransistoren OFT1 bis OFT7 können in der gleichen Transistordimension oder in der binär gewichteten Form ausgeführt sein. Ebenso können die Offsetwiderstände OFR1 bis OFR7 mit der gleichen Widerstanddimensionierung oder in der binär gewichteten Form ausgeführt sein.

[0059] Der Abwärtsteil **272** ist aus binär gewichteten Transistoren 64WN/N bis 1WN/N und binär gewichteten Widerständen 1R/N bis 64R/N aufgebaut. Um den Off-Chip-Treiber **270'** mit einer Impedanz von

60 Ω zu implementieren, sind die binär gewichteten Transistoren 64WN/N bis 1WN/N und Widerstände 1R/N bis 64R/N als um den Faktor 1/N linear verkleinerte Transistoren und Widerstände aus den Fig. 9, Fig. 10 oder Fig. 11 ausgeführt. Die binär gewichteten Transistoren 64WN/N bis 1WN/N werden von den Abwärtssteuersignalen PD<6:0> gesteuert, wodurch der Anschluss PAD4 von der Off-Chip-Treiberschaltung **270'** mit einer Impedanz von 60 Ω getrieben wird.

[0060] Der Abwärtsteil **272** umfasst des Weiteren Offsetwiderstände OFR8 bis OFR14 und Offsettransistoren OFT8 bis OFT14. Die Offsettransistoren OFT8 bis OFT14 werden gleichzeitig vom Offsetsignal OFFSET2 gesteuert. Die Impedanz des Abwärtsteils **272** kann gemäß einer Aktivierung des Offsetsignals OFFSET2 eingestellt werden. Die Offsettransistoren OFT8 bis OFT14 können mit der gleichen Transistordimension oder in der binär gewichteten Form ausgeführt sein. Ebenso können die Offsetwiderstände OFR8 bis OFR14 mit der gleichen Widerstanddimensionierung oder in der binär gewichteten Form ausgeführt sein.

[0061] Wie aus Fig. 12 weiter ersichtlich ist, ist im Vergleich zur Fig. 8 eine andere Abschlusschaltung **290'** mit einem einzigen Abschlussblock ODT1 vorgesehen. Die Impedanz der Abschlusschaltung **290'** kann gemäß den Offsetsignalen OFFSET0 und OFFSET1 genau eingestellt werden. Wie aus Fig. 14 ersichtlich ist, ist die Abschlusschaltung **290'** in der dort gezeigten Realisierung aus binär gewichteten Transistoren 64WN/N bis 1WN/N und binär gewichteten Widerständen 1R/N bis 64R/N aufgebaut. Um die Abschlusschaltung **290'** mit einer Impedanz von 40 Ω zu implementieren, sind die binär gewichteten Transistoren 64WN/N bis 1WN/N und Widerstände 1R/N bis 64R/N als um den Faktor 1/N linear verkleinerte Transistoren und Widerstände aus den Fig. 9, Fig. 10 oder Fig. 11 ausgeführt. Die binär gewichteten Transistoren 64WN/N bis 1WN/N werden von den Aufwärtssteuersignalen PU<6:0> gesteuert, wobei die Eingabesignalübertragungsleitung TL_IN 10 durch die Abschlusschaltung **290'** mit einer Impedanz von 40 Ω abgeschlossen wird.

[0062] Die Abschlusschaltung **290'** umfasst des Weiteren Offsetwiderstände OFR15 bis OFR21 und Offsettransistoren OFT15 bis OFT21. Die Offsettransistoren OFT15 bis OFT21 werden gleichzeitig vom Offsetsignal OFFSET1 gesteuert. Die Impedanz der Abschlusschaltung **290'** kann gemäß einer Aktivierung des Offsetsignals OFFSET1 eingestellt werden. Die Offsettransistoren OFT15 bis OFT21 können mit der gleichen Transistordimension oder in der binär gewichteten Form ausgeführt sein. Ebenso können die Offsetwiderstände OFR15 bis OFR21 mit der gleichen Widerstanddimensionierung

rung oder in der binär gewichteten Form ausgeführt sein.

[0063] Obwohl nicht dargestellt, kann auch die Abschlusschaltung **300** aus [Fig. 2](#) mit der Schaltungsstruktur ausgeführt werden, die in [Fig. 14](#) dargestellt ist.

[0064] Gemäß der oben beschriebenen Erfindung ist es möglich, die Impedanz der Abschlusschaltung und des Off-Chip-Treibers mittels eines einzelnen Referenzwiderstandes und eines Impedanzcodegenerators passend einzustellen.

Patentansprüche

1. Integrierte Schaltung mit

- einer Impedanzsteuerschaltung (**310**) zur Erzeugung von Impedanzsteuer codes (UPC, DNC), welche gemäß einer Impedanz eines externen Referenzwiderstandes (REXT) variierbar sind,
- einer Eingabeschaltung (**280**) zur Übertragung eines Eingabesignals an eine interne Schaltung (**210**), wobei das Eingabesignal über eine Eingabesignalübertragungsleitung (TL_IN10 bis TL_IN30) übertragen wird,
- einer Abschlusschaltung (**290**) zum Abschließen der Eingabesignalübertragungsleitung (TL_IN10 bis TL_IN30) in Reaktion auf wenigstens einen (UPC) der Impedanzsteuer codes (UPC, DNC) und
- einer Ausgabeschaltung (**260, 270**) zum Treiben einer Ausgabesignalübertragungsleitung (TL_OUT1 bis TL_OUT3) gemäß einem Signal, das von der internen Schaltung (**210**) ausgegeben wird, mit einer gemäß den Impedanzsteuer codes (UPC, DNC) variablen Impedanz,
- wobei wenigstens einer (UPC) der Impedanzsteuer codes (UPC, DNC) gemeinsam der Abschlusschaltung (**290**) und der Ausgabeschaltung (**260, 270**) zugeführt ist.

2. Integrierte Schaltung nach Anspruch 1, dadurch gekennzeichnet, dass die Abschlusschaltung (**290**) eine Mehrzahl von Abschlussblöcken aufweist, welche parallel mit der Eingabesignalübertragungsleitung (TL_IN10 bis TL_IN30) verbunden sind, wobei der jeweilige Abschlussblock von wenigstens einem der Impedanzsteuer codes (UPC, DNC) gesteuert wird.

3. Integrierte Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Ausgabeschaltung (**260, 270**) eine Mehrzahl von Treibern aufweist, welche parallel mit der Ausgabesignalübertragungsleitung (TL_OUT1 bis TL_OUT3) verbunden sind, wobei eine Impedanz eines jeden Treibers durch die Impedanzsteuer codes (UPC, DNC) einstellbar ist.

4. Integrierte Schaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Impedanz-

steuerschaltung (**310**) folgende Komponenten umfasst:

- einen Anschluss (**133, PAD7**), der mit dem externen Referenzwiderstand (REXT) verbunden ist,
- eine erste Schaltung (**315**) mit variabler Impedanz, die mit dem Anschluss (**133, PAD7**) verbunden ist und von einem ersten der Impedanzsteuer codes (UPC, DNC) gesteuert wird, um die Impedanz mit dem externen Referenzwiderstand (REXT) abzugleichen,
- einen ersten Komparator (**311**) zum Vergleichen einer Spannung am Anschluss (**133, PAD7**) mit einer Referenzspannung (VREF),
- einen ersten Aufwärts-/Abwärtszähler (**313**), um den ersten Impedanzsteuer code in Reaktion auf eine Ausgabe des ersten Komparators (**311**) zu erzeugen,
- eine zweite Schaltung (**316**) mit variabler Impedanz, die mit einem internen Knoten (ND10) verbunden ist und vom ersten der Impedanzsteuer codes (UPC, DNC) gesteuert wird, um die Impedanz mit dem externen Referenzwiderstand (REXT) abzugleichen,
- eine dritte Schaltung (**317**) mit variabler Impedanz, die mit dem internen Knoten (ND10) verbunden ist und von einem zweiten der Impedanzsteuer codes (UPC, DNC) gesteuert wird, um die Impedanz mit dem externen Referenzwiderstand (REXT) abzugleichen,
- einen zweiten Komparator (**312**) zum Vergleichen einer Spannung am internen Knoten (ND10) mit der Spannung am Anschluss (**133, PAD7**) und
- einen zweiten Aufwärts-/Abwärtszähler (**314**), um den zweiten Impedanzsteuer code in Reaktion auf eine Ausgabe des zweiten Komparators (**312**) zu erzeugen.

5. Integrierte Schaltung nach Anspruch 4, dadurch gekennzeichnet, dass die erste, zweite und/oder dritte Schaltung (**315, 316, 317**) mit variabler Impedanz binär gewichtete Transistoren und binär gewichtete Widerstände umfasst/umfassen.

6. Integrierte Schaltung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Abschlusschaltung (**290**) binär gewichtete Transistoren und binär gewichtete Widerstände umfasst.

7. Integrierte Schaltung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Ausgabeschaltung (**260, 270**) binär gewichtete Transistoren und binär gewichtete Widerstände umfasst.

8. Integrierte Schaltung nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass die binär gewichteten Transistoren und binär gewichteten Widerstände der Abschlusschaltung (**290**) und/oder der Ausgabeschaltung (**260, 270**) linear verkleinert von den binär gewichteten Transistoren und Widerständen der ersten, zweiten und/oder dritten Schaltung (**315, 316, 317**) mit variabler Impedanz abgeleitet sind.

9. Integrierte Schaltung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass die Impedanzsteuerschaltung (**310**) die Impedanzsteuer-codes (UPC, DNC) unabhängig vom externen Referenzwiderstand (REXT) in Reaktion auf ein Auswahl-signal (SEL) konstant erzeugt.

10. Integrierte Schaltung nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass die Eingabeschaltung (**280**) ein externes Signal als Eingabesignal von der Eingabesignalübertragungsleitung (TL_IN10 bis TL_IN30) an die interne Schaltung (**210**) überträgt.

11. Halbleiterspeicherbaustein mit

- einem Feld (**210**) von Speicherzellen, die in Zeilen und Spalten angeordnet sind, und
- einer Abtastverstärkerschaltung (**250**) zum Lesen von Daten aus dem Speicherzellenfeld (**210**) und/oder zum Schreiben von Daten in das Speicherzellenfeld (**210**), gekennzeichnet durch
- eine integrierte Schaltung nach einem der Ansprüche 1 bis 10, wobei
- die Impedanzsteuerschaltung einen Codegenerator (**310**) zum Erzeugen von variablen Impedanzsteuer-codes in Abhängigkeit von einer Impedanz eines externen Referenzwiderstandes (REXT) umfasst,
- die Ausgabeschaltung eine Treibersteuerschaltung (**260**) zum Erzeugen von Aufwärtssteuersignalen und Abwärtssteuersignalen in Reaktion auf eine Datenausgabe von der Abtastverstärkerschaltung (**250**) und auf wenigstens einen Impedanzsteuercode, der von einer Auswahl-schaltung (**340**) ausgewählt wird, sowie eine Off-Chip-Treiberschaltung (**270**) zum Treiben von Datenübertragungsleitungen (TL_OUT1 bis TL_OUT3) während eines Lesevorgangs in Reaktion auf die Aufwärtssteuersignale und Abwärtssteuersignale mit einer Impedanz, die gemäß den Aufwärtssteuersignalen und Abwärtssteuersignalen variabel ist, umfasst, und
- die Abschlussschaltung eine erste Abschlussschaltung (**290**) zum Abschließen der Datenübertragungsleitungen (TL_OUT1 bis TL_OUT3) in Reaktion auf wenigstens einen der Impedanzsteuer-codes (UPC, DNC) während eines Schreibvorgangs umfasst.

12. Halbleiterspeicherbaustein nach Anspruch 11, dadurch gekennzeichnet, dass die Impedanzsteuerschaltung einen Codegenerator (**320**) zum Erzeugen von festen Impedanzsteuer-codes umfasst, wobei die Auswahl-schaltung (**340**) die festen Impedanzsteuer-codes oder die variablen Impedanzsteuer-codes in Reaktion auf ein Codeauswahlsignal (SEL) auswählt und die Treibersteuerschaltung (**260**) die Aufwärtssteuersignale und Abwärtssteuersignale in Reaktion auf die Datenausgabe von der Abtastverstärkerschaltung (**250**) und auf die festen Impedanzsteuer-codes oder die variablen Impedanzsteuer-codes erzeugt, die von der Auswahl-schaltung (**340**) ausgewählt werden.

13. Halbleiterspeicherbaustein nach Anspruch 11 oder 12, gekennzeichnet durch eine Dateneingabeschaltung (**280**) zum Übertragen von Daten während eines Schreibvorgangs von den Datenübertragungsleitungen (TL_OUT1 bis TL_OUT3) zur Abtastverstärkerschaltung (**250**).

14. Halbleiterspeicherbaustein nach einem der Ansprüche 11 bis 13, dadurch gekennzeichnet, dass die erste Abschlussschaltung (**290**) eine Mehrzahl von Abschlussblöcken aufweist, welche parallel mit den Datenübertragungsleitungen (TL_OUT1 bis TL_OUT3) verbunden sind, wobei jeder Abschlussblock von wenigstens einem der von der Auswahl-schaltung (**340**) ausgewählten festen oder variablen Impedanzsteuer-codes gesteuert wird.

15. Halbleiterspeicherbaustein nach einem der Ansprüche 11 bis 13, dadurch gekennzeichnet, dass die erste Abschlussschaltung (**290**) eine Mehrzahl von Abschlussblöcken aufweist, welche parallel mit den Datenübertragungsleitungen (TL_OUT1 bis TL_OUT3) verbunden sind, wobei jeder Abschlussblock durch die festen oder die variablen Impedanzsteuer-codes gesteuert wird.

16. Halbleiterspeicherbaustein nach einem der Ansprüche 11 bis 15, dadurch gekennzeichnet, dass die Off-Chip-Treiberschaltung (**270**) eine Mehrzahl von Treiberblöcken aufweist, welche parallel mit den Datenübertragungsleitungen (TL_OUT1 bis TL_OUT3) verbunden sind, wobei die Impedanz eines jeden der Treiberblöcke durch die Aufwärtssteuersignale und Abwärtssteuersignale einstellbar ist.

17. Halbleiterspeicherbaustein nach einem der Ansprüche 11 bis 16, dadurch gekennzeichnet, dass

- die Eingabeschaltung einen Eingabepuffer (**230**) zum Empfangen von Adressen- und Steuersignalen umfasst, welche über Eingabesignalübertragungsleitungen (TL_IN1 bis TL_IN31) eingegeben werden,
- ein Zeilendecoder (**220**) zum Auswählen einer Zeile in Reaktion auf eine vom Eingabepuffer (**230**) ausgegebene Zeilenadresse vorgesehen ist,
- ein Spaltendecoder (**240**) zum Auswählen einer Spalte in Reaktion auf eine vom Eingabepuffer (**230**) ausgegebene Spaltenadresse vorgesehen ist und
- die Abschlussschaltung eine zweite Abschlussschaltung (**300**) zum Abschließen der Eingabesignalübertragungsleitungen (TL_IN1 bis TL_IN31) in Reaktion auf wenigstens einen der festen oder variablen Impedanzsteuer-codes umfasst, die von der Auswahl-schaltung (**240**) ausgewählt werden.

18. Halbleiterspeicherbaustein nach Anspruch 17, dadurch gekennzeichnet, dass die zweite Abschlussschaltung (**300**) eine Mehrzahl von Abschlussblöcken aufweist, welche parallel mit den Datenübertragungsleitungen (TL_IN1 bis TL_IN31) verbunden sind, wo-

bei jeder Abschlussblock von einem der festen oder variablen Impedanzsteuercodes gesteuert wird, die von der Auswahlerschaltung (**340**) ausgewählt werden.

19. Halbleiterspeicherbaustein nach Anspruch 17, dadurch gekennzeichnet, dass die zweite Abschlusserschaltung (**300**) eine Mehrzahl von Abschlussblöcken aufweist, welche parallel mit den Datenübertragungsleitungen (TL_IN1 bis TL_IN31) verbunden sind, wobei jeder Abschlussblock durch die festen oder die variablen Impedanzsteuercodes gesteuert wird.

20. Halbleiterspeicherbaustein nach einem der Ansprüche 12 bis 19, gekennzeichnet durch einen Auswahlsignalgenerator (**330**), der in Reaktion auf Steuersignale Offsetauswahlsignale (OFFSET1, OFFSET2) und das Codeauswahlsignal (SEL) erzeugt.

21. Halbleiterspeicherbaustein nach Anspruch 20, dadurch gekennzeichnet, dass die Impedanz der Off-Chip-Treiberschaltung (**270**) und der ersten und zweiten Abschlusserschaltung (**290, 300**) gemäß den Offsetauswahlsignalen (OFFSET1, OFFSET2) variiert werden.

22. Halbleiterspeicherbaustein nach Anspruch 20 oder 21, dadurch gekennzeichnet, dass der Auswahlsignalgenerator (**330**) mit einem Modusregistersatz ausgeführt ist.

Es folgen 14 Blatt Zeichnungen

Anhängende Zeichnungen

Fig. 1

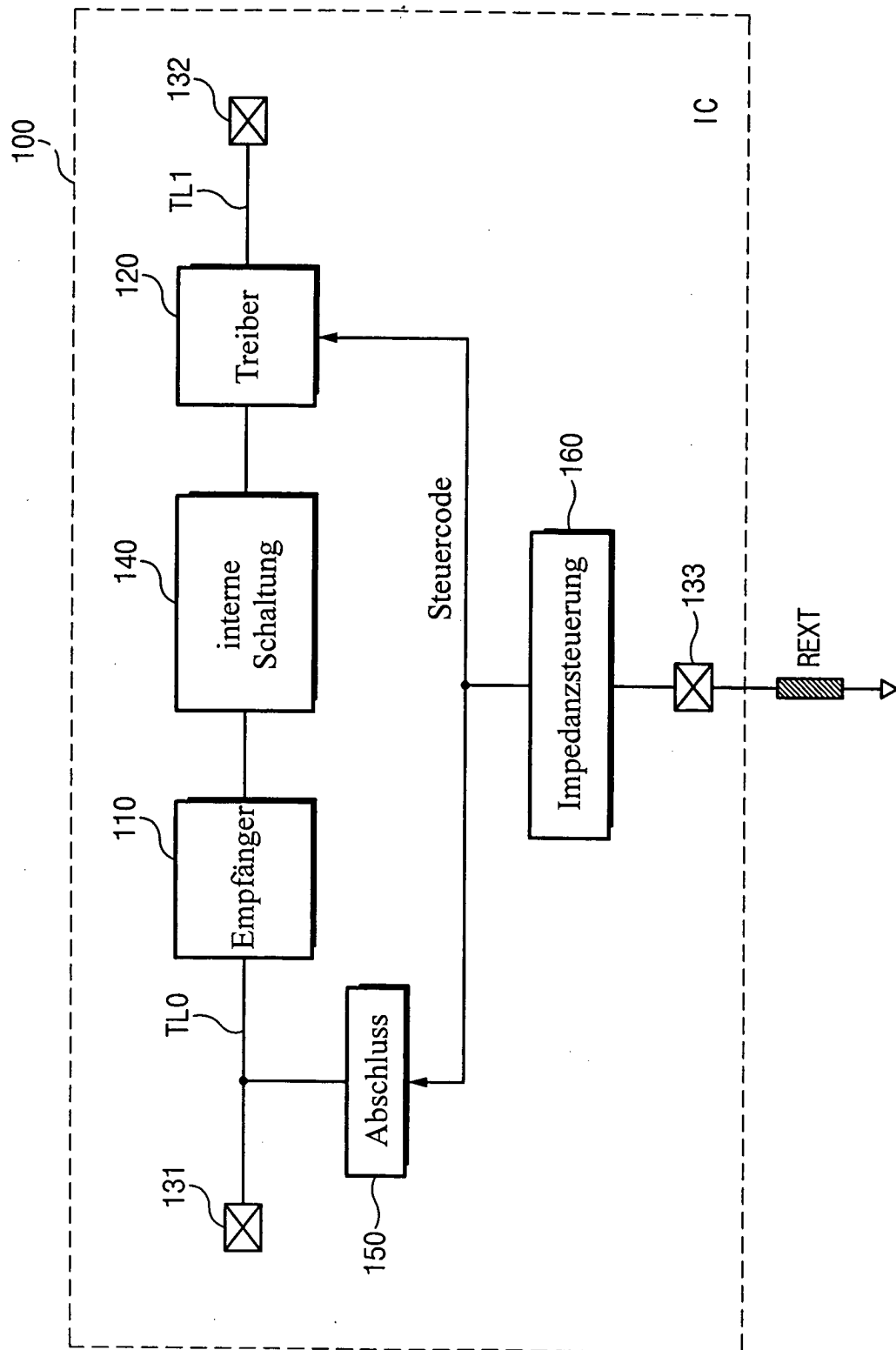


Fig. 2

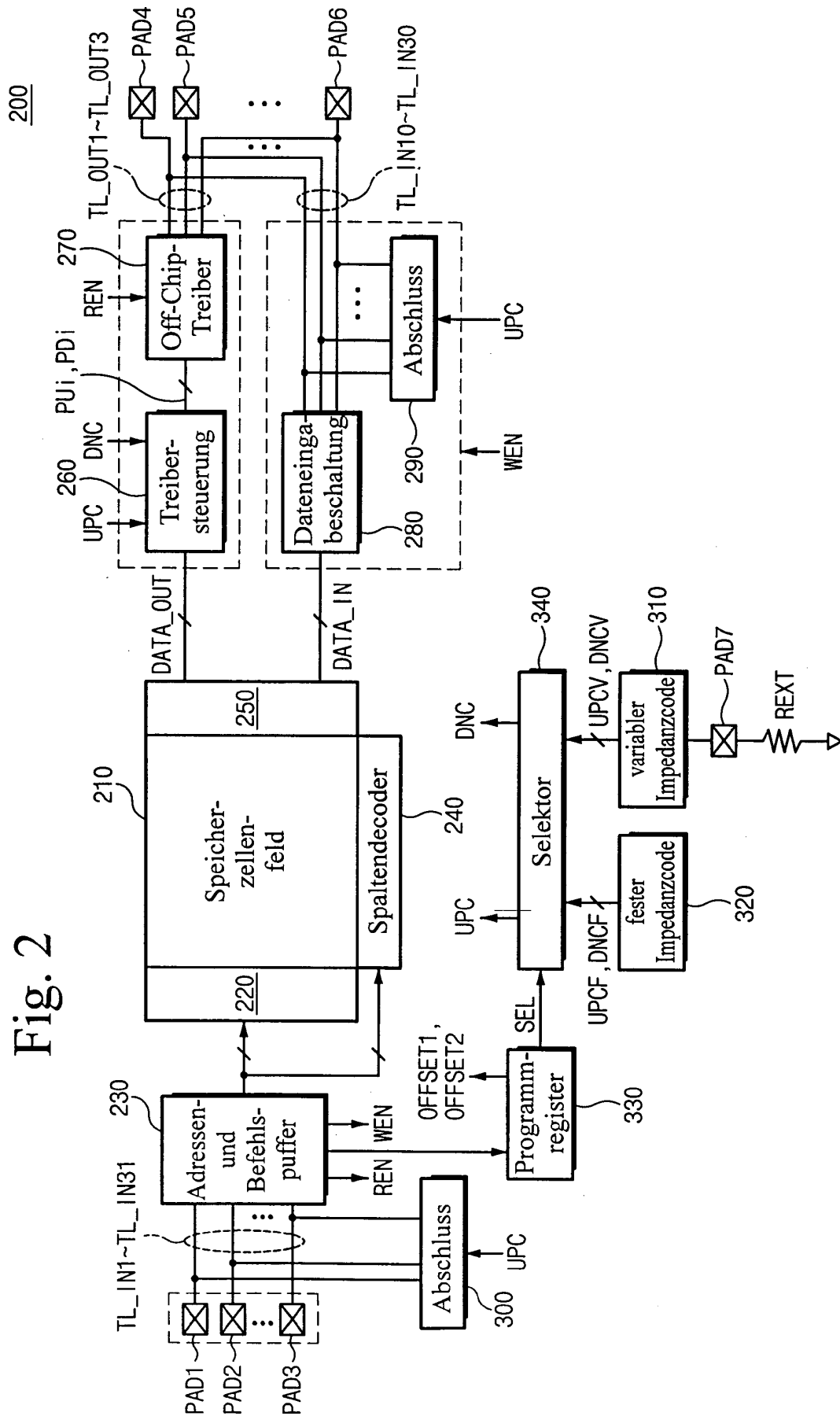
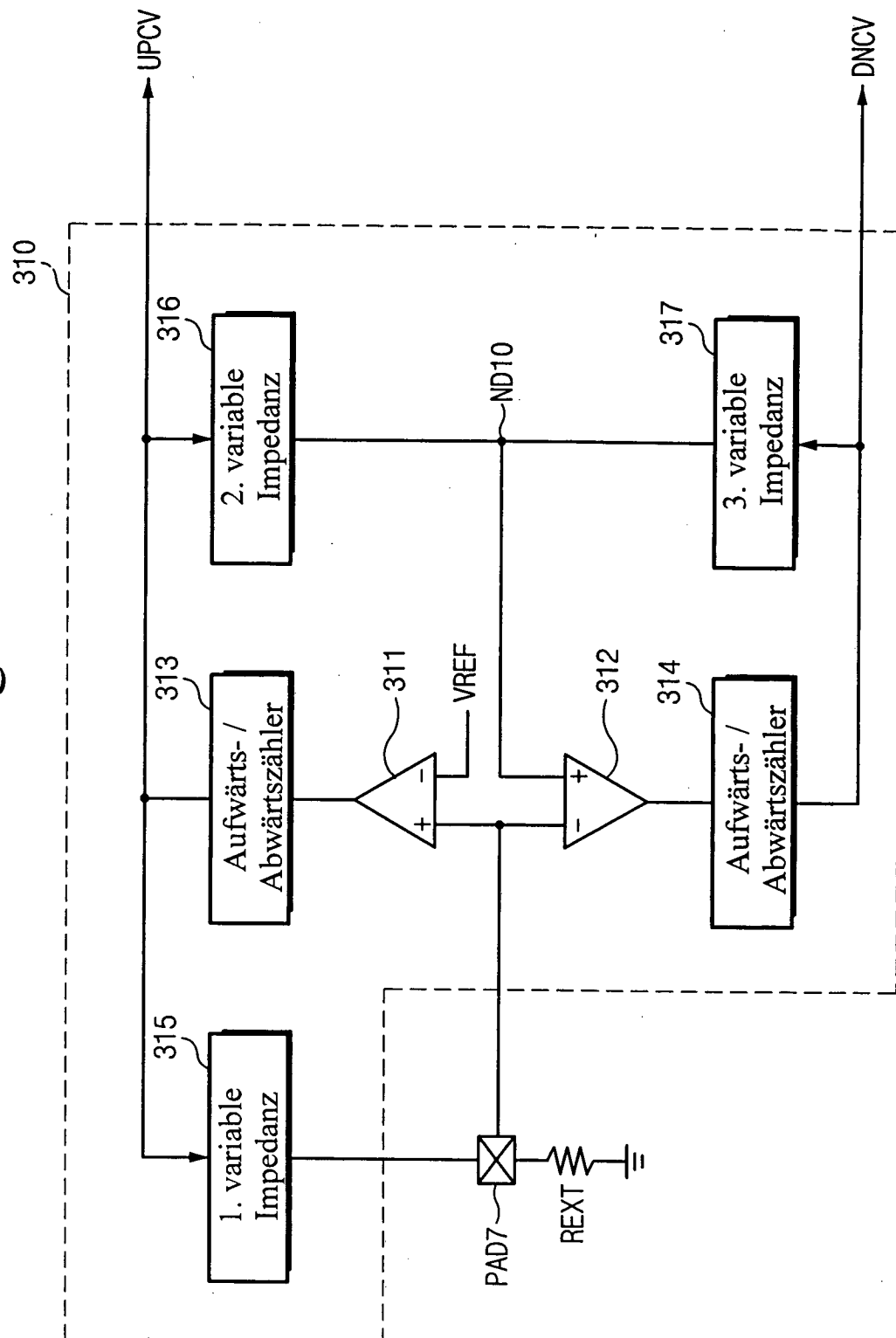


Fig. 3



315

Fig. 4A

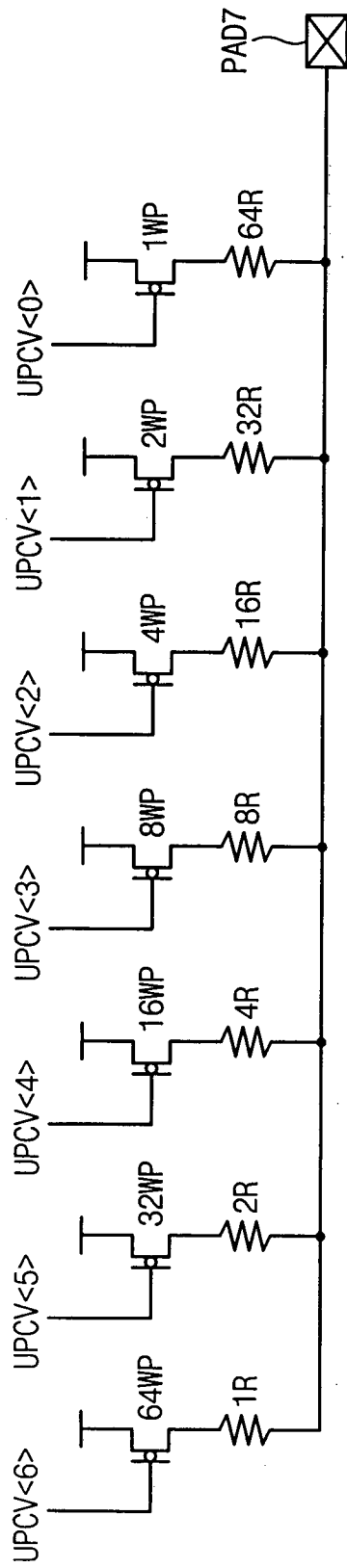
317

Fig. 4B

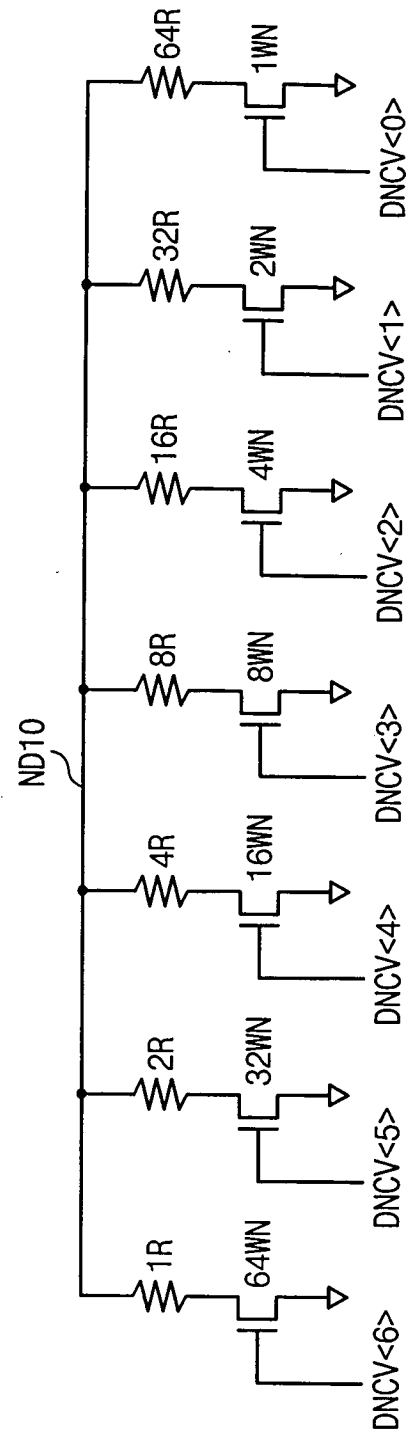


Fig. 5

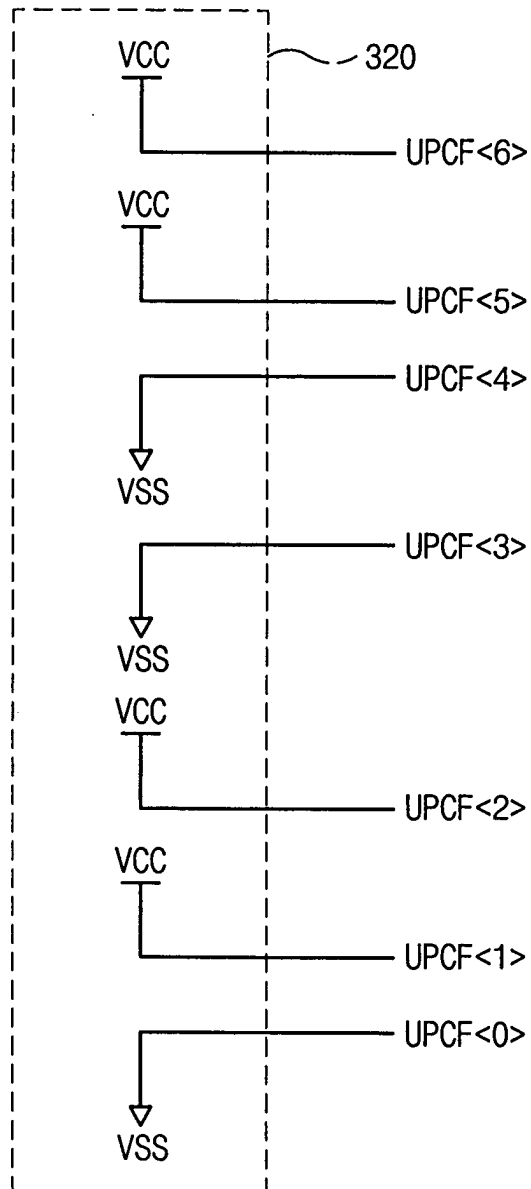


Fig. 6

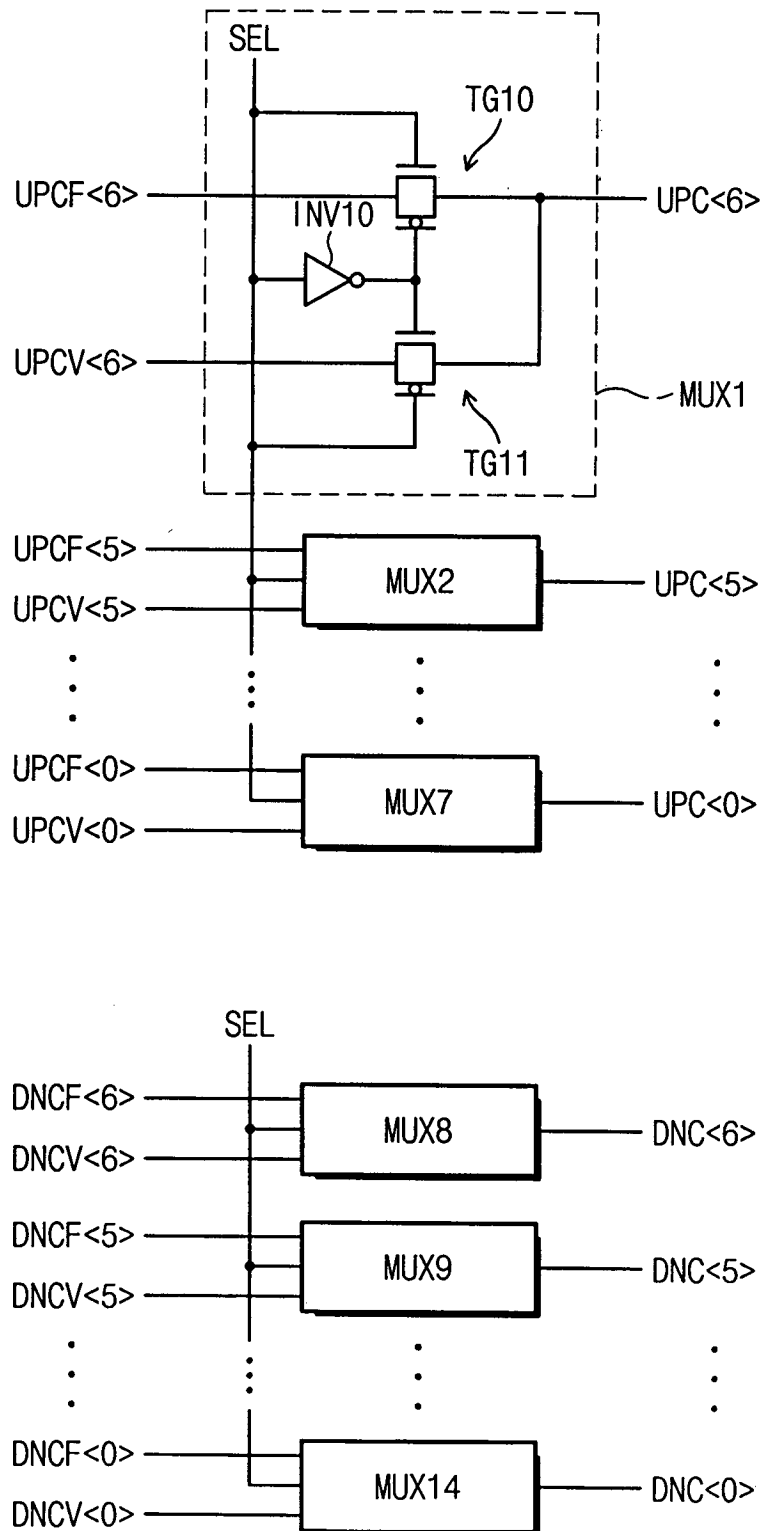
340

Fig. 7

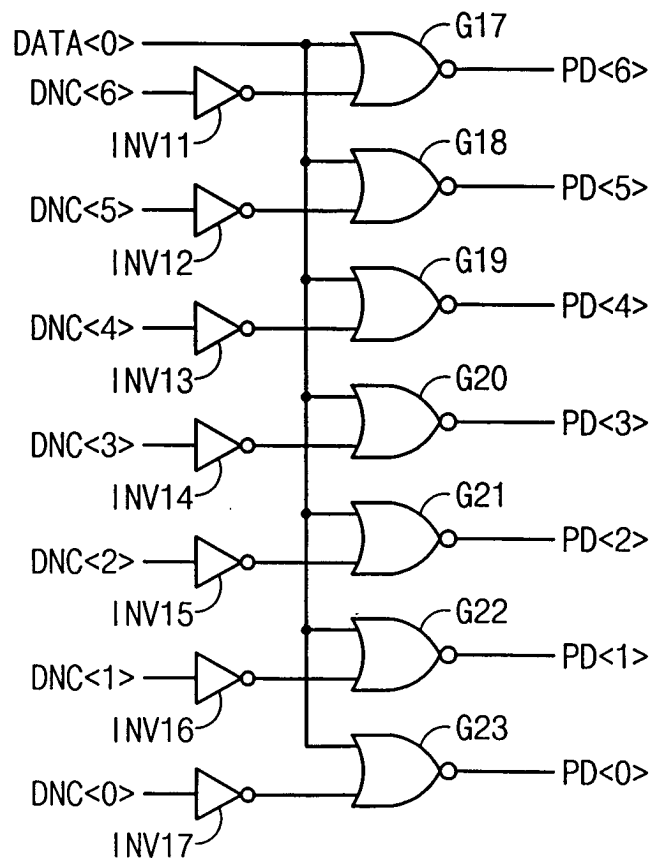
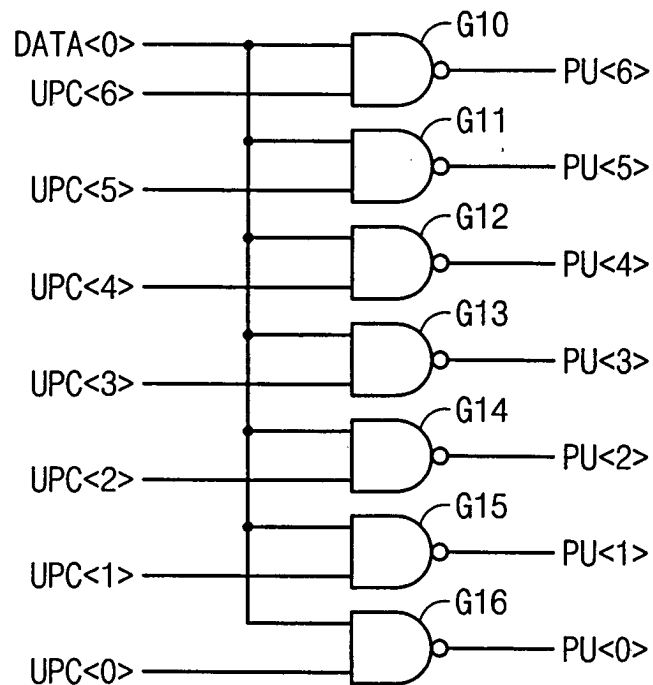
260

Fig. 8

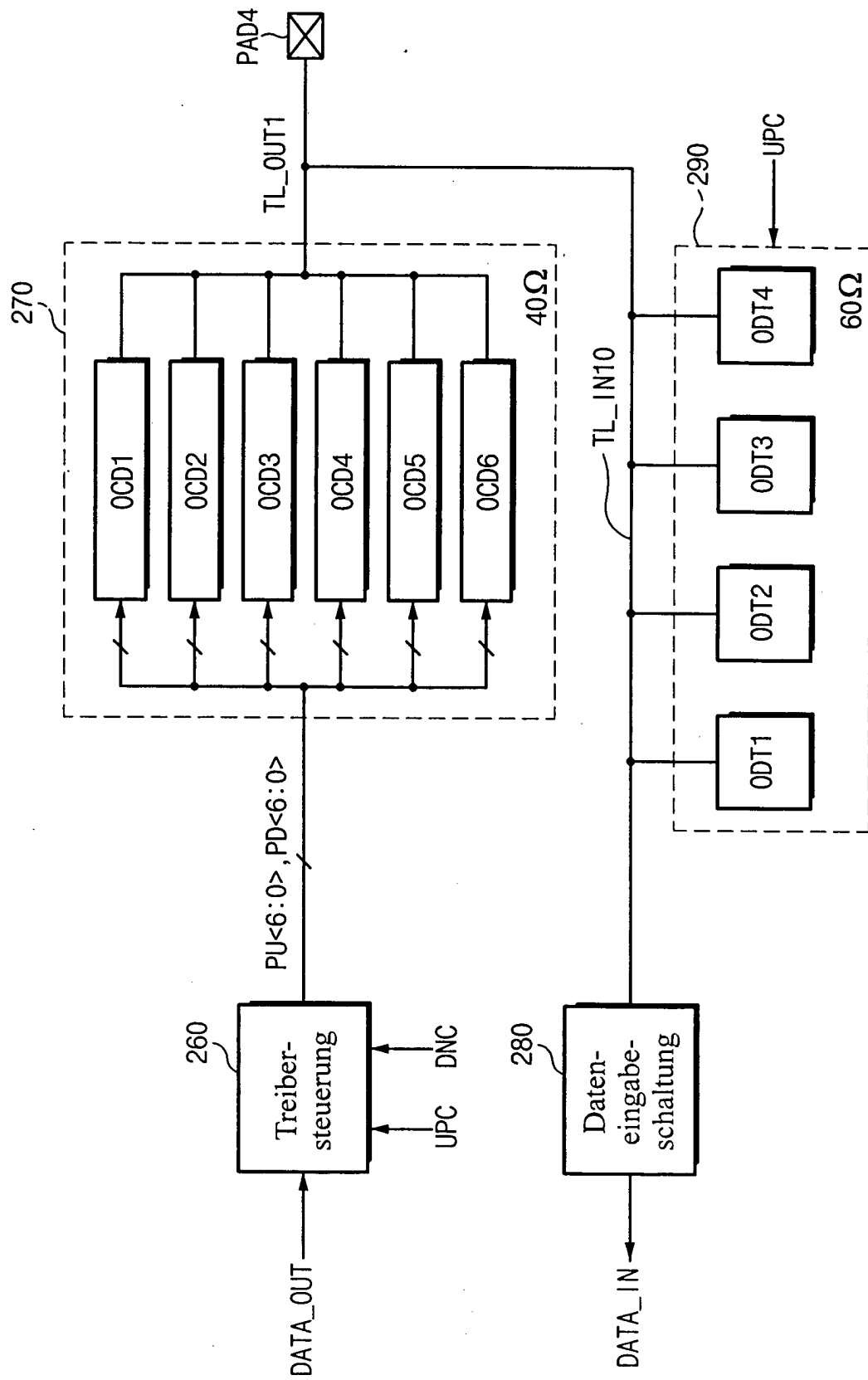


Fig. 9

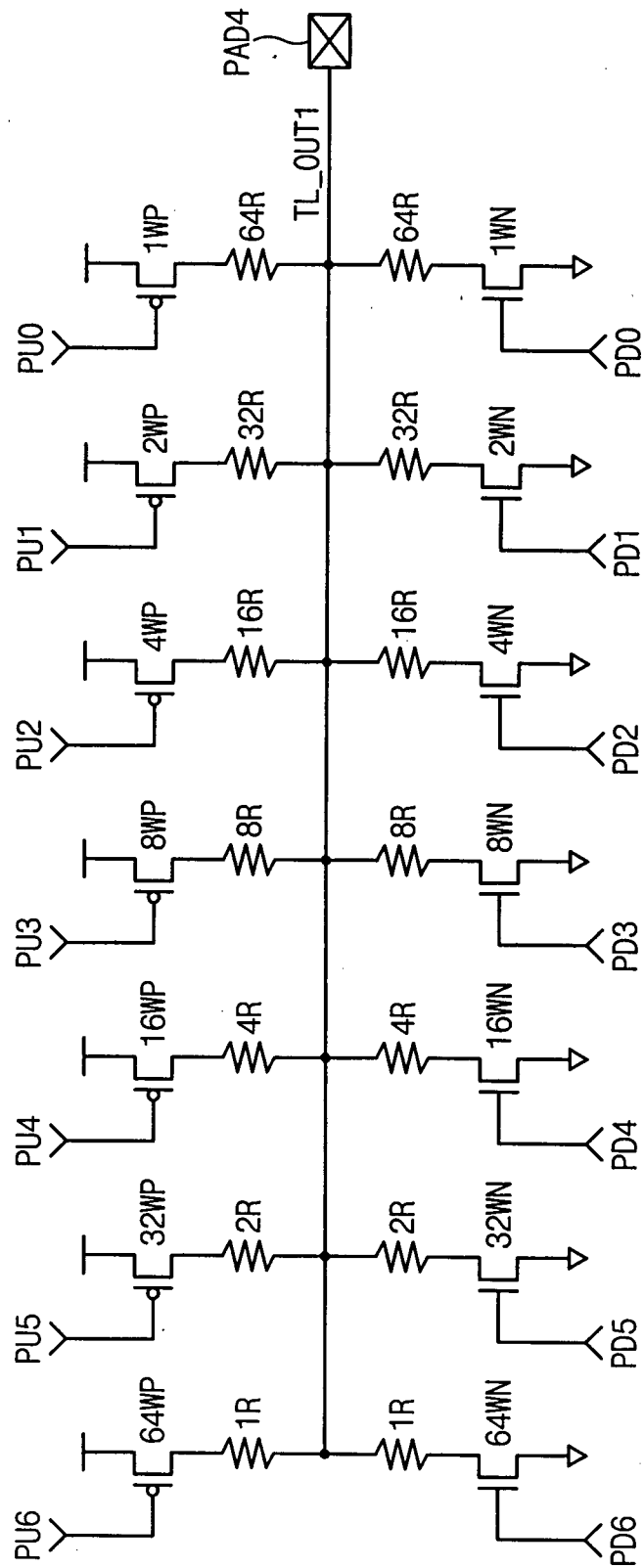
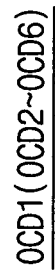


Fig. 10

ODT1(ODT2~ODT4)

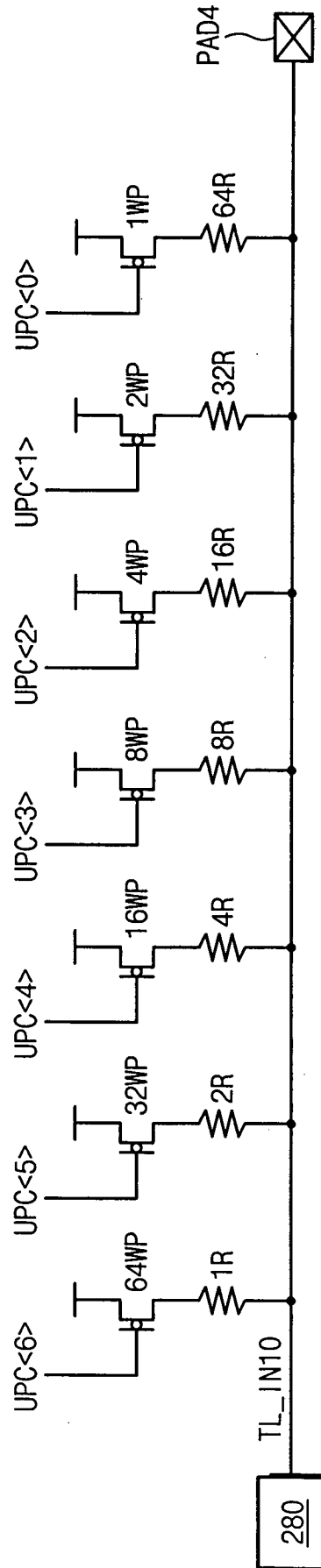


Fig. 11

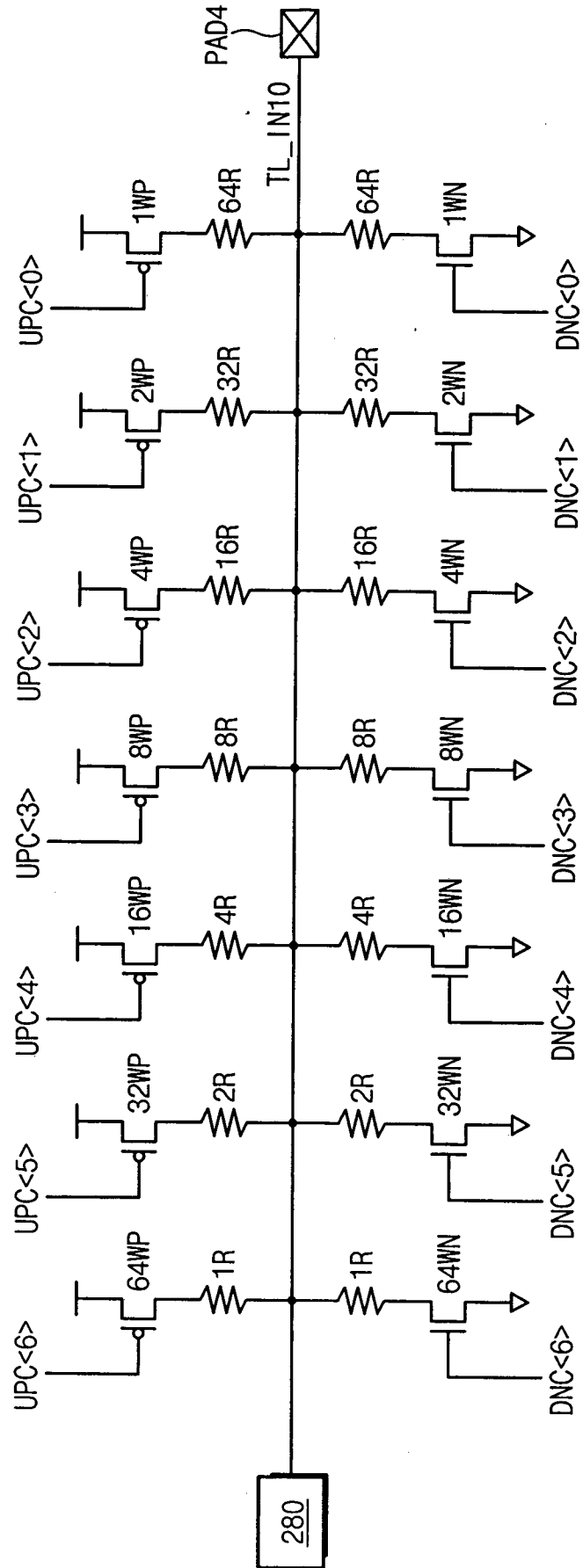
ODT1(ODT2~ODT4)

Fig. 12

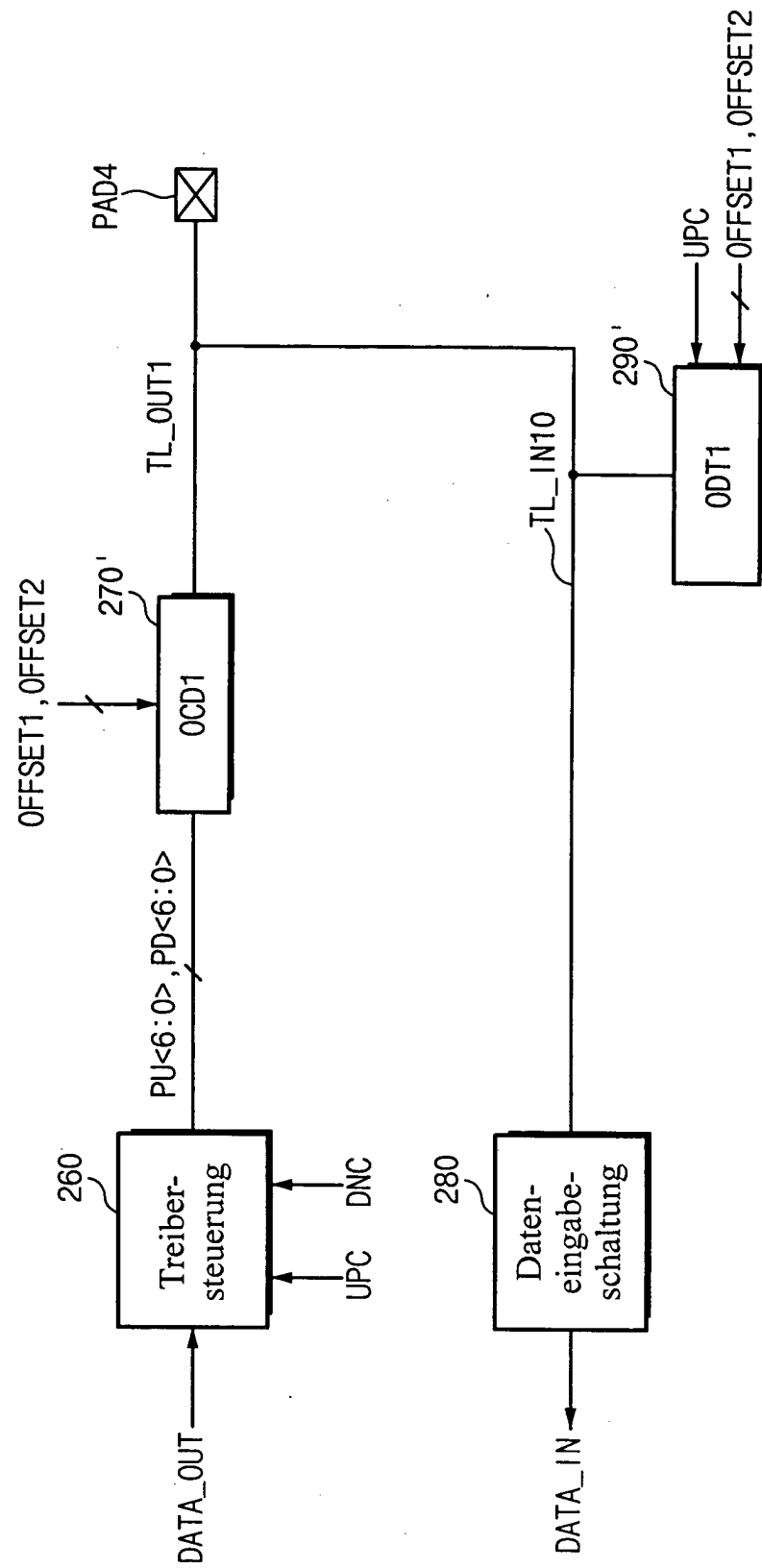


Fig. 13

270'

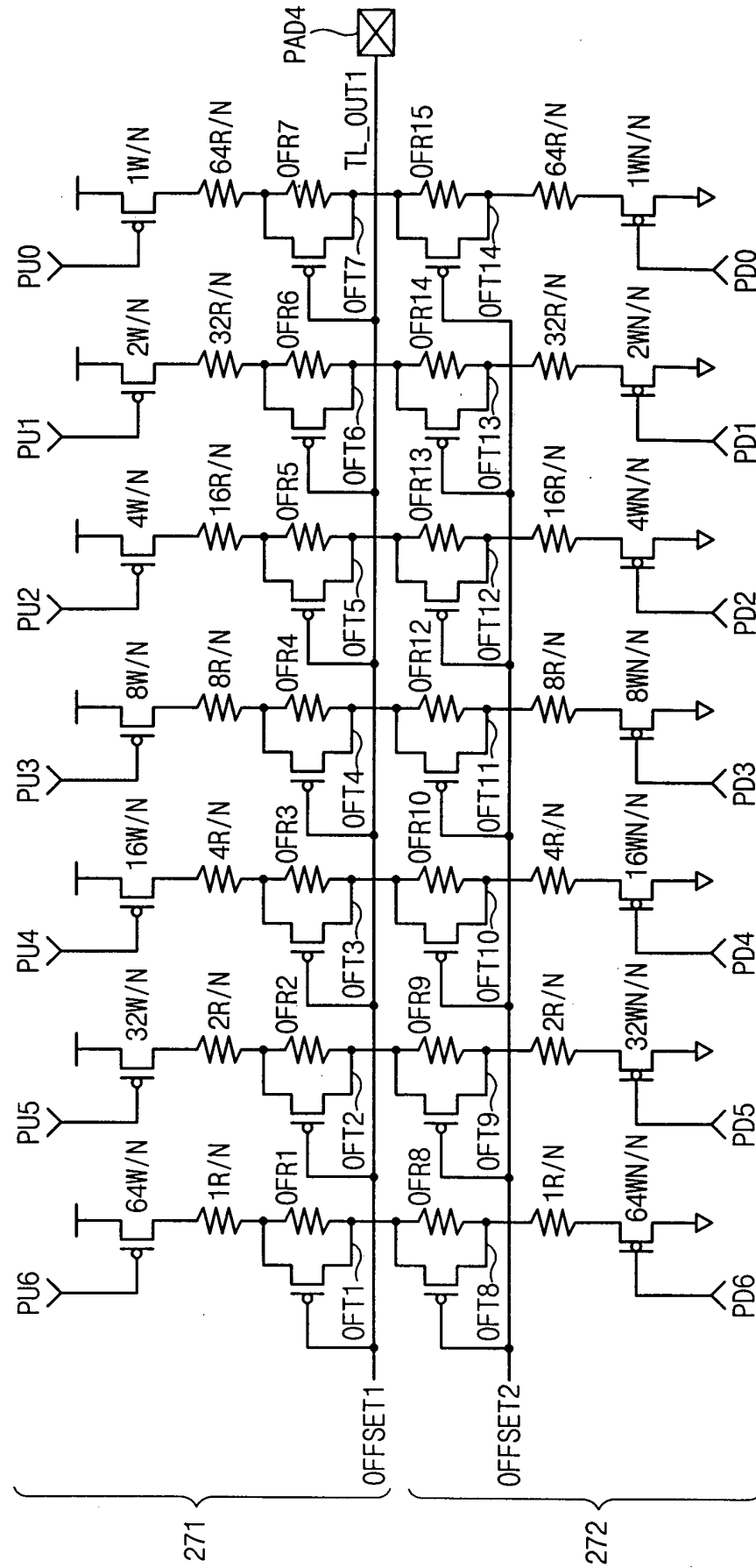


Fig. 14

290'

