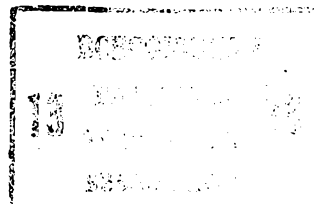




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3511235/18-24

(22) 16.11.82

(46) 30.08.84. Бюл. № 32

(72) В.В. Баринов, Д.Е. Ковалдин
и В.Ф. Онацько

(71) Московский институт электронной
техники

(53) 681.327.6(088.8)

(56) 1. Elektronik, № 13, 1981,
s. 69-74.

2. IEEE Journal of Solid-State
Circuits, № 5, v. 16, 1981, p. 429-
434, (прототип).

(54)(57) 1. ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ
УСТРОЙСТВО, содержащее матричный
накопитель, дешифратор строк, выходы
которого соединены с соответствующими
словарными шинами накопителя, дешиф-
ратор столбцов, выходы которого соеди-
нены с первыми входами соответствую-
щих разрядных усилителей считывания,
вторые и третьи входы которых сое-
динены с соответствующими разрядны-
ми шинами накопителя, а первые и
вторые выходы разрядных усилителей
считывания соединены соответственно
с первым и вторым входами выходного
усилителя и блок выбора кристалла,
отличающееся тем, что,
с целью повышения надежности путем
увеличения достоверности хранимой
информации и уменьшения потребляемой
мощности, устройство содержит блок
внутренней регенерации, первый и
второй входы которого соединены
соответственно с первыми и вторыми
выходами разрядных усилителей счи-
тывания, а третий и четвертый входы
с соответствующими выходами блока
выбора кристалла, первый выход блока

внутренней регенерации соединен с
управляющими входами дешифраторов
столбцов и строк, а второй выход -
с третьим входом выходного усилителя.

2. Устройство по п. 1, от-
личающееся тем, что блок внут-
ренней регенерации содержит первый
и второй п-р-п-транзисторы, базы
которых соответственно являются пер-
вым и вторым входами блока внутрен-
ней регенерации, коллекторы соединены
с источниками положительного напря-
жения, а эмиттеры - соответственно
с первым и вторым генераторами тока
и первым и вторым эмиттерами двух-
эмиттерного п-р-п-транзистора, база
которого подключена к первому источ-
нику опорного напряжения, а коллек-
тор - к базе р-п-р-транзистора эмит-
тер которого соединен с анодом пер-
вого и катодом второго диодов,
первый резистор, один вывод которого
соединен с катодом второго диода,
первый резистор, один вывод которого
соединен с катодом второго диода,
другой вывод - с коллектором двух-
эмиттерного п-р-п-транзистора и като-
дом первого диода, а анод второго
диода соединен с источником положи-
тельного напряжения, коллектор р-п-р-
транзистора соединен с базой третье-
го п-р-п-транзистора, коллектор ко-
торого соединен с базой р-п-р-тран-
зистора, а эмиттер - с одним выводом
второго резистора, другой вывод ко-
торого соединен с базой четвертого
п-р-п-транзистора, являющейся вторым
выходом блока внутренней регенерации,
третий диод, катод которого соединен
с шиной нулевого потенциала, а анод -
с одним выводом третьего резистора,

другой вывод которого подключен к базе четвертого p - r - p -транзистора, коллектор которого соединен с коллектором пятого p - r - p -транзистора, являющимся первым выходом блока внутренней регенерации, эмиттеры четвертого, пятого и шестого p - r - p -транзисторов соединены с третьим генератором тока, база шестого p - r - p -транзистора соединена с вторым источником опорного напряжения, а коллектор подключен к одному выводу четвертого резистора, другой вывод

которого подключен к источнику положительного напряжения, а коллектор пятого p - r - p -транзистора соединен с одним выводом пятого резистора, другой вывод которого соединен с источником положительного напряжения, четвертый диод, анод которого подключен к базе третьего p - r - p -транзистора, а катод является третьим входом блока внутренней регенерации, база пятого p - r - p -транзистора является четвертым входом блока внутренней регенерации.

1

Изобретение относится к цифровой вычислительной технике, в частности к полупроводниковым оперативным запоминающим устройствам (ОЗУ).

Известно ОЗУ, содержащее матричный накопитель, дешифратор строк, выходы которого соединены с соответствующими словарными шинами накопителя, дешифратор столбцов, выходы которого соединены с разрядными усилителями, считывания, входы которых подключены к разрядным шинам, а выходы соединены со входами выходного усилителя, и схему выбора кристалла [1].

Недостатком данного ОЗУ является низкая надежность хранения информации.

Наиболее близким к данному изобретению является ОЗУ, содержащее матричный накопитель, дешифратор строк, выходы которого соединены с соответствующими словарными шинами накопителя, дешифратор столбцов, выходы которого соединены с первыми входами соответствующих разрядных усилителей считывания, вторые и третьи входы которых соединены с соответствующими разрядными шинами накопителя, а первые и вторые выходы разрядных усилителей считывания соединены соответственно с первыми и вторыми входами выходного усилителя, и блок выбора кристалла [2].

Недостатком этого ОЗУ является низкая достоверность функционирования и большое потребление мощности.

2

Целью изобретения является повышение надежности устройства путем увеличения достоверности хранимой информации и уменьшение потребляемой мощности.

Поставленная цель достигается тем, что в оперативное запоминающее устройство, содержащее матричный накопитель, дешифратор строк, выходы которого соединены с соответствующими словарными шинами накопителя, дешифратор столбцов, выходы которого соединены с первыми входами соответствующих разрядных усилителей считывания, вторые и третьи входы которых соединены с соответствующими разрядными шинами накопителя, а первые и вторые выходы разрядных усилителей считывания соединены соответственно с первым и вторым входами выходного усилителя и блока выбора кристалла, введены блок внутренней регенерации, первый и второй входы которого соединены соответственно с первыми и вторыми выходами разрядных усилителей считывания, а третий и четвертый входы - с соответствующими выходами блока выбора кристалла, первый выход блока внутренней регенерации соединен с управляющими входами дешифраторов столбцов и строк а второй выход - с третьим входом выходного усилителя.

Блок внутренней регенерации содержит первый и второй p - r - p -транзисторы, базы которых соответственно являются первым и вторым входами блока внутренней регенерации, коллекто-

ры соединены с источниками положительного напряжения, а эмиттеры - соответственно с первым и вторым генераторами тока и первым и вторым эмиттерами двухэмиттерного п-р-п-транзистора, база которого подключена к первому источнику опорного напряжения, а коллектор - к базе п-р-п-транзистора эмиттер которого соединен с анодом первого и катодом второго диодов, первый резистор, один вывод которого соединен с катодом второго диода, другой вывод - с коллектором двухэмиттерного п-р-п-транзистора и катодом первого диода, а анод второго диода соединен с источником положительного напряжения, коллектор п-р-п-транзистора соединен с базой третьего п-р-п-транзистора, коллектор которого соединен с базой п-р-п-транзистора, а эмиттер с одним выводом второго резистора, другой вывод которого соединен с базой четвертого п-р-п-транзистора, являющейся вторым выходом блока внутренней регенерации, третий диод, катод которого соединен с шиной нулевого потенциала, а анод - с одним выводом третьего резистора, другой вывод которого подключен к базе четвертого п-р-п-транзистора, коллектор которого соединен с коллектором пятого п-р-п-транзистора, являющимся первым выходом блока внутренней регенерации, эмиттеры четвертого, пятого и шестого п-р-п-транзисторов соединены с третьим генератором тока, база шестого п-р-п-транзистора соединена со вторым источником опорного напряжения, а коллектор подключен к одному выводу четвертого резистора, другой вывод которого подключен к источнику положительного напряжения, а коллектор пятого п-р-п-транзистора соединен с одним выводом пятого резистора, другой вывод которого соединен с источником положительного напряжения, четвертый диод, анод которого подключен к базе третьего п-р-п-транзистора, а катод является третьим входом блока внутренней регенерации, база пятого п-р-п-транзистора является четвертым входом блока внутренней регенерации.

На фиг. 1 представлена структурная схема ОЗУ; на фиг. 2 - принципиальная электрическая схема блока внутренней регенерации.

ОЗУ содержит матричный накопитель 1, словарные шины 2, разрядные шины 3, дешифратор 4 строк, дешифратор 5 столбцов, разрядные усилители считывания 6, выходной усилитель 7, блок 8 выбора кристалла, блок внутренней регенерации 9.

Блок внутренней регенерации 9 содержит первый и второй п-р-п-транзисторы соответственно 10 и 11, источники положительного напряжения 12 и 13 для п-р-п-транзисторов 10 и 11, первый и второй генераторы тока соответственно 14 и 15, двухэмиттерный п-р-п-транзистор 16, первый источник опорного напряжения 17, п-р-п-транзистор 18, первый и второй диоды соответственно 19 и 20, первый резистор 21, источник положительного напряжения 22, третий п-р-п-транзистор 23, второй резистор 24, четвертый п-р-п-транзистор 25, третий диод 26, шину нулевого потенциала 27, третий резистор 28, пятый п-р-п-транзистор 29, шестой п-р-п-транзистор 30, третий генератор тока 31, второй источник опорного напряжения 32, четвертый и пятый резисторы соответственно 33 и 34, источники положительного напряжения 35 и 36, четвертый диод 37.

ОЗУ работает следующим образом.

При обращении к матричному накопителю 1 выбор запоминающих элементов осуществляется понижением потенциала словарной шины 2 в выбранной строке и заданием тока записи-считывания в разрядных шинах 3 выбранного столбца в соответствии с кодом адреса, поступающим с дешифраторов строк 4 и столбцов 5. Информационный сигнал в виде разности потенциалов разрядных шин 3 усиливается разрядным усилителем считывания 6 и поступает одновременно на выходной усилитель 7 и блок внутренней регенерации 9.

Для экономии потребляемой мощности сигналом с дешифратора столбцов 5 включается разрядный усилитель считывания 6 только в выбранном столбце. В режиме считывания информации под действием информационного сигнала выходной усилитель 7 переключается в одно из состояний (логического нуля или единицы) и выдает считанную информацию на выход ОЗУ. В режиме записи информации, в от-

личии от режима считывания, выходной усилитель 7 выключен, и записываемая информация на выход ОЗУ не поступает. При поступлении информационного сигнала блок внутренней регенерации формирует два управляющих сигнала. Один из них фиксирует состояние выходного усилителя 7 (в режиме считывания информации), обеспечивая постоянную выдачу считанной информации на выход ОЗУ независимо от протекающих в дальнейшем процессов в матричном накопителе 1 до окончания обращения к кристаллу. Другой управляющий сигнал отключает дешифраторы строк 4 и столбцов 5 от матричного накопителя 1 и переводит тем самым последний в режим регенерации (хранения) информации. Таким образом, когда процесс считывания или записи уже закончен, но кристалл остается выбранным, блок внутренней регенерации 9 переводит ОЗУ в целом в режим пониженной потребляемой мощности, обеспечивая высокую экономичность. По окончании обращения к кристаллу блок 8 выбора кристалла формирует два управляющих сигнала, один из которых переводит блок внутренней регенерации в исходное состояние, а другой запрещает включение дешифраторов строк 4 и столбцов 5.

Введение в ОЗУ блока внутренней регенерации 9 позволяет создать статическое ОЗУ на основе квазистатических элементов памяти.

Блок внутренней регенерации 9 работает следующим образом.

В режиме хранения информации на базы первого и второго $p-n-p$ -транзисторов соответственно 10 и 11 поступают сигналы высокого логического уровня с первого и второго выходного усилителя 7. Блок 8 выбора кристалла формирует на выходах сигналы соответственно низкого и высокого логического уровня. Таким образом, в режиме хранения информации $p-n-p$ -транзистор 18 и третий $p-n-p$ -транзистор 23 выключены и с резистивного делителя, образованного вторым 24 и третьим 28 резисторами, на базу четвертого $p-n-p$ -транзистора 25 поступает сигнал низкого логического уровня. Ток третьего генератора тока 31 протекает через пятый транзистор 29 и формирует на пятом резисторе 34

сигнал низкого логического уровня, отключающий дешифраторы строк 4 и столбцов 5 от матричного накопителя 1.

При обращении к кристаллу блок 8 выбора кристалла формирует на первом выходе сигнал высокого логического уровня (но $p-n-p$ -транзистор 18 и третий $p-n-p$ -транзистор 23 остаются в выключенном состоянии благодаря использованию четвертого развязывающего диода 37), а на втором выходе - низкого логического уровня.

Ток третьего генератора тока 31 переключается в шестой $p-n-p$ -транзистор 30. На пятом резисторе 34 формируется сигнал высокого логического уровня, разрешающий прохождение кода адреса с дешифраторов строк 4 и столбцов 5 на накопитель 1. В зависимости от используемых конструкций дешифраторов для их включения и выключения может быть использован сигнал противоположной полярности, формируемый на четвертом резисторе 33 (фиг. 2, показано пунктиром). После завершения в накопителе 1 процесса считывания или записи дифференциальный информационный сигнал поступает с разрядных усилителей считывания 6 на выходной усилитель 7. В зависимости от полярности дифференциального сигнала ток одного из генераторов тока 14 или 15 переключается в двухэмиттерный транзистор 16 и включает $p-n-p$ -транзистор 18 и третий $p-n-p$ -транзистор 23. Второй диод 20 и третий диод 26 служат для согласования логических уровней, а первый диод 19 - для стабилизации тока, протекающего через $p-n-p$ -транзистор 18 и третий $p-n-p$ -транзистор 23. На резистивном делителе, образованном вторым и третьим резисторами 24 и 28 формируется сигнал высокого логического уровня, фиксирующий состояние выходного усилителя 7 и переключаящий ток третьего генератора тока 31 в четвертый транзистор 25. На пятом резисторе 34 формируется сигнал низкого логического уровня, отключающий дешифраторы строк 4 и столбцов 5 от накопителя 1 и переводящий последний в режим регенерации (хранения) информации. С переходом накопителя 1 в режим регенерации информации потенциалы на

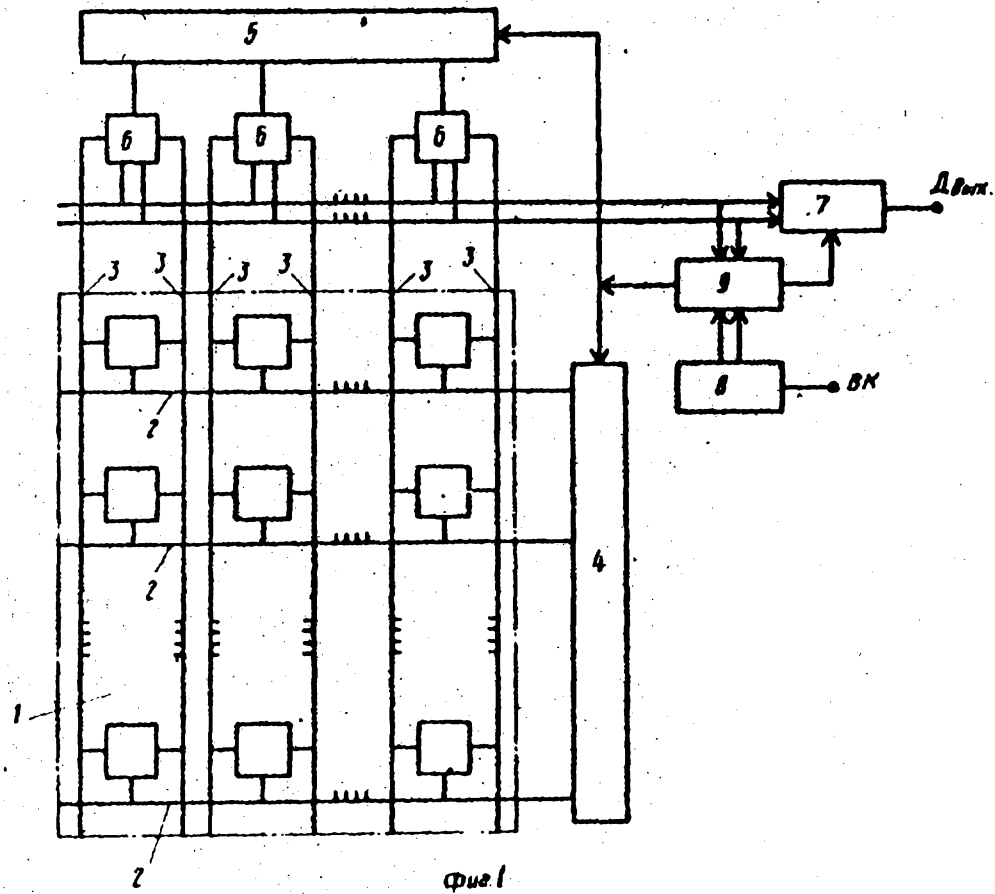
выходах выходного усилителя 7 выравниваются и повышаются. Ток первого или второго генераторов тока 14, 15 вновь переключается в первый или второй п-р-п-транзисторы 10 и 11, но р-п-р-транзистор 18 и третий п-р-п-транзистор 23 остаются включенными. Состояние выходного усилителя 7 остается фиксированным до окончания обращения к кристаллу. Ток третьего генератора тока 31 по-прежнему протекает через четвертый п-р-п-транзистор 25 и формирует на пятом резисторе 34 сигнал низкого логического уровня. Дешифратор строки 4 и столбцов 5 отключены от накопителя 1.

По окончании обращения к кристаллу блок 8 выбора кристалла формирует на своих выходах сигналы соответственно низкого и высокого логических уровней, р-п-р-транзистор и третий п-р-п-транзистор 23 выключаются, резистивным делителем, образованным вторым и третьим резисторами 24 и 28, на втором выходе блока внутренней регенерации 9 формируется сигнал низкого логического уровня, выключающий выходной усилитель 7. Ток третьего генератора тока 31 переключается из четвертого п-р-п-транзистора 25 в пятый п-р-п-транзистор 29. На пятом резисторе 34 по-прежнему форми-

руется сигнал низкого логического уровня и дешифраторы строк 4 и столбцов 5 отключены от накопителя.

5 Использование блока внутренней регенерации 9 не ухудшает быстродействие ОЗУ, так как включение блока внутренней регенерации 9 и перевод накопителя 1 в режим регенерации информации происходит одновременно с включением выходного усилителя 7. 10 В то же время блок внутренней регенерации 9 позволяет значительно снизить потребляемую ОЗУ мощность за счет выключения ряда блоков или 15 работы их при пониженной потребляемой мощности в режиме регенерации информации. Кроме того, использование блока внутренней регенерации 9 позволяет повысить достоверность функционирования ОЗУ за счет того, что 20 сигналом, переводящим накопитель 1 в режим регенерации информации, является внутренний (информационный) 25 сигнал.

Введение в ОЗУ блока внутренней регенерации выгодно отличает предложенное оперативное запоминающее устройство от прототипа, так как 30 позволяет повысить достоверность функционирования ОЗУ и снизить потребляемую мощность.



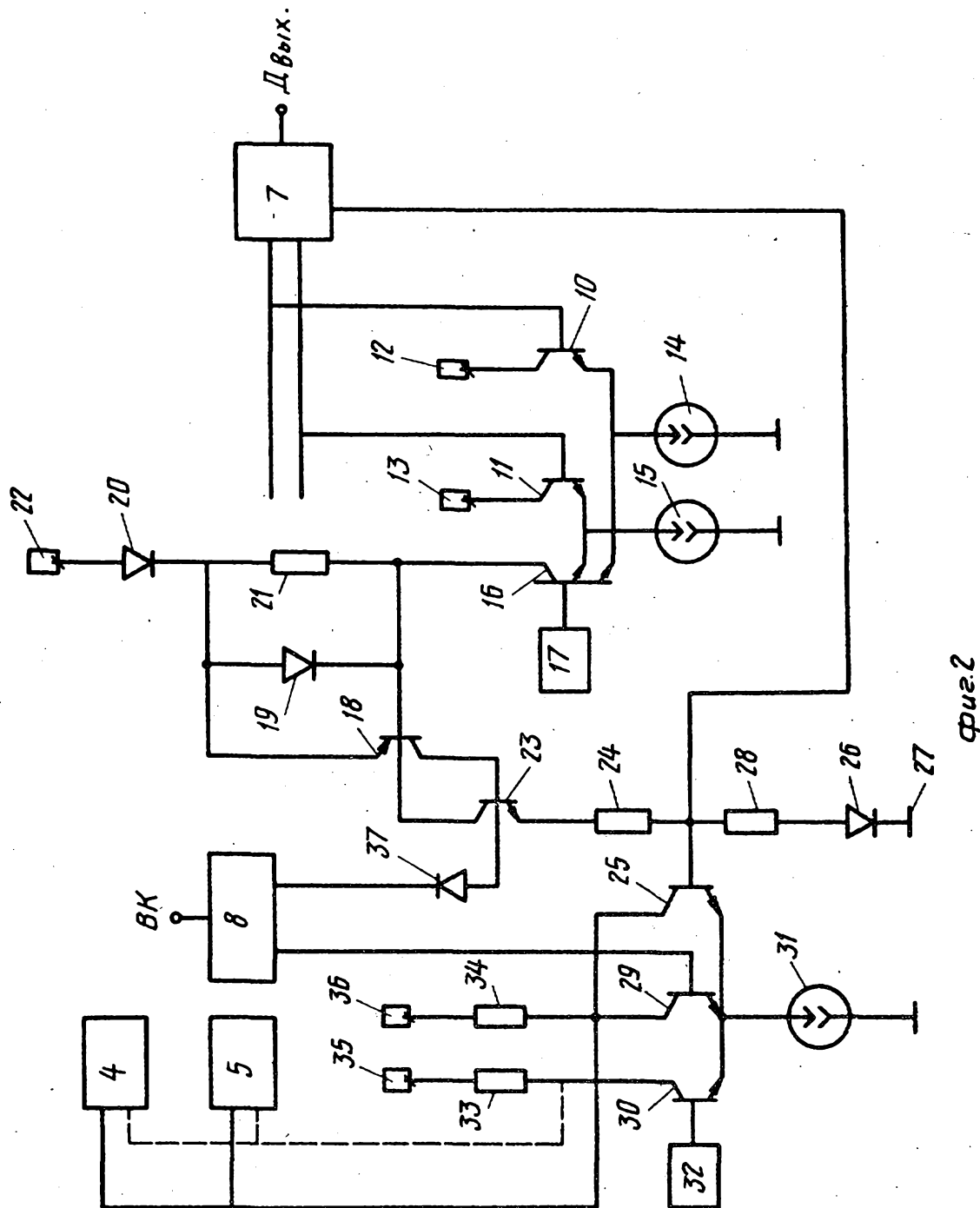


Fig. 2

Редактор С. Тимохина Составитель В. Вакар Техред М. Гергель Корректор С. Черни

Заказ 6318/41

Тираж 574

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4