(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년06월25일
(11) 등록번호 10-1411050
(24) 등록일자 2014년06월17일

(51) 국제특허분류(Int. Cl.)
H03F 3/38 (2006.01)
(21) 출원번호 10-2013-7021757(분할)
(22) 출원일자(국제) 2007년03월12일
심사청구일자 2013년08월19일
(85) 번역문제출일자 2013년08월19일
(65) 공개번호 10-2013-0102127
(43) 공개일자 2013년09월16일
(62) 원출원 특허 10-2008-7028739
원출원일자(국제) 2007년03월12일
심사청구일자 2012년03월12일
(86) 국제출원번호 PCT/US2007/006197
(87) 국제공개번호 WO 2007/133323
국제공개일자 2007년11월22일
(30) 우선권주장
11/508,970 2006년08월24일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
US7200369 A
전체 청구항 수 : 총 20 항

(73) 특허권자
파커비전, 인크.
미국 32256 플로리다주 잭슨빌 베이메도우즈 웨이 7915
(72) 발명자
소렐즈, 데이비드, 에프.
미국 32068 플로리다주 미들버그 라이드아웃 레인 3129
롤린스, 그레고리, 에스.
미국 32746 플로리다주 히스로 하스턴 코트 155
롤린스, 마이클, 더블유.
미국 32746 플로리다주 레이크 메리 스프루스우드 로드 349
(74) 대리인
백만기, 양영준

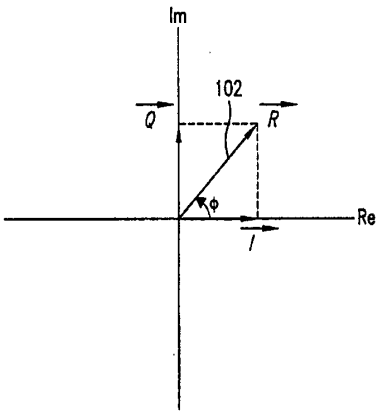
심사관 : 김남인

(54) 발명의 명칭 **RF 전력 전송, 변조 및 증폭 시스템 및 방법**

(57) 요 약

벡터 결합 전력 증폭 방법과 시스템이 개시된다. 일 실시예에서 복수의 신호가 개별적으로 증폭된 다음에 합산되어 원하는 시변 복소 포락선 신호를 구성한다. 이 신호들 중 하나 또는 그 이상의 위상 및/또는 주파수 특성은 원하는 시변 복소 포락선 신호의 원하는 위상, 주파수 및/또는 진폭 특성을 제공하도록 제어된다. 다른 실시예에서 시변 복소 포락선 신호는 복수의 일정 포락선 성분 신호로 분해된다. 이 성분 신호들은 동일하게 또는 실질적으로 동일하게 증폭된 다음 합산되어 원래의 시변 포락선 신호의 증폭 버전을 구성한다. 또한 실시예들은 주파수 상향 변환도 수행한다.

대 표 도 - 도1



(30) 우선권주장
11/508,989 2006년08월24일 미국(US)
11/509,031 2006년08월24일 미국(US)
60/794,121 2006년04월24일 미국(US)
60/797,653 2006년05월05일 미국(US)
60/798,705 2006년05월09일 미국(US)

특허청구의 범위

청구항 1

전력 증폭 방법으로서,

주파수 기준 신호를 수신하는 단계;

정보를 수신하는 단계;

상기 수신된 정보로부터 복수의 제어 신호들을 발생하는 단계;

상기 주파수 기준 신호 및 상기 복수의 제어 신호들을 이용하여 복수의 포락선 신호들을 발생하는 단계;

상기 포락선 신호들을 증폭하고 결합하여, 출력 신호를 생성하는 단계; 및

원하는 출력 신호에 대해 상기 출력 신호의 위상 및 진폭 에러들을 감소시킴으로써 상기 출력 신호의 파형 왜곡을 감소시키는 단계

를 포함하는 전력 증폭 방법.

청구항 2

제1항에 있어서,

상기 파형 왜곡을 감소시키는 단계는 상기 원하는 출력 신호에 대해 상기 출력 신호의 위상 및 진폭 에러값들을 발생하는 단계를 포함하는 전력 증폭 방법.

청구항 3

제2항에 있어서,

상기 위상 및 진폭 에러값들을 발생하는 단계는,

상기 원하는 출력 신호에 대해 상기 출력 신호의 상기 위상 및 진폭 에러값들을 측정하는 단계;

상기 원하는 출력 신호에 대해 상기 출력 신호의 상기 위상 및 진폭 에러값들을 산출하는 단계; 및

상기 원하는 출력 신호에 대해 상기 출력 신호의 상기 위상 및 진폭 에러값들을 평가하는 단계

중 하나 또는 그 이상을 포함하는 전력 증폭 방법.

청구항 4

제1항에 있어서,

상기 파형 왜곡을 감소시키는 단계는,

(a) 회로 프로세스 변동들;

(b) 회로 온도 변동들;

(c) IC 패키지 변동들;

(d) 회로 기판 변동들;

(e) 상기 복수의 제어 신호들을 발생하는 단계;

(f) 상기 복수의 포락선 신호들을 발생하는 단계;

(g) 상기 복수의 포락선 신호들을 증폭하는 단계; 및

(h) 단일 전력 증폭기 노드에서의 상기 증폭된 복수의 포락선 신호들의 결합 단계

중 하나 또는 그 이상으로 인한 상기 출력 신호의 위상 및 진폭 에러들을 감소시키는 단계를 포함하는 전력 증

폭 방법.

청구항 5

제1항에 있어서,

상기 파형 왜곡을 감소시키는 단계는 상기 출력 신호의 위상 및 진폭 에러들이 특정 시스템 에러 공차 내에 유지되는 것을 보장하기 위하여 수행되는 전력 증폭 방법.

청구항 6

제1항에 있어서,

상기 파형 왜곡을 감소시키는 단계는 상기 원하는 출력 신호에 대해 상기 출력 신호의 상기 위상 및 진폭 에러들을 사전 보상함으로써 수행되는 전력 증폭 방법.

청구항 7

제1항에 있어서,

상기 파형 왜곡을 감소시키는 단계는 상기 복수의 제어 신호들을 발생하기 위해 이용되는 하나 또는 그 이상의 전달 함수들을 조정하는 단계를 포함하는 전력 증폭 방법.

청구항 8

제1항에 있어서,

상기 파형 왜곡을 감소시키는 단계는 상기 복수의 포락선 신호들을 발생하기 위해 이용되는 하나 또는 그 이상의 제어 입력들을 조정하는 단계를 포함하는 전력 증폭 방법.

청구항 9

제1항에 있어서,

상기 파형 왜곡을 감소시키는 단계는 상기 수신된 정보에 에러 사전 보상을 적용하는 단계를 포함하는 전력 증폭 방법.

청구항 10

전력 증폭 장치로서,

정보를 수신하고, 상기 수신된 정보로부터 복수의 제어 신호들을 발생하는 입력 회로;

상기 입력 회로에 결합되어, 상기 복수의 제어 신호들 및 주파수 기준 신호를 수신하고, 상기 주파수 기준 신호 및 상기 복수의 제어 신호들을 이용하여 복수의 포락선 신호들을 발생하는 벡터 변조 회로;

상기 포락선 신호들을 수신하고, 상기 포락선 신호들을 증폭한 다음에 결합하여, 출력 신호를 생성하는 전력 증폭기; 및

원하는 출력 신호에 대해 상기 출력 신호의 위상 및 진폭 에러들을 감소시킴으로써 상기 출력 신호의 파형 왜곡을 감소시키는 수단

을 포함하는 전력 증폭 장치.

청구항 11

제10항에 있어서,

상기 파형 왜곡을 감소시키는 수단은 상기 원하는 출력 신호에 대해 상기 출력 신호의 위상 및 진폭 에러값들을 발생하는 수단을 포함하는 전력 증폭 장치.

청구항 12

제11항에 있어서,

상기 위상 및 진폭 에러값들을 발생하는 수단은,

상기 원하는 출력 신호에 대해 상기 출력 신호의 상기 위상 및 진폭 에러값들을 측정하는 수단;

상기 원하는 출력 신호에 대해 상기 출력 신호의 상기 위상 및 진폭 에러값들을 산출하는 수단; 및

상기 원하는 출력 신호에 대해 상기 출력 신호의 상기 위상 및 진폭 에러값들을 평가하는 수단

중 하나 또는 그 이상을 포함하는 전력 증폭 장치.

청구항 13

제10항에 있어서,

상기 파형 왜곡을 감소시키는 수단은,

(a) 회로 프로세스 변동들;

(b) 회로 온도 변동들;

(c) IC 패키지 변동들;

(d) 회로 기판 변동들;

(e) 상기 입력 회로;

(f) 상기 벡터 변조 회로;

(g) 상기 전력 증폭기;

(h) 상기 전력 증폭기를 이용하여 상기 포락선 신호들을 증폭하는 것; 및

(i) 상기 전력 증폭기의 단일 회로 노드에서 상기 전력 증폭기의 출력들을 결합하는 것

중 하나 또는 그 이상으로 인한 상기 출력 신호의 위상 및 진폭 에러들을 감소시키는 수단을 포함하는 전력 증폭 장치.

청구항 14

제10항에 있어서,

상기 원하는 출력 신호에 대해 상기 출력 신호의 상기 위상 및 진폭 에러들을 모니터하는 수단; 및

상기 위상 및 진폭 에러들이 적어도 시스템 설계 요건들을 충족할 때에 상기 파형 왜곡을 감소시키는 수단을 트리거하는 수단

을 더 포함하는 전력 증폭 장치.

청구항 15

제10항에 있어서,

상기 파형 왜곡을 감소시키는 수단은 상기 원하는 출력 신호에 대해 상기 출력 신호의 상기 위상 및 진폭 에러들을 사전 보상하는 수단을 포함하는 전력 증폭 장치.

청구항 16

제10항에 있어서,

상기 파형 왜곡을 감소시키는 수단은 상기 입력 회로의 디지털 제어 모듈의 하나 또는 그 이상의 전달 함수들을 조정하는 수단을 포함하는 전력 증폭 장치.

청구항 17

제10항에 있어서,

상기 파형 왜곡을 감소시키는 수단은 상기 위상 및 진폭 에러들에 따라서 상기 복수의 제어 신호들을 조정하는

수단을 포함하는 전력 증폭 장치.

청구항 18

제10항에 있어서,

상기 파형 왜곡을 감소시키는 수단은 상기 벡터 변조 회로의 하나 또는 그 이상의 제어 입력들을 조정하는 수단을 포함하는 전력 증폭 장치.

청구항 19

제10항에 있어서,

상기 파형 왜곡을 감소시키는 수단은 상기 벡터 변조 회로에 하나 또는 그 이상의 오프셋 전압들을 인가하는 수단을 포함하는 전력 증폭 장치.

청구항 20

제10항에 있어서,

상기 파형 왜곡을 감소시키는 수단은 상기 위상 및 진폭 에러들에 대해 상기 수신된 정보를 사전 보상하는 수단을 포함하는 전력 증폭 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 일반적으로 RF 전력 전송, 변조 및 증폭에 관한 것이다. 특히 본 발명은 벡터 결합 전력 증폭 방법 및 시스템에 관한 것이다.

배 경 기 술

[0002] 전력 증폭기에서는 통상적으로 선형성과 전력 효율 간에 복잡한 절충(tradeoff)이 존재한다.

[0003] 선형성은 전력 증폭기의 입력 변수를 그 출력 변수에 관련시키는 특성 곡선 상의 전력 증폭기 동작 범위에 의해 결정되는데, 동작 범위가 선형적일수록 전력 증폭기는 더 선형적이다라고 말한다. 선형성은 전력 증폭기의 원하는 특성이다. 일 양상에서 예컨대 전력 증폭기는 진폭, 및/또는 위상 및/또는 주파수가 변화하는 신호를 균일하게 증폭시키는 것이 바람직하다. 따라서 선형성은 전력 증폭기의 출력 신호 품질을 결정짓는 중요한 요소이다.

[0004] 전력 효율은 부하에 전달된 총 전력을 증폭기에 공급된 총전력으로 나눈 것을 이용하여 계산될 수 있다. 이상적인 증폭기의 경우에는 전력 효율은 100%이다. 통상적으로 전력 증폭기는 증폭기의 이론적인 최대 전력 효율을 결정하는 등급으로 나누어 진다. 특히 전력 증폭기가 전력을 많이 소모하는 무선 통신 시스템에서는 전력 효율은 전력 증폭기의 원하는 특성이다.

[0005] 그러나 전력 증폭기에서 선형성과 효율 간의 종래의 절충은 전력 증폭기가 선형적일수록 전력 효율은 낮아지는 것이었다. 예컨대 가장 선형적인 증폭기는 증폭기의 최저 효율 등급인 A 등급 동작으로 치우친다. 반면에 등급 B, C, D, E 등과 같이 증폭기 등급이 높을수록 전력 효율은 높아지지만 비선형적으로 되어 스펙트럼상 출력 신호가 왜곡될 수 있다.

[0006] 전술한 절충은 통상의 무선 통신 신호에서 더 두드러진다. 예컨대 OFDM, CDMA 및 W-CDMA와 같은 무선 통신 신호는 일반적으로 피크 대 평균 전력비에 의해 특징지워진다. 신호의 피크 대 평균 전력비가 클수록 비선형 증폭기 채용시에 비선형 왜곡이 더 많이 생길 것이다.

[0007] RF 증폭기 설계를 위해 아웃페이징(outphasing) 증폭 기술이 제안되어 있다. 그러나 몇 가지 양상에서 기존의 아웃페이징 기술은 특히 예컨대 무선 통신 표준에 따라 정해지는 복잡한 신호 증폭 요건을 충족시키기에는 불충분하다.

[0008] 일 양상에서 기존의 아웃페이징 기술은 원하는 출력 신호의 일정 포락선(envelope) 성분을 결합할 때에 고립

(isolating) 및/또는 결합(combining) 요소를 이용한다. 예컨대 성분 신호를 결합하는데는 흔히 전력 결합기가 이용된다. 그러나 이 결합 방식에 의하면 통상적으로 삽입 손실과 제한된 대역폭으로 인해 출력 신호의 전력이 저하되고, 따라서 전력 효율이 감소된다.

[0009] 다른 양상에서 결합 요소는 통상적으로 사이즈가 크기 때문에 모놀리식 증폭기 설계에서 채용하기 어렵다.

[0010] 따라서 전력 효율을 최대화하고 비선형 왜곡을 최소화하면서 기존의 전력 증폭 기술의 결함을 해소하는 전력 증폭 방법 및 시스템이 필요하다. 더욱이 종래의 전력 결합 회로 및 기술의 제한없이 구현될 수 있는 전력 증폭 방법 및 시스템이 필요하다.

발명의 내용

[0011] 본 명세서에서는 벡터 결합 전력 증폭에 대한 실시예들이 개시된다.

[0012] 일 실시예에서 복수의 실질적으로 일정한 포락선 신호가 개별적으로 증폭된 다음에 결합되어 원하는 시변 복소 포락선 신호를 구성한다. 이 신호들 중 하나 또는 그 이상의 위상 및/또는 주파수 특성은 원하는 시변 복소 포락선 신호의 원하는 위상, 주파수 및/또는 진폭 특성을 제공하도록 제어된다.

[0013] 다른 실시예에서 시변 복소 포락선 신호는 복수의 실질적으로 일정한 포락선 성분 신호로 분해된다. 이 성분 신호들은 증폭된 다음 재결합되어 원래의 시변 포락선 신호의 증폭 버전을 구성한다.

[0014] 본 발명의 실시예는 변조 반송파 신호와 기저대역 정보 및 클록 신호를 가지고 실시될 수 있다. 또한 본 발명의 실시예는 주파수 상향 변환을 달성한다. 따라서 본 발명의 실시예는 주파수 상향 변환, 증폭 및 변조를 위한 통합된 솔루션을 나타낸다.

[0015] 본 발명의 실시예는 아날로그 및/또는 디지털 제어로 구현될 수 있다. 본 발명은 아날로그 성분 또는 아날로그 성분과 디지털 성분의 조합으로 구현될 수 있다. 후자의 실시예에서 디지털 신호 처리는 추가 비용의 절감을 위해 기존의 기저대역 프로세서에서 구현될 수 있다.

[0016] 본 발명의 추가적인 특성과 이점에 대해서는 하기의 상세한 설명에서 설명될 것이다. 또 다른 특성과 이점은 하기의 상세한 설명에 기초하여 당업자에게 명백하거나 본 발명의 실시에 따라 알 수 있다. 본 발명의 이점은 상세한 설명과 청구범위는 물론 첨부된 도면에서 특정된 구조와 방법에 따라 실현되고 달성될 수 있다.

[0017] 위에서 설명한 요약과 하기의 상세한 설명은 예시적이고 설명적인 것이며 본 발명의 실시예를 자세히 설명하기 위한 것임은 물론이다.

도면의 간단한 설명

[0018] 첨부도면을 참조로 본 발명의 실시예들에 대해 설명한다. 도면에 있어 동일 도면부호는 동일 또는 기능적으로 유사한 구성요소를 나타낸다. 또한 일반적으로 도면부호의 최좌측 숫자는 관련 구성요소가 처음 도입되는 도면을 식별한다.

도 1a는 예시적인 시변(time-varing) 복소 포락선 신호의 생성을 나타낸 예시도.

도 1b는 예시적인 시변 복소 포락선 신호의 생성을 나타낸 다른 예시도.

도 1c는 2 또는 그 이상의 일정 포락선 신호의 합으로부터의 예시적인 시변 복소 포락선 신호의 생성을 나타낸 예시도.

도 1d는 본 발명의 실시예에 따른 예시적인 시변 복소 포락선 신호의 전력 증폭을 나타낸 도.

도 1e는 본 발명의 벡터 전력 증폭 실시예를 나타낸 블록도.

도 1은 신호의 페이저 표기(phasor representation)를 나타낸 도.

도 2는 시변 복소 포락선 신호의 페이저 표기를 나타낸 도.

도 3a 내지 3c는 시변 복소 포락선 신호를 생성하는 예시적인 변조를 나타낸 도.

도 3d는 시변 포락선 신호의 일정 포락선 분해를 나타낸 예시도.

도 4는 본 발명의 실시예에 따른 직교 4-분기 벡터 전력 증폭(VPA)법을 나타낸 페이저도.

도 5는 직교 4-분기 VPA법의 예시적인 실시예를 나타낸 블록도.

도 6은 직교 4-분기 VPA법에 따른 전력 증폭에 대한 프로세스 플로우차트 실시예를 도시한 도.

도 7a는 직교 4-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 예시적인 실시예를 나타낸 블록도.

도 7b는 직교 4-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 8a는 직교 4-분기 VPA법에 따른 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 8b는 직교 4-분기 VPA법에 따른 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 8c는 직교 4-분기 VPA법에 따른 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 8d는 직교 4-분기 VPA법에 따른 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 9a 및 9b는 본 발명의 실시예에 따른 직교-극-직교-극(CPCP) 2-분기 벡터 전력 증폭(VPA)법을 나타낸 페이저도.

도 10은 CPCP 2-분기 VPA법의 예시적인 실시예를 나타낸 블록도.

도 10a는 CPCP 2-분기 VPA법의 다른 예시적인 실시예를 나타낸 블록도.

도 11은 CPCP 2-분기 VPA법에 따른 전력 증폭에 대한 프로세스 플로우차트 실시예를 나타낸 도.

도 12는 CPCP 2-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 예시적인 실시예를 나타낸 블록도.

도 12a는 CPCP 2-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 12b는 CPCP 2-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 13은 CPCP 2-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 13a는 CPCP 2-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 14는 본 발명의 실시예에 따른 직접 직교 2-분기 벡터 전력 증폭(VPA)법을 나타낸 페이저도.

도 15는 직접 직교 2-분기 VPA법의 예시적인 실시예를 나타낸 블록도.

도 15a는 직접 직교 2-분기 VPA법의 다른 예시적인 실시예를 나타낸 블록도.

도 16은 직접 직교 2-분기 VPA법에 따른 전력 증폭에 대한 프로세스 플로우차트 실시예를 나타낸 도.

도 17은 직접 직교 2-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 예시적인 실시예를 나타낸 블록도.

도 17a는 직접 직교 2-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 17b는 직접 직교 2-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 18은 직접 직교 2-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 18a는 직접 직교 2-분기 VPA법을 구현하기 위한 벡터 전력 증폭기의 다른 예시적인 실시예를 나타낸 블록도.

도 19는 직교 4-분기 VPA법에 따른 I 및 Q 전달 함수 실시예를 나타낸 프로세스 플로우차트.

도 20은 직교 4-분기 VPA법에 따른 I 및 Q 전달 함수의 예시적인 실시예를 나타낸 블록도.

도 21은 CPCP 2-분기 VPA법에 따른 I 및 Q 전달 함수 실시예를 나타낸 프로세스 플로우차트.

도 22는 CPCP 2-분기 VPA법에 따른 I 및 Q 전달 함수의 예시적인 실시예를 나타낸 블록도.

도 23은 직접 직교 2-분기 VPA법에 따른 I 및 Q 전달 함수 실시예를 나타낸 프로세스 플로우차트.

도 24는 직접 직교 2-분기 VPA법에 따른 I 및 Q 전달 함수의 예시적인 실시예를 나타낸 블록도.

도 25는 신호 페이저 표기에 대한 파형 왜곡의 영향을 나타낸 페이저도.

도 26은 본 발명의 실시예에 따른 크기-위상 변환 함수를 나타낸 도.

도 27은 본 발명의 실시예에 따른 바이어싱 회로의 예시적인 실시예를 나타낸 도.

도 28은 본 발명의 실시예에 따른 일정 포락선 신호들을 결합하는 방법을 나타낸 도.

도 29는 본 발명에 따른 벡터 전력 증폭기 출력단 실시예를 나타낸 도.

도 30은 전력 증폭기(PA) 출력단 실시예의 블록도.

도 31은 다른 전력 증폭기(PA) 출력단 실시예의 블록도.

도 32는 다른 전력 증폭기(PA) 출력단 실시예의 블록도.

도 33은 본 발명에 따른 다른 전력 증폭기(PA) 출력단 실시예의 블록도.

도 34는 본 발명에 따른 다른 전력 증폭기(PA) 출력단 실시예의 블록도.

도 35는 본 발명에 따른 다른 전력 증폭기(PA) 출력단 실시예의 블록도.

도 36은 본 발명에 따른 다른 전력 증폭기(PA) 출력단 실시예의 블록도.

도 37은 본 발명의 실시예에 따른 예시적인 출력 신호를 나타낸 도.

도 38은 예시적인 PA 실시예를 나타낸 도.

도 39는 예시적인 시변 복소 포락선 PA 출력 신호와 이에 대응하는 포락선 신호를 나타낸 도.

도 40은 PA 출력단 전류의 예시적인 타이밍도.

도 41은 예시적인 출력단 전류 제어 함수를 나타낸 도.

도 42는 다른 전력 증폭기(PA) 출력단 실시예의 블록도.

도 43은 예시적인 PA단 실시예를 나타낸 도.

도 44는 예시적인 파형 PA 출력 신호를 나타낸 도.

도 45는 전력 제어 방법을 나타낸 도.

도 46은 다른 전력 제어 방법을 나타낸 도.

도 47은 예시적인 벡터 전력 증폭기 실시예를 나타낸 도.

도 48은 본 발명의 실시예에 따른 출력단 전류 정형(shaping)을 구현하기 위한 프로세스 플로우차트.

도 49는 본 발명의 실시예에 따른 고조파 제어를 구현하기 위한 프로세스 플로우차트.

도 50은 본 발명의 실시예에 따른 전력 증폭을 구현하기 위한 프로세스 플로우차트.

도 51a 내지 51i는 예시적인 다중 입력 단일 입력(MISO) 출력단 실시예를 나타낸 도.

도 52는 예시적인 MISO 증폭기 실시예를 나타낸 도.

도 53은 여러 가지 통신 표준에 있어서 하위 및 상위 스펙트럼 대역 상의 주파수 대역 할당을 나타낸 도.

도 54a 및 54b는 에러 보상을 위한 피드포워드 기술을 나타낸 도.

도 55는 수신기 기반 피드백 에러 정정 기술을 나타낸 도.

도 56은 디지털 제어 모듈 실시예를 나타낸 도.

도 57은 다른 디지털 제어 모듈 실시예를 나타낸 도.

도 58은 다른 디지털 제어 모듈 실시예를 나타낸 도.

도 59는 VPA 아날로그 코어 실시예를 나타낸 도.

도 60은 도 59의 VPA 아날로그 코어 실시예에 따른 출력단 실시예를 나타낸 도.

도 61은 다른 VPA 아날로그 코어 실시예를 나타낸 도.

도 62는 도 61의 VPA 아날로그 코어 실시예에 따른 출력단 실시예를 나타낸 도.

도 63은 다른 VPA 아날로그 코어 실시예를 나타낸 도.

도 64는 도 63의 VPA 아날로그 코어 실시예에 따른 출력단 실시예를 나타낸 도.

도 65는 본 발명의 실시예에 따른, 예시적인 파형을 이용한 실시간 증폭기 등급 제어를 나타낸 도.

도 66은 출력 전력 대 아웃페이징(outphasing) 각의 예시적인 플롯을 나타낸 도.

도 67은 본 발명의 실시예에 따른, 예시적인 QPSK 파형을 이용한 예시적인 전력 제어 메카니즘을 나타낸 도.

도 68은 본 발명의 실시예에 따른, 예시적인 파형을 이용한 실시간 증폭기 등급 제어를 나타낸 도.

도 69는 본 발명의 실시예에 따른, 예시적인 파형을 이용한 실시간 증폭기 등급 제어를 나타낸 도.

도 70은 본 발명의 실시예에 따른, 이론적인 VPA 출력단 효율 대 VPA 출력단 전류의 예시적인 플롯을 나타낸 도.

도 71은 본 발명의 실시예에 따른 예시적인 VPA를 나타낸 도.

도 72는 본 발명의 실시예에 따른, 전력 증폭기에서의 실시간 증폭기 등급 제어 방법을 나타낸 프로세스 플로우 차트.

도 73은 예시적인 VPA 출력단을 나타낸 도.

도 74는 도 73의 VPA 출력단의 증폭기 등급 S 동작에 대한 등가회로도.

도 75는 도 73의 VPA 출력단의 증폭기 등급 A 동작에 대한 등가회로도.

도 76은 도 73의 VPA 출력단의 증폭기 등급 A 및 등급 S 동작에 대한 예시적인 크기-위상 천이 변환 함수를 나타낸 플롯도.

도 77은 도 73의 VPA 출력단의 동작의 증폭기 등급의 범위에 대응하는 크기-위상 천이 변환 함수의 스펙트럼을 나타낸 플롯도.

도 78은 분기 위상 및 진폭 에러가 있을 때에의 크기-위상 천이 변환의 수학적 유도를 나타낸 도.

본 발명은 첨부도면을 참조로 설명한다. 도면에서, 처음 나타나는 구성 요소는 통상적으로 해당 도면부호의 최좌측 숫자로 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0019] 목차

[0020] 1. 소개

[0021] 1.1. 시변 복소 포락선 입력 신호의 예시적인 생성

[0022] 1.2. 일정 포락선 신호로부터의 시변 복소 포락선 신호의 예시적인 생성

[0023] 1.3. 벡터 전력 증폭 개관

[0024] 2. 일반적인 수학적 개관

[0025] 2.1. 페이저 신호 표기

[0026] 2.2. 시변 복소 포락선 신호

[0027] 2.3. 시변 포락선 신호의 일정 포락선 분해

[0028] 3. 벡터 전력 증폭(VPA) 방법 및 시스템

[0029] 3.1. 직교 4-분기 벡터 전력 증폭기

[0030] 3.2. 직교-극-직교-극 (CPCP) 2-분기 벡터 전력 증폭기

[0031] 3.3. 직접 직교 2-분기 벡터 전력 증폭기

[0032] 3.4. I 및 Q 데이터-벡터 변조기 전달 함수

[0033] 3.4.1. 직교 4-분기 VPA 전달 함수

[0034] 3.4.2. CPCP 2-분기 VPA 전달 함수

[0035] 3.4.3. 직접 직교 2-분기 VPA 전달 함수

[0036] 3.4.4. 크기-위상 천이 변환

[0037] 3.4.4.1. 정현파 신호에 대한 크기-위상 천이 변환

[0038] 3.4.4.2. 구형파 신호에 대한 크기-위상 천이 변환

[0039] 3.4.5. 파형 왜곡 보상

[0040] 3.5. 출력단

[0041] 3.5.1. 출력단 실시예

[0042] 3.5.2. 출력단 전류 정형

[0043] 3.5.3. 출력단 보호

[0044] 3.6. 고조파 제어

[0045] 3.7. 전력 제어

[0046] 3.8. 예시적인 벡터 전력 증폭기 실시예

[0047] 4. 추가 예시적인 실시예 및 구현

[0048] 4.1. 개관

[0049] 4.1.1. 출력 전력 및 전력 효율의 제어

[0050] 4.1.2. 에러 보상 및/또는 보정

[0051] 4.1.3. 다중대역 다중모드 동작

[0052] 4.2. 디지털 제어 모듈

[0053] 4.3. VPA 아날로그 코어

[0054] 4.3.1. VPA 아날로그 코어 구현 A

[0055] 4.3.2. VPA 아날로그 코어 구현 B

[0056] 4.3.3. VPA 아날로그 코어 구현 C

[0057] 5. VPA 출력단의 실시간 증폭기 등급 제어

[0058] 6. 요약

[0059] 7. 결론

[0060] 소개

[0061] 본 명세서에서는 벡터 결합 전력 증폭 방법, 장치 및 시스템이 개시된다.

[0062] 벡터 결합 전력 증폭은 선형성과 전력 효율을 동시에 최적화하는 방식이다. 일반적으로 말하여, 도 50의 플로우차트(502)를 참조로 설명하면, 단계(504)에서 진폭과 위상이 변하는 시변 복소 포락선 입력 신호는 일정 포락선 성분 신호들로 분해된다. 단계(506)에서 일정 포락선 성분 신호들은 증폭되고, 단계(508)에서 합산되어 입력 복소 포락선 신호의 증폭 신호를 생성한다. 실질적으로 일정한 포락선 신호는 비선형 왜곡이 거의 없이 증폭될 수 있기 때문에 일정 포락선 신호들을 합산한 결과도 비선형 왜곡이 거의 없이 최적 효율을 제공한다.

[0063] 따라서 벡터 결합 전력 증폭에 의해서 비선형 전력 증폭기라도 비선형 왜곡 레벨을 최소화하면서 복소 신호를 효율적으로 증폭하는데 사용될 수 있다.

[0064] 편의상 제한없이 본 명세서에서는 본 발명의 방법 및 시스템은 때로는 벡터 전력 증폭(VPA) 방법 및 시스템이라

고 한다.

[0065] 이제 본 발명의 실시예들에 따른 VPA 방법 및 시스템에 대해서 자세히 설명하기로 한다. 명확하게 하기 위하여 먼저 특정 용어들에 대해서 정의한다. 이 절에서 기술된 정의는 단순히 편의상 제공하는 것이며 제한적인 것이 아니다. 이들 용어들의 의미는 본 발명의 교시에 따라 당업자에게 명백하게 될 것이다. 이들 용어는 명세서 전체에서 추가적인 세부사항을 가지고 설명될 수 있다.

[0066] 여기서 사용되는 용어 "신호 포락선"은 신호가 시간 영역에서 변동할 때에 포함되는 진폭 경계를 말한다. 직교 변조 신호는 $r(t)=i(t)\cdot\cos(\omega c\cdot t)+q(t)\cdot\sin(\omega c\cdot t)$로 표현될 수 있다. 이 식에서 i(t)와 q(t)는 신호 포락선($e(t)=\sqrt{i(t)^2+q(t)^2}$)을 가진 동위상 및 직각 위상 신호를 나타내며, r(t)와 연관된 위상 신호는 artan(q(t))/i(t)와 관계된다.

[0067] 여기서 사용되는 용어 "일정 포락선 신호"는 $e(t)=\sqrt{i(t)^2+q(t)^2}$ 가 비고적 또는 거의 일정한 값을 가진 동위상 및 직각 위상 신호를 말한다.

[0068] 여기서 사용되는 용어 "시변 포락선 신호"는 시변 신호 포락선을 가진 신호를 말한다. 시변 포락선 신호는 동위상 및 직각 위상 신호의 관점에서 시변값을 가진 $e(t)=\sqrt{i(t)^2+q(t)^2}$ 로서 표현될 수 있다.

[0069] 여기서 사용된 용어 "위상 천이(phase shifting)"는 시변 또는 일정 포락선 신호의 위상 성분이 기준 위상에 대해 지상(delaying) 또는 진상(advancing)하는 것을 말한다.

[0070] 1.1) 시변 복소 포락선 입력 신호의 예시적인 생성

[0071] 도 1a 및 도 1b는 시변 포락선 및 위상 복소 입력 신호의 생성을 나타낸 예시도이다. 도 1a에서, 시변 포락선 반송파 신호(104, 106)는 위상 제어기(110)에 입력된다. 위상 제어기(110)는 신호(104, 106)의 위상 성분을 조작한다. 즉, 위상 제어기(110)는 신호(104, 106)의 위상을 천이시킬 수 있다. 따라서 도출된 신호(108, 112)는 신호(104, 106)에 대해 위상이 천이될 수 있다. 도 1a의 예에서 위상 제어기(110)는 신호(108, 112)로부터 알 수 있듯이 시상수(t_0)에서 신호(104, 106)의 위상을 반전(180도 위상 천이)시킨다. 신호(108, 112)는 시변 복소 반송파 신호를 나타낸다. 신호(108, 112)는 시변 포락선 및 위상 성분 둘 다를 갖고 있다. 신호(108, 112)는 합쳐져서 신호(114)가 된다. 신호(114)도 시변 복소 신호를 나타낸다. 신호(114)는 본 발명의 VPA 실시예에서의 예시적인 입력 신호(예컨대 도 50의 단계(504)에서의 예시적인 입력)일 수 있다.

[0072] 시변 복소 신호는 또한 도 1b에 도시된 바와 같이 생성될 수 있다. 도 1b에서 신호(116, 118)는 기저대역 신호를 나타낸다. 예컨대 신호(116, 118)는 신호의 동위상(I) 및 직각위상(Q) 기저대역 성분일 수 있다. 도 1b의 예에서 신호(116, 118)는 +1에서 -1로 전이함에 따라 영교차(zero crossing)한다. 신호(116, 118)에는 신호(120) 또는 90도 위상 천이된 신호(120)가 곱해진다. 신호(116)에는 0도 천이된 버전의 신호(120)가 곱해진다. 신호(118)에는 90도 천이된 버전의 신호(120)가 곱해진다. 이렇게 해서 도출된 신호(122, 124)는 시변 복소 반송파 신호를 나타낸다. 여기서 신호(122, 124)는 신호(116, 118)의 시변 진폭에 따라 변하는 포락선을 갖고 있음에 유의한다. 더욱이 신호(122, 124)는 모두 신호(116, 118)의 영교차에서 위상 반전을 겪는다. 신호(122, 124)는 합산되어 신호(126)가 된다. 신호(126)는 시변 복소 신호를 나타낸다. 신호(126)는 본 발명의 VPA 실시예에서 예시적인 입력 신호를 나타낼 수 있다. 게다가 신호(116, 118)는 본 발명의 VPA 실시예에서 예시적인 입력 신호들을 나타낼 수 있다.

[0073] 1.2) 일정 포락선 신호로부터의 시변 복소 포락선 신호의 예시적인 생성

[0074] 이 절에서의 설명은 일반적으로 도 50에서 단계(508)의 동작에 관한 것이다. 도 1c는 2 또는 그 이상의 실질적으로 일정한 포락선 신호의 합으로부터의 시변 복소 신호의 생성의 3가지 예를 나타낸다. 그러나 당업자라면 본 발명의 교시에 따라서 도 1c의 예에 나타난 개념은 마찬가지로 2보다 많은 일정 포락선 신호의 경우에 확장될 수 있음을 잘 알 것이다.

[0075] 도 1c의 예 1에서 일정 포락선 신호(132. 134)는 위상 제어기(130)에 입력된다. 위상 제어기(130)는 신호(132,

134)의 위상 성분을 조작하여 각각 신호(136, 138)를 생성한다. 신호(136, 138)는 실질적으로 일정한 포락선 신호를 나타내며, 합산되어 신호(140)를 생성한다. 도 1c의 예 1과 관련된 페이저 표기는 신호(136, 138)를 각각 페이저(P_{136}, P_{138})로서 나타낸다. 신호(140)는 페이저(P_{140})로서 나타낸다. 예 1에서 P_{136}과 P_{138}은 페이저 표기의 실축에 맞추어지도록 가정된 기준 신호에 대해 각도(ϕ_1)만큼 대칭적으로 위상 천이되어 있다. 이에 대응하여 시간 영역 신호(136, 138)는 기준 신호에 대해 양은 동일하나 방향은 반대로 위상이 천이되어 있다. 따라서 P_{136}과 P_{138}의 합인 P_{140}은 기준 신호와 위상이 같다.

[0076] 도 1c의 예 2에서 실질적으로 일정한 포락선 신호(132, 134)는 위상 제어기(130)에 입력된다. 위상 제어기(130)는 신호(132, 134)의 위상 성분을 조작하여 각각 신호(142, 144)를 생성한다. 신호(142, 144)는 실질적으로 일정한 포락선 신호를 나타내며, 합산되어 신호(150)를 생성한다. 예 2와 관련된 페이저 표기는 신호(142, 144)를 각각 페이저(P_{142}, P_{144})로서 나타낸다. 신호(150)는 페이저(P_{150})로서 나타낸다. 예 2에서 P_{142}과 P_{144}는 기준 신호에 대해 대칭적으로 위상 천이되어 있다. 따라서 P_{140}과 마찬가지로 P_{150}도 기준 신호와 위상이 같다. 그러나 P_{142}과 P_{144}는 기준 신호에 대해 소정 각도($\phi_2 \neq \phi_1$)만큼 위상 천이된다. 그 결과, P_{150}은 예 1의 P_{140}과는 크기가 다르다. 시간 영역 표기에서는 신호(140, 150)는 동위상이지만 진폭은 서로 다르다.

[0077] 도 1c의 예 3에서 실질적으로 일정한 포락선 신호(132, 134)는 위상 제어기(130)에 입력된다. 위상 제어기(130)는 신호(132, 134)의 위상 성분을 조작하여 각각 신호(146, 148)를 생성한다. 신호(146, 148)는 실질적으로 일정한 포락선 신호를 나타내며, 합산되어 신호(160)를 생성한다. 예 3과 관련된 페이저 표기는 신호(146, 148)를 각각 페이저(P_{146}, P_{148})로서 나타낸다. 신호(160)는 페이저(P_{160})로서 나타낸다. 예 3에서 P_{146}은 기준 신호에 대해 각도(ϕ_3)만큼 위상 천이되어 있다. P_{148}은 기준 신호에 대해 각도(ϕ_4)만큼 위상 천이되어 있다. ϕ_3과 ϕ_4는 같을 수도 같지 않을 수도 있다. 따라서 P_{146}과 P_{148}의 합인 P_{160}은 기준 신호와 더 이상 동위상이 아니다. P_{160}은 기준 신호에 대해 각도(Θ)만큼 위상 천이된다. 마찬가지로 P_{160}은 예 1과 2의 P_{140}과 P_{150}에 대해 Θ만큼 위상 천이된다. P_{160}은 예 3에 도시된 바와 같이 P_{140}에 대해 진폭이 변화될 수도 있다.

[0078] 요약하면, 도 1c의 예들은 2 또는 그 이상의 실질적으로 일정한 포락선 신호의 합에 의해 시변 진폭 신호가 얻어질 수 있다는 것(예 1)을 보여준다. 더욱이 2 또는 그 이상의 실질적으로 일정한 포락선 신호를 반대 방향에서 동일하게 천이시킴으로써 위상 변화없이 진폭만 변화시킬 수 있다(예 2). 2 또는 그 이상의 일정한 포락선 성분 신호를 동일 방향에서 동일하게 천이시킴으로써 시변 신호는 진폭 변화없이 위상만 변화시킬 수 있다. 2 또는 그 이상의 실질적으로 일정한 포락선 신호를 이용하여 임의의 시변 진폭 및 위상 신호를 생성할 수 있다(예 3).

[0079] 도 1c의 예에서의 신호들은 단지 설명을 위해 정현파형으로 도시한 점에 유의한다. 당업자라면 본 발명의 교시에 따라 임의 형태의 파형이 이용될 수 있음을 잘 알 것이다. 또한 도 1c의 예는 단지 설명을 위해 제공된 것이며 본 발명의 특정 실시예에 해당될 수도 있고 해당되지 않을 수도 있음에 유의한다.

[0080] 1.3) 벡터 전력 증폭 개관

[0081] 이제 벡터 전력 증폭에 대해 자세히 개관한다. 도 1d는 예시적인 시변 복소 입력 신호(172)의 전력 증폭을 나타낸다. 도 1a와 1b에 도시된 신호(114, 126)는 신호(172)의 예일 수 있다. 더욱이 신호(172)는 104와 106(도 1a), 108과 112(도 1a), 116과 118(도 1b), 및 122와 124(도 1b)와 같은 2 또는 그 이상의 성분 신호에 의해 생성되거나 이 신호들로 구성될 수 있다.

[0082] 도 1d의 예에서 VPA(170)는 본 발명에 따른 VPA 시스템 실시예를 나타낸다. VPA(170)는 신호(172)를 증폭하여 증폭 출력 신호(178)를 생성한다. 출력 신호(178)는 왜곡을 최소화하면서 효율적으로 증폭된다.

[0083] 도 1d의 예에서 신호(172, 178)는 각각 전압 신호($V_{in}(t)$, $V_{out}(t)$))를 나타낸다. 임의 시각에서 도 1d의 예에서 $V_{in}(t)$와 $V_{out}(t)$는 $V_{out}(t)=KeV_{in}(tat')$의 관계를 갖는다. 여기서, K는 스케일 팩터이고 t'는 VPA 시스템에서 있을 수 있는 시간 지연을 나타낸다. 전력 표시로는 $\frac{V_{out}^2(t)}{Z_{out}} > \frac{V_{in}^2(t)}{Z_{in}}$ 이며, 여기서 출력 신호(178)는

입력 신호(172)의 전력이 증폭된 것이다.

[0084] 도 1d에 도시된 바와 같이 시변 복소 신호의 선형적(또는 실질적으로 선형적) 전력 증폭은 도 1e에 도시된 본 발명의 실시예에 따라 이루어진다.

[0085] 도 1e는 본 발명의 실시예에 따른 벡터 전력 증폭 실시예를 개념적으로 나타낸 예시적인 블록도이다. 도 1e에서 입력 신호(172)는 시변 복소 신호를 나타낸다. 예컨대 입력 신호(172)는 도 1a 및 1b에 도시된 바와 같이 생성될 수 있다. 실시예에서 신호(172)는 디지털 또는 아날로그 신호일 수 있다. 더욱이, 신호(172)는 기저대역 또는 반송파 방식 신호일 수 있다.

[0086] 도 1e를 참조로 설명하면, 본 발명의 실시예에 따라 입력 신호(172) 또는 그 등가 신호는 VPA(182)에 입력된다. 도 1e의 실시예에서 VPA(182)는 상태 머신(184)과 아날로그 회로(186)를 포함한다. 상태 머신(184)은 디지털 및/또는 아날로그 성분을 포함할 수 있다. 아날로그 회로(186)는 아날로그 성분을 포함한다. VPA(182)는 입력 신호(172)를 처리하여 도 1e에 도시된 바와 같이 2 또는 그 이상의 신호(188-{1,...,n})를 생성한다. 도 1c에서 신호(136, 138, 142, 144, 146, 148)에 대해서 설명한 바와 같이, 신호(188-{1,...,n})는 서로 다른 주기에 걸쳐 서로에 대해 위상 천이될 수도 있고 천이되지 않을 수도 있다. 더욱이 VPA(182)는 신호(188-{1,...,n})의 합이 신호(194)가 되도록 신호(188-{1,...,n})를 생성하며, 이 신호(194)는 특정 실시예에서 신호(172)가 증폭된 것일 수 있다.

[0087] 계속해서 도 1e를 참조로 설명하면, 신호(188-{1,...,n})는 실질적으로 일정한 포락선 신호이다. 따라서 이전 단락에서의 설명은 도 50의 단계(504)에 해당한다.

[0088] 도 50의 단계(506)에 일반적으로 해당하는 도 1e의 예에서 일정 포락선 신호(188-{1,...,n})는 해당 전력 증폭기(PA)(190-{1,...,n})에 의해 각각 독립적으로 증폭되어 증폭 신호(192-{1,...,n})를 생성한다. 실시예에서 PA(190-{1,...,n})는 실질적으로 똑 같은 각자의 일정 포락선 신호(188-{1,...,n})를 증폭한다. 증폭 신호(192-{1,...,n})는 실질적으로 일정한 포락선 신호이며, 단계(508)에서 합산되어 출력 신호(194)를 생성한다. 출력 신호(194)는 입력 신호(172)가 선형적으로(또는 실질적으로 선형적으로) 증폭된 것일 수 있음에 유의한다. 출력 신호(194)는 여기서 설명하는 바와 같이 입력 신호(172)를 주파수 상향 변환한 것일 수도 있다.

[0089] 일반적인 수학적 개관

[0090] 2.1) 페이저 신호 표기

[0091] 도 1은 신호(r(t))의 페이저 표기($\vec{R}$)(102)를 나타낸다. 신호의 페이저 표기는 기준 신호에 대한 신호의 포락선의 크기와 신호의 위상 천이를 명확하게 나타낸다. 본 명세서에서는 편의상 제한없이 기준 신호는 페이저 표기의 직교 공간의 실축(Re)에 맞추어져 있는 것으로 정의된다. 그러나 본 발명은 이 실시예에 한정되는 것은 아니다. 신호의 주파수 정보는 이 표기에서 함축적으로 나타나 있으며 기준 신호의 주파수에 의해 주어진다. 예컨대 도 1을 참조로 실축이 cos(ωt) 기준 신호에 대응한다고 가정하면 페이저($\vec{R}$)는 함수(r(t))=R(t)cos(ωt+ϕ(t))로 변환된다. 여기서 R은 $\vec{R}$의 크기이다.

[0092] 계속해서 도 1을 참조로 설명하면, 페이저($\vec{R}$)는 실수부 페이저($\vec{I}$)와 허수부 페이저($\vec{Q}$)로 분해될 수 있음에 주목한다. $\vec{I}$와 $\vec{Q}$는 기준 신호에 대해 각각 $\vec{R}$의 동위상과 직각 위상 페이저 성분이라고 한다. 더욱이 $\vec{I}$와 $\vec{Q}$에 대응하는 신호는 r(t)와 각각 I(t)=R(t)·cos(ϕ(t)) 및 Q(t)=R(t)·sin(ϕ(t))로서 관련된다. 시간 영역에서 신호(r(t))는 다음과 같이 동위상 성분과 직각 위상 성분으로 기술될 수도 있다.

[0093] $$r(t) = I(t)\cdot\cos(\omega t) + Q(t)\cdot\sin(\omega t) = R(t)\cdot\cos(\phi(t))\cdot\cos(\omega t) + R(t)\cdot\sin(\phi(t))\cdot\sin(\omega t) \quad (1)$$

[0094] 도 1의 예에서 R(t)는 특정 순간에서 나타낸 것임에 유의한다.

[0095] 2.2) 시변 복소 포락선 신호

[0096] 도 2는 두 개의 서로 다른 순간(t1, t2)에서의 신호(r(t))의 페이저 표기를 나타낸다. 신호의 포락선의 크기와 그 상대적인 위상 천이를 나타내는 이 페이저의 크기는 모두 시각 t1에서 시각 t2로 변한다는 것에 유의한다. 도 2에서는 이것은 페이저 $\overrightarrow{R_1}$ 와 $\overrightarrow{R_2}$ 의 변화하는 크기와 이에 대응하는 위상 천이각 ϕ_1과 ϕ_2에 의해 도시된다. 따라서 신호(r(t))는 시변 복소 포락선 신호이다.

[0097] 더욱이, 도 2로부터 신호(r(t))의 실수 및 허수 페이저 성분은 진폭이 시간에 따라 변한다는 것을 유의한다. 따라서 그 대응하는 시간 영역 신호도 시변 포락선을 갖는다.

[0098] 도 3a 내지 3c는 시변 복소 포락선 신호를 발생하는 예시적인 변조를 나타낸다. 도 3a는 신호(m(t))를 나타낸 것이다. 도 3b는 반송파 신호(c(t))의 일부를 나타낸 것이다. 도 3c는 신호들(m(t), c(t))을 곱하여 생성한 신호(r(t))를 나타낸 것이다.

[0099] 도 3a의 예에서 신호(m(t))는 시변 크기 신호이다. 더욱이 m(t)는 영교차된다. 도 3b의 예에서 반송파 신호(c(t))는 통상적으로는 신호(m(t)) 주파수보다 높은 특정 반송파 주파수로 진동한다.

[0100] 도 3c로부터, 도출된 신호(r(t))는 시변 포락선을 갖고 있음을 알 수 있다. 더욱이 도 3c로부터 r(t)는 변조 신호(m(t))가 영교차하는 순간에 위상이 반전됨을 알 수 있다. 포락선과 위상이 일정하지 않으면 r(t)는 시변 복소 포락선 신호라고 한다.

[0101] 2.3) 시변 포락선 신호의 일정 포락선 분해

[0102] 시변 크기 및 위상의 페이저는 기준 페이저에 대해 적당히 특정된 위상 천이를 갖는 2 또는 그 이상의 일정 크기 페이저의 합에 의해 얻을 수 있다.

[0103] 도 3d는 예시적인 시변 포락선 및 위상 신호(S(t))를 나타낸 것이다. 설명을 쉽게 하기 위하여 신호(S(t))는 최대 포락선 크기(A)를 가진 정현파 신호라고 가정한다. 도 3d는 두 개의 일정 포락선 신호($S_1(t)$, $S_2(t)$)의 합에 의해 임의의 순간에 신호(S(t))가 어떻게 얻어질 수 있는가의 예를 더 보여준다. 일반적으로 $S_1(t)=A_1\sin((\omega t+\phi_1(t))$이고 $S_2(t)=A_2\sin((\omega t+\phi_2(t))$이다.

[0104] 설명 목적상 도 3d에는 신호 S(t)에 대해 $S_1(t)$와 $S_2(t)$를 적당히 조정하여 $S(t)=K(S_1(t)+S_2(t))$(여기서, K는 상수)가 되도록 신호 $S_1(t)$ 및 $S_2(t)$가 어떻게 합산될 수 있는지를 보여주는 3개의 그림이 제공된다. 즉, 신호 S(t)는 임의 순간에 2 또는 그 이상의 신호로 분해될 수 있다. 도 3d로부터 주기 T_1에서는 $S_1(t)$와 $S_2(t)$는 신호 S(t)에 대해 동위상이며, 따라서 합산되어 신호 S(t)의 최대 포락선 크기 A가 된다. 그러나 주기 T_3에서는 신호 $S_1(t)$와 $S_2(t)$는 서로에 대해 위상이 180도 어긋나며, 따라서 합산되어 신호 S(t)의 최소 포락선 크기가 된다.

[0105] 도 3d의 예는 정현파 신호의 경우를 설명한 것이다. 그러나 당업자라면 푸리에 급수 또는 푸리에 변환으로 나타낼 수 있는 반송파 신호를 변조하는 임의의 시변 포락선도 마찬가지로 2 또는 그 이상의 실질적으로 일정한 포락선 신호로 분해될 수 있음을 잘 알 것이다. 따라서 복수의 실질적으로 일정한 포락선 신호의 위상을 조정함으로써 임의의 시변 복소 포락선 신호가 생성될 수 있다.

[0106] 벡터 전력 증폭 방법 및 시스템

[0107] 본 발명의 실시예에 따른 벡터 전력 증폭 방법 및 시스템은 임의의 시변 포락선 신호를 2 또는 그 이상의 실질적으로 일정한 포락선 성분 신호로 분해하거나, 그와 같은 성분 신호를 수신 또는 생성하고, 그 성분 신호를 증

폭한 다음에 증폭된 신호를 합산하여 시변 복소 포락선 신호를 증폭시키는 능력에 의존한다.

[0108] 3.1 내지 3.3 절에서는 4-분기 및 2-분기 실시예를 포함하여 본 발명의 벡터 전력 증폭(VPA) 실시예가 제공된다. 하기 설명에서는 먼저 실시예의 기본 개념의 수학적 유도를 이용하여 각 VPA 실시예를 개념적으로 제시한다. 그 후 VPA 실시예의 동작 방법의 실시예가 제시되고 나서 VPA 실시예의 각종 시스템 레벨 실시예가 제시된다.

[0109] 3.4 절에서는 본 발명의 실시예에 따른 제어 모듈의 여러 가지 실시예를 제시한다. 본 발명의 실시예에 따른 제어 모듈은 본 발명의 특정 VPA 실시예를 구현하는데 이용될 수 있다. 일부 실시예에서 제어 모듈은 VPA 실시예의 입력단과 VPA 실시예의 후속 벡터 변조단 사이의 중간 매개이다.

[0110] 3.5 절은 본 발명의 실시예에 따른 VPA 출력단 실시예에 대해서 설명한다. 출력단 실시예는 VPA 실시예의 출력 신호를 생성하는 것에 관한 것이다.

[0111] 3.6 절은 본 발명의 실시예에 따른 고조파 제어에 관한 것이다. 고조파 제어는 본 발명의 특정 실시예에서 VPA 실시예의 고조파의 실수부 전력과 허수부 전력을 조작하여 출력에서의 기본 주파수에 나타나는 전력을 증가시키도록 구현될 수 있다.

[0112] 3.7 절은 본 발명의 실시예에 따른 전력 제어에 관한 것이다. 전력 제어는 본 발명의 VPA 실시예가 채용될 수 있는 응용의 전력 레벨 요건을 만족시키기 위해 본 발명의 특정 실시예에서 구현될 수 있다.

[0113] 3.1. 직교 4-분기 벡터 전력 증폭기

[0114] 여기서는 제한없이 설명을 쉽게하기 위해 직교 4-분기 VPA 실시예라 불리는 본 발명의 일 실시예에 따라서 시변 복소 포락선 신호는 4개의 실질적으로 일정한 포락선 성분 신호로 분해된다. 성분 신호는 개별적으로 똑 같이 또는 거의 똑 같이 증폭된 다음에 합산되어 원래의 시변 복소 포락선 신호의 증폭 신호를 구성한다.

[0115] 이 실시예에서는 설명 목적상 제한없이 4 분기가 채용됨에 유의한다. 본 발명의 범위는 다른 분기 수의 이용을 포함하며, 그와 같은 변경의 구현은 본 발명의 교시에 따라 당업자에게 명백할 것이다.

[0116] 일 실시예에서 먼저 시변 복소 포락선 신호는 그 동위상 및 직각위상 벡터 성분으로 분해된다. 페이저 표기에서 동위상 및 직각위상 벡터 성분은 각각 신호의 실수부와 허수부 페이저에 해당한다.

[0117] 전술한 바와 같이, 신호의 동위상 및 직각위상 벡터 성분의 크기는 그 신호의 크기에 비례하여 변하며, 따라서 그 신호가 시변 포락선 신호라면 일정 포락선이 아니다. 따라서 4 분기 VPA 실시예는 신호의 동위상 및 직각위상 벡터 성분 각각을 4개의 실질적으로 일정한 포락선 성분(즉, 동위상 신호 성분을 위해 2개, 직각위상 신호 성분을 위해 2개)으로 더 분해한다. 이 개념은 페이저 신호 표기를 이용하여 도 4에 나타나 있다.

[0118] 도 4의 예에서, 페이저 $\overrightarrow{I_1}$ 와 $\overrightarrow{I_2}$ 는 각각 2개의 순간 t1과 t2에서 예시적인 시변 복소 포락선 신호의 실수부 페이저에 해당한다. 페이저 $\overrightarrow{I_1}$ 와 $\overrightarrow{I_2}$ 는 크기가 서로 다름에 유의한다.

[0119] 계속해서 도 4를 참조로 설명하면, 순간 t1에서 페이저 $\overrightarrow{I_1}$ 은 상위 페이저 $\overrightarrow{I_{U_1}}$ 및 하위 페이저 $\overrightarrow{I_{L_1}}$ 의 합으로 구해질 수 있다. 마찬가지로 순간 t2에서 페이저 $\overrightarrow{I_2}$ 는 상위 페이저 $\overrightarrow{I_{U_2}}$ 와 하위 페이저 $\overrightarrow{I_{L_2}}$ 의 합으로 구해질 수 있다. 페이저 $\overrightarrow{I_{U_1}}$ 와 $\overrightarrow{I_{U_2}}$ 는 크기가 동일 또는 실질적으로 동일하다. 마찬가지로 페이저 $\overrightarrow{I_{L_1}}$ 과 $\overrightarrow{I_{L_2}}$ 도 크기가 실질적으로 동일하다. 따라서 시변 포락선 신호의 실수부 페이저는 적어도 2개의 실질적으로 일정한 포락선 성분의 합에 의해 임의의 순간에 구해질 수 있다.

[0120] 페이저 $\vec{I_1}$ 에 대한 $\overrightarrow{I_{U_1}}$ 과 $\overrightarrow{I_{L_1}}$ 의 위상 천이와 페이저 $\vec{I_2}$ 에 대한 $\overrightarrow{I_{U_2}}$와 $\overrightarrow{I_{L_2}}$의 위상 천이는 각각 페이저 $\vec{I_1}$ 과 $\vec{I_2}$ 의 원하는 크기에 따라 설정된다. 일 경우에 상위 및 하위 페이저가 동일한 크기를 갖도록 선택되면, 그 상위 및 하위 페이저는 페이저에 대해 위상이 대칭적으로 천이된다. 이것은 도 4의 예에 나타나 있으며, 크기가 모두 같은 $\overrightarrow{I_{U_1}}$, $\overrightarrow{I_{L_1}}$, $\overrightarrow{I_{U_2}}$ 및 $\overrightarrow{I_{L_2}}$ 에 해당한다. 두 번째 경우에 상위 및 하위 페이저의 위상 천이는 페이저에 대해 위상이 실질적으로 대칭적으로 천이된다. 여기서의 설명에 따라서 당업자라면 상위 및 하위 페이저의 크기와 위상 천이는 그 값이 정확하게 같을 필요가 없음을 잘 알 것이다.

[0121] 일례로서 도 4에 도시된 경우에 도 4에서 $\frac{\phi_1}{2}$ 과 $\frac{\phi_2}{2}$ 로 나타낸 상대적 위상 천이는 다음과 같이 정규화된 페이저 $\vec{I_1}$ 과 $\vec{I_2}$ 의 크기에 관련된다.

$$\frac{\phi_1}{2} = \cot^{-1}\left(\frac{I_1}{2\sqrt{1-\frac{I_1^2}{4}}}\right); \text{ and} \qquad (2)$$

$$\frac{\phi_2}{2} = \cot^{-1}\left(\frac{I_2}{2\sqrt{1-\frac{I_2^2}{4}}}\right), \qquad (3)$$

[0122]

[0123] 여기서, I_1과 I_2는 각각 페이저 $\vec{I_1}$ 과 $\vec{I_2}$ 의 정규화 크기를 나타내며, I_1과 I_2의 영역은 상기 수학식 (2)와 (3)이 유효한 영역에 따라 적당히 제한된다. 수학식 (2)와 (3)은 상대적 위상 천이를 정규화 크기에 관련시키는 하나의 표현이다. 수학식 (2)와 (3)의 다른 해, 등가적 표현, 및/또는 단순화된 표현도 이용될 수 있다. 상대적 위상 천이를 정규화 크기에 관련시키는 탐색표도 이용될 수 있다.

[0124] 상기 설명된 개념은 마찬가지로 도 4에 도시된 신호 r(t)의 허수부 페이저, 즉 직각위상 성분에 적용될 수 있다. 따라서 임의의 시각 t에서 신호 r(t)의 허수부 페이저 $\vec{Q}$ 는 크기가 실질적으로 같고 일정한 상위 및 하위 페이저 성분 $\overrightarrow{Q_U}$ 와 $\overrightarrow{Q_L}$ 을 합함으로써 구해질 수 있다. 이 예에서 $\overrightarrow{Q_U}$와 $\overrightarrow{Q_L}$ 은 시각 t에서 $\vec{Q}$ 의 크기에 따라 설정된 각도만큼 $\vec{Q}$ 에 대해 대칭적으로 위상 천이된다. 원하는 페이저 $\vec{Q}$ 에 대한 $\overrightarrow{Q_U}$와 $\overrightarrow{Q_L}$ 의 관계는 수학식 (2)와 (3)에서 각각 I_1과 I_2를 Q_1과 Q_2로 대체함으로써 정해지는 것으로 관계된다.

[0125] 상기 설명으로부터 페이저 표기에서 가변 크기와 위상의 임의 페이저 $\vec{R}$ 은 4개의 실질적으로 일정한 크기 페

이저 성분의 합으로 구성될 수 있음을 알 수 있다.

$$\begin{aligned}&\vec{R}=\vec{I_U}+\vec{I_L}+\vec{Q_U}+\vec{Q_L};\\&\vec{I_U}+\vec{I_L}=\vec{I};\\&\vec{Q_U}+\vec{Q_L}=\vec{Q};\\&I_U=I_L=\text{ 일정 };\\&Q_U=Q_L=\text{ 일정 };\end{aligned}\qquad(4)$$

[0126]

[0127] 여기서, I_U, I_L, Q_U 및 Q_L은 각각 페이저 $\vec{I_U}$, $\vec{I_L}$, $\vec{Q_U}$ 및 $\vec{Q_L}$ 의 크기를 나타낸다.

[0128] 이에 대응하여, 시간 영역에서 시변 복소 포락선 정현파 신호 $r(t)=R(t)\cos(\omega t+\phi)$는 다음과 같이 4개의 일정 포락선 신호의 합으로 구성된다.

$$\begin{aligned}&r(t)=I_U(t)+I_L(t)+Q_U(t)+Q_L(t);\\&I_U(t)=\mathrm{sgn}(\vec{I})\times I_U\times\cos(\frac{\phi_I}{2})\times\cos(\omega t)+I_U\times\sin(\frac{\phi_I}{2})\times\sin(\omega t);\\&I_L(t)=\mathrm{sgn}(\vec{I})\times I_L\times\cos(\frac{\phi_I}{2})\times\cos(\omega t)-I_L\times\sin(\frac{\phi_I}{2})\times\sin(\omega t);\\&Q_U(t)=-\mathrm{sgn}(\vec{Q})\times Q_U\times\cos(\frac{\phi_Q}{2})\times\sin(\omega t)+Q_U\times\sin(\frac{\phi_Q}{2})\times\cos(\omega t);\\&Q_L(t)=-\mathrm{sgn}(\vec{Q})\times Q_L\times\cos(\frac{\phi_Q}{2})\times\sin(\omega t)-Q_L\times\sin(\frac{\phi_Q}{2})\times\cos(\omega t).\end{aligned}\qquad(5)$$

[0129]

[0130] 여기서, $\vec{I}$ 가 양의 실수 축에 대해 동위상인지 위상이 180° 어긋나는지 여부에 따라 $\mathrm{sgn}(\vec{I})=\pm1$이다. 마찬가지로 $\vec{Q}$ 가 허수축에 대해 동위상인지 위상이 180° 어긋나는지 여부에 따라 $\mathrm{sgn}(\vec{Q})=\pm1$이다. $\frac{\phi_I}{2}$ 은 실수축에 대한 $\vec{I_U}$ 와 $\vec{I_L}$ 의 위상 천이에 해당한다. 마찬가지로 $\frac{\phi_Q}{2}$ 은 허수축에 대한 $\vec{Q_U}$ 와 $\vec{Q_L}$ 의 위상 천이에 해당한다. $\frac{\phi_I}{2}$ 와 $\frac{\phi_Q}{2}$ 는 수학식 (2)와 (3)을 이용하여 계산될 수 있다.

[0131] 상기 수학식 (5)는 다음과 같이 더 간단하게 될 수 있다.

$$\begin{aligned}&r(t)=I_U(t)+I_L(t)+Q_U(t)+Q_L(t);\\&I_U(t)=\mathrm{sgn}(\vec{I})\times I_{UX}\times\cos(\omega t)+I_{UY}\times\sin(\omega t);\\&I_L(t)=\mathrm{sgn}(\vec{I})\times I_{UX}\times\cos(\omega t)-I_{UY}\times\sin(\omega t);\\&Q_U(t)=-Q_{UX}\times\cos(\omega t)+\mathrm{sgn}(\vec{Q})\times Q_{UY}\times\sin(\omega t);\\&Q_L(t)=Q_{UY}\times\cos(\omega t)-\mathrm{sgn}(\vec{Q})\times Q_{UY}\times\sin(\omega t).\end{aligned}\qquad(6)$$

[0132]

[0133] 여기서,

[0134] $$I_{UX} = I_U \times \cos(\frac{\phi_I}{2}) = I_L \times \cos(\frac{\phi_I}{2}),$$

[0135] $$I_{UY} = I_U \times \sin(\frac{\phi_I}{2}) = I_L \times \sin(\frac{\phi_I}{2}),$$

[0136] $$Q_{UX} = Q_U \times \sin(\frac{\phi_Q}{2}) = Q_L \times \sin(\frac{\phi_Q}{2}),$$

[0137] $$Q_{UY} = Q_U \times \cos(\frac{\phi_Q}{2}) = Q_L \times \cos(\frac{\phi_Q}{2})$$ 이다.

[0138] 당업자라면 수학식 (5)와 (6)의 시간 영역 표현은 정현파형의 경우에 대해 제공되었지만 적당한 기본 함수를 이용하여 비정현파형에 대해서도 동등한 표현이 전개될 수 있음을 잘 알 것이다. 더욱이 본 발명의 교시에 따라 당업자라면 잘 알겠지만 전술한 실질적으로 동일한 포락선 신호로의 2차원 분해는 다차원 분해로 적당히 확장될 수 있다.

[0139] 도 5는 직교 4-분기 VPA 실시예를 나타낸 예시적인 블록도이다. 원하는 전력 레벨과 주파수 특성의 출력 신호 r(t)(578)는 직교 4-분기 VPA 실시예에 따라 기저대역 동위상 및 직각위상 성분으로부터 생성된다.

[0140] 도 5의 예에서 합성기(510)와 같은 주파수 발생기는 출력 신호 r(t)(578)의 주파수와 동일한 주파수를 가진 기준 신호 A*cos(ωt)(511)를 발생한다. 당업자라면 기준 신호는 원하는 출력 신호에 따라 선택됨을 잘 알 수 있을 것이다. 예컨대 원하는 출력 신호의 원하는 주파수가 2.4 GHz라면, 기준 신호의 주파수는 2.4 GHz로 설정된다. 이런 식으로 본 발명의 실시예는 주파수 상향 변환을 달성한다.

[0141] 도 5를 참조로 설명하면, 하나 또는 그 이상의 위상 분할기를 이용하여 기준 신호(511)에 기초하여 신호들(521, 531, 541, 551)을 생성한다. 도 5의 예에서 이것은 위상 분할기(512, 514, 516)를 이용하고 각 위상 분할기에서 0° 위상 천이를 적용함으로써 달성된다. 그러나 당업자라면 기준 신호(511)의 신호들(521, 531, 541, 551)을 생성하는데는 여러 가지 기법이 이용될 수 있음을 잘 알 것이다. 예컨대 1:4 위상 분할기를 이용하여 하나의 단계에서 4개의 복제 신호(521, 531, 541, 551)을 생성할 수 있으며, 또는 도 5의 예시적인 실시예에서는 신호(511)가 신호들(521, 531, 541, 551)에 바로 결합될 수 있다. 실시예에 따라서는 여러 가지 위상 천이를 적용하여 원하는 신호들(521, 531, 541, 551)을 생성할 수 있다.

[0142] 계속해서 도 5를 참조로 설명하면, 신호(521, 531, 541, 551)는 각각 해당 벡터 변조기(520, 530, 540, 550)에 제공된다. 벡터 변조기(520, 530, 540, 550)는 그들의 적당한 입력 신호와 관련하여 상기 수학식 (6)에 따라서 신호 r(t)의 4개의 일정 포락선 성분을 생성한다. 도 5의 예시적인 실시예에서 벡터 변조기(520, 530)는 각각 신호 r(t)의 $I_U(t)$와 $I_L(t)$ 성분을 생성한다. 마찬가지로 벡터 변조기(540, 550)는 각각 신호 r(t)의 $Q_U(t)$와 $Q_L(t)$ 성분을 생성한다.

[0143] 벡터 변조기(520, 530, 540, 550) 각각의 실제 구현은 다를 수 있다. 예컨대 당업자라면 수학식 (6)에 따라 일정 포락선 성분을 생성하는데는 여러 가지 기법이 존재함을 잘 알 것이다.

[0144] 도 5의 예시적인 실시예에서 벡터 변조기(520, 530, 540, 550) 각각은 신호(521, 531, 541, 551)를 위상 조정(phasing)하는 입력 위상 분할기(522, 532, 542, 552)를 포함한다. 따라서 입력 위상 분할기(522, 532, 542, 552)를 이용하여 동위상 및 직각위상 성분 또는 그들 각자의 입력 신호를 생성한다.

[0145] 각 벡터 변조기(520, 530, 540, 550)에서는 동위상 및 직각위상 성분은 진폭 정보와 곱해진다. 도 5에서 예컨대 승산기(524)는 신호(521)의 직각위상 성분에 $I_U(t)$의 직각위상 진폭 정보(I_{UY})를 곱한다. 그와 동시에 승산기(526)는 동위상 복제 신호에 $I_U(t)$의 동위상 진폭 정보(sgn(I)×I_{UX})를 곱한다.

[0146] $I_U(t)$를 생성하기 위하여 일정 포락선 성분 신호(525, 527)는 위상 분할기(528) 또는 다른 합산 기술을 이용하

여 합산된다. 합산 결과 신호(529)는 신호 r(t)의 IU(t) 성분에 해당한다.

[0147] 전술한 것과 유사한 방식으로, 벡터 변조기(530, 540, 550)는 각각 신호 r(t)의 $I_L(t)$, $Q_U(t)$ 및 $Q_L(t)$ 성분을 생성한다. $I_L(t)$, $Q_U(t)$ 및 $Q_L(t)$는 각각 도 5에서 신호(539, 549, 559)에 해당한다.

[0148] 더욱이, 전술한 바와 같이, 신호(529, 539, 549, 559)는 실질적으로 동일하고 일정한 크기 포락선을 갖는 것을 특징으로 한다. 따라서 신호(529, 539, 549, 559)가 해당 전력 증폭기(PA)(562, 564, 566, 568)에 입력되면, 해당 증폭 신호(563, 565, 567, 569)는 실질적으로 일정한 포락선 신호이다.

[0149] 전력 증폭기(562, 564, 566, 568)는 각각 신호(529, 539, 549, 559)를 증폭한다. 일 실시예에서, 실질적으로 동일한 전력 증폭이 각 신호(529, 539, 549, 559)에 적용된다. 일 실시예에서 PA(562, 564, 566, 568)의 전력 증폭도는 출력 신호 r(t)의 원하는 전력 레벨에 따라 설정된다.

[0150] 계속하여 도 5를 참조로 설명하면, 증폭 신호(563, 565)는 합산기(572)를 이용하여 합산되어 신호 r(t)의 동위상 성분 $\bar{I}(t)$ 의 증폭 성분(573)을 생성한다. 마찬가지로 증폭 신호(567, 569)는 합산기(574)를 이용하여 합산되어 신호 r(t)의 직각위상 성분 $\bar{Q}(t)$ 의 증폭 성분(575)을 생성한다.

[0151] 신호(573, 575)는 도 5에 도시된 바와 같이 합산기(576)를 이용하여 합산되며, 합산 결과 신호가 원하는 출력 신호 r(t)에 대응한다.

[0152] 도 5의 예에서 합산기(572, 574, 576)는 단지 설명 목적상 사용되는 것임에 유의한다. 증폭 신호(563, 565, 567, 569)를 합산하는데는 여러 가지 기법이 이용될 수 있다. 예컨대 증폭 신호(563, 565, 567, 569)는 전부가 한 단계에서 합산되어 신호(578)를 생성할 수 있다. 실제로 본 발명의 여러 가지 VPA 실시예에 따라서 증폭후에 합산이 행해지는 것으로 충분하다. 후에 더 자세히 설명하겠지만, 본 발명의 특정 VPA 실시예는 와이어를 통한 직접 결합과 같은 최소 손실 합산 기법을 이용한다. 대안으로서 특정 VPA 실시예는 종래의 전력 결합 기법을 이용한다. 다른 실시예에서는, 후에 더 자세히 설명하겠지만, 전력 증폭기(562, 564, 566, 568)는 다중입력 단일출력 전력 증폭기로서 구현될 수 있다.

[0153] 이제 도 6의 프로세스 플로우차트를 참조로 직교 4-분기(Cartesian 4-Branch) VPA 실시예의 동작에 대해 자세히 설명한다. 프로세스는 원하는 출력 신호의 기저대역 표기를 수신하는 것을 포함하는 단계(610)에서 개시한다. 일 실시예에서 이것은 원하는 출력 신호의 동위상(I) 성분과 직각위상(Q) 성분을 수신하는 것을 포함한다. 다른 실시예에서 이것은 원하는 출력 신호의 크기와 위상을 수신하는 것을 포함한다. 직교 4-분기 VPA 실시예의 일 실시예에서 I와 Q는 기저대역 성분이다. 다른 실시예에서 I와 Q는 RF 성분이며, 기저대역으로 하향 변환된다.

[0154] 단계(620)는 원하는 출력 신호의 원하는 출력 신호 주파수에 따라 설정된 클록 신호를 수신하는 것을 포함한다. 도 5의 예에서 단계(620)는 기준 신호(511)를 수신함으로써 달성된다.

[0155] 단계(630)는 출력 신호 주파수를 가진 제1 및 제2 신호를 생성하기 위하여 I 성분을 처리하는 것을 포함한다. 제1 및 제2 신호는 실질적으로 일정하고 동일한 크기 포락선을 가지며 그 합은 I 성분과 같다. 제1 및 제2 신호는 전술한 $I_U(t)$ 및 $I_L(t)$ 일정 포락선 성분에 해당한다. 도 5의 예에서 단계(630)는 벡터 변조기(520, 530)에 의해 그 적당한 입력 신호와 관련하여 달성된다.

[0156] 단계(640)는 출력 신호 주파수를 가진 제3 및 제4 신호를 생성하기 위하여 Q 성분을 처리하는 것을 포함한다. 제3 및 제4 신호는 실질적으로 일정하고 동일한 크기 포락선을 가지며 그 합은 Q 성분과 같다. 제3 및 제4 신호는 전술한 $Q_U(t)$ 및 $Q_L(t)$ 일정 포락선 성분에 해당한다. 도 5의 예에서 단계(630)는 벡터 변조기(540, 550)에 의해 그 적당한 입력 신호와 관련하여 달성된다.

[0157] 단계(650)는 제1, 제2, 제3 및 제4 신호 각각을 개별적으로 증폭하고, 원하는 출력 신호를 생성하기 위하여 그 증폭 신호를 합산하는 것을 포함한다. 일 실시예에서 제1, 제2, 제3 및 제4 신호의 증폭은 실질적으로 동일하며, 원하는 출력 신호의 원하는 전력 레벨에 따른다. 도 5의 예에서 단계(650)는 각자의 신호(529, 539, 549, 559)를 증폭하는 전력 증폭기(562, 564, 566, 568)와 출력 신호(578)를 생성하기 위해 증폭 신호(563, 565, 567, 569)를 합산하는 합산기(572, 574, 576)에 의해 달성된다.

[0158] 도 7a는 도 6의 프로세스 플로우차트(600)를 구현하는 벡터 전력 증폭기(700)의 예시적인 실시예를 나타낸 블록도이다. 도 7a의 예에서 선택 성분은 파선으로 나타낸다. 다른 실시예에서 추가적인 성분이 선택적일 수 있다.

[0159] 벡터 전력 증폭기(700)는 동위상(I) 분기(703)와 직각위상(Q) 분기(705)를 포함한다. I 및 Q 분기 각각은 제1 분기와 제2 분기를 더 포함한다.

[0160] 동위상(I) 정보 신호(702)는 I 데이터 전달 함수 모듈(710)에 의해 수신된다. 일 실시예에서 I 정보 신호(702)는 디지털 기저대역 신호를 포함한다. 일 실시예에서 I 데이터 전달 함수 모듈(710)은 샘플 클록(706)에 따라서 I 정보 신호(702)를 샘플링한다. 다른 실시예에서 I 정보 신호(702)는 아날로그 기저대역 신호를 포함하며, 이 아날로그 기저대역 신호는 I 데이터 전달 함수 모듈(710)에 입력되기 전에 아날로그-디지털 변환기(ADC)(도 7a에는 미도시)를 이용하여 디지털로 변환된다. 다른 실시예에서 I 정보 신호(702)는 아날로그 회로를 포함하는 I 데이터 전달 함수 모듈(710)에 아날로그 형태로 입력되는 아날로그 기저대역 신호를 포함한다. 다른 실시예에서 I 정보 신호(702)는 전술한 임의의 실시예를 이용하여 I 데이터 전달 함수 모듈(710)에 입력되기 전에 기저대역으로 하향 변환되는 RF 신호를 포함한다.

[0161] I 데이터 전달 함수 모듈(710)은 I 정보 신호(702)를 처리하고, I 정보 신호(702)의 적어도 2개의 일정 포락선 성분 신호의 동위상 및 직각위상 진폭 정보를 결정한다. 도 5를 참조로 전술한 바와 같이, 동위상 및 직각위상 벡터 변조기 입력 진폭 정보는 각각 $\mathrm{sgn}(I)\times I_{UX}$ 및 I_{UY}에 해당한다. I 데이터 전달 함수 모듈(710)의 동작에 대해서는 뒤에 3.4 절에서 자세히 설명한다.

[0162] I 데이터 전달 함수 모듈(710)은 벡터 변조기(760, 762)의 동위상 및 직각위상 진폭 성분을 제어하는데 이용되는 정보 신호(722, 724)를 출력한다. 일 실시예에서 신호(722, 724)는 디지털 신호이다. 따라서 각 신호(722, 724)는 각각 해당 디지털-아날로그 변환기(DAC)(730, 732)에 공급된다. DAC(730, 732)의 분해능과 샘플 레이트는 출력 신호(782)의 원하는 I 성분을 얻도록 선택된다. DAC(730, 732)는 각각 DAC 클록 신호(723, 725)에 의해 제어된다. DAC 클록 신호(723, 725)는 같은 클록 신호로부터 도출되거나 서로 독립적일 수 있다.

[0163] 다른 실시예에서 신호(722, 724)는 아날로그 신호이며, DAC(730, 732)는 필요하지 않다.

[0164] 도 7a의 예시적인 실시예에서 DAC(730, 732)는 디지털 정보 신호(722, 724)는 대응하는 아날로그 신호로 변환하며, 이들 아날로그 신호를 각각 선택적인 보간 필터(731, 733)에 입력한다. 안티앨리어싱(anti-aliasing) 필터로도 기능하는 보간 필터(731, 733)는 원하는 출력 파형을 만들기 위하여 DAC 출력을 정형(shaping)한다. 보간 필터(731, 733)는 각각 신호(740, 742)를 생성한다. 신호(741)는 신호(740)의 반전을 나타낸다. 신호(740-742)는 벡터 변조기(760, 762)에 입력된다.

[0165] 벡터 변조기(760, 762)는 I 정보 신호(702)의 일정 포락선 성분을 생성하기 위하여 신호(740-742)를 적당히 위상 조정된 클록 신호에 곱한다. 이 클록 신호는 원하는 출력 신호 주파수에 따른 레이트를 가진 채널 클록 신호(708)로부터 도출된다. 예컨대 750과 752와 같은 복수의 위상 분할기와, 벡터 변조기 승산기와 연관된 페이저를 이용하여 적당히 위상 조정된 클록 신호를 생성할 수 있다.

[0166] 도 7a의 실시예에서, 예컨대 벡터 변조기(760)는 직각위상 진폭 정보 신호(740)를 가지고 90° 천이된 채널 클록 신호를 변조한다. 이와 동시에 벡터 변조기(760)는 동위상 진폭 정보 신호(742)를 가지고 동위상 채널 클록 신호를 변조한다. 벡터 변조기(760)는 이 2개의 변조 신호를 결합하여 I 정보 신호(702)의 제1 변조 일정 포락선 성분(761)을 생성한다. 마찬가지로 벡터 변조기(762)는 신호(741, 742)를 이용하여 I 정보 신호(702)의 제2 변조 일정 포락선 성분(763)을 생성한다. 신호(761, 763)는 각각 도 5를 참조로 설명된 $I_U(t)$ 및 $I_L(t)$ 일정 포락선 성분에 해당한다.

[0167] 이와 동시에 그리고 이와 유사한 방식으로 벡터 전력 증폭기(700)의 q 분기는 직각위상(Q) 정보 신호(704)의 적어도 2개의 일정 포락선 성분 신호를 생성한다.

[0168] 도 7a의 실시예에서, 예컨대 벡터 변조기(764)는 신호(744, 746)를 이용하여 Q 정보 신호(704)의 제1 일정 포락선 성분(765)을 생성한다. 마찬가지로 벡터 변조기(766)는 신호(745, 746)를 이용하여 Q 정보 신호(704)의 제2 일정 포락선 성분(767)을 생성한다.

[0169] 도 5를 참조로 전술한 바와 같이, 성분 신호(761, 763, 765, 767)는 실질적으로 동일하고 일정한 크기 포락선을 갖고 있다. 도 7a의 예시적인 실시예에서 신호(761, 763, 765, 767)는 각각 해당 전력 증폭기(PA)(770, 772,

774, 776)에 입력된다. PA(770, 772, 774, 776)는 선형 또는 비선형 전력 증폭기일 수 있다. 일 실시예에서 PA(770, 772, 774, 776)는 스위칭 전력 증폭기를 포함한다.

[0170] 이 실시예에서 회로(714, 716)(여기서는 참조가 용이하게 "오토바이어스(autobias) 회로"라 칭하지만 이에 제한되지 않음)는 I 및 Q 정보 신호(702, 704)에 따라 PA(770, 772, 774, 776)의 바이어스를 제어한다. 도 7a의 실시예에서 오토바이어스 회로(714, 716)는 각각 PA(770, 772)와 PA(774, 776)에 바이어스 신호(715, 717)를 제공한다. 오토바이어스 회로(714, 716)에 대해서는 이후 3.5 절에서 자세히 설명한다. PA(770, 772, 774, 776)의 실시예에 대해서도 이후 3.5 절에서 설명한다.

[0171] 일 실시예에서 PA(770, 772, 774, 776)는 실질적으로 동일한 전력 증폭을 각자의 실질적으로 일정한 포락선 신호(761, 763, 765, 767)에 인가한다. 다른 실시예에서는 PA 구동기를 추가적으로 채용하여 추가적인 전력 증폭을 제공한다. 도 7a의 실시예에서 PA 구동기(794, 795, 796, 797)는 벡터 전력 증폭기(700)의 각 분기에서 각자의 벡터 변조기(760, 762, 764, 766)와 각자의 PA(770, 772, 774, 776) 사이에 선택적으로 부가된다.

[0172] PA(770, 772, 774, 776)의 출력은 함께 결합되어 벡터 전력 증폭기(700)의 출력 신호(782)를 생성한다. 일 실시예에서 PA(770, 772, 774, 776)의 출력은 와이어를 이용하여 함께 직접 결합된다. 이런 식의 직접 결합은 PA(770, 772, 774, 776)의 출력들 간에 저항성, 유도성 또는 용량성 결합이 극소이거나 없다는 것을 의미한다. 즉, PA(770, 772, 774, 776)의 출력은 성분 간섭 없이 함께 결합된다. 대안으로서, 일 실시예에서 PA(770, 772, 774, 776)의 출력은 임피던스 연결을 작게하거나 최소화하는 인덕턴스 및/또는 커패시턴스를 통해, 그리고/또는 절연과 전력 손실을 최소화하는 소정 연결부를 통해 간접적으로 함께 결합된다. 대안으로서, PA(770, 772, 774, 776)의 출력은 윌킨슨(Wilkinson), 하이브리드, 변압기 또는 공지의 능동 결합기와 같은 공지의 결합 기술을 이용하여 결합된다. 일 실시예에서 PA(770, 772, 774, 776)는 한 번의 동작으로 통합된 증폭과 전력 결합을 제공한다. 일 실시예에서 여기서 설명된 전력 증폭기 및/또는 구동기들 중 하나 또는 그 이상은 다중입력 단일출력 전력 증폭 기술을 이용하여 구현되며, 그 예는 도 7b 및 도 51a 내지 51h에 나타나 있다.

[0173] 출력 신호(782)는 I 및 Q 정보 신호(702, 704)의 I 및 Q 특성을 포함한다. 더욱이, 출력 신호(782)는 그 성분과 주파수가 동일하며, 따라서 원하는 상향 변환 출력 주파수를 갖는다. 벡터 전력 증폭기(700)의 실시예에서 풀업 임피던스(780)는 벡터 증폭기(700)의 출력과 전원 장치 사이에 연결된다. 본 발명의 전력 증폭 방법 및 시스템에 따른 출력단 실시예에 대해서는 이후의 3.5 절에서 자세히 설명한다.

[0174] 벡터 전력 증폭기(700)의 다른 실시예에서는 프로세스 검출기를 채용하여 증폭기의 회로에서의 임의의 프로세스 변동을 보상한다. 도 7a의 실시예에서, 예컨대 프로세스 검출기(791-793)는 선택적으로 추가되어 PA 구동기(794-797)와 위상 분할기(750)에서의 변동을 모니터한다. 또 다른 실시예에서는 주파수 보상 회로(799)를 채용하여 주파수 변동을 보상할 수 있다.

[0175] 도 7b는 벡터 전력 증폭기(700)의 다른 예시적인 실시예를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다.

[0176] 이 실시예는 도 7a의 증폭기의 다중입력 단일출력(MISO) 구현을 보여준다. 도 7b의 실시예에서 벡터 변조기(760, 762, 764, 766)로부터 출력된 일정 포락선 신호(761, 763, 765, 767)는 MISO PA(784, 786)에 입력된다. MISO PA(784, 786)는 2-입력 단일출력 전력 증폭기이다. 일 실시예에서 MISO PA(784, 786)는 도 7a의 실시예에 나타난 요소(770, 772, 774, 776, 794-797) 또는 그 기능적 등가물을 포함한다. 다른 실시예에서 MISO PA(784, 786)는 선택적인 전치 구동기와 선택적인 프로세스 검출 회로와 같은 다른 요소를 포함할 수 있다. 더욱이 MISO PA(784, 786)는 도 7b에 도시된 2-입력 PA에 한정되지 않는다. 다른 실시예에서, 이후 도 51a 내지 51h를 참조로 자세히 설명되겠지만, PA(784, 786)는 임의 수의 입력과 출력을 가질 수 있다.

[0177] 도 8a는 도 6에 도시된 직교 4-분기 VPA법에 따른 벡터 전력 증폭기의 다른 예시적인 실시예(800A)를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다.

[0178] 도 8a의 실시예에서는 충분한 분해능과 샘플 레이트를 가진 DAC(830)는 도 7a의 실시예의 DAC(730, 732, 734, 736)를 대체한다. DAC(830)의 샘플 레이트는 DAC 클록 신호(826)에 의해 제어된다.

[0179] DAC(830)는 전술한 바와 같이 I 데이터 전달 함수 모듈(710) 및 Q 데이터 전달 함수 모듈(712)로부터 각각 동위상 및 직각위상 정보 신호(810, 820)를 수신한다. 일 실시예에서 입력 선택기(822)는 DAC(830)에 입력되는 신호(810, 820)의 순서를 선택한다.

[0180] DAC(830)는 한 번에 하나의 아날로그 신호를 출력할 수 있다. 일 실시예에서는 샘플 홀드 구조를 이용하여 도

8a에 도시된 바와 같이 증폭기의 4개 분기에 대한 적당한 신호 타이밍을 보장할 수 있다.

[0181] DAC(830)는 아날로그 신호(832, 834, 836, 838)를 제1 샘플 홀드 회로 세트(842, 844, 846, 848)에 순차적으로 출력한다. 일 실시예에서 DAC(830)는 도 7a의 실시예의 DAC(730, 732, 734, 736)의 동작을 에뮬레이트하기에 충분한 레이트로 클록된다. 출력 선택기(824)는 출력 신호(832, 834, 836, 838) 중 어느 것이 출력으로 선택되어야 하는지를 판단한다.

[0182] DAC(830)의 DAC 클록 신호(826), 출력 선택기 신호(824), 입력 선택기 신호(822) 및 샘플 홀드 클록(840A-D, 850)은 독립적이거나 또는 전달 함수 모듈(710 및/또는 712)에 집적될 수 있는 제어 모듈에 의해 제어된다.

[0183] 일 실시예에서 샘플 홀드 회로(S/H)(842, 844, 846, 848)는 클록 신호(840A-D)에 따라서 DAC(830)로부터 수신된 아날로그값을 샘플링하여 홀드한다. 샘플 홀드 회로(852, 854, 856, 858)는 각각 샘플 홀드 회로(842, 844, 846, 848)로부터의 아날로그값을 샘플링하여 홀드한다. 이어서, 샘플 홀드 회로(852, 854, 856, 858)는 수신된 아날로그값을 홀드하고, 공통 클록 신호(850)에 따라서 그 값을 벡터(760, 762, 764, 766)에 동시에 방출한다. 다른 실시예에서 샘플 홀드 회로(852, 854, 856, 858)는 그 값을 선택적인 보간 필터(731, 733, 735, 737)(안티앨리어싱 필터라고도 함)에 방출한다. 일 실시예에서 공통 클록 신호(850)는 S/H(852, 854, 856, 858)의 출력이 시간 정렬되는 것을 보장하도록 이용된다.

[0184] 벡터 전력 증폭기(800A)의 다른 양상은 벡터 전력 증폭기(700)에 대해 전술한 것과 거의 같다.

[0185] 도 8b는 도 6에 도시된 직교 4-분기 VPA법에 따른 벡터 전력 증폭기의 다른 예시적인 실시예(800B)를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다.

[0186] 실시예(800B)는 벡터 전력 증폭기의 다른 하나의 DAC 구현을 보여준다. 그러나 도 8a의 실시예와는 달리, 샘플 홀드 구조는 단일 세트의 샘플 홀드(S/H) 회로를 포함한다. 도 8b에 도시된 바와 같이 S/H(842, 844, 846, 848)는 DAC(830)로부터 신호(832, 834, 836, 838)로 나타낸 아날로그값을 수신한다. S/H 회로(842, 844, 846, 848) 각각은 그 수신값을 도시된 바와 같은 여러 가지 클록(840A-D)에 따라서 방출한다. 신호(740, 741, 742, 744, 745, 746)를 생성하는데 이용되는 아날로그 샘플들 간의 시간차는 전달 함수(710, 712)에서 보상될 수 있다. 도 8b의 실시예에 따르면 도 8a의 실시예에 비해 한 레벨의 S/H 회로가 생략될 수 있어 증폭기의 크기와 복잡성을 저감할 수 있다.

[0187] 벡터 전력 증폭기(800B)의 다른 양상은 벡터 전력 증폭기(700, 800A)에 대해 전술한 것과 거의 같다.

[0188] 도 8c는 벡터 전력 증폭기(700)의 다른 예시적인 실시예(800C)를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다. 도 8c의 실시예는 도 8a의 증폭기의 다중 입력 단일출력(MISO) 구현을 보여준다. 도 8c의 실시예에서 벡터 변조기(760, 762, 764, 766)로부터 출력된 일정 포락선 신호(761, 763, 765, 767)는 MISO PA(860, 862)에 입력된다. MISO PA(860, 862)는 2-입력 단일출력 전력 증폭기이다. 일 실시예에서 MISO PA(860, 862)는 도 7a의 실시예에 나타난 요소(770, 772, 774, 776, 794-797) 또는 그 기능적 등가물을 포함한다. 다른 실시예에서 MISO PA(860, 862)는 선택적인 전치 구동기와 선택적인 프로세스 검출 회로와 같은 다른 요소를 포함할 수 있다. 다른 실시예에서 MISO PA(860, 862)는 도 7a의 실시예에는 없는 전치 구동기와 같은 다른 요소를 포함할 수 있다. 더욱이 MISO PA(860, 862)는 도 8c에 도시된 2-입력 PA에 한정되지 않는다. 다른 실시예에서, 이후 도 51a 내지 51h를 참조로 자세히 설명되겠지만, PA(860, 862)는 임의 수의 입력과 출력을 가질 수 있다.

[0189] 벡터 전력 증폭기(800C)의 다른 양상은 벡터 전력 증폭기(700, 800A)에 대해 전술한 것과 거의 같다.

[0190] 도 8d는 벡터 전력 증폭기(700)의 다른 예시적인 실시예(800D)를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다. 도 8d의 실시예는 도 8b의 증폭기의 다중 입력 단일출력(MISO) 구현을 보여준다. 도 8d의 실시예에서 벡터 변조기(760, 762, 764, 766)로부터 출력된 일정 포락선 신호(761, 763, 765, 767)는 MISO PA(870, 872)에 입력된다. MISO PA(870, 872)는 2-입력 단일출력 전력 증폭기이다. 일 실시예에서 MISO PA(870, 872)는 도 7a의 실시예에 나타난 요소(770, 772, 774, 776, 794-797) 또는 그 기능적 등가물을 포함한다. 다른 실시예에서 MISO PA(870, 872)는 선택적인 전치 구동기와 선택적인 프로세스 검출 회로와 같은 다른 요소를 포함할 수 있다. 다른 실시예에서 MISO PA(870, 872)는 도 7a의 실시예에는 없는 전치 구동기와 같은 다른 요소를 포함할 수 있다. 더욱이 MISO PA(870, 872)는 도 8d에 도시된 2-입력 PA에 한정되지 않는다. 다른 실시예에서, 이후 도 51a 내지 51h를 참조로 자세히 설명되겠지만, PA(870, 872)는 임의 수의 입력과 출력을 가질 수 있다.

[0191] 벡터 전력 증폭기(800D)의 다른 양상은 벡터 전력 증폭기(700, 800B)에 대해 전술한 것과 거의 같다.

[0192] 3.2) 직교-극-직교-극 2-분기 벡터 전력 증폭기

[0193] 이제 직교-극-직교-극(CPCP) 2-분기 VPA 실시예에 대해 설명한다(이러한 실시예 명칭은 참조를 용이하게 하기 위해 제시된 것이며 이에 한정되는 것은 아니다).

[0194] 직교-극-직교-극(CPCP) 2-분기 VPA법에 따라서 시변 복소 포락선 신호는 2개의 실질적으로 일정한 포락선 성분 신호로 분해된다. 이 성분 신호들은 개별적으로 증폭된 다음에 합산되어 원래의 시변 복소 포락선 신호의 증폭 신호를 구성한다. 게다가 시변 복소 포락선 신호의 위상각은 확정되어 있으며, 성분 신호의 합산 결과는 적당한 각도만큼 위상 천이된다.

[0195] CPCP 2-분기 VPA법의 일 실시예에서 시변 복소 포락선 신호의 크기와 위상각은 신호의 동위상 및 직각위상 성분으로부터 산출된다. 크기 정보가 주어지면 2개의 실질적으로 일정한 포락선 성분은 원하는 시변 포락선 신호의 정규화 버전으로부터 산출되는데, 이 정규화는 위상 및/또는 진폭의 구현 특정 조작을 포함한다. 그러면, 이 2개의 실질적으로 일정한 포락선 성분은 원하는 시변 포락선 신호의 위상 천이에 관련된 적당한 각도만큼 위상 천이된다. 그 다음 이 실질적으로 일정한 포락선 성분들은 개별적으로 거의 똑 같이 증폭된 다음에 합산되어 원래의 원하는 시변 포락선 신호의 증폭 버전을 생성한다.

[0196] 도 9a 및 9b는 페이저 신호 표기를 이용한 CPCP 2-분기 VPA 실시예를 개념적으로 보여준다. 도 9a에서 페이저 $\overrightarrow{R_{in}}$ 은 시변 복소 포락선 입력 신호 r(t)를 나타낸다. 임의 순간에서 $\overrightarrow{R_{in}}$ 은 신호 r(t)의 크기와 위상 천이각을 반영한다. 도 9a에 도시된 예에서 $\overrightarrow{R_{in}}$ 은 크기 R과 위상 천이각 Θ로 특징지워진다. 전술한 바와 같이 위상 천이각은 기준 신호에 대해 측정된다.

[0197] 도 9a를 참조로 설명하면, $\overrightarrow{R'}$ 은 $\vec{U}'$ 와 $\vec{L}'$ 에 의해 발생된 $\overrightarrow{R_{in}}$ 의 상대적 진폭 성분을 나타낸다.

[0198] 계속해서 도 9a를 참조로 설명하면, 임의 순간에서 $\overrightarrow{R'}$ 는 상위 페이저 $\vec{U}'$ 와 하위 페이저 $\vec{L}'$ 의 합에 의해 구해질 수 있음에 유의한다. 더욱이 $\vec{U}'$ 와 $\vec{L}'$ 는 실질적으로 일정한 크기를 갖도록 유지될 수 있다. 따라서 페이저 $\vec{U}'$ 와 $\vec{L}'$ 는 2개의 실질적으로 일정한 포락선 신호를 나타낸다. 따라서 임의 순간에서 r'(t)는 페이저 $\vec{U}'$ 와 $\vec{L}'$ 에 해당하는 2개의 실질적으로 일정한 포락선 신호의 합에 의해 구해질 수 있다.

[0199] $\overrightarrow{R'}$ 에 대한 페이저 $\vec{U}'$ 와 $\vec{L}'$ 의 위상 천이는 $\overrightarrow{R'}$ 의 원하는 크기 R에 따라서 설정된다. 가장 간단한 경우로서, 상위 및 하위 페이저 $\vec{U}'$ 와 $\vec{L}'$ 가 동일한 크기를 갖도록 선택되면, 상위 및 하위 페이저 $\vec{U}'$ 와 $\vec{L}'$ 는 $\overrightarrow{R'}$ 에 대해 위상이 실질적으로 대칭적으로 천이된다. 이것은 도 9a의 예에 나타나 있다. "상위와 하위"(이에 한정되지 않음)와 같이 방향을 나타내거나 암시하는 용어나 구절은 여기서는 참조를 용이하게 하기 위해 사용되는 것이며, 기능적으로 또는 구조적으로 제한하는 것은 아님에 유의한다.

[0200] 도 9a에 나타낸 경우에 있어서 $\overrightarrow{R'}$ 에 대한 페이저 $\vec{U}'$ 와 $\vec{L}'$ 의 위상 천이(도 9a에서 각도 $\frac{\phi}{2}$ 로 나타냄)

는 다음과 같이 $\overrightarrow{R'}$ 의 크기에 관련됨을 검증할 수 있다.

$$\frac{\phi}{2} = \cot^{-1}\left(\frac{R}{2\sqrt{1-\frac{R^2}{4}}}\right) \qquad (7)$$

[0201]

[0202] 여기서 R은 페이저 $\overrightarrow{R'}$ 의 정규화된 크기를 나타낸다.

[0203] 수학식 (7)은 다은과 같이 더 간단하게 될 수 있다.

$$\frac{\phi}{2} = \cos^{-1}\left(\frac{R}{2}\right) \qquad (7.10)$$

[0204]

[0205] 여기서 R은 페이저 $\overrightarrow{R'}$ 의 정규화된 크기를 나타낸다.

[0206] 대안으로서, 임의의 실질적으로 등가적인 수학식이나 탐색표와 같은 다른 실질적으로 등가적인 수학적 기법이 이용될 수 있다.

[0207] 상기 설명으로부터 페이저 표기에서 가변 크기와 위상의 임의 페이저 $\overrightarrow{R'}$ 는 2개의 일정 크기 페이저 성분의 합으로 구성될 수 있음을 알 수 있다.

$$\overrightarrow{R'} = \overrightarrow{U'} + \overrightarrow{L'}$$
$$|\overrightarrow{U}| = |\overrightarrow{L}| = A = \text{일정} \qquad (8)$$

[0208]

[0209] 이에 대응하여, 시간 영역에서 시변 복소 포락선 정현파 신호 r'(t)=R(t)×cos(ωt)는 다음과 같이 2개의 일정 포락선 신호의 합으로 구성된다.

$$r'(t) = U'(t) + L'(t);$$
$$U'(t) = A \times \cos(\omega t + \frac{\phi}{2}); \qquad (9)$$
$$L'(t) = A \times \cos(\omega t - \frac{\phi}{2});$$

[0210]

[0211] 여기서 A는 상수이며, $\frac{\phi}{2}$ 는 수학식 (7)에 나타낸 바와 같다.

[0212] 도 9a로부터 수학식(9)는 다음과 같이 다시 쓸 수 있음을 검증할 수 있다.

$$r'(t) = U'(t) + L'(t);$$
$$U'(t) = C\cos(\omega t) + \alpha \sin(\omega t); \qquad (10)$$
$$L'(t) = C\cos(\omega t) - \beta \sin(\omega t);$$

[0213]

[0214] 여기서 C는 페이저 페이저 $\vec{U}'$ 와 $\vec{L}'$ 의 실수부 성분을 나타내며 A×cos($\frac{\phi}{2}$)이다. C는 $\vec{U}'$ 와 $\vec{L}'$ 의 공통 성분임에 유의한다. α와 β는 각각 페이저 $\vec{U}'$ 와 $\vec{L}'$ 의 허수부 성분을 나타낸다. α=β=A×sin($\frac{\phi}{2}$). 따라서 수학식 (12)로부터 r'(t)=2C×cos(ωt)=2A×cos($\frac{\phi}{2}$)×cos(ωt)이다. 당업자라면 본 발명의 교시에 따라 잘 이해하겠지만, 예컨대 탐색표를 포함하여 양(quantity) A, B 및 C의 상기 표현의 다른 등가적인 및/또는 간단화된 표현도 이용될 수 있다.

[0215] $\overrightarrow{R_{in}}$ 은 $\overrightarrow{R'}$ 에 대해 Θ도만큼 천이됨에 유의한다. 따라서 수학식 (8)을 이용하면 다음과 같이 추론될 수 있다.

[0216] $$\overrightarrow{R_{in}} = \overrightarrow{R'}e^{j\theta} = (\overrightarrow{U'} + \overrightarrow{L'})e^{j\theta} = \overrightarrow{U'}e^{j\theta} + \overrightarrow{L'}e^{j\theta} \qquad (11)$$

[0217] 수학식 (11)은 $\overrightarrow{R_{in}}$ 의 표기가 Θ도만큼 천이된 전술한 페이저 $\vec{U}'$ 와 $\vec{L}'$ 를 합산함으로써 구해질 수 있음을 의미한다. 더욱이 $\overrightarrow{R_{in}}$ 의 증폭 출력 버전인 $\overrightarrow{R_{out}}$ 은 페이저 $\vec{U}'$ 와 $\vec{L}'$ 의 Θ도 천이 버전 각각을 실질적으로 똑 같이 별도로 증폭하고 이들을 합산함으로써 구해질 수 있다. 도 9b는 이 개념을 보여준다. 도 9b에서 페이저 $\vec{U}$ 와 $\vec{L}$ 은 페이저 $\vec{U}'$ 와 $\vec{L}'$ 의 Θ도 천이 및 증폭 버전을 나타낸다. $\vec{U}'$ 와 $\vec{L}'$ 는 일정 크기 페이저이므로 $\vec{U}$ 와 $\vec{L}$ 도 일정 크기 페이저임에 유의한다. 페이저 $\vec{U}$ 와 $\vec{L}$ 은 도 9b에 도시된 바와 같이 합산되어, 입력 신호 $\overrightarrow{R_{in}}$ 의 전력 증폭 버전인 페이저 $\overrightarrow{R_{out}}$ 이 된다.

[0218] 등가적으로 시간 영역에서 다음과 같이 될 수 있다.

[0219] $$\begin{aligned} r_{out}(t) &= U(t) + L(t); \\ U(t) &= K[C\cos(\omega t + \theta) + \alpha \sin(\omega t + \theta)]; \\ L(t) &= K[C\cos(\omega t + \theta) - \beta \sin(\omega t + \theta)]. \end{aligned} \qquad (12)$$

여기서 $r_{out}(t)$는 페이저 $\overrightarrow{R_{out}}$ 으로 나타낸 시간 영역 신호에 해당하고, U(t)와 L(t)는 페이저 $\vec{U}$ 와 $\vec{L}$ 로 나타낸 시간 영역 신호에 해당하고, K는 전력 증폭 계수이다.

[0220] 당업자라면 수학식 (9)와 (10)의 시간 영역 표현은 정현파형의 경우에 대해 제공되었지만 적당한 기본 함수를 이용하여 비정현파형에 대해서도 동등한 표현이 전개될 수 있음을 잘 알 것이다.

[0221] 도 10은 CPCP 2-분기 VPA 실시예의 예시적인 실시예(1000)를 개념적으로 나타낸 블록도이다. 원하는 전력 레벨와 주파수 특성을 갖는 출력 신호 r(t)는 CPCP 2-분기 VPA 실시예에 따라 동위상 및 직각위상 성분으로부터 생성된다.

[0222] 도 10의 예에서 클록 신호(1010)는 출력 신호 r(t)를 생성하기 위한 기준 신호를 나타낸다. 클록 신호(1010)는

원하는 출력 신호 r(t)와 주파수가 동일하다.

[0223] 도 10을 참조로 설명하면, Iclk_위상 신호(1012)와 Qclk_위상 신호(1014)는 Clk 신호(1010)의 동위상 및 직각위상 성분이 곱해진 진폭 아날로그값을 나타내며 기저대역 I 및 Q 신호로부터 산출된다.

[0224] 계속해서 도 10을 참조로 설명하면, 클록 신호(1010)에 Iclk_위상 신호(1012)가 곱해진다. 이와 동시에 클록 신호(1010)의 90° 천이된 버전에 Qclk_위상 신호(1014)가 곱해진다. 이 2개의 곱해진 신호는 결합되어 Rclk 신호(1016)를 생성한다. Rclk 신호(1016)는 클록 신호(1010)와 주파수가 같다. 더욱이 Rclk 신호(1016)는 Q(t)와 I(t)의 비에 따른 위상 천이각에 의해 특징지워진다. Rclk 신호(1016)의 크기는 $R^2clk=I^2clk_위상+Q^2clk_위상$과 같다. 따라서 Rclk 신호(1016)는 원하는 출력 신호 r(t)의 위상 특성을 가진 실질적으로 일정한 포락선 신호를 나타낸다.

[0225] 계속해서 도 10을 참조로 설명하면, Rclk 신호(1016)는 2개의 벡터 변조기(1060, 1062)에 동시에 입력된다. 벡터 변조기(1060, 1062)는 각각 수학식 (12)에 기술된 원하는 출력 신호 r(t)의 실질적으로 일정한 U(t) 및 L(t) 포락선 성분을 생성한다. 벡터 변조기(1060)에서는 공통 신호(1028)가 곱해진 동위상 Rclk 신호(1020)가, 제1 신호(1026)가 곱해진 Rclk 신호의 90° 천이된 버전(1018)과 결합된다. 이와 동시에, 벡터 변조기(1062)에서는 공통 신호(1028)가 곱해진 동위상 Rclk 신호(1022)가, 제2 신호(1030)가 곱해진 Rclk 신호의 90° 천이된 버전(1024)과 결합된다. 공통 신호(1028), 제1 신호(1026) 및 제2 신호(1030)는 각각 수학식 (12)에 기술된 실수부 C, 허수부 α 및 β에 해당한다.

[0226] 각자의 벡터 변조기(1060, 1062)의 출력 신호(1040, 1042)는 각각 입력 신호 r(t)의 U(t) 및 L(t) 일정 포락선 성분에 해당한다.

[0227] 전술한 바와 같이 신호(1040, 1042)는 실질적으로 동일하고 일정한 크기 포락선을 갖는 것을 특징으로 한다. 따라서 신호(1040, 1042)가 해당 전력 증폭기(PA)(1044, 1046)에 입력되면, 해당 증폭 신호(1048, 1050)는 실질적으로 일정한 포락선 신호이다.

[0228] 전력 증폭기(1044, 1046)는 실질적으로 동일한 전력 증폭을 각각 신호(1040, 1042)에 적용한다. 일 실시예에서 PA(1044, 1046)의 전력 증 레벨을 출력 신호 r(t)의 원하는 전력 레벨에 따라 설정된다. 더욱이 증폭 신호(1048, 1050)는 서로에 대해 동위상이다. 따라서 도 10에 도시된 바와 같이 증폭 신호들이 합산되면, 그 합산 결과 신호(1052)는 원하는 출력 신호 r(t)에 해당한다.

[0229] 도 10a는 CPCP 2-분기 VPA 실시예의 다른 예시적인 실시예(1000A)를 보여준다. 실시예(1000A)는 도 10의 실시예(1000)의 다중입력 단일출력(MISO) 구현을 나타낸다.

[0230] 실시예(1000A)에서 벡터 변조기(1060, 1062)로부터 출력된 일정 포락선 신호(1040, 1042)는 MISO PA(1054)에 입력된다. MISO PA(1054)는 2-입력 단일출력 전력 증폭기이다. 일 실시예에서 MISO PA(1054)는 예컨대 전치구동기, 구동기, 전력 증폭기 및 프로세스 검출기(도 10a에는 미도시)와 같은 여러 가지 요소를 포함할 수 있다. 더욱이 MISO PA(1054)는 도 10a에 도시된 2-입력 PA에 한정되지 않는다. 다른 실시예에서, 이후 도 51a 내지 51h를 참조로 자세히 설명되겠지만, PA(1054)는 임의 수의 입력을 가질 수 있다.

[0231] CPCP 2-분기 VPA 실시예의 동작은 도 11의 프로세스 플로우차트(1100)에 나타나 있다.

[0232] 프로세스는 원하는 출력 신호의 기저대역 표기를 수신하는 것을 포함하는 단계(1110)에서 개시한다. 일 실시예에서 이것은 원하는 출력 신호의 동위상(I) 성분과 직각위상(Q) 성분을 수신하는 것을 포함한다. 다른 실시예에서 이것은 원하는 출력 신호의 크기와 위상을 수신하는 것을 포함한다.

[0233] 단계(1120)는 원하는 출력 신호의 원하는 출력 신호 주파수에 따라 설정된 클록 신호를 수신하는 것을 포함한다. 도 10의 예에서 단계(1120)는 클록 신호(1010)를 수신함에 의해 달성된다.

[0234] 단계(1130)는 수신된 I 및 Q 성분에 따라서 위상 천이각을 가진 정규화된 클록 신호를 생성하기 위하여 클록 신호를 처리하는 것을 포함한다. 일 실시예에서 정규화된 클록 신호는 I와 Q 성분의 비에 따라서 위상 천이각을 가진 일정 포락선 신호이다. 정규화된 클록의 위상 천이각은 원래의 클록 신호에 대한 것이다. 도 10의 예에서 단계(1130)는 클록 신호(1010)의 동위상 및 직각위상 성분을 Iclk_위상(1012) 및 Qclk_위상(1014) 신호에 곱한 다음에, 곱해진 신호를 합산하여 Rclk 신호(1016)를 생성함으로써 달성된다.

[0235] 단계(1140)는 제1 및 제2의 실질적으로 일정한 포락선 성분 신호를 생성하는데 필요한 진폭 정보를 발생하기 위

하여 I 및 Q 성분을 처리하는 것을 포함한다.

[0236] 단계(1150)는 원하는 출력 신호의 제1 및 제2 일정 포락선 성분을 생성하기 위하여 단계(1140)의 진폭 정보와 정규화된 클록 신호 Rclk를 처리하는 것을 포함한다. 일 실시예에서 단계(1150)는 원하는 출력 신호의 제1 및 제2 일정 포락선 성분을 정규화된 클록 신호의 위상 천이각만큼 위상 천이하는 것을 포함한다. 도 10의 예에서 단계(1150)는 신호(1040, 1042)를 생성하기 위하여 제1 신호(1026), 제2 신호(1030) 및 공통 신호(1028)를 가지고 Rclk 신호(1016)를 변조하는 벡터 변조기(1060, 1062)에 의해 달성된다.

[0237] 단계(1160)는 제1 및 제2 일정 포락선 성분을 개별적으로 증폭하고, 원하는 출력 신호를 생성하기 위하여 이 증폭된 신호를 합산하는 것을 포함한다. 일 실시예에서 제1 및 제2 일정 포락선 성분의 증폭은 거의 같으며, 원하는 출력 신호의 원하는 전력 레벨에 따른다. 도 10의 예에서 단계(1160)는 증폭된 신호(1048, 1050)를 생성하기 위하여 신호(1040, 1042)를 증폭하는 PA(1044, 1046)에 의해 달성된다.

[0238] 도 12는 프로세스 플로우차트(1100)를 구현하는 벡터 전력 증폭기(1200)의 예시적인 실시예를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다.

[0239] 도 12를 참조로 설명하면, 동위상(I) 및 직각위상(Q) 정보 신호(1210)는 I 및 Q 데이터 전달 함수 모듈(1216)에 의해 수신된다. 일 실시예에서 I 및 Q 데이터 전달 함수 모듈(1216)은 샘플 클록(1212)에 따라 신호(1210)를 샘플링한다. I 및 Q 정보 신호(1210)는 원하는 출력 신호 r(t)의 기저대역 I 및 Q 정보를 포함한다.

[0240] 일 실시예에서 I 및 Q 데이터 전달 함수 모듈(1216)은 정보 신호(1210)를 처리하여 정보 신호(1220, 1222, 1224, 1226)를 생성한다. I 및 Q 데이터 전달 함수 모듈(1216)의 동작에 대해서는 이후의 3.4 절에서 자세히 설명한다.

[0241] 도 12를 참조로 설명하면, 정보 신호(1220)는 원하는 출력 신호 r(t)의 기저대역 버전의 제1 및 제2 일정 포락선 성분의 직각위상 진폭 정보를 포함한다. 도 9a를 참조하면, 예컨대 정보 신호(1220)는 α 및 β 직각위상 성분을 포함한다. 다시 도 12를 참조하여 설명하면, 정보 신호(1226)는 신호 r(t)의 기저대역 버전의 제1 및 제2 일정 포락선 성분의 동위상 진폭 정보를 포함한다. 도 9a를 참조하면, 예컨대 정보 신호(1226)는 공통 C 동위상 성분을 포함한다.

[0242] 계속해서 도 12를 참조로 설명하면, 정보 신호(1222, 1224)는 각각 정규화된 동위상 Iclk_위상 및 직각위상 Qclk_위상 신호를 포함한다. Iclk_위상 및 Qclk_위상은 신호(1210)에 포함된 I 및 Q 정보 신호의 정규화된 버전이다. 일 실시예에서 Iclk_위상 및 Qclk_위상은 (I^2clk_위상+Q^2clk_위상=일정)이 되도록 정규화된다. 신호(1250)의 위상은 원하는 출력 신호의 위상에 해당하며 Iclk_위상 및 Qclk_위상으로부터 생성됨에 유의한다. 도 9b를 참조로 설명하면, Iclk_위상 및 Qclk_위상은 다음과 같이 I 및 Q에 관련된다.

$$\theta = \tan^{-1}\left(\frac{Q}{I}\right) = \tan^{-1}\left(\frac{Q_{clk_phase}}{I_{clk_phase}}\right) \qquad (12.1)$$

[0243]

[0244] 여기서 Θ는 도 9b에서 페이저 $\overrightarrow{R_{out}}$ 로 나타낸 원하는 출력 신호의 위상을 나타낸다. 모든 4분면에 대해 Θ를 산출하기 위해서는 기저대역 I 및 Q 정보의 부호 정보를 고려해야 한다.

[0245] 도 12의 예시적인 실시예에서 정보 신호(1220, 1222, 1224, 1226)는 디지털 신호이다. 따라서 각 신호(1220, 1222, 1224, 1226)는 해당 디지털-아날로그 변환기(DAC)(1230, 1232, 1234, 1236)에 공급된다. DAC(1230, 1232, 1234, 1236)의 분해능과 샘플 레이트는 특정 시그널링 방식에 따라 선택된다. DAC(1230, 1232, 1234, 1236)는 각각 DAC 클록 신호(1221, 1223, 1225, 1227)에 의해 제어된다. DAC 클록 신호(1221, 1223, 1225, 1227)는 동일한 클록 신호로부터 도출되거나 독립적일 수 있다.

[0246] 다른 실시예에서 정보 신호(1220, 1222, 1224, 1226)는 아날로그 형식으로 생성되며, DAC는 필요치 않다.

[0247] 도 12를 참조로 설명하면, DAC(1230, 1232, 1234, 1236)는 디지털 정보 신호(1220, 1222, 1224, 1226)를 대응하는 아날로그 신호로 변환하고, 이들 아날로그 신호를 각각 선택적인 보간 필터(1231, 1233, 1235, 1237)에 입력한다. 안티앨리어싱 필터로도 기능하는 보간 필터(1231, 1233, 1235, 1237)는 DAC 출력 신호를 정형하여 원하는 출력 파형을 생성한다. 보간 필터(1231, 1233, 1235, 1237)는 각각 신호(1240, 1244, 1246, 1248)를 생성한다. 신호(1242)는 신호(1240)의 반전을 나타낸다.

[0248] 계속해서 도 12를 참조로 설명하면, Iclk_위상 및 Qclk_위상 정보를 포함하는 신호(1244, 1246)는 벡터 변조기(1238)에 입력된다. 벡터 변조기(1238)는 신호(1244)를 채널 클록 신호(1214)에 곱한다. 채널 클록 신호(1214)는 원하는 출력 신호 주파수에 따라 선택된다. 이와 동시에 벡터 변조기(1238)는 신호(1246)를 채널 클록 신호(1214)의 90° 천이된 버전에 곱한다. 즉 벡터 변조기(1238)는 Iclk_위상의 진폭을 가진 동위상 성분과 Qclk_위상의 진폭을 가진 직각위상 성분을 생성한다.

[0249] 벡터 변조기(1238)는 이 2개의 변조 신호를 결합하여 Rclk 신호(1250)를 생성한다. Rclk 신호(1250)는 신호(1210)에 포함된 I 및 Q 데이터에 따라 원하는 출력 주파수와 위상 천이각을 가진 실질적으로 일정한 포락선 신호이다.

[0250] 계속해서 도 12를 참조로 설명하면, 신호(1240, 1242, 1248)는 각각 신호 r(t)의 복소 포락선의 U, L 및 공통 C 진폭 성분을 포함한다. 신호(1240, 1242, 1248)는 Rclk 신호(1250)와 함께 벡터 변조기(1260, 1262)에 입력된다.

[0251] 벡터 변조기(1260)는 Rclk 신호(1250)의 90° 천이된 버전이 곱해진 신호(1240)와 Rclk 신호(1250)의 0° 천이된 버전이 곱해진 신호(1248)를 결합하여 출력 신호(1264)를 생성한다. 이와 동시에 벡터 변조기(1262)는 Rclk 신호(1250)의 90° 천이된 버전이 곱해진 신호(1242)와 Rclk 신호(1250)의 0° 천이된 버전이 곱해진 신호(1248)를 결합하여 출력 신호(1266)를 생성한다.

[0252] 출력 신호(1264, 1266)는 실질적으로 일정한 포락선 신호를 나타낸다. 더욱이 Rclk 신호(1250)에 대한 출력 신호(1264, 1266)의 위상 천이는 각각 비 α/C 및 β/C와 연관된 각도 관계에 따라 결정된다. 일 실시예에서 α=β이며, 따라서 출력 신호(1264, 1266)는 Rclk 신호(1250)에 대해 대칭적으로 위상 천이된다. 도 9b를 참조하면, 예컨대 출력 신호(1264, 1266)는 각각 $\vec{U}$ 와 $\vec{L}$ 일정 크기 페이저에 해당한다.

[0253] 출력 신호(1264, 1266)는 합산되어 기저대역 신호 r(t)의 I 및 Q 특성을 가진 채널 클록 변조 신호가 된다. 그러나 벡터 전력 증폭기(1200)의 출력에서 원하는 전력 레벨을 얻기 위해서 신호(1264, 1266)는 증폭되어 증폭 출력 신호를 생성한다. 도 12의 실시예에서 신호(1264, 1266)는 각각 전력 증폭기(PA)(1270, 1272)에 입력되어 증폭된다. 일 실시예에서 PA(1270, 1272)는 스위칭 전력 증폭기를 포함한다. 오토바이어스 회로(1218)는 후에 3.5.2 절에서 자세히 설명하는 바와 같이 PA(1270, 1272)의 바이어스를 제어한다. 도 12의 실시예에서, 예컨대 오토바이어스 회로(1218)는 바이어스 전압(1228)을 PA(1270, 1272)에 공급한다.

[0254] 일 실시예에서 PA(1270, 1272)는 실질적으로 동일한 전력 증폭을 각자의 일정 포락선 신호(1264-1266)에 적용한다. 일 실시예에서 전력 증폭은 원하는 출력 전력 레벨에 따라 설정된다. 벡터 전력 증폭기(1200)의 다른 실시예에서, PA 구동기 및/또는 전치 구동기를 추가적으로 채용하여 증폭기에 추가적인 전력 증폭 능력을 제공한다. 도 12의 실시예에서, 예컨대 PA 구동기(1284, 1286)는 각각 벡터 변조기(1260, 1262)와 그 다음의 PA(1270, 1272) 사이에 선택적으로 추가된다.

[0255] PA(1270, 1272)의 각자의 출력 신호(1274, 1276)는 실질적으로 일정한 포락선 신호이다. 더욱이 출력 신호(1274, 1276)가 합산되면, 그 합산 결과 신호는 최소의 비선형 왜곡을 갖는다. 도 12의 실시예에서 출력 신호(1274, 1276)는 함께 결합되어 벡터 전력 증폭기(1200)의 출력 신호(1280)를 생성한다. 일 실시예에서 PA(1270, 1272)의 출력을 결합하는데 절연이 이용되지 않는다. 따라서 결합에 의한 전력 손실은 최소가 된다. 일 실시예에서 PA(1270, 1272)의 출력은 와이어를 이용하여 함께 직접 결합된다. 이런 식으로의 직접 결합은 PA(1270, 1272)의 출력들 간에 저항성, 유도성 또는 용량성 절연이 최소이거나 없다는 것을 의미한다. 즉 PA(1270, 1272)의 출력은 중간에 개입하는 성분없이 함께 결합된다. 대안으로서 일 실시예에서 PA(1270, 1272)의 출력은 임피던스 연결을 작게하거나 최소화하는 인덕턴스 및/또는 커패시턴스를 통해, 그리고/또는 절연과 전력 손실을 최소화하는 소정 연결부를 통해 간접적으로 함께 결합된다. 대안으로서, PA(1270, 1272)의 출력은 윌킨슨, 하이브리드 결합기, 변압기 또는 공지의 능동 결합기와 같은 공지의 결합 기술을 이용하여 결합된다. 일 실시예에서 PA(1270, 1272)는 한 번의 동작으로 통합된 증폭과 전력 결합을 제공한다. 일 실시예에서 여기서 설명된 전력 증폭기 및/또는 구동기들 중 하나 또는 그 이상은 다중입력 단일출력 전력 증폭 기술을 이용하여 구현되며, 그 예는 도 12a, 12b 및 도 51a 내지 51h에 나타나 있다.

[0256] 출력 신호(1280)는 기저대역 신호 r(t)의 I 및 Q 특성과 원하는 출력 전력 레벨 및 주파수를 가진 신호를 나타낸다. 벡터 전력 증폭기(1200)의 실시예에서 풀업(pull-up) 임피던스(1288)는 벡터 전력 증폭기(1200)의 출력과 전원 장치 사이에 연결된다. 다른 실시예에서 임피던스 정합 회로망(1290)은 벡터 전력 증폭기(1200)의 출력

에 연결된다. 본 발명의 전력 증폭 방법 및 시스템에 따른 출력단 실시예에 대해서는 이후의 3.5 절에서 자세히 설명한다.

[0257] 벡터 전력 증폭기(1200)의 다른 실시예에서는 프로세스 검출기를 채용하여 증폭기의 회로에서의 프로세스 변동을 보상한다. 도 12의 예시적인 실시예에서, 예컨대 프로세스 검출기(1282)는 선택적으로 추가되어 PA 구동기(1284, 1286)에서의 변동을 모니터한다.

[0258] 도 12a는 프로세스 플로우차트(1100)를 구현하는 벡터 전력 증폭기(1200A)의 다른 예시적인 실시예를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다.

[0259] 실시예(1200A)는 실시예(1200)의 다중입력 단일출력(MISO) 구현을 나타낸다. 실시예(1200A)에서 벡터 변조기(1260, 1262)로부터 출력된 일정 포락선 신호(1261, 1263)는 MISO PA(1292)에 입력된다. MISO PA(1292)는 2-입력 단일출력 전력 증폭기이다. 일 실시예에서 MISO PA(1292)는 도 12의 실시예에 나타낸 요소(1270, 1272, 1282, 1284, 1286)를 포함한다. 다른 실시예에서 MISO PA(1292)는 도 12의 실시예에는 나타나 있지 않은 전치 구동기와 같은 다른 요소를 포함할 수 있다. 더욱이 MISO PA(1292)는 도 12a에 도시된 2-입력 PA에 한정되지 않는다. 다른 실시예에서, 이후 도 51a 내지 51h를 참조로 자세히 설명되겠지만, PA(1292)는 임의 수의 입력과 출력을 가질 수 있다.

[0260] 계속해서 도 12a를 참조로 설명하면, 실시예(1200A)는 오토바이어스 신호를 MISO PA(1292)에 전달하는 일 구현을 보여준다. 도 12a의 실시예에서 오토바이어스 회로(1218)에 의해 생성된 오토바이어스 신호(1228)는 이 신호로부터 도출되어 MISO PA(1292)의 여러 가지 단을 바이어스시키는 하나 또는 그 이상의 신호를 갖고 있다. 도 12a의 예에서 보는 바와 같이, 3개의 바이어스 제어 신호(바이어스 A, 바이어스 B, 바이어스 C)가 오토바이어스 신호(1228)로부터 도출되어 MISO PA(1292)의 여러 가지 단에 입력된다. 예컨대 바이어스 C는 MISO PA(1292)의 전치 구동기단에 입력되는 바이어스 신호일 수 있다. 마찬가지로 바이어스 B와 바이어스 A는 MISO PA(1292)의 구동기와 PA단에 입력되는 바이어스 신호일 수 있다.

[0261] 도 12b의 실시예(1200B)에 보여진 다른 구현에서 오토바이어스 회로(1218)는 각각 바이어스 A, 바이어스 B 및 바이어스 C에 대응하는 독립적인 오토바이어스 신호(1295, 1296, 1297)를 생성한다. 신호(1295, 1296, 1297)는 오토바이어스 회로(1218) 내에서 독립적으로 생성될 수도 되지 않을 수도 있으나, 도시된 바와 같이 독립적으로 출력된다. 더욱이 신호(1295, 1296, 1297)는 MISO PA(1294)의 여러 가지 단의 바이어싱에 의해 결정되는 것으로 관련될 수도 되지 않을 수도 있다.

[0262] 벡터 전력 증폭기(1200A, 1200B)의 다른 양상은 벡터 전력 증폭기(1200)에 대해 전술한 것과 거의 같다.

[0263] 도 13은 CPCP 2-분기 VPA 실시예에 따른 벡터 전력 증폭기의 다른 예시적인 실시예(1300)를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다.

[0264] 도 13의 예시적인 실시예에서는 충분한 분해능과 샘플 레이트를 가진 DAC(1320)가 도 12의 실시예의 DAC(1230, 1232, 1234, 1236)를 대체한다. DAC(1320)는 DAC 클록(1324)에 의해 제어된다.

[0265] DAC(1320)는 I 및 Q 데이터 전달 함수 모듈(1216)로부터 정보 신호(1310)를 수신한다. 정보 신호(1310)는 도 12의 실시예에서의 신호(1220, 1222, 1224, 1226)와 동일한 정보 내용을 포함한다.

[0266] DAC(1320)는 한 번에 하나의 아날로그 신호를 출력할 수 있다. 따라서 도 13에 도시된 바와 같이 샘플 홀드 구조가 이용될 수 있다.

[0267] DAC(1320)는 제1 세트의 샘플 홀드 회로(1342, 1344, 1346, 1348)에 아날로그 신호(1332, 1334, 1336, 1338)를 순차적으로 출력한다. 일 실시예에서 DAC(1320)는 도 12의 실시예의 DAC(1230, 1232, 1234, 1236)를 대체하기에 충분한 레이트로 클록된다. 출력 선택기(1322)는 출력 신호(1332, 1334, 1336, 1338) 중 어느 것이 출력되도록 선택되어야 하는지를 판단한다.

[0268] DAC(1320)의 DAC 클록 신호(1324), 출력 선택기 신호(1322) 및 샘플 홀드 클록(1340A-D, 1350)은 독립적이거나 또는 전달 함수 모듈(1216)에 통합될 수 있는 제어 모듈에 의해 제어된다.

[0269] 일 실시예에서 샘플 홀드 회로(S/H)(1342, 1344, 1346, 1348)는 수신된 아날로그값을 홀드하고, 클록 신호(1340A-D)에 따라서 그 값을 제2 세트의 샘플 홀드 회로(1352, 1354, 1356, 1358)로 방출한다. 예컨대 S/H(1342)는 수신된 클록 신호(1340A)에 따라서 그 값을 S/H(1352)로 방출한다. 차례로 샘플 홀드 회로(1352, 1354, 1356, 1358)는 수신된 아날로그값을 홀드하고, 공통 클록 신호(1350)에 따라서 그 값들을 보간 필터

(1231, 1233, 1235, 1237)로 동시에 방출한다. 공통 클록 신호(1350)는 S/H(1352, 1354, 1356, 1358)의 출력이 시간 정렬되도록 하는데 이용된다.

[0270] 다른 실시예에서는 S/H(1342, 1344, 1346, 1348)를 포함하는 단일층의 S/H 회로가 채용될 수 있다. 따라서 S/H 회로(1342, 1344, 1346, 1348)는 DAC(1320)로부터 아날로그값을 수신하며, 각 회로는 그 수신된 값을 다른 클록들과 독립된 소정의 클록에 따라서 방출한다. 예컨대 S/H(1342)는 S/H(1344)를 제어하는 클록(1340B)와 동기화되지 않을 수 있는 클록(1340A)에 의해 제어된다. S/H 회로(1342, 1344, 1346, 1348)의 출력이 시간 정렬되도록 보장하기 위하여 클록들(1340A-D) 간의 지연은 증폭기의 전단(priod stages)에서 미리 보상된다. 예컨대 DAC(1320)는 클록들(1340A-D) 간의 시간차를 보상하기 위하여 적당히 선택된 지연을 가진 신호(1332, 1334, 1336, 1338)를 S/H 회로(1342, 1344, 1346, 1348)에 출력한다.

[0271] 벡터 전력 증폭기(1300)의 다른 양상은 벡터 전력 증폭기(1200)에 대해 전술한 것과 거의 같다.

[0272] 도 13a는 CPCP 2-분기 VPA 실시예에 따른 벡터 전력 증폭기의 다른 예시적인 실시예(1300A)를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다. 실시예(1300A)는 도 13의 실시예(1300)의 MISO 구현이다.

[0273] 도 13a의 실시예에서 벡터 변조기(1260, 1262)로부터 출력된 일정 포락선 신호(1261, 1263)는 MISO PA(1360)에 입력된다. MISO PA(1360)는 2-입력 단일출력 전력 증폭기이다. 일 실시예에서 MISO PA(1360)는 도 13의 실시예에 나타낸 요소(1270, 1272, 1282, 1284, 1286)를 포함한다. 다른 실시예에서 MISO PA(1360)는 도 13의 실시예에는 나타나 있지 않은 전치 구동기와 같은 다른 요소 또는 그 기능적 등가물을 포함할 수 있다. 더욱이 MISO PA(1360)는 도 13a에 도시된 2-입력 PA에 한정되지 않는다. 다른 실시예에서, 이후 도 51a 내지 51h를 참조로 자세히 설명되겠지만, PA(1360)는 임의 수의 입력을 가질 수 있다.

[0274] 도 13a의 실시예는 도시된 바와 같이 단일 또는 2 레벨의 S/H 회로를 가진 2개의 서로 다른 샘플 홀드 구조를 더 보여준다. 이 2개의 구현은 도 13을 참조로 전술하였다.

[0275] 실시예(1300A)는 선택적인 바이어스 제어 회로(1218)와 이와 관련된 바이어스 제어 신호(1325, 1326, 1327)도 보여준다. 특정 실시예에서 신호(1325, 1326, 1327)는 MISO PA(1360)의 여러 가지 단을 바이어스하는데 이용될 수 있다.

[0276] 벡터 전력 증폭기(1300A)의 다른 양상은 벡터 전력 증폭기(1200, 1300)에 대해 전술한 것과 같다.

[0277] 3.3) 직접 직교 2-분기 벡터 전력 증폭기

[0278] 이제 직접 직교 2-분기 VPA 실시예에 대해서 설명한다. 이 명칭은 참조를 용이하게 하기 위해 제시된 것이며 이에 기능적으로 또는 구조적으로 한정되는 것은 아니다.

[0279] 직접 직교 2-분기 VPA 실시예에 따라서 시변 포락선 신호는 2개의 일정 포락선 성분 신호로 분해된다. 이 성분 신호들은 개별적으로 동일하게 또는 실질적으로 동일하게 증폭된 다음에 합산되어 원래의 시변 포락선 신호의 증폭 신호를 구성한다.

[0280] 직접 직교 2-분기 VPA 실시예의 일 실시예에서 시변 포락선 신호의 크기와 위상각은 입력 신호의 동위상 및 직각위상 성분으로부터 산출된다. 크기와 위상 정보를 이용하여 시변 포락선 신호의 2개의 일정 포락선 성분에 대해 동위상 및 직각위상 진폭 성분이 산출된다. 그러면, 이 2개의 일정 포락선 성분이 생성되고, 동일하게 또는 거의 동일하게 증폭된 다음에 합산되어 원래의 시변 포락선 신호(R_{in})의 증폭 버전을 생성한다.

[0281] 이제 직접 직교 2-분기 VPA의 개념에 대해 도 9a 및 도 14를 참조로 설명한다.

[0282] 도 9a를 참조로 전술하고 검증된 바와 같이, 페이저 $\overrightarrow{R'}$ 은 $\overrightarrow{R'}$ 를 생성하기 위해 적당히 위상 천이된 상위 페이저 $\vec{U'}$ 와 하위 페이저 $\vec{L'}$ 의 합에 의해 구해질 수 있다. $\overrightarrow{R'}$ 는 크기 Rin에 비례하는 것으로 산출된다. 더욱이 $\vec{U'}$ 와 $\vec{L'}$ 는 실질적으로 일정한 크기를 갖도록 유지될 수 있다. 시간 영역에서 $\vec{U'}$ 와

$\vec{L}'$ 는 2개의 실질적으로 일정한 포락선 신호를 나타낸다.

[0283] 따라서 임의의 순간에 $\overrightarrow{R'}$ 의 시간 영역 등가 r'(t)는 2개의 실질적으로 일정한 포락선 신호의 합으로 구해질 수 있다.

[0284] 도 9a에 나타낸 경우에 있어서 $\overrightarrow{R'}$ 에 대한 $\vec{U}'$ 와 $\vec{L}'$ 의 위상 천이(도 9a에서 각도 $\frac{\phi}{2}$ 로 나타냄)는 다음과 같이 $\overrightarrow{R'}$ 의 크기에 관련된다.

$$\frac{\phi}{2} = \cot^{-1}\left(\frac{R}{2\sqrt{1-\frac{R^2}{4}}}\right) \qquad (13)$$

[0285]

[0286] 여기서 R은 페이저 $\overrightarrow{R'}$ 의 정규화된 크기를 나타낸다.

[0287] 시간 영역에서 예컨대 시변 포락선 신호 r'(t)=R(t)cos(ωt)는 다음과 같이 2개의 일정 포락선 신호의 합으로 구성될 수 있다.

$$\begin{aligned} r'(t) &= U'(t) + L'(t); \\ U'(t) &= C \times \cos(\omega t) + \alpha \times \sin(\omega t); \\ L'(t) &= C \times \cos(\omega t) - \beta \times \sin(\omega t). \end{aligned} \qquad (14)$$

[0288]

[0289] 여기서 C는 페이저 페이저 $\vec{U}'$ 와 $\vec{L}'$ 의 동위상 진폭 성분을 나타내며 A×cos($\frac{\phi}{2}$)(A는 상수)와 같거나 실질적으로 같다. α와 β는 각각 페이저 $\vec{U}'$ 와 $\vec{L}'$ 의 직각위상 진폭 성분을 나타낸다. α=β=A×sin($\frac{\phi}{2}$). 수학식 (14)는 기본 함수를 정현파 함수로부터 원하는 함수로 변경함으로써 비정현파 신호를 위해 변경될 수 있음에 유의한다.

[0290] 도 14는 $\vec{R}$ 과 그 2개의 일정 크기 성분 페이저 $\vec{U}$ 와 $\vec{L}$ 를 보여준다. $\vec{R}$ 은 도 9a에서의 $\overrightarrow{R'}$ 에 대해 Θ도 만큼 천이된다. 따라서 다음과 같이 검증될 수 있다.

$$\begin{aligned} \vec{R} &= \overrightarrow{R'} \times e^{j\theta} = (\overrightarrow{U'} + \overrightarrow{L'}) \times e^{j\theta} = \vec{U} + \vec{L}; \\ \vec{U} &= \overrightarrow{U'} \times e^{j\theta}; \\ \vec{L} &= \overrightarrow{L'} \times e^{j\theta}. \end{aligned} \qquad (15)$$

[0291]

[0292] 수학식 (15)로부터 다음과 같이 더 나타낼 수 있다.

$$\vec{U} = \overrightarrow{U'} \times e^{j\theta} = (C + j\alpha) \times e^{j\theta};$$
$$\Rightarrow \vec{U} = (C + j\alpha)(\cos\theta + j\sin\theta) = (C\cos\theta - \alpha\sin\theta) + j(C\sin\theta + \alpha\cos\theta). \quad (16)$$

[0293]

[0294] 마찬가지로 다음과 같이 나타날 수 있다.

$$\vec{L} = \vec{L'} \times e^{j\theta} = (C + j\beta) \times e^{j\theta};$$
$$\Rightarrow \vec{L} = (C + j\beta)(\cos\theta + j\sin\theta) = (C\cos\theta - \beta\sin\theta) + j(C\sin\theta + \beta\cos\theta). \quad (17)$$

[0295]

[0296] 수학식 (16)과 (17)은 다음과 같이 다시 쓸 수 있다.

$$\vec{U} = (C\cos\theta - \alpha\sin\theta) + j(C\sin\theta + \alpha\cos\theta) = U_x + jU_y;$$
$$\vec{L} = (C\cos\theta - \beta\sin\theta) + j(C\sin\theta + \beta\cos\theta) = L_x + jL_y. \quad (18)$$

[0297]

[0298] 등가적으로 시간 영역에서,

$$U(t) = U_x\varphi_1(t) + U_y\varphi_2(t);$$
$$L(t) = L_x\varphi_1(t) + L_y\varphi_2(t); \quad (19)$$

[0299]

[0300] 여기서 $\varphi_1(t)$과 $\varphi_2(t)$는 적당히 선택된 직교 기본 함수를 나타낸다.

[0301] 수학식 (18)과 (19)로부터, 시변 포락선 신호 r(t)의 2개의 일정 포락선 성분을 결정하기 위하여 α, β, C, sin(Θ) 및 cos(Θ)의 값을 산출하기에 충분하다는 것에 유의한다. 더욱이 α, β 및 C는 신호 r(t)의 크기 및 위상 정보, 등가적으로는 I 및 Q 성분으로부터 전적으로 결정될 수 있다.

[0302] 도 15는 직접 직교 2-분기 VPA 실시예의 예시적인 실시예(1500)를 나타낸 블록도이다. 원하는 전력 레벨와 주파수 특성을 갖는 출력 신호 r(t)는 직접 직교 2-분기 VPA 실시예에 따라 동위상 및 직각위상 성분으로부터 생성된다.

[0303] 도 15의 예에서 클록 신호(1510)는 출력 신호 r(t)를 생성하기 위한 기준 신호를 나타낸다. 클록 신호(1510)는 원하는 출력 신호 r(t)와 주파수가 동일하다.

[0304] 도 15를 참조로 설명하면, 예시적인 실시예(1500)는 제1 분기(1572)와 제2 분기(1574)를 포함한다. 제1 분기(1572)는 벡터 변조기(1520)와 전력 증폭기(PA)(1550)를 포함한다. 마찬가지로 제2 분기(1574)는 벡터 변조기(1530)와 전력 증폭기(PA)(1560)를 포함한다.

[0305] 계속해서 도 15를 참조로 설명하면, 클록 신호(1510)는 벡터 변조기(1520, 1530)에 동시에 입력된다. 벡터 변조기(1520)에서는 U_x 신호(1526)가 곱해진 클록 신호(1510)의 동위상 신호(1522)가, U_y 신호(1528)가 곱해진 클록 신호(1510)의 90° 천이된 버전(1524)과 합산된다. 이와 동시에, 벡터 변조기(1530)에서는 L_x 신호(1536)가 곱해진 클록 신호(1510)의 동위상 신호(1532)가, L_y 신호(1538)가 곱해진 클록 신호(1510)의 90° 천이된 버전(1534)과 합산된다. U_x 신호(1526)와 U_y 신호(1528)는 각각 수학식 (19)에서의 신호 r(t)의 U(t) 일정 포락선 성분의 동위상 및 직각위상 진폭 성분에 해당한다. 마찬가지로 L_x 신호(1536)와 L_y 신호(1538)는 각각 수학식 (19)에서의 신호 r(t)의 L(t) 일정 포락선 성분의 동위상 및 직각위상 진폭 성분에 해당한다.

[0306] 따라서 벡터 변조기(1520, 1530)의 각자의 출력 신호(1540, 1542)는 각각 수학식 (19)에서 전술한 신호 r(t)의 U(t) 및 L(t) 일정 포락선 성분에 해당한다. 전술한 바와 같이 신호(1540, 1542)는 동일하고 일정한 또는 실질적으로 동일하고 일정한 크기 포락선을 갖는 것으로 특징지워진다.

[0307] 도 15를 참조로 설명하면, 출력 신호 r(t)의 원하는 전력 레벨을 발생하기 위하여 신호(1540, 1542)는 해당 전

력 증폭기(1550, 1560)에 입력된다.

[0308] 일 실시예에서 전력 증폭기(1550, 1560)는 각각 동일 또는 실질적으로 동일한 전력 증폭을 신호(1540, 1542)에 적용한다. 일 실시예에서 PA(1550, 1560)의 전력 증폭 레벨은 출력 신호 r(t)의 원하는 전력 레벨에 따라 설정된다.

[0309] 증폭된 출력 신호(1562, 1564)는 실질적으로 일정한 포락선 신호이다. 따라서 도 15에 도시된 바와 같이 증폭 신호들이 합산되면, 그 합산 결과 신호(1570)는 원하는 출력 신호 r(t)에 해당한다.

[0310] 도 15a는 직접 직교 2-분기 VPA 실시예의 다른 예시적인 실시예(1500A)를 나타낸 블록도이다. 실시예(1500A)는 도 15의 실시예(1500)의 다중입력 단일출력(MISO) 구현을 나타낸다.

[0311] 실시예(1500A)에서 벡터 변조기(1520, 1530)로부터 출력된 일정 포락선 신호(1540, 1542)는 MISO PA(1580)에 입력된다. MISO PA(1580)는 2-입력 단일출력 전력 증폭기이다. 일 실시예에서 MISO PA(1580)는 예컨대 전치 구동기, 구동기, 전력 증폭기 및 프로세스 검출기(도 15a에는 미도시)와 같은 여러 가지 요소를 포함할 수 있다. 더욱이 MISO PA(1580)는 도 15a에 도시된 2-입력 PA에 한정되지 않는다. 다른 실시예에서, 이후 도 51a 내지 51h를 참조로 자세히 설명되겠지만, PA(1580)는 임의 수의 입력을 가질 수 있다.

[0312] 직접 직교 2-분기 VPA 실시예의 동작은 도 16의 프로세스 플로우차트(1600)에 나타나 있다. 프로세스는 원하는 출력 신호의 기저대역 표기를 수신하는 것을 포함하는 단계(1610)에서 개시한다. 일 실시예에서 기저대역 표기는 I 및 Q 성분을 포함한다. 다른 실시예에서 I 및 Q 성분은 기저대역으로 하향 변환된 RF 성분이다.

[0313] 단계(1620)는 원하는 출력 신호의 원하는 출력 신호 주파수에 따라 설정된 클록 신호를 수신하는 것을 포함한다. 도 15의 예에서 단계(1620)는 클록 신호(1510)를 수신함에 의해 달성된다.

[0314] 단계(1630)는 원하는 출력 신호의 제1 및 제2 일정 포락선 성분 신호의 동위상 및 직각위상 진폭 정보를 생성하기 위하여 I 및 Q 성분을 처리하는 것을 포함한다. 도 15의 예에서 동위상 및 직각위상 진폭 정보는 U_x, U_y, L_x 및 L_y로 나타낸다.

[0315] 단계(1640)는 원하는 출력 신호의 제1 및 제2 일정 포락선 성분 신호를 생성하기 위하여 진폭 정보와 클록 신호를 처리하는 것을 포함한다. 일 실시예에서 제1 및 제2 일정 포락선 성분 신호는 원하는 출력 신호 주파수에 따라서 변조된다. 도 15의 예에서 단계(1640)은 신호(1540, 1542)를 생성하기 위하여 벡터 변조기(1520, 1530), 클록 신호(1510) 및 진폭 정보 신호(1526, 1528, 1536, 1538)에 의해 달성된다.

[0316] 단계(1650)는 제1 및 제2 일정 포락선 성분을 증폭하고, 원하는 출력 신호를 생성하기 위하여 이 증폭된 신호를 합산하는 것을 포함한다. 일 실시예에서 제1 및 제2 일정 포락선 성분의 증폭은 원하는 출력 신호의 원하는 전력 레벨에 따른다. 도 15의 예에서 단계(1650)는 각자의 신호(1540, 542)를 증폭하는 PA(1550, 1560)에 의해, 그리고 이어서 출력 신호(1574)를 생성하기 위하여 증폭 신호(1562, 1564)를 합산함으로써 달성된다.

[0317] 도 17은 프로세스 플로우차트(1600)를 구현하는 벡터 전력 증폭기(1700)의 예시적인 실시예를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다.

[0318] 도 17을 참조로 설명하면, 동위상(I) 및 직각위상(Q) 정보 신호(1710)는 I 및 Q 데이터 전달 함수 모듈(1716)에 의해 수신된다. 일 실시예에서 I 및 Q 데이터 전달 함수 모듈(1716)은 샘플 클록(1212)에 따라 신호(1710)를 샘플링한다. I 및 Q 정보 신호(1710)는 기저대역 I 및 Q 정보를 포함한다.

[0319] 일 실시예에서 I 및 Q 데이터 전달 함수 모듈(1716)은 정보 신호(1710)를 처리하여 정보 신호(1720, 1722, 1724, 1726)를 생성한다. I 및 Q 데이터 전달 함수 모듈(1716)의 동작에 대해서는 이후의 3.4 절에서 자세히 설명한다.

[0320] 도 17을 참조로 설명하면, 정보 신호(1720)는 신호(1740)를 생성하기 위하여 DAC(1730)를 통해 처리되는 벡터 변조기(1750) 직각위상 진폭 정보를 포함한다. 정보 신호(1722)는 신호(1742)를 생성하기 위하여 DAC(1732)를 통해 처리되는 벡터 변조기(1750) 동위상 진폭 정보를 포함한다. 신호(1740, 1742)는 실질적으로 일정한 포락선 신호(1754)를 생성하기 위하여 산출된다. 도 14를 참조하면, 예컨대 정보 신호(1720, 1722)는 각각 상위 직각위상 및 동위상 성분 U_y 및 U_x를 포함한다.

[0321] 계속해서 도 17을 참조로 설명하면, 정보 신호(1726)는 신호(1746)를 생성하기 위하여 DAC(1736)를 통해 처리되는 벡터 변조기(1752) 직각위상 진폭 정보를 포함한다. 정보 신호(1724)는 신호(1744)를 생성하기 위하여

DAC(1734)를 통해 처리되는 벡터 변조기(1752) 동위상 진폭 정보를 포함한다. 신호(1744, 1746)는 실질적으로 일정한 포락선 신호(1756)를 생성하기 위하여 산출된다. 도 14를 참조하면, 예컨대 정보 신호(1724, 1726)는 각각 하위 동위상 및 직각위상 성분 L_x 및 L_y를 포함한다.

[0322] 도 17의 예시적인 실시예에서 정보 신호(1720, 1722, 1724, 1726)는 디지털 신호이다. 따라서 각 신호(1720, 1722, 1724, 1726)는 해당 디지털-아날로그 변환기(DAC)(1730, 1732, 1734, 1736)에 공급된다. DAC(1730, 1732, 1734, 1736)의 분해능과 샘플 레이트는 특정 원하는 시그널링 방식에 따라 선택된다. DAC(1730, 1732, 1734, 1736)는 각각 DAC 클록 신호(1721, 1723, 1725, 1727)에 의해 제어된다. DAC 클록 신호(1721, 1723, 1725, 1727)는 동일한 클록으로부터 도출되거나 서로 독립적일 수 있다.

[0323] 다른 실시예에서 정보 신호(1720, 1722, 1724, 1726)는 아날로그 형식으로 생성되며, DAC는 필요치 않다.

[0324] 도 17을 참조로 설명하면, DAC(1730, 1732, 1734, 1736)는 디지털 정보 신호(1720, 1722, 1724, 1726)를 대응하는 아날로그 신호로 변환하고, 이들 아날로그 신호를 각각 선택적인 보간 필터(1731, 1733, 1735, 1737)에 입력한다. 안티앨리어싱 필터로도 기능하는 보간 필터(1731, 1733, 1735, 1737)는 DAC 출력 신호를 정형하여 원하는 출력 파형을 생성한다. 보간 필터(1731, 1733, 1735, 1737)는 각각 신호(1740, 1742, 1744, 1746)를 생성한다.

[0325] 계속해서 도 17을 참조로 설명하면, 신호(1740, 1742, 1744, 1746)는 벡터 변조기(1750, 1752)에 입력된다. 벡터 변조기(1750, 1752)는 제1 및 제2 일정 포락선 성분을 생성한다. 도 17의 실시예에서 채널 클록(1714)는 원하는 출력 신호 주파수에 따라 설정되어 그에 따라 출력 신호(1770)의 주파수를 설정한다.

[0326] 도 17을 참조로 설명하면, 벡터 변조기(1750)는 채널 클록 신호(1714)의 90° 천이된 버전이 곱해진 신호(1740)와, 채널 클록 신호(1714)의 0° 천이된 버전이 곱해진 신호(1742)를 결합하여 출력 신호(1754)를 생성한다. 그와 동시에, 벡터 변조기(1752)는 채널 클록 신호(1714)의 90° 천이된 버전이 곱해진 신호(1746)와, 채널 클록 신호(1714)의 0° 천이된 버전이 곱해진 신호(1744)를 결합하여 출력 신호(1756)를 생성한다.

[0327] 출력 신호(1754, 1756)는 일정 포락선 신호를 나타낸다. 출력 신호(1754, 1756)를 합산하면 원래 기저대역 신호의 I 및 Q 특성을 가진 반송파 신호가 된다. 실시예에서 벡터 전력 증폭기(1700)의 출력에서 원하는 전력 레벨을 발생하기 위하여 신호(1754, 1756)는 증폭된 다음에 합산된다. 도 17의 실시예에서, 예컨대 신호(1754, 1756)는 각각 해당 전력 증폭기(PA)(1760, 1762)에 입력된다. 일 실시예에서 PA(1760, 1762)는 스위칭 전력 증폭기를 포함한다. 오토바이어스 회로(1718)는 PA(1760, 1762)의 바이어스를 제어한다. 도 17의 실시예에서, 예컨대 오토바이어스 회로(1718)는 바이어스 전압(1728)을 PA(1760, 1762)에 공급한다.

[0328] 일 실시예에서 PA(1760, 1762)는 동일한 또는 실질적으로 동일한 전력 증폭을 각자의 일정 포락선 신호(1754, 1756)에 적용한다. 일 실시예에서 전력 증폭은 원하는 출력 전력 레벨에 따라 설정된다. 벡터 전력 증폭기(1700)의 다른 실시예에서 PA 구동기를 추가적으로 채용하여 증폭기에 추가적인 전력 증폭 능력을 제공한다. 도 17의 실시예에서, 예컨대 PA 구동기(1774, 1776)는 각각 벡터 변조기(1750, 1752)과 그 다음의 PA(1760, 1762) 사이에 선택적으로 추가된다.

[0329] PA(1760, 1762)의 각자의 출력 신호(1764, 1766)는 실질적으로 일정한 포락선 신호이다. 도 17의 실시예에서 출력 신호(1764, 1766)는 함께 결합되어 벡터 전력 증폭기(1700)의 출력 신호(1770)를 생성한다. 실시예에서 PA(1760, 1762)의 출력은 직접 결합됨에 유의한다. 이러 식의 직접 결합은 PA(1760, 1762)의 출력들 간에 저항성, 유도성 또는 용량성 절연이 최소이거나 없다는 것을 의미한다. 즉 PA(1760, 1762)의 출력은 중간에 개입하는 성분없이 함께 결합된다. 대안으로서 일 실시예에서 PA(1760, 1762)의 출력은 임피던스 연결을 작게하거나 최소화하는 인덕턴스 및/또는 커패시턴스를 통해, 그리고/또는 절연과 전력 손실을 최소화하는 소정 연결부를 통해 간접적으로 함께 결합된다. 대안으로서, PA(1760, 1762)의 출력은 윌킨슨, 하이브리드 결합기, 변압기 또는 공지의 능동 결합기와 같은 공지의 결합 기술을 이용하여 결합된다. 일 실시예에서 PA(1760, 1762)는 한 번의 동작으로 집적된 증폭과 전력 결합을 제공한다. 일 실시예에서 여기서 설명된 전력 증폭기 및/또는 구동기들 중 하나 또는 그 이상은 다중입력 단일출력(MISO) 전력 증폭 기술을 이용하여 구현되며, 그 예는 도 17a, 17b 및 도 51a 내지 51h에 나타나 있다.

[0330] 출력 신호(1770)는 기저대역 신호의 원하는 I 및 Q 특성과 원하는 출력 전력 레벨 및 주파수를 가진 신호를 나타낸다. 벡터 전력 증폭기(1700)의 실시예에서 풀업 임피던스(1778)는 벡터 증폭기(1700)의 출력과 전원 장치 사이에 연결된다. 다른 실시예에서 임피던스 정합 회로망(1780)은 벡터 전력 증폭기(1700)의 출력에 연결된다.

본 발명의 전력 증폭 방법 및 시스템에 따른 출력단 실시예에 대해서는 이후의 3.5 절에서 자세히 설명한다.

[0331] 벡터 전력 증폭기(1700)의 다른 실시예에서는 프로세스 검출기를 채용하여 증폭기의 회로에서의 임의의 프로세스 변동 및/또는 온도 변동을 보상한다. 도 17의 예시적인 실시예에서, 예컨대 프로세스 검출기(1772)는 선택적으로 추가되어 PA 구동기(1774, 1776)에서의 변동을 모니터한다.

[0332] 도 17a는 프로세스 플로우차트(1600)를 구현하는 벡터 전력 증폭기의 다른 예시적인 실시예(1700A)를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다. 실시예(1700A)는 도 17의 증폭기의 다중입력 단일출력(MISO) 구현을 나타낸다. 도 17a의 실시예에서 벡터 변조기(1750, 1760)로부터 출력된 일정 포락선 신호(1754, 1756)는 MISO PA(1790)에 입력된다. MISO PA(1790)는 2-입력 단일출력 전력 증폭기이다. 일 실시예에서 MISO PA(1790)는 도 17의 실시예에 나타낸 요소(1760, 1762, 1772, 1774, 1776) 또는 그 기능적 등가물을 포함한다. 다른 실시예에서 MISO PA(1790)는 도 17의 실시예에는 나타나 있지 않은 전치 구동기와 같은 다른 요소를 포함할 수 있다. 더욱이 MISO PA(1790)는 도 17a에 도시된 2-입력 PA에 한정되지 않는다. 다른 실시예에서, 이후 도 51a 내지 51h를 참조로 자세히 설명되겠지만, PA(1790)는 임의 수의 입력을 가질 수 있다.

[0333] 도 17b의 실시예(1700B)에 보여진 실시예(1700)의 다른 실시예에서 선택적인 오토바이어스 회로(1218)는 각각 바이어스 A, 바이어스 B 및 바이어스 C에 대응하는 독립적인 바이어스 제어 신호(1715, 1717, 1719)를 생성한다. 신호(1715, 1717, 1719)는 오토바이어스 회로(1718) 내에서 독립적으로 생성될 수도 되지 않을 수도 있으나, 도시된 바와 같이 독립적으로 출력된다. 더욱이 신호(1715, 1717, 1719)는 MISO PA(1790)의 여러 가지 단에 필요한 바이어싱에 의해 결정되는 것으로 관련될 수도 되지 않을 수도 있다.

[0334] 도 18은 도 16의 직접 직교 2-분기 VPA 실시예에 따른 벡터 전력 증폭기의 다른 예시적인 실시예(1800)를 나타낸 블록도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다.

[0335] 도 18의 예시적인 실시예에서는 충분한 분해능과 샘플 레이트를 가진 DAC(1820)가 도 17의 실시예의 DAC(1730, 1732, 1734, 1736)를 대체한다. DAC(1820)는 DAC 클록(1814)에 의해 제어된다.

[0336] DAC(1820)는 I 및 Q 데이터 전달 함수 모듈(1716)로부터 정보 신호(1810)를 수신한다. 정보 신호(1810)는 도 17의 실시예에서의 신호(1720, 1722, 1724, 1726)와 동일한 정보 내용을 포함한다.

[0337] DAC(1820)는 한 번에 하나의 아날로그 신호를 출력할 수 있다. 따라서 도 18에 도시된 바와 같이 샘플 홀드 구조가 이용될 수 있다.

[0338] 도 18의 실시예에서 DAC(1820)는 샘플 홀드 회로(1832, 1834, 1836, 1838)에 아날로그 신호(1822, 1824, 1826, 1828)를 각각 순차적으로 출력한다. 일 실시예에서 DAC(1820)는 도 17의 실시예의 DAC(1720, 1722, 1724, 1726)를 대체하기에 충분한 분해능과 샘플 레이트를 갖고 있다. 출력 선택기(1812)는 출력 신호(1822, 1824, 1826, 1828) 중 어느 것이 출력되도록 선택되어야 하는지를 판단한다.

[0339] DAC(1820)의 DAC 클록 신호(1814), 출력 선택기 신호(1812) 및 샘플 홀드 클록(1830A-D, 1840)은 독립적이거나 또는 전달 함수 모듈(1716)에 통합될 수 있는 제어 모듈에 의해 제어된다.

[0340] 일 실시예에서 샘플 홀드 회로(1832, 1834, 1836, 1838)는 각자의 값을 샘플링 및 홀드하고, 클록 신호(1830A-D)에 따라서 그 값을 제2 세트의 샘플 홀드 회로(1842, 1844, 1846, 1848)로 방출한다. 예컨대 S/H(1832)는 수신된 클록 신호(1830A)에 따라서 그 값을 S/H(1842)로 방출한다. 차례로 샘플 홀드 회로(1842, 1844, 1846, 1848)는 수신된 아날로그값을 홀드하고, 공통 클록 신호(1840)에 따라서 그 값들을 보간 필터(1852, 1854, 1856, 1858)로 동시에 방출한다.

[0341] 다른 실시예에서는 S/H(1832, 1834, 1836, 1838)를 포함하는 단일 세트의 S/H 회로가 채용될 수 있다. 따라서 S/H 회로(1832, 1834, 1836, 1838)는 DAC(1820)로부터 아날로그값을 수신하며, 각 회로는 그 수신된 값을 독립적인 클록들(1830A-D)에 따라서 샘플링 및 홀드한다. 예컨대 S/H(1832)는 S/H(1834)를 제어하는 클록(1830B)와 동기화되지 않을 수 있는 클록(1830A)에 의해 제어된다. 예컨대 DAC(1820)는 클록들(1830A-D) 간의 시간차를 보상하기 위하여 전달 함수 모듈(1716)에 의해 산출된 적당히 선택된 아날로그값을 가진 신호(1822, 1824, 1826, 1828)를 S/H 회로(1832, 1834, 1836, 1838)에 출력한다.

[0342] 벡터 전력 증폭기(1800)의 다른 양상은 벡터 전력 증폭기(1700)에 대해 전술한 것과 거의 같다.

[0343] 도 18a는 직접 직교 2-분기 VPA 실시예에 따른 벡터 전력 증폭기의 다른 예시적인 실시예(1800A)를 나타낸 블록

도이다. 선택적 성분은 파선으로 나타내며, 다른 실시예에서는 이러한 선택적 성분은 가감될 수 있다. 실시예(1800A)는 도 18의 실시예(1800)의 다중입력 단일출력(MISO) 구현이다.

[0344] 도 18a의 실시예에서 벡터 변조기(1750, 1752)로부터 출력된 일정 포락선 신호(1754, 1756)는 MISO PA(1860)에 입력된다. MISO PA(1860)는 2-입력 단일출력 전력 증폭기이다. 일 실시예에서 MISO PA(1860)는 도 18의 실시예에 나타낸 요소(1744, 1746, 1760, 1762, 1772) 또는 그 기능적 등가물을 포함한다. 다른 실시예에서 MISO PA(1860)는 도 17의 실시예에는 나타나 있지 않은 전치 구동기와 같은 다른 요소를 포함할 수 있다. 더욱이 MISO PA(1860)는 도 18a에 도시된 2-입력 PA에 한정되지 않는다. 다른 실시예에서, 이후 도 51a 내지 51h를 참조로 자세히 설명되겠지만, PA(1860)는 임의 수의 입력을 가질 수 있다.

[0345] 도 18a의 실시예는 도시된 바와 같이 단일 또는 2 레벨의 S/H 회로를 가진 2개의 서로 다른 샘플 홀드 구조를 더 보여준다. 이 2개의 구현은 도 18을 참조로 전술하였다.

[0346] 벡터 전력 증폭기(1800A)의 다른 양상은 벡터 전력 증폭기(1700, 1800)에 대해 전술한 것과 같다.

[0347] 3.4) I 및 Q 데이터-벡터 변조기 전달 함수

[0348] 전술한 실시예들중 일부에서는 I 및 Q 데이터 전달 함수는 수신된 I 및 Q 데이터를 벡터 변조 및 증폭의 후속단에 대한 진폭 정보 입력으로 변환하기 위해 제공된다. 예컨대 도 17의 실시예에서 I 및 Q 데이터 전달 함수 모듈(1716)은 I 및 Q 정보 신호(1710)를 처리하여 신호 r(t)의 제1 및 제2 일정 포락선 성분(1754, 1756)의 동위상 및 직각위상 진폭 정보 신호(1720, 1722, 1724, 1726)를 생성한다. 이어서 벡터 변조기(1750, 1752)는 생생된 진폭 정보 신호(1720, 1722, 1724, 1726)를 이용하여 제1 및 제2 일정 포락선 성분 신호(1754, 1756)를 생성한다. 다른 예는 도 7, 8, 12 및 13의 모듈(710, 712, 1216)을 포함한다. 이들 모듈은 I 및/또는 Q 데이터를 벡터 변조 및 증폭의 후속단에 대한 진폭 정보 입력으로 변환하는 전달 함수를 구현한다.

[0349] 본 발명에 따라서 I 및 Q 데이터 전달 함수 모듈은 디지털 회로, 아날로그 회로, 소프트웨어, 펌웨어 또는 이들의 조합을 이용하여 구현될 수 있다.

[0350] 본 발명에 따른 전달 함수의 실제 구현에 영향을 주는 주는 요소는 몇 가지 있는데, 이들 요소는 실시예마다 다르다. 일 양상에서, 선택된 VPA 실시예는 전달 함수의 진폭 정보 출력과 그 관련 모듈을 제어한다. 예컨대 CPCP 2-분기 VPA 실시예(1200)의 I 및 Q 데이터 전달 함수 모듈(1216)은 직접 직교 2-분기 VPA 실시예(1700)의 I 및 Q 데이터 전달 함수 모듈(1716)과는 출력이 다름은 명백하다.

[0351] 다른 양상에서, 전달 함수의 복잡성은 VPA 구현이 지원하는데 필요한 원하는 변조 방식(들)에 따라 다르다. 예컨대 샘플 클록, DAC 샘플 레이트, 및 DAC 분해능은 원하는 출력 파형(들)을 구성하는 적당한 전달 함수에 따라 선택된다.

[0352] 본 발명에 따라서 전달 함수 실시예는 원하는 대로 지원된 실시예들 간에 전환하는 능력을 가진 하나 또는 그 이상의 VPA 실시예를 지원하도록 설계될 수 있다. 더욱이 전달 함수 실시예와 그 관련 모듈은 복수의 변조 방식을 수용하도록 설계될 수 있다. 예컨대 당업자라면 본 발명의 실시예는 제한됨이 없이 BPSK, QPSK, OQPSK, DPSK, CDMA, WCDMA, W-CDMA, GSM, EDGE, MPSK, MQAM, MSK, CPSK, PM, FM, OFDM 및 멀티톤 신호를 포함하는 복수의 변조 방식(개별적 또는 조합하여)을 지원하도록 설계될 수 있음을 잘 알 것이다.

[0353] 3.4.1) 직교 4-분기 VPA 전달 함수

[0354] 도 19는 직교 4-분기 VPA 실시예에 따른 예시적인 I 및 Q 전달 함수 실시예를 나타낸 프로세스 플로우차트(1900)이다. 프로세스는 동위상 데이터 성분 및 직각위상 데이터 성분을 수신하는 것을 포함하는 단계(1910)에서 개시한다. 예컨대 도 7a의 직교 4-분기 VPA 실시예에서 이것은 I 정보 신호(702)를 수신하는 I 데이터 전달 함수 모듈(710)과 Q 정보 신호(704)를 수신하는 Q 데이터 전달 함수 모듈(712)로 나타낸다. 도 7a의 실시예에서 I 및 Q 데이터 전달 함수 모듈(710, 712)은 독립적인 성분으로 나타냄에 유의한다. 그러나 구현시에 I 및 Q 데이터 전달 함수 모듈(710, 712)은 독립적이거나 하나의 모듈로 결합될 수 있다.

[0355] 단계(1920)는 I 성분의 제1 및 제2의 실질적으로 동일하고 일정한 포락선 성분들 간의 위상 천이각을 산출하는 것을 포함한다. 이와 동시에 단계(1920)는 Q 성분의 제1 및 제2의 실질적으로 동일하고 일정한 포락선 성분들 간의 위상 천이각을 산출하는 것을 포함한다. 전술한 바와 같이 I 성분의 제1 및 제2 일정 포락선 성분은 I 성

분에 대해 적당히 위상이 조정된다. 마찬가지로 Q 성분의 제1 및 제2 일정 포락선 성분은 Q 성분에 대해 적당히 위상이 조정된다. 예컨대 도 7a의 실시예에서 단계(1920)는 I 및 Q 데이터 전달 함수 모듈(710, 712)에 의해 수행된다.

[0356] 단계(1930)는 I 성분의 제1 및 제2 일정 포락선 성분과 관련된 동위상 및 직각위상 진폭 정보를 산출하는 것을 포함한다. 이와 동시에 단계(1930)는 Q 성분의 제1 및 제2 일정 포락선 성분과 관련된 동위상 및 직각위상 진폭 정보를 산출하는 것을 포함한다. 예컨대 도 7a의 실시예에서 단계(1930)는 I 및 Q 데이터 전달 함수 모듈(710, 712)에 의해 수행된다.

[0357] 단계(1940)는 산출된 진폭 정보를 후속 벡터 변조단에 출력하는 것을 포함한다. 예컨대 도 7a의 실시예에서 I 및 Q 데이터 전달 함수 모듈(710, 712)은 진폭 정보 신호(722, 724, 726, 728)를 DAC(730, 732, 734, 736)를 통해 벡터 변조기(760, 762, 764, 766)에 출력한다.

[0358] 도 20은 프로세스 플로우차트(1900)를 구현하는 도 7a의 전달 함수 모듈(710, 712)와 같은 전달 함수 모듈의 예시적인 실시예(2000)를 나타낸 블록도이다. 도 20의 예에서 전달 함수 모듈(2000)은 I 및 Q 데이터 신호(2010, 2012)를 수신한다. 일 실시예에서 I 및 Q 데이터 신호(2010, 2012)는 도 7a에서의 신호(702, 704)와 같은 기저대역 신호의 I 및 Q 데이터 성분을 나타낸다.

[0359] 도 20을 참조로 설명하면, 일 실시예에서 전달 함수 모듈(2000)은 샘플링 클록(2014)에 따라서 I 및 Q 데이터 신호(2010, 2012)를 샘플링한다. 샘플링된 I 및 Q 데이터 신호는 각각 전달 함수 모듈(2000)의 성분(2020, 2022)에 의해 수신된다. 성분(2020, 2022)은 각각 샘플링된 I 및 Q 데이터 신호의 크기를 측정한다. 일 실시예에서 성분(2020, 2022)은 크기 검출기이다.

[0360] 성분(2020, 2022)은 측정된 I 및 Q 크기 정보를 각각 전달 함수 모듈(2000)의 성분(2030, 2032)에 출력한다. 일 실시예에서 측정된 I 및 Q 크기 정보는 디지털 신호 형태이다. I 크기 정보에 기초하여 성분(2030)은 샘플링된 I 신호의 제1 및 제2의 동일하고 일정한 또는 실질적으로 동일하고 일정한 포락선 성분들 간의 위상 천이각 ϕ_I를 산출한다. 마찬가지로 Q 크기 정보에 기초하여 성분(2032)은 샘플링된 Q 신호의 제1 및 제2의 동일하고 일정한 또는 실질적으로 동일하고 일정한 포락선 성분들 간의 위상 천이각 ϕ_Q를 산출한다. 이제 이 동작에 대해 자세히 설명한다.

[0361] 도 20의 실시예에서 ϕ_I와 ϕ_Q는 I 및 Q 크기 신호의 함수 $f(|\vec{I}|)$ 와 $f(|\vec{Q}|)$로 나타낸다. 실시예들에서 함수 $f(|\vec{I}|)$ 와 $f(|\vec{Q}|)$ 는 각각 기저대역 I 및 Q 신호의 상대적 크기에 따라 설정된다. 본 발명의 실시예들에 따른 $f(|\vec{I}|)$ 와 $f(|\vec{Q}|)$ 는 이후의 3.4.4. 절에서 자세히 설명한다.

[0362] 도 20를 참조로 설명하면, 성분(2030, 2032)은 각각 산출된 위상 천이 정보를 성분(2040, 2042)에 출력한다. 위상 천이각 ϕ_I에 기초하여 성분(2040)은 샘플링된 I 신호의 제1 및 제2 일정 포락선 성분의 동위상 및 직각위상 진폭 정보를 산출한다. 마찬가지로 위상 천이각 ϕ_Q에 기초하여 성분(2042)은 샘플링된 Q 신호의 제1 및 제2 일정 포락선 성분의 동위상 및 직각위상 진폭 정보를 산출한다. 대칭으로 인해 본 발명의 실시예들에서는 4개의 값에 대해서만 산출이 필요하다. 도 20의 예에서 이 값들은 도 5에서 제공 바와 같이 $\mathrm{sgn}(I)\times I_{UX}$, I_{UY}, Q_{UX} 및 $\mathrm{sgn}(Q)\times Q_{UY}$로 나타난다.

[0363] 성분(2040, 2042)은 산출된 진폭 정보를 벡터 전력 증폭기의 후속단에 출력한다. 실시예들에서 4개의 산출된 값들은 각각 디지털-아날로그 변환기에 독립적으로 출력된다. 예컨대 도 7a의 실시예에 도시된 바와 같이 신호(722, 724, 726, 728)는 각각 DAC(730, 732, 734, 736)에 독립적으로 출력된다. 다른 실시예에서 신호(722, 724, 726, 728)는 도 8a 및 8b에 도시된 바와 같은 하나의 DAC에 출력된다.

[0364] 3.4.2) CPCP 2-분기 VPA 전달 함수

[0365] 도 21은 CPCP 2-분기 VPA 실시예에 따른 예시적인 I 및 Q 전달 함수 실시예를 나타낸 프로세스 플로우차트(2100)이다. 프로세스는 기저대역 신호의 동위상(I) 및 직각위상(Q) 데이터 성분을 수신하는 것을 포함하는 단계(2110)에서 개시한다. 예컨대 도 12의 CPCP 2-분기 VPA 실시예에서 이것은 I 및 Q 정보 신호(1210)를 수신하는 I 및 Q 데이터 전달 함수 모듈(1216)로 나타낸다.

[0366] 단계(2120)는 수신된 I 및 Q 데이터 성분의 크기 |I| 및 |Q|를 결정하는 것을 포함한다.

[0367] 단계(2130)는 측정된 |I| 및 |Q| 크기에 기초하여 기저대역 신호의 크기 |R|을 산출하는 것을 포함한다. 일 실시예에서 |R|은 $|R|^2=|I|^2+|Q|^2$이 되는 관계이다. 예컨대 도 12의 실시예에서 단계(2120, 2130)는 수신된 정보 신호(1210)에 기초하여 I 및 Q 데이터 전달 함수 모듈(1216)에 의해 수행된다.

[0368] 단계(2140)는 측정된 |I| 및 |Q| 크기를 정규화하는 것을 포함한다. 일 실시예에서 |I| 및 |Q|는 $|I_{clk_phase}|^2+|Q_{clk_phase}|^2$=일정이 되도록 (도 10에 도시된 바와 같은) Iclk_phase 및 Qclk_phase 신호를 생성하도록 정규화된다. 예컨대 도 12의 실시예에서 단계(2140)는 수신된 정보 신호(1210)에 기초하여 I 및 Q 데이터 전달 함수 모듈(1216)에 의해 수행된다.

[0369] 단계(2150)는 제1 및 제2 일정 포락선 성분과 관련된 동위상 및 직각위상 진폭 정보를 산출하는 것을 포함한다. 예컨대 도 12의 실시예에서 단계(2150)는 포락선 크기 |R|에 기초하여 I 및 Q 데이터 전달 함수 모듈(1216)에 의해 수행된다.

[0370] 단계(2160)는 (단계(2140)에서) 생성된 Iclk_phase 및 Qclk_phase와 (단계(2150)에서) 산출된 진폭 정보를 적당한 벡터 변조기에 출력하는 것을 포함한다. 예컨대 도 12의 실시예에서 I 및 Q 데이터 전달 함수 모듈(1216)은 정보 신호(1220, 1222, 1224, 1226)를 DAC(1230, 1232, 1234, 1236)를 통해 벡터 변조기(1238, 1260, 1262)에 출력한다.

[0371] 도 22는 프로세스 플로우차트(2100)를 구현하는 (도 12의 모듈(1216)과 같은) 전달 함수 모듈의 예시적인 실시예(2200)를 나타낸 블록도이다. 도 22의 예에서 전달 함수 모듈(2200)은 I 및 Q 데이터 신호(2210)를 수신한다. 일 실시예에서 I 및 Q 데이터 신호(2210)는 예컨대 도 12의 실시예에서의 신호(1210)와 같은 기저대역 신호의 I 및 Q 데이터 성분을 포함한다.

[0372] 일 실시예에서 전달 함수 모듈(2200)은 샘플링 클록(2212)에 따라서 I 및 Q 데이터 신호(2210)를 샘플링한다. 샘플링된 I 및 Q 데이터 신호는 전달 함수 모듈(2200)의 성분(2220)에 의해 수신된다. 성분(2220)은 샘플링된 I 및 Q 데이터 신호의 크기 $|\vec{I}|$ 및 $|\vec{Q}|$를 측정한다.

[0373] 측정된 $|\vec{I}|$ 및 $|\vec{Q}|$ 크기에 기초하여 성분(2230)은 기저대역의 크기 $|R|$을 산출한다. 일 실시예에서 $|\vec{R}|$은 $|\vec{R}|^2=|\vec{I}|^2+|\vec{Q}|^2$이 되는 관계이다.

[0374] 이와 동시에 성분(2240)은 측정된 $|\vec{I}|$ 및 $|\vec{Q}|$ 크기를 정규화한다. 일 실시예에서 $|\vec{I}|$ 및 $|\vec{Q}|$는 $|Iclk_phase|^2+|Qclk_phase|^2=$ 일정 이 되도록 하는 Iclk_phase 및 Qclk_phase 신호를 생성하도록 정규화된다. 여기서 $|Iclk_phase|$와 $|Qclk_phase|$는 각각 $|\vec{I}|$ 및 $|\vec{Q}|$의 정규화된 크기를 나타낸다. 통상적으로 상수가 값 A로 주어지면 측정된 $|\vec{I}|$ 및 $|\vec{I}|$ 크기는 모두 양 $\frac{A}{\sqrt{|\vec{I}|^2+|\vec{Q}|^2}}$로 나누어진다.

[0375] 성분(2250)은 성분(2230)으로부터 산출된 $|\vec{R}|$ 크기를 수신하고, 이에 기초하여 제1 및 제2 일정 포락선 성분 간의 위상 천이각 Φ를 산출한다. 그러면 성분(2050)은 산출된 위상 천이각 Φ를 이용하여 제1 및 제2 일정 포락선 성분과 관련된 동위상 및 직각위상 진폭 정보를 산출한다.

[0376] 도 22의 실시예에서 위상 천이각 Φ는 산출된 크기 $|\vec{R}|$ 의 함수 $f(|\vec{R}|)$ 로 나타낸다.

[0377] 도 22를 참조로 설명하면, 성분(2240, 2250)은 정규화된 $|Iclk_phase|$ 및 $|Qclk_phase|$ 크기 정보와 산출된 진폭 정보를 적당한 벡터 변조기에 입력하기 위하여 DAC에 출력한다. 실시예들에서 출력값들은 디지털-아날로그 변환기에 독립적으로 출력된다. 예컨대 도 12의 실시예에 도시된 바와 같이 신호(1220, 1222, 1224, 1226)는 각각 DAC(1230, 1232, 1234, 1236)에 독립적으로 출력된다. 다른 실시예에서 신호(1220, 1222, 1224, 1226)는 도 13 및 13a에 도시된 바와 같은 하나의 DAC에 출력된다.

[0378] 3.4.3) 직접 직교 2-분기 VPA 전달 함수

[0379] 도 23은 직접 직교 2-분기 VPA 실시예에 따른 예시적인 I 및 Q 전달 함수 실시예를 나타낸 프로세스 플로우차트(2300)이다. 프로세스는 기저대역 신호의 동위상(I) 및 직각위상(Q) 데이터 성분을 수신하는 것을 포함하는 단계(2310)에서 개시한다. 예컨대 도 17의 직접 직교 2-분기 VPA 실시예에서 이것은 I 및 Q 정보 신호(1710)를 수신하는 I 및 Q 데이터 전달 함수 모듈(1716)로 나타낸다.

[0380] 단계(2320)는 수신된 I 및 Q 데이터 성분의 크기 |I| 및 |Q|를 결정하는 것을 포함한다.

[0381] 단계(2330)는 측정된 |I| 및 |Q| 크기에 기초하여 기저대역 신호의 크기 |R|을 산출하는 것을 포함한다. 일 실시예에서 |R|은 $|R|^2=|I|^2+|Q|^2$이 되는 관계이다. 예컨대 도 17의 실시예에서 단계(2320, 2330)는 수신된 정보 신호(1710)에 기초하여 I 및 Q 데이터 전달 함수 모듈(1716)에 의해 수행된다.

[0382] 단계(2340)는 측정된 |I| 및 |Q| 크기에 기초하여 기저대역 신호의 위상 천이각 Θ를 산출하는 것을 포함한다. 일 실시예에서 Θ는 $\theta = \tan^{-1}(\frac{|Q|}{|I|})$ 가 되는 관계이며, I 및 Q의 부호는 Θ의 사분면을 결정한다. 예컨대 도 17의 실시예에서 단계(2340)는 정보 신호(1210)에 수신된 I 및 Q 데이터 성분에 기초하여 I 및 Q 데이터 전달 함수 모듈(1216)에 의해 수행된다.

[0383] 단계(2350)는 기저대역 신호의 제1 및 제2 일정 포락선 성분과 관련된 동위상 및 직각위상 진폭 정보를 산출하는 것을 포함한다. 예컨대 도 17의 실시예에서 단계(2350)는 이미 산출된 크기 |R|과 위상 천이각 Θ에 기초하여 I 및 Q 데이터 전달 함수 모듈(1716)에 의해 수행된다.

[0384] 단계(2360)는 산출된 진폭 정보를 적당한 벡터 변조기에 입력하기 위하여 DAC에 출력하는 것을 포함한다. 예컨대 도 17의 실시예에서 I 및 Q 데이터 전달 함수 모듈(1716)은 정보 신호(1720, 1722, 1724, 1726)를 DAC(1730, 1732, 1734, 1736)를 통해 벡터 변조기(1750, 1752)에 출력한다. 다른 실시예에서 신호(1720, 1722, 1724, 1726)는 도 18 및 18a에 도시된 바와 같은 하나의 DAC에 출력된다.

[0385] 도 24는 프로세스 플로우차트(2300)를 구현하는 전달 함수 모듈의 예시적인 실시예(2400)를 나타낸 블록도이다. 도 24의 예에서 (전달 함수 모듈(1716)과 같은) 전달 함수 모듈(2400)은 도 17에서의 신호(1710)와 같은 I 및 Q 데이터 신호(2410)를 수신한다. 일 실시예에서 I 및 Q 데이터 신호(2410)는 기저대역 신호의 I 및 Q 데이터 성분을 포함한다.

[0386] 일 실시예에서 전달 함수 모듈(2400)은 샘플링 클록(2412)에 따라서 I 및 Q 데이터 신호(2410)를 샘플링한다. 샘플링된 I 및 Q 데이터 신호는 전달 함수 모듈(2200)의 성분(2420)에 의해 수신된다. 성분(2420)은 샘플링된

I 및 Q 데이터 신호의 크기 $|\vec{I}|$ 및 $|\vec{Q}|$ 를 측정한다.

[0387] 측정된 $|\vec{I}|$ 및 $|\vec{Q}|$ 크기에 기초하여 성분(2430)은 크기 $|\vec{R}|$ 을 산출한다. 일 실시예에서 $|\vec{R}|$ 은 $|\vec{R}|^2=|\vec{I}|^2+|\vec{Q}|^2$ 이 되는 관계이다.

[0388] 이와 동시에 성분(2240)은 기저대역의 위상 천이각 Θ를 산출한다. 일 실시예에서 Θ는 $\theta = \tan^{-1}(\frac{|\vec{Q}|}{|\vec{I}|})$ 가 되는 관계이며, I 및 Q의 부호는 Θ의 사분면을 결정한다.

[0389] 성분(2450)은 성분(2430)으로부터 산출된 $|\vec{R}|$ 크기를 수신하고, 이에 기초하여 제1 및 제2 일정 포락선 성분 신호 간의 위상 천이각 ϕ를 산출한다. 도 24의 실시예에서 위상 천이각 ϕ는 산출된 크기 $|\vec{R}|$ 의 함수 $f_3(|\vec{R}|)$ 로 나타낸다. 이에 대해서는 3.4.4 절에서 자세히 설명한다.

[0390] 이와 동시에 성분(2450)은 성분(2440)으로부터 산출된 위상 천이각 Θ를 수신한다. 그러면 성분(2450)은 제1 및 제2 일정 포락선 성분을 생성하는 벡터 변조기 입력을 위해 동위상 및 직각위상 진폭 정보를 ϕ와 Θ의 함수로서 산출한다. 일 실시예에서 벡터 변조기에 공급된 동위상 및 직각위상 진폭 정보는 수학식 (18)에 따른다.

[0391] 성분(2450)은 산출된 진폭 정보를 벡터 전력 증폭기의 후속단에 출력한다. 실시예들에서 이 출력값들은 디지털-아날로그 변환기에 독립적으로 출력된다. 예컨대 도 17의 실시예에 도시된 바와 같이 신호(1720, 1722, 1724, 1726)는 각각 DAC(1730, 1732, 1734, 1736)에 독립적으로 출력된다. 다른 실시예에서 신호(1720, 1722, 1724, 1726)는 도 18 및 18a에 도시된 바와 같은 하나의 DAC에 출력된다.

[0392] 3.4.4) 크기-위상 천이 변환

[0393] 이제 도 20의 f(|I|) 및 f(|Q|)와 도 22 및 24의 f(|R|)의 실시예에 대해 자세히 설명한다.

[0394] 본 발명에 따라서 푸리에 급수와 푸리에 변환으로 표현될 수 있는 임의의 주기 파형은 2 또는 그 이상의 일정 포락선 신호로 분해될 수 있다.

[0395] 이하에서 정현파형과 구형파형의 2가지 예를 제공한다.

[0396] 3.4.4.1) 정현파 신호에 대한 크기-위상 천이 변환

[0397] 시변 복소 포락선 정현파 신호 r(t)를 고려한다. 시간영역에서 이 신호는 다음과 같이 표현될 수 있다.

[0398] $$r(t) = R(t)\sin(\omega t + \delta(t)) \qquad (20)$$

[0399] 여기서, R(t)는 시각 t에서의 신호의 포락선 크기, δ(t)는 시각 t에서의 신호의 위상 천이각, ω는 신호의 주파수를 초당 라디안으로 나타낸다.

[0400] 임의의 순간 t에서 신호 r(t)는 2개의 적당히 위상 조정된 동일하고 일정한 또는 실질적으로 동일하고 일정한 포락선 신호의 합으로 구해질 수 있음이 검증될 수 있다. 즉, 2개의 일정 포락선 신호 간의 적당히 선택된 위

상 천이각 ϕ(t)에 대해 다음과 같이 보여질 수 있다.

[0401]
$$R(t)\sin(\omega t + \delta(t)) = A\sin(\omega t) + A\sin(\omega t + \phi(t)) \qquad (21)$$

[0402] 위상 천이각 ϕ(t)는 하기 설명에서 R(t)의 함수로서 유도될 것이다. 이것은 정현파 신호의 크기-위상 천이 변환과 등가이다.

[0403] 사인 삼각함수 등식을 이용하면 수학식 (21)은 다음과 같이 다시 기입될 수 있다.

[0404]
$$R(t)\sin(\omega t + \delta(t)) = A\sin(\omega t) + A\sin(\omega t)\cos\phi(t) + A\sin(\phi(t))\cos\omega t;$$
$$\Rightarrow R(t)\sin(\omega t + \delta(t)) = A\sin(\phi(t))\cos\omega t + A(1+\cos\phi(t))\sin\omega t. \qquad (22)$$

[0405] 수학식 (22)로부터 신호 r(t)는 동위상 성분과 직각위상 성분의 합으로 기입될 수 있음에 유의한다. 따라서 포락선 크기 R(t)는 다음과 같이 기입될 수 있다.

[0406]
$$R(t) = \sqrt{(A\sin(\phi(t)))^2 + (A(1+\cos(\phi(t))))^2};$$
$$\Rightarrow R(t) = \sqrt{2A(A+\cos(\phi(t)))}. \qquad (23)$$

[0407] 수학식 (23)은 신호 r(t)의 포락선 크기 R(t)를 신호 r(t)의 2개의 일정 포락선 성분 간의 위상 천이각 ϕ(t)에 관련시킨다. 일정 포락선 성분은 통상적으로 1로 정규화되는 동일한 또는 실질적으로 동일한 포락선 크기 A를 갖는다.

[0408] 역으로, 수학식 (23)으로부터 위상 천이각 ϕ(t)는 다음과 같이 R(t)의 함수로 나타낼 수 있다.

[0409]
$$\phi(t) = \arccos\left(\frac{R(t)^2}{2A^2} - 1\right). \qquad (24)$$

[0410] 수학식 (24)는 정현파 신호의 경우에 대한 크기-위상 천이 변환을 나타내며, 이는 도 26에 나타나 있다.

[0411] 3.4.4.2) 구형파 신호에 대한 크기-위상 천이 변환

[0412] 도 28은 본 발명의 실시예에 따른 2개의 일정 포락선 구형파 신호의 결합을 보여준다. 도 28에서 신호(2810, 2820)는 각각 주기 T, 듀티 사이클 γT(0<γ<1) 및 포락선 크기 A1 및 A2를 가진 일정 포락선 신호이다.

[0413] 신호(2830)는 신호(2810, 2820)를 결합한 것이다. 본 발명의 실시예에 따라서 신호(2830)는 신호(2810, 2820)의 곱과 같거나 거의 같은 크기를 가질 것이다. 즉 신호(2830)는 신호(2810)나 신호(2820)의 크기가 제로가 될 때마다 크기가 제로가 될 것이며, 신호(2810, 2820) 모두의 크기가 비제로(non-zero)일 때에 크기가 비제로가 될 것이다.

[0414] 더욱이 신호(2830)는 펄스폭 변조 신호를 나타낸다. 즉 신호(2830)의 포락선 크기는 신호(2830)의 일 주기 동안의 그 신호의 펄스폭에 따라 결정된다. 더 구체적으로 신호(2830)의 포락선 크기는 신호(2830)의 곡선 아래 면적과 같거나 거의 같다.

[0415] 도 28을 참조로 설명하면, 신호(2810, 2820)는 시간 천이 t'만큼 서로에 대해 시간 천이된 것으로 되어 있다.

$$\phi = \left(\frac{t'}{T}\right) \times 2\pi$$

즉, 신호(2810, 2820)는 위상 천이각 라디안만큼 서로에 대해 위상 천이되어 있다.

[0416] 계속해서 도 28을 참조로 설명하면, 도 28에서 신호(2830)의 포락선 크기 R은 다음과 같이 주어짐에 유의한다.

[0417]
$$R = A_1 \times A_2 \times (\gamma T - t') \qquad (25)$$

[0418] 따라서 ϕ는 다음과 같이 R에 연관된디고 추론될 수 있다.

$$\phi = \left[\gamma - \frac{R}{T(A_1 A_2)}\right] \times (2\pi). \qquad (26)$$

[0419]

[0420] 수학식 (26)으로부터 ϕ=0일 때에 R은 최대 γA1A2가 됨에 유의한다. 즉, 포락선 크기는 2개의 일정 포락선 신호가 동위상일 때에 최대가 된다.

[0421] 통상의 구현에서 신호(2810, 2820)는 정규화되어 1의 동일한 또는 실질적으로 동일한 포락선 크기를 갖는다. 더욱이 신호(2810, 2820)는 통상적으로 0.5의 듀티 사이클을 갖는다. 따라서 수학식 (26)은 다음과 같이 간소화된다.

$$\phi = \left[0.5 - \frac{R}{T}\right] \times (2\pi). \qquad (27)$$

[0422]

[0423] 수학식 (27)은 정규화된 동일한 또는 실질적으로 동일한 포락선 크기 구형파 신호의 경우에 대한 크기-위상 천이 변환을 나타낸 것이다. 수학식 (27)은 도 26에 나타나 있다.

[0424] 3.4.5) 파형 왜곡 보상

[0425] 특정 실시예에서 크기-위상 천이 변환은 이론적으로 또는 실제로 원하는 대로 구현되지 않을 수도 있다. 실제로는 최적(적어도 개선된) 동작을 위해 도출된 크기-위상 천이 변환의 조정이나 조율을 요하는 몇 가지 요소가 존재할 수 있다. 실제로는 벡터 변조 회로에는 위상 및 진폭 에러가 존재할 수 있으며, 벡터 전력 증폭기 분기에는 이득 및 위상 불균형이 생길 수 있으며, 여기에서 설명된 MISO 증폭기 내의 단일 회로 노드 트랜지스터 출력에서의 직접 결합에 의해 유발되는 에러를 포함하나 이에 한정되지 않는 왜곡이 MISO 증폭기 그 자체에 존재할 수 있다. 이들 요소 각각은 단독으로 또는 결합하여 출력 파형 왜곡에 기여하며, 그 결과, 원하는 출력 신호 r(t)로부터 벗어나게 된다. 출력 파형 왜곡이 시스템 설계 요건을 초과하면 파형 왜곡 보상이 필요하게 될 수 있다.

[0426] 도 25는 페이저 신호 표기를 이용한 신호에 대한 파형 왜곡의 효과를 나타낸 것이다. 도 25에서 $\overrightarrow{R}$ 은 원하는 신호 r(t)의 페이저 표기를 나타낸다. 도 25의 예에서 파형 왜곡은 실제 출력 페이저를 페이저 에러 영역 내의 어디서나 r(t)로부터 변하게 할 수 있다. 도 25에는 예시적인 페이저 에러 영역이 나타나 있으며, 이 영역은 최대 에러 벡터 크기와 같거나 거의 같다. 페이저 $\overrightarrow{R_1}$ 과 $\overrightarrow{R_2}$ 는 원하는 r(t)로부터 벗어나는 잠재적인 출력 페이저의 예를 나타낸다.

[0427] 본 발명의 실시예들에 따라서 파형 왜곡은 시스템 제조 중에 및/또는 실시간 또는 비실시간 동작 시에 측정, 산출 또는 평가될 수 있다. 도 54a와 도 55는 페이저 에러 측정 및 정정에 이용될 수 있는 방법의 예를 보여준다. 이들 파형 왜곡은 시스템 내의 여러 지점에서 보상 또는 저감될 수 있다. 예컨대 분기 증폭기들 간의 위상 에러는 전달 함수 내에서 아날로그 전압 오프셋을 벡터 변조 회로에 인가하고, 그리고/또는 도 58, 59 및 60에 나타낸 예시적인 시스템에서 보는 바와 같은 실시간 또는 비실시간 피드백 기술을 이용하여 조정될 수 있다. 마찬가지로 분기 증폭 불균형도 전달 함수 내에서 아날로그 전압 오프셋을 벡터 변조 회로에 인가하고, 그리고/또는 도 58, 59 및 60에 나타낸 실시간 또는 비실시간 피드백 기술을 이용하여 조정될 수 있다. 예컨대 도 58, 59 및 60에 나타낸 시스템에서는, 도 60에 도시된 바와 같이, 각각 차동 분기 진폭 신호(5950)와 차동 분기 위상 신호(5948)를 제공하는 차동 분기 진폭 측정 회로(6024)와 차동 분기 위상 측정 회로(6026)를 이용하여 파형 왜곡 조정이 수행된다. 이들 신호는 입력 신호 선택기(5946)에 의해 A/D 변환기(5732)에 입력되고, A/D 변환기(5732)에 의해 발생된 값은 디지털 제어 모듈(5602)에 입력된다. 디지털 제어 모듈(5602)은 A/D 변환기(5732)에 의해 발생된 값을 이용하여 조정된 또는 오프셋 값을 산출하여 위상 조정용 제어 전압을 벡터 변

조 회로(5922, 5924, 5926, 5928)에 제공하고 진폭 조정용 제어 전압을 이득 밸런스 제어 회로(6016)에 제공한다. 도 58에는 이들 제어 전압은 이득 밸런스 제어 신호(5749)와 위상 밸런스 제어 신호(5751)를 이용하여 나타나 있다. 전술한 피드백 방식은 또한 시스템 진폭과 위상 에러를 특정 공차(tolerance)를 가지고 유지시킴으로써 프로세스 변동, 온도 변동, IC 패키지 변동 및 회로 기판 변동을 보상한다. 추가적인 예시적인 피드백 및 피드포워드(feedforward) 에러 측정 및 보상 기술에 대해서는 4.1.2 절에서 자세히 설명한다.

[0428] 다른 실시예에서, 측정, 산출 또는 평가된 파형 왜곡은 전력 증폭기의 전달 함수단에서 보상된다. 이 방식에서 전달 함수는 측정, 산출 및/또는 평가된 파형 왜곡을 계산에 넣어 보정하도록 설계된다. 도 78은 VPA의 분기에 진폭 및 위상 에러가 있을 때에의 크기-위상 천이 변환의 수학적 유도를 나타낸다. 도 78의 수학식 (28)은 예시적인 실시예에서 위상과 진폭 에러 모두를 고려한다. 도 78에서 R*sin(ω*t+δ)는 예컨대 도 25에서의 $\overrightarrow{R_1}$ 또는 $\overrightarrow{R_2}$ 를 나타낼 수 있음에 유의한다. 수학식 (28)은 VPA 분기의 진폭 A1 및 A2가 서로 다를 수 있으며, 각 분기는 각자의 위상 에러 φe1(t)와 φe2(t)를 포함할 수 있다고 가정한다. 참조로 이론적으로 완벽한 시스템에서는 A1=A2이고, φe1(t)=φe2(t)=0이다. δ(t)는 입력 벡터 I(t)와 Q(t)의 부호값에 기초하여 사분면으로 조정된다. 이로서 진폭이나 위상 에러 없이 R*sin(ω*t+δ)에 대응하는 페이저가 도 25에서의 원하는 페이저 $\overrightarrow{R}$ 과 정렬된다.

[0429] 일부 실시예에서는 실제로 R*sin(ω*t+δ)에 대응하는 페이저의 진폭 및 위상 성분은 원하는 페이저 $\overrightarrow{R}$ 과 비교되어 시스템 진폭 및 위상 에러 편차를 발생한다. 도 25에 도시된 바와 같이 원하는 페이저 $\overrightarrow{R}$ 로부터의 이들 진폭 및 위상 에러 편차는 시스템 전달 함수에서 고려될 수 있다. 일 실시예에서 벡터 변조 회로에의 제어 입력들을 적당히 조정함으로써 A1과 A2는 실질적으로 같게 될 수 있고 φe1(t)와 φe2(t)는 최소화될 수 있다. 일 실시예에서, 도 57에 도시된 바와 같이, 이것은 디지털-아날로그 변환기(DAC_01, DAC_02, DAC_03, DAC_04)를 이용하여 제어 입력을 벡터 변조 회로에 제공하는 디지털 제어 모듈에 의해 수행될 수 있다.

[0430] 따라서, 수학식 (28)과 같은 수학식을 이용하여 A1, A2, φe1(t) 및 φe2(t)의 값에 기초하여 임의의 순간에 결과 페이저를 산출할 수 있다고 가정하면, 전달 함수는 시스템 에러를 보상하도록 변경될 수 있으며, 그와 같은 전달 함수 변경은 본 발명의 교시에 따라 당업자에게 명백할 것이다. 시스템 에러를 보상하는 수학적 함수 및/또는 에러 테이블을 생성하는 예시적인 방법은 4.1.2 절에서 설명한다. 당업자라면 이들 파형 왜곡 보정 및 보상 기술은 디지털 또는 아날로그 영역에서 구현될 수 있음은 당업자에게 명백할 것이며, 그와 같은 기술의 구현은 본 발명의 교시에 따라 당업자에게 명백할 것이다.

[0431] 3.5) 출력단

[0432] 본 발명의 실시예의 양상은 벡터 전력 증폭기(VPA)의 출력단에서 성분 신호를 합산하는 것이다. 이것은 예컨대 PA(770, 772, 774, 778)의 출력이 합산되는 도 7에 도시되어 있다. 이것은 예컨대 도 8, 12, 13, 17 및 18에도 마찬가지로 도시되어 있다. 여기서는 VPA의 출력들을 결합하는 여러 가지 실시예들에 대해 설명한다. 하기의 설명은 VPA에 관련한 것이지만, 하기의 교시는 임의의 응용에서 임의의 능동 장치의 출력들의 결합 또는 합산에도 일반적으로 적용됨은 물론이다.

[0433] 도 29는 본 발명의 실시예에 따른 벡터 전력 증폭기 출력단 실시예(2900)를 나타낸다. 출력단(2900)은 복수의 해당 전력 증폭기(PA)(2920-{1,...,n})에 입력되는 복수의 벡터 변조기 신호(2910-{1,...,n})를 포함한다. 전술한 바와 같이, 신호(2910-{1,...,n})는 벡터 전력 증폭기의 원하는 출력 신호의 성분 신호를 나타낸다.

[0434] 도 29의 예에서 PA(2910-{1,...,n})는 입력 신호(2910-{1,...,n})를 동일하게 증폭하거나 실질적으로 동일하게 증폭하여 증폭 출력 신호(2930-{1,...,n})를 생성한다. 증폭 출력 신호(2930-{1,...,n})는 합산 노드(2940)에서 함께 직접 결합된다. 본 발명의 이 예시적인 실시예에 따라서 합산 노드(2940)는 예컨대 전력 결합기와 같은 결합 또는 고립 소자를 포함하지 않는다. 도 29의 실시예에서 합산 노드(2940)는 제로 임피던스(또는 니어 제로(near-zero) 임피던스) 도선이다. 따라서 결합 소자를 채용하는 종래의 시스템과는 달리 본 발명의 이 실

시예에 따른 출력 신호 결합은 전력 손실이 최소가 된다.

[0435] 다른 양상에서, 본 발명의 출력단 실시예들은 다중입력 단일출력(MISO) 전력 증폭기들을 이용하여 구성될 수 있다.

[0436] 다른 양상에서 본 발명의 출력단 실시예는 원하는 출력 전력 레벨에 따라 출력단 전류를 제어함으로써 증폭기의 전력 효율을 증가시키도록 제어될 수 있다.

[0437] 다음에서 본 발명의 VPA 실시예에 따른 여러 가지 출력단 실시예에 대해서는 3.5.1 절에서 설명한다. 3.5.2. 절에서는 본 발명의 특정 VPA 실시예의 전력 효율을 증가시키는 출력단 전류 정형 함수의 실시예에 대해서 설명한다. 3.5.3. 절에서는 본 발명의 특정 출력단 실시예에 이용될 수 있는 출력단 보호 기술의 실시예에 대해 설명한다.

[0438] 3.5.1. 출력단 실시예

[0439] 도 30은 본 발명의 실시예에 따른 전력 증폭기(PA) 출력단 실시예(3000)를 도시한 블록도이다. 출력단 실시예(3000)는 복수의 PA 분기(3005-{1,...,n})를 포함한다. 각자의 벡터 변조기로부터 입력되는 신호(3010-{1,...,n})는 출력단(3000)의 입력을 나타낸다. 본 발명의 이러한 실시예에 따라서 신호(3010-{1,...,n})는 전력 증폭기의 원하는 출력 신호의 동일하고 일정한 또는 실질적으로 동일하고 일정한 포락선 성분 신호를 나타낸다.

[0440] PA 분기(3005-{1,...,n})는 각자의 신호(3010-{1,...,n})에 동일 또는 실질적으로 동일한 전력 증폭을 적용한다. 일 실시예에서 PA 분기(3005-{1,...,n})를 통한 전력 증폭 레벨은 원하는 출력 신호의 전력 레벨 요건에 따라 설정된다.

[0441] 도 30의 실시예에서 PA 분기(3005-{1,...,n}) 각각은 전력 증폭기(3040-{1,...,n})를 포함한다. 다른 실시예에서 도 30에 도시된 바와 같은 구동기(3030-{1,...,n}) 및 전치 구동기(3020-{1,...,n})가 전력 증폭기 소자 앞의 PA 분기에 부가될 수도 있다. 실시예들에서 구동기와 전치 구동기는 요구되는 출력 전력 레벨이 하나의 증폭단에서 달성될 수 없을 때마다 채용된다.

[0442] 원하는 출력 신호를 생성하기 위하여, PA 분기(3005-{1,...,n})의 출력들은 합산 노드(3050)에서 직접 결합된다. 합산 노드(3050)는 결합된 출력들 간의 고립이 없거나 거의 없도록 한다. 더욱이 합산 노드(3050)는 비교적 무손실의 합산 노드를 나타낸다. 따라서 PA(3040-{1,...,n})의 출력을 합산하는데 있어 전력 손실이 최소화된다.

[0443] 출력 신호(3060)는 출력단(3000)의 원하는 출력 신호를 나타낸다. 도 30의 실시예에서 출력 신호(3060)는 부하 임피던스(3070)에서 측정된다.

[0444] 도 31은 본 발명에 따른 다른 전력 증폭기(PA) 출력단 실시예(3100)를 도시한 블록도이다. 도 30의 실시예와 마찬가지로, 출력단(3100)은 복수의 PA 분기(3105-{1,...,n})를 포함한다. PA 분기(3105-{1,...,n}) 각각은 전치 구동기(3020-{1,...,n}), 구동기(3030-{1,...,n}) 및 전력 증폭기(3040-{1,...,n})로 표현되는 복수의 전력 증폭단을 포함할 수 있다. 출력단 실시예(3100)는 각 전력 증폭단의 출력에 결합되어 그 단의 바이어싱을 제공하는 풀업 임피던스를 더 포함한다. 예컨대 풀업 임피던스(3125-{1,...,n}, 3135-{1,...,n})는 각각 전치 구동기와 구동기단 출력을 전원 장치 또는 독립 바이어스 전원 장치에 결합시킨다. 마찬가지로 풀업 임피던스(3145)는 PA단 출력을 전원 장치 또는 독립 바이어스 전원 장치에 결합시킨다. 본 발명의 이러한 실시예에 따라서 풀업 임피던스는 출력단 실시예의 효율에는 영향을 미칠 수 있으나 그 동작에는 반드시 영향을 미치는 것은 아닌 선택적인 성분을 나타낸다.

[0445] 도 32는 본 발명에 따른 다른 전력 증폭기(PA) 출력단 실시예(3200)를 도시한 블록도이다. 도 30의 실시예와 마찬가지로, 출력단(3200)은 복수의 PA 분기(3205-{1,...,n})를 포함한다. PA 분기(3205-{1,...,n}) 각각은 전치 구동기(3020-{1,...,n}), 구동기(3030-{1,...,n}) 및 전력 증폭기(3040-{1,...,n})로 표현되는 복수의 전력 증폭단을 포함할 수 있다. 출력단 실시예(3200)는 각 전력 증폭단의 출력에 결합되어 그 단의 적당한 바이어싱을 달성하는 풀업 임피던스도 포함한다. 더욱이 출력단 실시예(3200)는 각 전력 증폭단의 출력에 결합되어 이 단으로부터의 전력 전달을 최대화하는 정합 임피던스도 포함한다. 예컨대 정합 임피던스(3210-{1,...,n}, 3220-{1,...,n})는 각각 전치 구동기와 구동기단 출력에 결합된다. 마찬가지로 정합 임피던스(3240)는 PA단 출

력에 결합된다. 정합 임피던스(3240)는 합산 노드(3250) 다음의 PA 출력단에 결합됨에 유의한다.

[0446] 도 30 내지 도 32의 전술한 실시예에서 PA단 출력은 합산 노드에서의 직접 결합에 의해 결합된다. 예컨대 도 30의 실시예에서 PA 분기(3005-{1,...,n})의 출력은 합산 노드(3050)에서 함께 결합된다. 합산 노드(3050)는 결합된 출력들 간의 고립을 최소화하는 니어제로 임피던스 도선이다. 유사한 출력단 결합은 도 31과 32에 도시되어 있다. 본 발명의 특정 실시예에서 도 30 내지 32의 실시예 또는 이어서 후술될 실시예에 도시된 바와 같이 출력 결합은 특정 출력단 보호 방책을 이용할 수 있다. 이러한 보호 방책은 PA 분기의 여러 가지 단에서 구현될 수 있다. 더욱이 필요한 보호 방책의 형태는 PA 구현에 따라 특정될 수 있다. 본 발명의 실시예에 따른 출력단 보호에 대해서는 3.5.3 절에서 자세히 설명한다.

[0447] 도 33은 본 발명에 따른 다른 전력 증폭기(PA) 출력단 실시예(3300)를 도시한 블록도이다. 도 30의 실시예와 마찬가지로, 출력단(3300)은 복수의 PA 분기(3305-{1,...,n})를 포함한다. PA 분기(3305-{1,...,n}) 각각은 전치 구동기(3020-{1,...,n}), 구동기(3030-{1,...,n}) 및 전력 증폭기(3040-{1,...,n})로 표현되는 복수의 전력 증폭단을 포함할 수 있다. 출력단 실시예(3300)는 각 전력 증폭단의 출력에 결합되어 그 단의 적당한 바이어싱을 달성하는 풀업 임피던스(3125-{1,...,n}, 3135-{1,...,n}, 3145)도 포함한다. 추가적으로 출력단 실시예(3300)는 각 전력 증폭단의 출력에 결합되어 이 단으로부터의 전력 전달을 최대화하는 정합 임피던스(3210-{1,...,n}, 3220-{1,...,n}, 3240)도 포함한다. 더욱이 출력단 실시예(3300)는 각 PA 분기(3305-{1,...,n})의 PA단 입력에 결합된 오토바이어스 모듈(3340)로부터 오토바이어스 신호(3310)를 수신한다. 오토바이어스 모듈(3340)은 PA(3040-{1,...,n})의 바이어스를 제어한다. 일 실시예에서 오토바이어스 신호(3310)는 출력 파형의 원하는 출력 전력 레벨과 신호 포락선에 따라서 PA단을 통해 흐르는 전류의 량을 제어한다. 오토바이어스 신호의 동작과 오토바이어스 모듈에 대해서는 이후의 3.5.2. 절에서 자세히 설명한다.

[0448] 도 34는 본 발명에 따른 다른 전력 증폭기(PA) 출력단 실시예(3400)를 도시한 블록도이다. 도 30의 실시예와 마찬가지로, 출력단(3400)은 복수의 PA 분기(3405-{1,...,n})를 포함한다. PA 분기(3405-{1,...,n}) 각각은 전치 구동기(3020-{1,...,n}), 구동기(3030-{1,...,n}) 및 전력 증폭기(3040-{1,...,n})로 표현되는 복수의 전력 증폭단을 포함할 수 있다. 출력단 실시예(3400)는 각 전력 증폭단의 출력에 결합되어 그 단의 원하는 바이어싱을 달성하는 풀업 임피던스(3125-{1,...,n}, 3135-{1,...,n}, 3145)도 포함할 수 있다. 추가적으로 출력단 실시예(3400)는 각 전력 증폭단의 출력에 결합되어 그 단으로부터의 전력 전달을 최대화하는 정합 임피던스(3210-{1,...,n}, 3220-{1,...,n}, 3240)도 포함할 수 있다. 더욱이 출력단 실시예(3400)는 각 PA 분기(3405-{1,...,n})의 PA단 입력에 결합된 복수의 고조파 제어 회로망(3410-{1, ..., n})을 포함한다. 고조파 제어 회로망(3410-{1, ..., n})은 직렬로 또는 병렬로 결합된 복수의 저항, 커패시턴스 및/또는 인턱턴스 요소 및/또는 능동 소자를 포함할 수 있다. 본 발명의 실시예에 따라서 고조파 제어 회로망(3410-{1, ..., n})은 전력 증폭기의 출력 주파수 스펙트럼을 제어하는 고조파 제어 기능을 제공한다. 일 실시예에서 고조파 제어 회로망(3410-{1, ..., n})은 합산된 출력 스펙트럼에서의 기본 고조파에의 에너지 전달이 증가되는 반면에 출력 파형의 고조파 내용이 감소되도록 선택된다. 본 발명의 실시예에 따른 고조파 제어에 대해서는 이후의 3.6. 절에서 자세히 설명한다.

[0449] 도 35는 본 발명에 따른 다른 전력 증폭기(PA) 출력단 실시예(3500)를 도시한 블록도이다. 출력단 실시예(3500)는 도 32의 출력단 실시예(3200)의 차동 입력 등가를 나타낸다. 실시예(3500)에서 PA단 출력(3510-{1, ..., n})은 연속적으로 결합되어 2개의 합계(aggregate) 신호가 된다. 이 2개의 합계 신호는 부하 임피던스에 걸쳐 결합되고, 이에 의해 전력 증폭기의 출력은 2개의 합계 신호 간에 차이를 나타내게 된다. 도 35를 참조로 설명하면, 합계 신호(3510, 3520)는 부하 임피던스(3530)에 걸쳐 결합된다. 전력 증폭기의 출력은 부하 임피던스(3530)에 걸쳐 노드들(3540, 3550) 간의 전압차로서 측정된다. 실시예(3500)에 따라서 2개의 합계 신호가 서로에 대해 위상이 180도 어긋날 때에 전력 증폭기의 최대 출력이 얻어진다. 반대로 2개의 합계 신호가 서로에 대해 동위상일 때에 출력 전력이 최소가 된다.

[0450] 도 36은 본 발명에 따른 다른 출력단 실시예(3600)를 도시한 블록도이다. 도 30의 실시예와 마찬가지로, 출력단(3600)은 복수의 PA 분기(3605-{1,...,n})를 포함한다. PA 분기(3605-{1,...,n}) 각각은 전치 구동기(3020-{1,...,n}), 구동기(3030-{1,...,n}) 및 전력 증폭기(PA)(3620-{1,...,n})로 표현되는 복수의 전력 증폭단을 포함할 수 있다.

[0451] 실시예(3600)에 따라서 PA(3620-{1,...,n})는 스위칭 전력 증폭기를 포함한다. 도 36의 예에서 전력 증폭기(3620-{1,...,n})는 npn 바이폴라 접합 트랜지스터(BJT) 소자(Q1, ..., Qn)를 포함한다. BJT 소자(Q1, ..., Qn)는 공통 콜렉터 노드를 갖고 있다. 도 36을 참조로 설명하면, BJT 소자(Q1, ..., Qn)의 콜렉터 단자는 함

께 결합되어 합산 노드(3640)를 제공한다. BJT 소자(Q1, ..., Qn)의 에미터 단자는 접지 노드에 결합되고, BJT 소자(Q1, ..., Qn)의 베이스 단자는 PA단에 입력 단자를 제공한다.

[0452] 도 37은 구형파 입력 신호에 응답하는 실시예(3600)의 PA단의 출력 신호를 나타낸 (도 36과 관련된) 예이다. 설명을 쉽게 하기 위해 2-분기 PA단을 고려한다. 도 37의 예에서 구형파 신호(3730, 3740)는 각각 BJT 소자(3710, 3720)에 입력된다. BJT 소자(3710, 3720) 중 어느 것이 턴온되면, 합산 노드(3750)는 접지에 쇼트됨에 유의한다. 따라서 입력 신호(3730, 3740) 중 어느 것이 하이(high)이면, 출력 신호(3780)는 제로가 될 것이다. 더욱이 입력 신호(3730, 3740) 모두가 제로일 때에만 출력 신호(3780)가 하이가 될 것이다. 이 구성에 따라서 PA단(3700)은 펄스폭 변조를 수행하고, 이로써 출력 신호의 크기는 입력 신호들 간의 위상 천이각의 함수이다.

[0453] 실시예는 여기서 설명된 npn BJT 구현에 한정되지 않는다. 예컨대 당업자라면 본 발명의 실시예는 pnp BJT, CMOS, NMOS, PMOS 또는 다른 형태의 트랜지스터를 이용하여 구현될 수 있음을 잘 알 것이다. 더욱이 실시예는 고려해야 할 팩터인 원하는 트랜지스터 스위칭 속도를 가진 GaAs 및/또는 SiGe 트랜지스터를 이용하여 구현될 수 있다.

[0454] 다시 도 36을 참조로 설명하면, PA(3620-{1,...,n})는 각각 하나의 BJT 표기법(notation)을 이용하여 나타내었지만 각 PA(3620-{1,...,n})는 복수의 직렬 연결된 트랜지스터를 포함할 수 있음에 유의한다. 실시예에서 각 PA 내에 포함된 트랜지스터의 수는 전력 증폭기의 요구되는 최대 출력 전력 레벨에 따라 설정된다. 다른 실시예에서 PA내의 트랜지스터 수는 전치 구동기, 구동기 및 PA단 내의 트랜지스터 수가 기하급수(geometric progression)에 따르도록 설정된다.

[0455] 도 38은 본 발명의 실시예에 따른 예시적인 PA 실시예(3800)를 나타낸다. PA 실시예(3800)는 BJT 소자(3870), LC 회로망(3860) 및 바이어스 임피던스(3850)를 포함한다. BJT 소자(3870)는 직렬 연결된 복수의 BJT 트랜지스터(Q1, ..., Q8)를 포함한다. 도 38에 도시된 바와 같이 BJT 트랜지스터(Q1, ..., Q8)는 각자의 베이스, 콜렉터 및 에미터 단자에서 함께 결합된다. BJT 소자(3870)의 콜렉터 단자(3880)는 PA(3800)에 출력 단자를 제공한다. BJT 소자(3870)의 에미터 단자(3890)는 기판 또는 선행 증폭단의 에미터 단자에 결합될 수 있다. 예컨대 에미터 단자(3890)는 선행 구동기단의 에미터 단자에 결합된다.

[0456] 도 38을 참조로 설명하면, LC 회로망(3860)은 PA 입력 단자(3810)와 BJT 소자(3870)의 입력 단자(3820) 사이에 결합된다. LC 회로망(3860)은 복수의 용량성 소자와 유도성 소자를 포함한다. 선택적으로 고조파 제어 회로망(3830)도 BJT 소자(3870)의 입력 단자(3820)에 결합된다. 전술한 바와 같이 고조파 제어 회로망(HCC)(3830)은 전력 증폭기의 출력 주파수 스펙트럼을 제어하는 고조파 제어 기능을 제공한다.

[0457] 계속해서 도 38을 참조로 설명하면, 바이어스 임피던스(3850)는 Iref 신호(3840)를 BJT 소자(3870)의 입력 단자(3820)에 결합시킨다. Iref 신호(3840)는 원하는 출력 전력 레벨과 신호 포락선 특성에 따라서 BJT 소자(3870)의 바이어스를 제어하는 오토바이어스 신호를 나타낸다.

[0458] 도 38의 실시예에서는 BJT 소자(3870)는 8개의 트랜지스터를 포함하는 것으로 도시되어 있음에 유의한다. 그러나 당업자라면 BJT 소자(3870)는 전력 증폭기의 원하는 출력 전력 레벨을 달성하는데 필요한 임의 수의 트랜지스터를 포함할 수 있음을 잘 알 수 있다.

[0459] 다른 양상에서, 출력단 실시예는 다중입력 단일출력(MISO) 전력 증폭기를 이용하여 구현될 수 있다. 도 51a는 예시적인 MISO 출력단 실시예(5100A)를 도시한 블록도이다. 출력단 실시예(5100A)는 MISO 전력 증폭기(PA)(5120)에 입력되는 복수의 벡터 변조기 신호(5110-{1, ..., n})를 포함한다. 전술한 바와 같이, 신호(5110-{1, ..., n})는 전력 증폭기의 출력 신호(5130)의 일정 포락선 성분을 나타낸다. MISO PA(5120)는 다중입력 단일출력 전력 증폭기이다. MISO PA(5120)는 분산식 다중신호 증폭 프로세스를 제공하는 신호(5110-{1, ..., n})를 수신하고 증폭하여 출력 신호(5130)를 생성한다.

[0460] 도 51a에 도시된 것과 유사한 MISO 구현은 마찬가지로 전술한 출력단 실시예들 중 어느것으로 확장될 수 있음에 유의한다. 더 구체적으로, 도 29 내지 도 37의 출력단 실시예들 중 어느 것도 MISO 방식을 이용하여 구현될 수 있다. 이제 추가적인 MISO 실시예에 대해 도 51b 내지 51i를 참조로 설명한다. 전술한 실시예들 중 어느 것도 이제 설명될 MISO 실시예들 중 임의의 것을 이용하여 구현될 수 있음에 유의한다.

[0461] 도 51a를 참조로 설명하면, MISO PA(5120)는 복소 포락선 입력 신호의 실질적으로 일정한 포락선 분해에 요구되는 임의 수의 입력을 가질 수 있다. 예컨대 2차원 분해에서는 2-입력 전력 증폭기가 이용될 수 있다. 본 발명의 실시예에 따라서 임의 수의 입력에 대한 MISO PA를 생성하는 구축 블록이 제공된다. 도 51b는 본 발명의 일 실시예에 따른 몇 개의 MISO 구축 블록을 보여준다. MISO PA(5110B)는 2입력 단일출력 PA 블록을 나타낸다.

일 실시예에서 MISO PA(5110B)는 2개의 PA 분기를 포함한다. MISO PA(5110B)의 PA 분기는 예컨대 도 29 내지 도 37을 참조로 전술한 임의의 PA 분기와 동등할 수 있다. MISO PA(5120B)는 3입력 단일출력 PA 블록을 나타낸다. 일 실시예에서 MISO PA(5120B)는 3개의 PA 분기를 포함한다. MISO PA(5120B)의 PA 분기는 예컨대 도 29 내지 도 37을 참조로 전술한 임의의 PA 분기와 동등할 수 있다.

[0462] 계속해서 도 51b를 참조로 설명하면, MISO PA(5110B, 5120B)는 본 발명의 실시예에 따른 임의의 다중입력 단일출력 전력 증폭기를 위한 기본 구축 블록을 나타낸다. 예컨대 MISO PA(5130B)는 예컨대 MISO PA(5110B)와 같은 2개의 2입력 단일출력 PA 블록의 출력을 함께 결합시킴으로써 생성될 수 있는 4입력 단일출력 PA이다. 이것은 도 51c에 도시되어 있다. 마찬가지로 MISO PA(5140B), 즉 n입력 단일출력 PA는 기본 구축 블록(5110B, 5120B)로부터 생성될 수 있음이 검증될 수 있다.

[0463] 도 51d는 본 발명의 실시예에 따른 2입력 단일출력 PA 구축 블록의 여러 가지 실시예를 보여준다.

[0464] 실시예(5110D)는 2입력 단일출력 PA 구축 블록의 npn 구현을 나타낸다. 실시예(5110D)는 PA의 출력을 제공하는 공통 콜렉터 노드를 이용하여 함께 결합된 2개의 npn 트랜지스터를 포함한다. 공통 콜렉터 노드와 전원 공급 노드(미도시) 사이에는 풀업 임피던스(미도시)가 결합될 수 있다.

[0465] 실시예(5130D)는 실시예(5110D)의 pnp 등가를 나타낸다. 실시예(5130D)는 PA의 출력을 제공하는 공통 콜렉터 노드에 결합된 2개의 pnp 트랜지스터를 포함한다. 공통 콜렉터 노드와 접지 노드(미도시) 사이에는 풀다운 임피던스(미도시)가 결합될 수 있다.

[0466] 실시예(5140D)는 2입력 단일출력 PA 구축 블록의 상보적인 npn/pnp 구현을 나타낸다. 실시예(5140D)는 PA의 출력을 제공하는 공통 콜렉터 노드에 결합된 npn 트랜지스터와 pnp 트랜지스터를 포함한다.

[0467] 계속해서 도 51d를 참조로 설명하면, 실시예(5120D)는 2입력 단일출력 PA 구축 블록의 NMOS 구현을 나타낸다. 실시예(5120D)는 PA의 출력을 제공하는 공통 드레인 노드에 결합된 2개의 NMOS 트랜지스터를 포함한다.

[0468] 실시예(5160D)는 실시예(5120D)의 PMOS 등가를 나타낸다. 실시예(5160D)는 PA의 출력을 제공하는 공통 드레인 노드에 결합된 2개의 PMOS 트랜지스터를 포함한다.

[0469] 실시예(5150D)는 2입력 단일출력 PA 구축 블록의 상보적인 MOS 구현을 나타낸다. 실시예(5150D)는 PA의 출력을 제공하는 공통 드레인 노드에 결합된 PMOS 트랜지스터와 NMOS 트랜지스터를 포함한다.

[0470] 도 51d의 2입력 단일출력 실시예는 다중입력 단일출력 PA 실시예를 생성하도록 더 확장될 수 있다. 도 51e는 본 발명의 실시예에 따른 다중입력 단일출력 PA의 여러 가지 실시예를 보여준다.

[0471] 실시예(5150E)는 다중입력 단일출력 PA의 npn 구현을 나타낸다. 실시예(5150E)는 PA의 출력을 제공하는 공통 콜렉터 노드를 이용하여 함께 결합된 복수의 npn 트랜지스터를 포함한다. 공통 콜렉터 노드와 전원 공급 전압(미도시) 사이에는 풀업 임피던스(미도시)가 결합될 수 있다. 실시예(5150E)에 따른 n입력 단일출력 PA는 2입력 단일출력 PA 구축 블록 실시예(5110D)에 추가적인 npn 트랜지스터를 결합시킴으로써 얻어질 수 있음에 유의한다.

[0472] 실시예(5170E)는 실시예(5150E)의 pnp 등가를 나타낸다. 실시예(5170E)는 PA의 출력을 제공하는 공통 콜렉터 노드를 이용하여 함께 결합된 복수의 pnp 트랜지스터를 포함한다. 공통 콜렉터 노드와 접지 노드(미도시) 사이에는 풀다운 임피던스(미도시)가 결합될 수 있다. 실시예(5170E)에 따른 n입력 단일출력 PA는 2입력 단일출력 PA 구축 블록 실시예(5130D)에 추가적인 pnp 트랜지스터를 결합시킴으로써 얻어질 수 있음에 유의한다.

[0473] 실시예(5110E, 5130E)는 다중입력 단일출력 PA의 상보적인 npn/pnp 구현을 나타낸다. 실시예(5110E, 5130E)는 PA의 출력을 제공하는 공통 콜렉터 노드를 이용하여 함께 결합된 복수의 npn 및/또는 pnp 트랜지스터를 포함할 수 있다. 실시예(5110E)에 따른 n입력 단일출력 PA는 2입력 단일출력 PA 구축 블록 실시예(5140D)에 추가적인 npn 및/또는 pnp 트랜지스터를 결합시킴으로써 얻어질 수 있음에 유의한다. 마찬가지로 실시예(5130E)에 따른 n입력 단일출력 PA는 2입력 단일출력 PA 구축 블록 실시예(5130D)에 추가적인 npn 및/또는 pnp 트랜지스터를 결합시킴으로써 얻어질 수 있다.

[0474] 실시예(5180E)는 다중입력 단일출력 PA의 PMOS 구현을 나타낸다. 실시예(5180E)는 PA의 출력을 제공하는 공통 드레인 노드를 이용하여 함께 결합된 복수의 PMOS 트랜지스터를 포함한다. 실시예(5180E)에 따른 n입력 단일출력 PA는 2입력 단일출력 PA 구축 블록 실시예(5160D)에 추가적인 NMOS 트랜지스터를 결합시킴으로써 얻어질 수 있음에 유의한다.

[0475] 실시예(5160E)는 다중입력 단일출력 PA의 NMOS 구현을 나타낸다. 실시예(5160E)는 PA의 출력을 제공하는 공통 드레인 노드를 이용하여 함께 결합된 복수의 NMOS 트랜지스터를 포함한다. 실시예(5160E)에 따른 n입력 단일출력 PA는 2입력 단일출력 PA 구축 블록 실시예(5120D)에 추가적인 PMOS 트랜지스터를 결합시킴으로써 얻어질 수 있음에 유의한다.

[0476] 실시예(5120E, 5140E)는 다중입력 단일출력 PA의 상보적인 MOS 구현을 나타낸다. 실시예(5120E, 5140E)는 PA의 출력을 제공하는 공통 드레인 노드를 이용하여 함께 결합된 복수의 npn 및 pnp 트랜지스터를 포함할 수 있다. 실시예(5120E)에 따른 n입력 단일출력 PA는 2입력 단일출력 PA 구축 블록 실시예(5150D)에 추가적인 NMOS 및/또는 PMOS 트랜지스터를 결합시킴으로써 얻어질 수 있음에 유의한다. 마찬가지로 실시예(5140E)에 따른 n입력 단일출력 PA는 2입력 단일출력 PA 구축 블록 실시예(5160D)에 추가적인 NMOS 및/또는 PMOS 트랜지스터를 결합시킴으로써 얻어질 수 있다.

[0477] 도 51f는 본 발명의 실시예에 따른 또 다른 다중입력 단일출력 PA 실시예를 보여준다. 실시예(5110F)는 다중입력 단일출력 PA의 상보적인 npn/pnp 구현을 나타낸다. 실시예(5110F)는 PA 구축 블록(5140D)의 실시예들을 함께 반복적으로 결합시킴으로써 얻어질 수 있다. 마찬가지로 실시예(5120F)는 다중입력 단일출력 PA의 등가적인 상보적인 NMOS/PMOS 구현을 나타낸다. 실시예(5120F)는 PA 구축 블록(5150D)의 실시예들을 함께 반복적으로 결합시킴으로써 얻어질 수 있다.

[0478] 전술한 다중입력 단일출력 실시예들은 각각 PA의 단일 또는 다중 분기에 해당할 수 있음에 더 유의해야 한다. 예컨대 도 29를 참조로 설명하면, 다중입력 단일출력 실시예들 중 어느 것도 단일 또는 다중 PA(2920-{1, ..., n})를 대체하는데 사용될 수 있다. 즉, PA(2920-{1, ..., n}) 각각은 전술한 다중입력 단일출력 실시예들 중 어느 것을 이용하거나 도 29에 도시된 단일입력 단일출력 PA를 가지고 구현될 수 있다.

[0479] 도 51d, 51e 및 51f의 실시예에서 보여진 트랜지스터들은 각각 예컨대 도 38의 예시적인 실시예에 보여진 일련의 트랜지스터를 이용하여 구현될 수 있다.

[0480] 도 51g는 다중입력 단일출력 PA 구축 블록의 또 다른 실시예를 보여준다. 실시예(5110G)는 2입력 단일출력 PA 구축 블록의 실시예를 보여준다. 실시예(5110G)는 각각 전술한 단일입력 단일출력 또는 다중입력 단일출력 PA 실시예에 따라 구현될 수 있는 2개의 PA 분기를 포함한다. 더욱이 실시예(5110G)는 PA 실시예의 2개의 분기에 결합된 선택적인 바이어스 제어 신호(5110G)를 보여준다. 바이어스 제어 신호(5112G)는 PA 분기의 특정 구현에 기초하여 실시예(5112G)에 선택적으로 채용된다. 특정 구현에서는 PA의 적당한 동작을 위해 바이어스 제어가 필요할 것이다. 다른 구현에서는 PA의 적당한 동작을 위해 바이어스 제어가 필요하지는 않으나, PA 전력 효율, 출력 회로 보호 또는 파워온 전류 보호를 개선할 수 있다.

[0481] 계속해서 도 51g를 참조로 설명하면, 실시예(5120G)는 3입력 단일출력 PA 구축 블록의 실시예를 보여준다. 실시예(5120G)는 각각 전술한 단일입력 단일출력 또는 다중입력 단일출력 PA 실시예에 따라 구현될 수 있는 3개의 PA 분기를 포함한다. 더욱이 실시예(5120G)는 PA 실시예의 분기에 결합된 선택적인 바이어스 제어 신호(5114G)를 보여준다. 바이어스 제어 신호(5114G)는 PA 분기의 특정 구현에 기초하여 실시예(5120G)에 선택적으로 채용된다. 특정 구현에서는 PA의 적당한 동작을 위해 바이어스 제어가 필요할 것이다. 다른 구현에서는 PA의 적당한 동작을 위해 바이어스 제어가 필요하지는 않으나, PA 전력 효율을 개선할 수 있다.

[0482] 도 51h는 2입력 단일출력 PA 구축 블록의 또 다른 예시적인 실시예(5100H)를보여준다. 실시예(5100H)는 각각 전술한 단일입력 단일출력 또는 다중입력 단일출력 PA 실시예에 따라 구현될 수 있는 2개의 PA 분기를 포함한다. 실시예(5100H)는 도 51h에서 파선으로 나타낸 바와 같이 실시예(5100H)의 실시예에서 추가적으로 채용될 수 있는 선택적인 소자를 더 포함한다. 일 실시예에서 PA 구축 블록(5100H)은 도 51h에 도시된 바와 같이 PA 분기 각각에 구동기단 및/또는 전치 구동기단을 포함할 수 있다. PA의 구동기단 및/또는 전치 구동기단에는 프로세스 및 온도 변동을 검출하기 위한 프로세스 검출기도 선택적으로 채용될 수 있다. 더욱이 PA 실시예의 각 분기의 전치 구동기, 구동기 및/또는 PA단 각각에는 선택적인 바이어스 제어가 제공될 수 있다. 바이어스 제어는 그 단의 특정 구현에 기초하여 하나 또는 그 이상의 단에 제공될 수 있다. 더욱이 바이어스 제어는 특정 구현을 위해서는 필요할 수 있으나, 다른 구현에서는 선택적으로 채용될 수 있다.

[0483] 도 51i는 다중입력 단일출력 PA의 또 다른 예시적인 실시예(5100I)를 보여준다. 실시예(5100I)는 각각 전술한 단일입력 단일출력 또는 다중입력 단일출력 PA 실시예에 따라 구현될 수 있는 적어도 2개의 PA 분기를 포함한다. 실시예(5100I)는 실시예(5100I)의 실시예에서 추가적으로 채용될 수 있는 선택적인 소자를 더 포함한다. 일 실시예에서 PA는 도 51i에 도시된 바와 같이 PA 분기 각각에 구동기 및/또는 전치 구동기단을 포함할

수 있다. PA의 구동기 및/또는 전치 구동기단에는 프로세스 및 온도 변동을 검출하기 위한 프로세스 검출기도 선택적으로 채용될 수 있다. 더욱이 PA 실시예의 각 분기의 전치 구동기, 구동기 및/또는 PA단 각각에는 선택적인 바이어스 제어가 제공될 수 있다. 바이어스 제어는 그 단의 특정 구현에 기초하여 하나 또는 그 이상의 단에 제공될 수 있다. 더욱이 바이어스 제어는 특정 구현을 위해서는 필요할 수 있으나, 다른 구현에서는 선택적으로 채용될 수 있다.

[0484] 3.5.2) 출력단 전류 제어-오토바이어스 모듈

[0485] 이제 본 발명의 실시예에 따른 출력단 및 선택적인 전치 구동기 및 구동기단 바이어스 및 전류 제어 기술의 실시예에 대해서 설명한다. 특정 실시예에서 벡터 전력 증폭기(VPA) 실시예의 출력단 효율을 증가시키기 위하여 출력단 전류 제어 기능이 채용된다. 다른 실시예에서 과전압 및 과전류로부터 출력단을 보호하기 위하여 출력단 전류 제어가 이용되는데, 이에 대해서는 3.5.3. 절에서 자세히 설명한다. 실시예들에서 도 33을 참조로 전술한 오토바이어스 모듈을 이용하여 출력단 전류 제어 기능이 수행된다. 이들 전류 제어 기능을 수행하는데 있어 오토바이어스 모듈의 동작에 대해서도 본 발명의 실시예에 따라서 후술한다.

[0486] 본 발명의 실시예에 따라서 VPA의 출력단의 전력 효율은 VPA의 출력단 전류를 출력 파형의 출력 전력과 포락선의 함수로서 제어함으로써 증가될 수 있다.

[0487] 도 37은 입력 신호 S1 및 S2를 가진 2개의 NPN 트랜지스터로 구성된 다중입력 단일출력 증폭기의 부분적 개요를 보여준다. S1과 S2가 실질적으로 유사한 파형과 실질적으로 일정한 포락선 신호가 되도록 설계되면, S1과 S2의 위상 관계를 변경함으로써 회로 노드(3750)에 임의의 시변 복소 포락선 출력 신호가 생성될 수 있다.

[0488] 도 39는 예시적인 시변 복소 포락선 출력 신호(3910)와 이에 대응하는 포락선 신호(3920)를 보여준다. 신호(3910)는 시각 t_0에서 위상이 반전됨에 유의한다. 따라서 포락선 신호(3920)는 시각 t_0에서 영교차된다. 출력 신호(3910)는 예컨대 W-CDMA, QPSK 및 OFDM과 같은 통상적인 무선 시그널링 방식에 따른 출력 신호를 예시한 것이다.

[0489] 도 40은 출력 신호(3910)에 응답하는 도 37의 출력단 전류를 예시적으로 도시한 것이다. I_{out} 신호(4010)는 오토바이어스 제어가 없는 출력단 전류를 나타내고, I_{out} 신호(4020)는 오토바이어스 제어가 있는 출력단 전류를 나타낸다. 오토바이어스 제어가 없으면, S1과 S2 간의 위상 천이는 0에서 180도로 변함에 따라 출력 전류 I_{out}은 증가한다. 오토바이어스 제어가 있으면, 출력 전류 I_{out}은 감소하여 도 39의 t_0 또는 그 근처에서 최소화될 수 있다.

[0490] I_{out} 신호(4020)는 포락선 신호(3920)의 함수로서 변함에 유의한다. 따라서 I_{out} 신호(4020)는 최대 출력 전력이 요구될 때에 최대가 되나, 요구되는 출력 전력이 내려감에 따라 감소한다. 특히 I_{out} 신호(4020)는 관련 출력 전력이 제로로 감에 따라 제로에 접근한다. 따라서 당업자라면 본 발명의 실시예에 따르면, 출력단 전류 제어에 의해서 전력이 많이 절감되고 전력 증폭기의 전력 효율이 증가함을 잘 알 것이다.

[0491] 본 발명의 실시예에 따라서 출력단 전류 제어는 여러 가지 기능에 따라서 구현될 수 있다. 일 실시예에서 출력단 전류는 증폭기의 원하는 출력 전력에 맞게 정형될 수 있다. 그와 같은 실시예에서는 출력단 전류는 원하는 출력 신호의 포락선으로부터 유도되는 함수이며, 전류 효율은 증가할 것이다.

[0492] 도 41은 본 발명의 실시예에 따른 예시적인 오토바이어스 출력단 전류 제어 함수(4110, 4120)를 보여준다. 함수(4110)는 전술한 바와 같이 출력 전력과 신호 포락선의 함수로 나타낼 수 있다. 한편 함수(4120)는 출력 전력이 임계치 이하일 때에 소정의 시간 동안 최소치로 가는 간단한 정형 함수를 나타낼 수 있다. 따라서 함수(4110, 4120)는 I_{out} 응답(4130)이 되는 오토바이어스 제어 신호(4110)와 I_{out} 응답(4140)이 되는 오토바이어스 제어 신호(4120)를 가진 오토바이어스 출력단 전류 제어 함수의 2가지 경우를 나타낸다. 그러나 본 발명은 이들 2가지 예시적인 실시예에 한정되지 않는다. 본 발명의 실시예에 따라서 출력단 오토바이어스 전류 제어 함수는 특정 벡터 전력 증폭기 설계의 효율 및 전류 소모 요건을 수용하도록 설계되고 구현될 수 있다.

[0493] 구현 시에 출력단 전류 제어를 수행하는 몇 가지 방식이 있다. 일부 실시예에서 출력단 전류 정형은 오토바이어스 모듈을 이용하여 수행된다. 오토바이어스 모듈은 도 7 및 8의 실시예에서 오토바이어스 회로(714, 716)로 나타나 있다. 마찬가지로 오토바이어스 모듈은 도 12 및 13의 실시예에서는 오토바이어스 회로(1218)로, 도 17

및 18의 실시예에서는 오토바이어스 회로(1718)로 나타나 있다.

[0494] 오토바이어스를 이용한 출력단 전류 제어는 도 48의 실시예의 프로세스 플로우차트(4800)에 나타나 있다. 프로세스는 벡터 전력 증폭기(VPA)의 원하는 출력 신호의 출력 전력 및 출력 신호 포락선 정보를 수신하는 것을 포함하는 단계(4810)에서 개시한다. 일부 실시예에서 오토바이어스를 이용하여 출력단 전류 제어를 구현하는 것은 증폭기의 원하는 출력 전력에 대한 선험적 지식을 필요로 한다. 출력 전력 정보는 포락선 및 위상 정보 형태일 수 있다. 예컨대 도 7, 8, 12, 13, 17 및 18의 실시예에서 출력 전력 정보는 VPA 실시예에 의해 수신된 I 및 Q 데이터 성분에 포함된다. 다른 실시예에서 출력 전력 정보는 다른 수단을 이용하여 수신 또는 산출될 수 있다.

[0495] 단계(4820)는 출력 전력 및 출력 포락선 신호 정보에 따라 신호를 산출하는 것을 포함한다. 실시예들에서 오토바이어스 신호는 원하는 출력 전력량의 함수로서 산출된다. 예컨대 오토바이어스 신호는 원하는 출력 신호의 포락선 크기의 함수로서 산출될 수 있다. 예컨대 도 7, 8, 12, 13, 17 및 18의 실시예를 참조로 설명하면, 오토바이어스 신호(도 7 및 8에서 신호(715, 717), 도 12 및 13에서 신호(1228), 및 도 17 및 18에서 신호(1728))는 원하는 출력 신호의 수신된 I 및 Q 데이터 성분에 따라서 산출됨에 유의한다. 도 7, 8, 12, 13, 17 및 18에서 설명된 것과 같은 특정 실시예에서는 오토바이어스 신호는 출력 전력 정보가 제공되는 오토바이어스 모듈에 의해 산출된다. 다른 실시예에서 오토바이어스 신호는 VPA의 I 및 Q 데이터 전달 함수 모듈(들)에 의해 산출될 수 있다. 그와 같은 실시예에서 오토바이어스 모듈은 구현시 필요하지 않을 수 있다. 실시예들에서 I 및 Q 데이터 전달 함수 모듈은 신호를 산출하고 그 신호를 그 출력 신호가 오토바이어스 신호를 나타내는 DAC에 출력한다.

[0496] 단계(4830)는 산출된 신호를 VPA의 출력단에 인가하고, 그에 따라서 원하는 출력 신호의 출력 전력에 따라 출력단의 전류를 제어하는 것을 포함한다. 실시예들에서 단계(4830)는 VPA의 PA단 입력에 오토바이어스 신호를 결합하는 것을 포함한다. 이것은 예컨대 오토바이어스 신호(3310)가 VPA 실시예의 PA단 입력에 결합되는 도 33 및 42의 실시예에 나타나 있다. 이들 실시예에서 오토바이어스 신호(3310)는 VPA 실시예의 원하는 출력 신호의 출력 전력에 따라서 PA단 트랜지스터의 바이어스를 제어한다. 예컨대 오토바이어스 신호(3310)는 원하는 출력 전력이 최소이거나 거의 제로일 때에 PA단 트랜지스터가 컷오프 상태에서 동작하도록 하여 출력단 전류가 흐르지 않게 또는 거의 흐르지 않게 할 수 있다. 마찬가지로 최대 출력 전력이 요구될 때에는 오토바이어스 신호(3310)는 PA단 트랜지스터가 등급 C, D, E 등의 스위칭 모드에서 동작하도록 바이어스시킬 수 있다. 또한 오토바이어스 신호(3310)는 원하는 출력 전력 및 신호 포락선 특성에 따라서 PA단 트랜지스터 또는 FET가 순방향 또는 역방향 바이어스된 상태에서 동작하도록 할 수 있다.

[0497] 다른 실시예에서 단계(4830)는 VPA의 PA단 입력과 선택적으로는 구동기 및 전치 구동기단의 입력에 풀업 임피던스를 이용하여 오토바이어스 신호를 결합시키는 것을 포함한다. 도 38과 43은 그와 같은 실시예를 보여준다. 예컨대 도 38의 실시예에서 바이어스 임피던스(3850)는 오토바이어스 Iref 신호(3840)를 BJT 소자(3870)의 입력단자(3820)에 결합시킨다. BJT 소자(3870)는 예시적인 VPA 실시예의 하나의 PA 분기의 PA단을 나타낸다. 마찬가지로 도 43의 실시예에서 오토바이어스 신호(4310)는 해당 바이어스 임피던스(Z1, ..., Z8)를 통해 트랜지스터(Q1, ..., Q8)에 결합된다. 트랜지스터(Q1, ..., Q8)는 예시적인 VPA 실시예의 하나의 분기의 PA단을 나타낸다.

[0498] 이제 전술한 오토바이어스 회로를 구현하는 실시예에 대해서 설명한다. 도 27은 오토바이어스 회로를 구현하는 3개의 실시예(2700A, 2700B, 2700C)를 보여준다. 이들 실시예는 설명 목적상 제공되며 한정적인 것은 아니다. 다른 실시예들은 여기에 포함된 교시들에 기초하여 통상의 기술자에게 명백할 것이다.

[0499] 실시예(2700A)에서, 오토바이어스 회로(2700A)는 오토바이어스 전달 함수 모듈(2712), DAC(2714) 및 선택적인 보간 필터(2718)를 포함한다. 오토바이어스 회로(2700A)는 I 및 Q 데이터 신호(2710)를 수신한다. 오토바이어스 전달 함수 모듈(2712)은 수신된 I 및 Q 데이터 신호(2710)를 처리하여 적당한 바이어스 신호(2713)를 생성한다. 오토바이어스 전달 함수 모듈(2712)은 바이어스 신호(2713)를 DAC(2714)에 출력한다. DAC(2714)는 오토바이어스 전달 함수 모듈(2712)에서 생성될 수 있는 DAC 클록(2716)에 의해 제어된다. DAC(2714)는 바이어스 신호(2713)를 아날로그 신호로 변환하여 그 아날로그 신호를 보간 필터(2718)에 출력한다. 안티앨리어싱 필터로도 기능하는 보간 필터(2718)는 DAC의 출력을 정형하여, 실시예(5112G)에서 바이어스 A로 나타낸 오토바이어스 신호(2720)를 생성한다. 오토바이어스 신호(2720)는 증폭기의 PA단 및/또는 구동기단, 및/또는 전치 구동기단을 바이어스시키는데 이용될 수 있다. 일 실시예에서 오토바이어스 신호(2720)는 이로부터 몇 가지 다른 오토바이어스 신호를 도출하여 PA단 내의 상이한 단들을 바이어스시킬 수 있다. 이것은 실시예(2700A)에 포함되지

않은 부가적인 회로를 이용하여 실시될 수 있다.

[0500] 이와 달리 실시예(2700B)는 오토바이어스 회로 내에서 복수의 오토바이어스 신호가 도출되는 오토바이어스 회로 실시예를 보여준다. 실시예(2700B)에서 보는 바와 같이, 실시예(2700B)의 회로망 A, B 및 C로 나타낸 회로망(2722, 2726, 2730)은 오토바이어스 신호(2720)로부터 오토바이어스 신호(2724, 2728)를 도출하는데 이용된다. 오토바이어스 신호(2720, 2724, 2728)는 여러 가지 증폭단을 바이어스시키는데 이용된다.

[0501] 실시예(2700C)는 오토바이어스 전달 함수 모듈(2712) 내에서 복수의 오토바이어스 신호가 독립적으로 생성되는 다른 오토바이어스 회로 실시예를 보여준다. 실시예(2700C)에서 오토바이어스 전달 함수 모듈(2712)은 수신된 I 및 Q 데이터 신호(2710)에 따라서 복수의 바이어스 신호를 생성한다. 이 바이어스 신호들은 서로 상관될 수도 되지 않을 수도 있다. 오토바이어스 전달 함수 모듈(2712)은 발생된 바이어스 신호를 후속 DAC(2732, 2734, 2736)에 출력한다. DAC(2732, 2734, 2736)는 각각 DAC 클록 신호(2733, 2735, 2737)에 의해 제어된다. DAC(2732, 2734, 2736)는 수신된 바이어스 신호를 아날로그 신호로 변환하여 그 아날로그 신호를 선택적인 보간 필터(2742, 2744, 2746)에 출력한다. 안티앨리어싱 필터로도 기능하는 보간 필터(2742, 2744, 2746)는 DAC 출력을 정형하여 오토바이어스 신호(2720, 2724, 2728)를 생성한다. 실시예(2700B)와 마찬가지로 오토바이어스 신호(2720, 2724, 2728)는 전치 구동기, 구동기 및 PA와 같은 상이한 증폭단들을 바이어스시키는데 이용된다.

[0502] 전술한 바와 같이, 본 발명에 따른 오토바이어스 회로 실시예는 실시예(2700A, 2700B, 2700C)에서 설명된 것에 한정되지 않는다. 예를 들어, 당업자라면 오토바이어스 회로는 예컨대 실시예(5200B, 5200C)에 보여진 바와 같이 꼭 3개만이 아니라, 여러 가지 증폭단의 바이어스를 제어하는데 필요한 수의 바이어스 제어 신호를 생성하도록 확장될 수 있음을 잘 알 것이다.

[0503] 3.5.3) 출력단 보호

[0504] 전술한 바와 같이, 본 발명의 실시예에 따른 출력단 실시예는 무결합 또는 고립 소자를 이용하여 PA단에서 출력들을 직접 결합시킬 수 있기 때문에 전력 효율이 높다. 그러나 특정 상황 및/또는 응용에서 특정 출력단 실시예는 그와 같은 직접 결합 방식을 견디내기 위하여 추가적인 특별한 출력단 보호 방책을 강구할 필요가 있다. 이것은 예컨대 도 51d 및 51e에 나타낸 5110D, 5120D, 5130D, 5160D, 5150E, 5160E, 5170E 및 5180E와 같은 출력단 실시예에 대한 경우일 수 있다. 일반적으로 도 51d 및 51e에 나타낸 실시예(5140D, 5150D, 5110E, 5120E, 5130E 및 5140E)와 같은 상보적인 출력단 실시예는 본 절에서 설명될 그러한 출력단 보호 방책을 필요로 하지 않는다(그러나 선택적으로 이용할 수는 있음). 이제 출력단 보호 방책과 그와 같은 방책을 지원하는 실시예에 대해서 설명한다.

[0505] 일 양상에서, PA단의 개별적인 분기의 트랜지스터는 일반적으로 연장된 기간동안 반대되는 동작 상태에 동시에 있어서는 않된다. 마지막 PA단에 입력이 공급되지 않고 재기동 또는 파워 온되고 나면, PA 분기 내의 과도현상에 의해 이 모드가 발생하여 PA단 트랜지스터가 서로에 손상을 입히거나 출력에 연결된 회로 소자에 손상을 입힐 수가 있다. 따라서 본 발명의 실시예는 오토바이어스 모듈이 PA단 내의 출력 전류를 제한하도록 한다.

[0506] 다른 양상에서, 오토바이어스 모듈이 출력 전압을 PA단 트랜지스터의 항복 전압 사양 아래로 확실히 제한하는 것이 바람직할 수 있다. 따라서 예컨대 도 42에 도시된 것과 같은 본 발명의 실시예에서는 PA단의 공통 콜렉터 노드와 오토바이어스 모듈 사이에 피드백 소자(4210)가 결합된다. 피드백 소자(4210)는 PA단 트랜지스터의 콜렉터-베이스 전압을 모니터하여 필요에 따라 오토바이어스 신호가 트랜지스터 및/또는 회로 소자를 보호하게 할 수 있다.

[0507] 당업자라면 다른 출력단 보호 기술도 구현될 수 있음을 잘 알 것이다. 더욱이 출력단 보호 기술은 구현에 따라 달라질 수 있다. 예컨대 PA단 트랜지스터의 종류(npn, pnp, NMOS, PMOS, npn/pnp, NMOS/PMOS)에 따라서 서로 다른 보호 기능이 요구될 수 있다.

[0508] 3.6) 고조파 제어

[0509] 본 발명의 실시예에 따라서 각 분기 PA에 대한 기본적인 원리는 출력 스펙트럼의 기본 고조파로의 전력 전달을 최대화하는 것이다. 통상적으로 각 분기 PA는 고조파가 많은 출력 스펙트럼을 발생시키는 다단일 수 있다. 일 양상에서 실수(real) 전력 전달은 기본 고조파에 대해 최대화된다. 다른 양상에서 비기본 고조파에 대해서 실수 전력 전달은 최소화되고 허수 전력 전달은 허용된다. 본 발명의 실시예에 따라 고조파 제어는 여러 가지 방

식으로 수행될 수 있다.

[0510] 일 실시예에서 기본 고조파로의 실수 전력 전달은 PA단 입력 신호의 파형 정형에 의해 최대화된다. 실제로 몇 가지 요소가 최대 실수 전력을 기본 고조파에 전달하는 최적 파형을 결정하는데 역할을 한다. 전술한 본 발명의 실시예(3400)는 PA단 입력 신호의 파형 정형을 채용하는 일 실시예를 나타낸다. 실시예(3400)에서는 복수의 고조파 제어 회로(HCC)망(3410-{1, ..., n})은 각 PA 분기{1, ..., n}의 PA단 입력에 결합된다. HCC 회로망(3410-{1, ..., n})은 PA단 입력을 파형 정형하는데 영향을 미치며 통상적으로 합산된 출력 스펙트럼의 기본 고조파로의 실수 전력 전달을 최대화하도록 선택된다. 본 발명의 실시예에 따라서 파형 정형은 다양한 고조파 파형의 변동을 일으키는데 이용될 수 있다. 다른 실시예에서는 당업자라면 잘 알겠지만 파형 정형은 전치 구동기 및/또는 구동기단에서 수행될 수 있다.

[0511] 다른 실시예에서 고조파 제어는 PA단 출력의 파형 정형에 의해 달성된다. 도 43은 본 발명의 예시적인 PA단 실시예(4300)를 보여준다. 실시예(4300)에서 오토바이어스 신호(4310)는 대응 바이어스 임피던스(Z1, ..., Z8)를 통해 트랜지스터(Q1, ..., Q8)에 결합된다. 임피던스(Z1, ..., Z8)가 서로 다른 값을 가지면 트랜지스터(Q1, ..., Q8)는 서로 다른 바이어스점을 가지며 서로 다른 시간에 턴온될 수 있음에 유의한다. 이러한 트랜지스터(Q1, ..., Q8) 바이어싱 방식은 스태거형 바이어스라고 한다. 스태거형 바이어스를 이용하면 PA 출력 파형이 바이어스 임피던스(Z1, ..., Z8)에 할당된 값에 따라서 여러 가지 방식으로 정형될 수 있음에 유의한다.

[0512] 스태거형 바이어스를 이용한 고조파 제어는 도 49의 실시예의 프로세스 플로우차트(4900)에 나타나 있다. 프로세스는 입력 신호를 전력 증폭기(PA) 스위칭단의 복수의 트랜지스터의 제1 포트에 결합시키는 것을 포함하는 단계(4910)에서 개시한다. 예컨대 도 43의 예시적인 실시예에서 단계(4910)는 PA_IN 신호(4310)를 복수의 트랜지스터(Q1, ..., Q8)의 베이스 단자에 결합시키는 것에 대응한다.

[0513] 단계(4920)는 복수의 트랜지스터의 제1 포트와 바이어스 신호 사이에 복수의 임피던스를 결합시키는 것을 포함한다. 예컨대 도 43의 예시적인 실시예에서 단계(4920)는 각자의 트랜지스터(Q1, ..., Q8)의 베이스 단자와 Iref 신호 사이에 임피던스(Z1, ..., Z8)를 결합시킴으로써 달성된다. 일 실시예에서 복수의 임피던스 값은 입력 신호의 시간 스태거식 스위칭을 일으켜 PA단의 출력 신호를 고조파적으로 정형하도록 선택된다. 실시예들에서 다단 스태거형 출력은 복수의 임피던스의 복수의 개별 값을 선택함으로써 생성될 수 있다. 다른 실시예에서 스위칭은 동일 또는 실질적으로 동일한 값을 갖도록 복수의 임피던스를 선택함으로써 달성된다.

[0514] 도 44는 2단 스태거형 바이어스 방식을 이용한 예시적인 파형 정형된 PA 출력을 보여준다. 2단 스태거형 바이어스 방식에서는 제1의 PA 트랜지스터 세트가, 제2 세트가 턴온되기 전에 먼저 턴온된다. 즉, 바이어스 임피던스는 2가지 서로 다른 값을 갖는다. 파형(4410)은 PA단으로의 입력 파형을 나타낸다. 파형(4420)은 2단 스태거형 바이어스에 따른 파형 정형된 PA 출력을 나타낸다. 출력 파형(4420)은 1에서 0으로 변화할 때에 두번 경사지게 됨에 유의한다. 즉, 제1 및 제2 트랜지스터 세트가 연속적으로 턴온된다.

[0515] 본 발명의 실시예에 따라서 여러 가지 다단 스태거형 바이어스 방식이 설계될 수 있다. 바이어스 임피던스 값은 고정 또는 가변적일 수 있다. 더욱이 바이어스 임피던스 값은 동일 또는 실질적으로 동일하거나, 서로 다르거나, 또는 여러 가지 순열에 따라 설정될 수 있다. 예컨대 도 43의 예를 참조로 설명하면, 일 예시적인 순열은 Z1=Z2=Z3=Z4와 Z5=Z6=Z7=Z8을 설정하여 2단 스태거형 바이어스가 되게 할 수 있다.

[0516] 3.7) 전력 제어

[0517] 본 발명의 벡터 전력 증폭 실시예는 본질적으로 출력 전력 제어를 수행하는 메카니즘을 제공한다.

[0518] 도 45는 본 발명의 일 실시예에 따라 전력 제어를 수행하는 한 가지 방식을 보여준다. 도 45에서 페이저 $\overrightarrow{U_1}$과 $\overrightarrow{L_1}$은 각각 제1 페이저 $\overrightarrow{R_1}$의 상위와 하위 성분을 나타낸다. $\overrightarrow{U_1}$과 $\overrightarrow{L_1}$은 크기가 일정하며 $\overrightarrow{R_1}$에 대해 위상 천이각 $\frac{\phi}{2}$만큼 위상이 대칭적으로 천이된다. 페이저 $\overrightarrow{U_2}$와 $\overrightarrow{L_2}$는 각각 제2 페이저 $\overrightarrow{R_2}$의

상위와 하위 성분을 나타낸다. $\overrightarrow{U_2}$ 와 $\overrightarrow{L_2}$ 는 크기가 일정하며 $\overrightarrow{R_2}$ 에 대해 위상 천이각 $\frac{\phi}{2}+\phi_{off}$ 만큼 위상이 대칭적으로 천이된다.

[0519] 도 45로부터 $\overrightarrow{R_1}$ 과 $\overrightarrow{R_2}$ 는 서로에 대해 동위상이며 다만 크기만 다를 뿐이라는 것에 유의한다. 더욱이 $\overrightarrow{U_2}$ 와 $\overrightarrow{L_2}$ 는 각각 $\overrightarrow{U_1}$ 과 $\overrightarrow{L_1}$ 에 대해 동일하게 또는 실질적으로 동일하게 위상 천이되어 있다. 따라서 본 발명에 따라서 신호의 크기는 그 성분 신호를 동일하게 또는 실질적으로 동일하게 대칭적으로 천이시킴으로써 그 위상 천이각을 변화시키지 않고도 조작될 수 있다고 추론될 수 있다.

[0520] 상기 관찰에 따라서 출력 전력 제어는 원하는 출력 신호의 성분 신호의 위상 천이각에 제약을 부과함으로써 수행될 수 있다. 예컨대 도 45를 참조로 설명하면, 위상 천이각 $\frac{\phi}{2}$ 이 취할 수 있는 값의 범위를 제한함으로써 페이저 $\overrightarrow{R_1}$ 에 크기 제약이 부과될 수 있다.

[0521] 본 발명의 실시예에 따라서 최대 출력 전력 레벨은 최소 위상 천이각 조건을 부과함으로써 달성될 수 있다. 예컨대 도 45를 참조로 설명하면, $\frac{\phi}{2}\geq\phi_{ff}$ 의 조건을 설정함으로써 페이저 $\overrightarrow{R_1}$ 의 크기는 특정 최대 레벨을 초과하지 않도록 제한된다. 마찬가지로 최대 위상 천이각 조건은 최소 크기 레벨 요건을 부과한다.

[0522] 전력 제어의 다른 양상에서, 출력 전력 분해능은 최소 전력 증분 또는 감분 단계 크기로 정의된다. 본 발명의 일 실시예에 따라서 출력 전력 분해능은 최소 위상 천이각 단계 크기를 정의함으로써 구현될 수 있다. 따라서 위상 천이각 값은 미리 정해진 단계 크기를 가진 이산적인 값 범위에 따라서 설정된다. 도 46은 예시적인 위상 천이각 스펙트럼을 보여주며, 여기서 위상 천이각 $\frac{\phi}{2}$ 는 최소 단계 ϕ_{step} 을 가진 미리 정해진 값 범위에 따라서 설정된다.

[0523] 당업자라면 여러 가지 전력 제어 방식이 전술한 기술과 유사한 방식으로 구현될 수 있음을 잘 알 것이다. 즉, 본 발명에 따라서 위상 천이각 값에 대응 제약을 설정함으로써 여러 가지 전력 제어 알고리즘이 설계될 수 있다. 또한 데이터 전달 함수에 대해 전술한 것에 기초하여 전력 제어 방식은 전달 함수 구현에 자연스럽게 통합될 수 있음은 명백하다.

[0524] 3.8) 예시적인 벡터 전력 증폭기 실시예

[0525] 도 47은 본 발명에 따른 벡터 전력 증폭기의 예시적인 실시예(4700)를 도시한 것이다. 실시예(4700)는 직접 직교 2-분기(Direct Cartesian 2-Branch) VPA법에 따라서 구현된다.

[0526] 도 47을 참조로 설명하면, 신호(4710, 4712)는 전달 함수단으로부터의 입력 신호를 나타낸다. 도 47에는 전달 함수단이 도시되어 있지 않다. 블록(4720)은 본 발명의 일 실시예에 따라서 선택적으로 구현될 수 있는 직각위상(quadrature) 생성기를 나타낸다. 직각위상 생성기(4720)는 각각 벡터 변조기(4740, 4742)가 이용할 클록 신호(4730, 4732)를 생성한다. 마찬가지로 신호(4710, 4712)는 각각 벡터 변조기(4740, 4742)에 입력된다. 전술한 바와 같이 벡터 변조기(4740, 4742)는 이어서 PA단에 의해 처리되는 일정 포락선 성분을 생성한다. 실시예(4700)에서 PA단은 다단이며, 각 PA 분기는 전치 구동기단(4750-4752), 구동기단(4760-4762) 및 전력 증폭기단(4770-4772)을 포함한다.

[0527] 도 47에는 오토바이어스 신호(4774, 4776)와, 고조파 제어 회로 및 회로망을 결합시키기 위한 단자(4780, 4782)가 더 도시되어 있다. 단자 노드(4780)는 벡터 전력 증폭기의 출력 단자를 나타내며 2개의 PA 분기의 출력의 직접 결합에 의해 얻어진다.

[0528] 추가 예시적인 실시예 및 구현

[0529] 4.1) 개관

[0530] 이 절에서는 본 발명의 실시예에 따른 예시적인 VPA 구현에 대해서 설명한다. 당업자라면 본 발명의 교시에 따라 이들 VPA 구현의 장점을 잘 알 것이다. 이하에서는 예시적인 VPA 구현에 대해 더 자세히 설명하기 전에 이들 장점 중 몇 가지에 대해 간략하게 설명한다.

[0531] 4.1.1) 출력 전력 및 전력 효율의 제어

[0532] 예시적인 VPA 구현에 따라 VPA 내의 회로를 이용하여 전력 제어를 수행하고 그리고/또는 전력 효율을 제어하는 몇 가지 기능층을 달성할 수 있다. 도 52는 MISO VPA 실시예(5200)를 이용한 상위 레벨의 이러한 기능을 보여준다. MISO VPA 실시예(5200)는 VPA의 각 분기에 선택적인 구동기 및 전치 구동기단을 가진 2입력 단일출력 VPA이다. 전술한 실시예에서처럼 VPA의 각 증폭단(예컨대 전치 구동기단, 구동기단, 등)으로의 입력 바이어스 전압 또는 전류는 바이어스 신호(다른 실시예에서는 오토바이어스라고도 함)를 이용하여 제어된다. 실시예(5200)에서 독립적인 바이어스 신호인 바이어스 C, 바이어스 B 및 바이어스 A는 각각 VPA의 전치 구동기, 구동기 및 PA단에 결합된다. 부가적으로 VPA 실시예(5200)는 VPA의 각 단에 전력을 공급하는데 이용되는 전력 공급 신호(Pre-Driver VSUPPLY, Driver VSUPPLY 및 Output Stage VSUPPLY)를 포함한다. 실시예들에서 이들 전력 공급 신호는 전압 제어 전원 장치를 이용하여 생성되며, 그들 각자의 증폭단을 바이어스시키는데 더 이용되어, VPA의 총 전력 효율을 제어하고 전력 제어를 수행하는 추가 기능을 제공할 뿐만 아니라 VPA의 다른 기능도 제공할 수 있다. 예컨대 전력 공급 신호와 바이어스 신호는, 독립적으로 제어될 때에, 여러 가지 전력 공급 전압과 바이어스점에서 VPA의 여러 가지 증폭단을 동작시키는데 이용될 수 있으며, 이에 따라 VPA의 출력 전력 동적 범위를 확장시킬 수 있다. 실시예들에서 전압 제어 전원 장치는 가변 전압 서플라이를 적당한 증폭단에 제공하는 전압 제어 스위칭 서플라이와 같은 연속 가변 서플라이로서 구현될 수 있다. 다른 실시예에서 전압 제어 전원 장치는 여러 가지 전력 공급 전압을 제공하는 스위치를 이용하여 구현될 수 있다. 예컨대 VPA 출력단 및/또는 선택적인 구동기단 및/또는 선택적인 전치 구동기단 전원 장치는 원하는 동작 파라미터에 따라서 3.3V, 1.8V 및 0V 간에서 전환될 수 있다.

[0533] 4.1.2) 에러 보상 및/또는 보정

[0534] 상기 예시적인 VPA 구현은 VPA에서 에러 모니터링 및/또는 보상을 위한 여러 가지 방식을 제공한다. 이들 에러는 여러 가지 요인 중에서도 VPA에서의 프로세스 및/또는 온도 변동, 벡터 변조 회로에서의 위상 및 진폭 에러, VPA의 분기에서의 이득 및 위상 불균형, 및 MISO 증폭기에서의 왜곡(예컨대 상기 3.4.5 절 참조)으로 인해 발생될 수 있다. 전술한 VPA 실시예에서 이러한 기능 부분은 프로세스 검출기 회로(예컨대 도 7a에서의 프로세스 검출기(792), 도 12에서의 프로세스 검출기(1282), 도 17에서의 프로세스 검출기(1772))에서 구체화되어 있다. 이들 방식은 피드포워드, 피드백 및 하이브리드 피드포워드/피드백 기술로 분류될 수 있으며, 여러 가지 방식으로 구현될 수 있다. 이에 대해서는 예시적인 VPA 구현을 설명하는 다음 절에서 자세히 설명될 것이다. 이제 이들 에러 모니터링 및 보상 방식에 대해 개념적으로 설명한다.

[0535] 도 54a 및 54b는 VPA에서의 에러를 보상하는 상위 레벨의 피드포워드 기술을 나타낸 블록도이다. 피드포워드 기술은 VPA 내의 이들 에러를 사전 보상하기 위하여 VPA 내의 예상되는 에러에 대한 선험적인 지식에 의존한다. 따라서 피드포워드 기술은 (통상적으로 데스트 및 특성화 프로세스에서 수행되는) 에러 측정 단계와 이러한 에러 측정을 이용한 사전 보상 단계를 포함한다.

[0536] 도 54a는 VPA의 출력에서 I 데이터 및 Q 데이터의 예상 에러를 기술하는 에러 테이블 또는 함수를 생성하는 프로세스(5400A)(에러 측정 단계)를 보여준다. 그와 같은 에러는 통상적으로 VPA의 불완전성에 기인한 것이다. 프로세스(5400A)는 통상적으로 VPA 설계를 완성하기 전에 실험실에서 수행되며, VPA의 입력에서의 I 및 Q 값의 범위에 대응하는 수신기 I 및 Q 값의 출력에서의 측정을 포함한다. 통상적으로 입력 I 및 Q 값은 360° 극좌표

공간(polar space)의 대표 범위를 발생하도록 선택된다(예컨대 I 및 Q 값은 30° 의 균일한 간격으로 선택될 수 있다). 이어서 입력 I 및 Q 값과 출력 I 및 Q 값 간의 에러 차이가 산출된다. 예컨대 특정 세트의 I 및 Q 값에 대해 수신기의 출력에서 I 및 Q를 측정한 후에 비교 회로가 입력 I 및 Q 값과 수신기 출력 I 및 Q 값 간의 I 데이터 및 Q 데이터의 차이를 I_{error}와 Q_{error}로서 산출한다. I_{error}와 Q_{error}는 특정 세트의 I 및 Q 입력값에 대한 VPA의 출력에서의 I 및 Q의 예상 에러를 나타낸다.

[0537] 일 실시예에서 수신기는 VPA와 통합되거나 외부의 측정 및/또는 테스팅 장치에 의해 제공된다. 대안으로서 수신기는 VPA를 채용하는 장치 내의 수신기 모듈(예컨대 셀룰러폰 내의 수신기)이다. 이 대안 실시예에서 VPA 에러 테이블 및/또는 피드백 정보는 장치 내의 이 수신기 모듈에 의해 생성될 수 있다.

[0538] 산출된 I_{error}와 Q_{error} 값은 여러 가지 I 및 Q 입력값에 대한 예상 I 및 Q 에러를 대표하는 에러 테이블 또는 함수를 생성하는데 이용된다. 실시예들에서 산출된 I_{error}와 Q_{error} 값은 생성되는 에러 테이블 또는 함수에 기초하여 I 및 Q 입력값의 증분 범위에 대해 에러값을 생성하도록 보간된다.

[0539] 도 54b는 본 발명의 실시예에 따른 피드포워드 에러 사전 보상(사전 보상 단계)을 보여준다. 도시된 바와 같이, I 및 Q 입력값은, VPA에 의해 증폭되기 전에, 에러 테이블 또는 함수에 의해 결정된 임의의 예상 I_{error}와 Q_{error} 값에 대해 보정된다. I 및 Q 에러 사전 보상은 VPA 내의 여러 가지 단 및/또는 여러 가지 온도 및/또는 여러 가지 동작 파라미터에서 수행될 수 있다. 도 54b의 실시예에서 에러 보정은 VPA의 증폭단 앞에서 실시된다. 예컨대 I 및 Q 에러 보정은 예컨대 도 12 및 17의 전달 함수 모듈(1216, 1726)과 같은 VPA의 전달 함수 모듈에 의해 수행될 수 있다. VPA의 전달 함수 모듈에서 I 및 Q 에러 보정을 구현하는 데는 에러 함수를 구현하기 위하여 탐색표 및/또는 디지털 로직을 이용하는 것을 포함하여 몇 가지 방법이 있다. 통상적으로 피드포워드 기술은 측정 단계에서 생성된 데이터를 저장하기 위하여 예컨대 RAM이나 NVRAM과 같은 데이터 저장장치가 필요하다.

[0540] 피드포워드 기술과는 달리 피드백 기술은 에러를 사전 보상하지는 않고, 예컨대 프로세스 또는 온도 변동으로 인한 에러나 편차를 검출하기 위해 VPA 내부 또는 출력에서 실시간 측정을 수행한다. 도 55는 본 발명의 실시예에 따른 예시적인 직교 피드백 에러 보정을 개념적으로 보여주는 블록도이다. 뒤에 더 자세히 설명하겠지만, 도 55는 수신기 기반 피드백 기술을 보여주며, 여기서 VPA의 출력은 VPA에 피드백되기 전에 수신기에 의해 수신된다. 본 발명의 실시예에 따른 다른 피드백 기술에 대해서는 뒤에 자세히 설명한다. 피드백 기술은 VPA 내의 여러 단에서 실시될 수 있는 이들 실시간 측정을 수행하는 추가적인 회로가 필요할 수 있으나 데이터 저장은 필요하지 않거나 최소한도로만 필요하다. 피드백 에러 보정에 대한 몇 가지 구현이 있는데, 이에 대해서는 뒤에 예시적인 VPA 구현의 설명에서 자세히 설명한다.

[0541] 하이브리드 피드포워드/피드백 기술은 피드포워드 및 피드백 에러 사전 보상 및/또는 보정 성분을 모두 포함한다. 예컨대 하이브리드 피드포워드/피드백 기술은 에러를 사전 보상할 수 있지만 피드포워드 사전 보상을 보충하기 위하여 로우 레이트 주기적 피드백 메카니즘을 이용할 수도 있다.

[0542] 4.1.3) 다중대역 다중모드 VPA 동작

[0543] 상기 예시적인 VPA 구현은 데이터 전송을 위한 다중 주파수 대역(예컨대 쿼드 밴드(quad band)) 및/또는 다중 기술 모드(예컨대 트리 모드(tri mode))를 동시에 지원하는 몇 가지 VPA 구조를 제공한다. 당업자라면 본 발명의 교시에 따라 이들 VPA 구조의 이점에 대해 잘 알 것이다. 실시예들에서 VPA 구조에 따라 TDD(Time Division Duplex)와 FDD(Frequency Division Duplex) 방식 표준을 지원하는 단일 PA 분기를 이용할 수 있게 된다. 다른 실시예에서 VPA 구조에 따라 통상적으로 FDD 방식 표준에 필요한, 출력단에서의 고가이며 전력이 비효율적인 성분(예컨대 분리기)을 생략할 수가 있게 된다. 설명 목적상 제한됨이 없이 도 53에는 여러 가지 통신 표준에 대한 하위 및 상위 스펙트럼 대역 상의 주파수 대역 할당이 나타나 있다. DCS 1800(Digital Cellular System 1800)과 PCS 1900(Personal Communications Service 1900) 대역은 GSM-1800과 GSM-1900으로도 알려져 있는 여러 가지 GSM 방식 구현을 지원할 수 있음에 유의한다. 3G TDD 대역은 예컨대 UMTS TDD(Universal Mobile Telephone System)와 TD-SCDMA(Time Division-Synchronous Code Division Multiple Access)와 같은 제3 세대 시간 분할 듀플렉스 표준을 위해 할당된다. 3G FDD 대역은 예컨대 WCDMA(Wideband CDMA)와 같은 제3 세대 주파수 분할 듀플렉스 표준을 위해 할당된다.

[0544] 당업자라면 본 발명의 교시에 따라 잘 알겠지만, 여러 가지 양상에서는 전술한 것들 이외에도 상기 예시적인

VPA 구현에 의해 가능한 이점이 있다. 다음에서는 상기 예시적인 VPA 구현에 대해 더 자세히 설명한다. 이것은 VPA의 디지털 제어 회로의 여러 가지 구현에 대한 설명과 이에 이어지는 VPA의 아날로그 코어의 여러 가지 구현에 대한 설명을 포함한다. 본 발명의 실시예는 여기서 설명되는 특정 구현에 한정되지 않는다. 당업자라면 본 발명의 교시에 따라 잘 알겠지만, 상기 예시적인 VPA 구현에서 제공된 특성들을 조합하면 몇 가지 다른 VPA 구현을 얻을 수 있다. 따라서 이하에서 설명되는 예시적인 VPA 구현은 본 발명의 실시예에 따른 VPA 구현을 한정하는 것이 아니며, 본 발명의 교시에 따른 다른 구현도 본 발명의 범위 내에 있다. 예컨대 특정 디지털 제어 회로는 기저대역 프로세서와 통합 또는 결합될 수 있다. 또한 직각위상 생성기 및 벡터 변조기와 같은 특정 아날로그 제어 회로는 디지털 제어 회로를 이용하여 구현될 수 있다. 일 실시예에서 VPA 시스템은 디지털 회로를 이용하여 그 전체로서 구현될 수 있으며, 기저대역 프로세서와 완전히 통합될 수 있다.

[0545] 4.2) 디지털 제어 모듈

[0546] VPA의 디지털 제어 모듈은 여러 가지 기능 중에서도 신호 생성, 성능 모니터링 및 VPA 동작 제어에 이용되는 디지털 회로를 포함한다. 3 절에서는 예컨대 실시예(700, 1200, 1700)에서의 디지털 제어 모듈의 전달 함수 모듈(상태 머신)을 참조로 디지털 제어 모듈의 신호 생성 기능(즉, 일정 포락선 신호를 생성하는 것)에 대해 설명하였다. 디지털 제어 모듈의 성능 모니터링 기능은 VPA의 동작에서의 에러를 모니터링하여 보정하는 기능 및/또는 VPA의 여러 가지 단의 바이어스를 제어하는 기능을 포함한다. 디지털 제어 모듈의 VPA 동작 제어 기능은 VPA의 동작과 관련된 여러 가지 제어 기능(예컨대 VPA 모듈을 기동시키거나 프로그래밍하는 것)을 포함한다. 특정 실시예에서 이들 제어 기능은 선택적인 것일 수 있다. 다른 실시예에서 이들 제어 기능은 디지털 제어 모듈을 통해, VPA에 연결된 외부 프로세서에 접근할 수 있다. 다른 실시예에서 이들 기능은 기저대역 프로세서 또는 다른 디지털 회로와 통합될 수 있다. 전술한 것 이외에도 다른 기능도 디지털 제어 모듈에 의해 수행된다. 이제 디지털 제어 모듈 기능과 구현에 대해 더 자세히 설명한다.

[0547] 도 56은 본 발명의 일 실시예에 따른 디지털 제어 모듈 실시예(5600)의 상위 레벨을 보여준다. 디지털 제어 모듈 실시예(5600)는 입력 인터페이스(5602), 출력 인터페이스(5604), 상태 머신(5606), RAM(Random Access Memory)(5608) 및 NVRAM(Non-Volatile RAM)(5610)을 포함한다. 실시예들에서 RAM(5608) 및/또는 NVRAM(5610)은 선택적일 수 있다.

[0548] 입력 인터페이스(5602)는 디지털 제어 모듈(5600)에 신호를 입력하기 위한 복수의 버스 및/또는 포트를 제공한다. 이들 버스 및/또는 포트는 예컨대 I 및 Q 데이터 신호, 외부 프로세서가 제공하는 제어 신호, 및/또는 클록 신호를 입력하기 위한 버스 및/또는 포트를 포함한다. 일 실시예에서 입력 인터페이스(5602)는 I/O 버스를 포함한다. 다른 실시예에서 입력 인터페이스(5602)는 VPA의 아날로그 코어로부터 피드백 신호를 수신하기 위한 데이터 버스를 포함한다. 다른 실시예에서 입력 인터페이스(5602)는 디지털 제어 모듈(5600)로부터 값을 읽어내기 위한 포트를 포함한다. 일 실시예에서 값들은 디지털 제어 모듈(5600)에 연결된 외부 프로세서(예컨대 기저대역 프로세서)에 의해 디지털 제어 모듈(5600)로부터 읽어내어 진다.

[0549] 출력 인터페이스(5604)는 디지털 제어 모듈(5600)로부터 신호를 출력하기 위한 복수의 출력 버스 및/또는 포트를 제공한다. 이들 출력 버스 및/또는 포트는 예컨대 (일정 포락선 신호를 생성하는데 이용되는) 진폭 정보 신호, 바이어스 제어 신호(오토바이어스 신호), 전압 제어 신호(전력 공급 신호) 및 출력 선택 신호를 출력하기 위한 버스 및/또는 포트를 포함한다.

[0550] 상태 머신(5606)은 디지털 제어 모듈(5600)의 신호 생성 및/또는 성능 모니터링 기능과 관련된 여러 가지 기능을 수행한다. 일 실시예에서 상태 머신(5606)은 신호 생성 기능을 수행하는, 3 절에서 설명된 전달 함수 모듈을 포함한다. 다른 실시예에서 상태 머신(5606)은 여러 가지 형태의 신호 중에서도 바이어스 제어 신호, 전력 제어 신호, 이득 제어 신호 및 위상 제어 신호를 생성하는 모듈을 포함한다. 다른 실시예에서 상태 머신(5606)은 피드포워드 에러 보정 시스템에서 에러 사전 보정을 수행하는 모듈을 포함한다.

[0551] RAM(5608) 및/또는 NVRAM(5610)은 디지털 제어 모듈(5600)의 선택적 성분이다. 실시예들에서 RAM(5608) 및/또는 NVRAM(5610)은 디지털 제어 모듈(5600)의 외부에 있으며, 예컨대 입력 인터페이스(5602)를 통해 디지털 제어 모듈(5600)에 연결된 데이터 버스를 통해 디지털 제어 모듈(5600)에 액세스될 수 있다. RAM(5608) 및/또는 NVRAM(5610)은 특정의 VPA 구현에 따라 필요할 수도 필요하지 않을 수도 있다. 예컨대 에러 사전 보상을 위해 피드포워드 기술을 채용하는 VPA 구현은 에러 테이블 또는 함수를 저장할 RAM(5608) 또는 NVRAM(5610)이 필요할 수 있다. 반면에, 에러 보정을 위한 피드백 기술은 상태 머신 내의 디지털 로직 모듈에만 의존할 수 있으며,

RAM(5608) 또는 NVRAM(5610) 저장 장치가 필요하지 않을 수 있다. 마찬가지로 RAM(5608) 및 NVRAM(5610) 저장 장치의 양은 특정 VPA 구현에 따라 다를 수 있다. 통상적으로 사용 시에 NVRAM(5610)은 실시간으로 생성되지 않는 그리고/또는 파워가 턴오프될 때에 유지되어야 하는 데이터를 저장하는데 이용된다. 이것은 예컨대 에러 테이블, 및/또는 VPA 시스템의 테스팅 및 특성화 단계에서 생성되는 스칼라값과 각도값과 같은 에러값, 및/또는 전달 함수 모듈에서 이용되는 탐색표를 포함한다.

[0552] 도 57은 본 발명의 일 실시예에 따른 예시적인 디지털 제어 모듈 구현(5700)을 보여준다. 디지털 제어 모듈 구현(5700)은 특히 예시적인 VPA 디지털 제어 모듈(5700)의 예시적인 입력 인터페이스(5602)와 예시적인 출력 인터페이스(5604)를 보여준다. 뒤에 자세히 설명하겠지만, VPA 디지털 제어 모듈(5700)의 입력 및 출력 인터페이스(5602, 5604)의 신호는 VPA의 아날로그 코어로부터의 신호 및/또는 VPA에 연결된 하나 또는 그 이상의 외부 프로세서/컨트롤러에 전송되고 이로부터 나오는 신호와 직접적으로 상관된다. 상기 절에서 설명된 예시적인 실시예에서 VPA의 아날로그 코어는 예컨대 도 1e의 PA단(190-{1, ..., n})과 함께 아날로그 회로(186)로 표현되었다. 도 57에서 데이터 버스의 비트폭 및/또는 입력 및 출력 인터페이스의 신호는 설명 목적상 제공된 것으로 한정적인 것은 아님에 유의한다.

[0553] 예시적인 디지털 제어 모듈(5700)의 입력 인터페이스(5602)는 A/D IN 버스(5702), 디지털 I/O 버스(5704), 및 복수의 제어 신호(5706-5730)를 포함한다. 다른 디지털 제어 모듈 구현에서는 입력 인터페이스(5602)는 다소간의 데이터 버스, 프로그래밍 버스 및/또는 제어 신호를 포함할 수 있다.

[0554] A/D IN 버스(5702)는 피드백 정보를 VPA의 아날로그 코어로부터 디지털 제어 모듈(5700)로 이송한다. 피드백 정보는 여러 가지 기능 중에서도 VPA의 출력 전력 및/또는 VPA의 분기에서의 진폭 및/또는 위상 변동을 모니터하는데 이용될 수 있다. 도 57에 도시된 바와 같이, A/D 변환기(5732)는 (A/D IN 신호(5736)를 이용하여) VPA의 아날로그 코어로부터 수신된 아날로그 피드백 정보를, A/D IN 버스(5702)를 통해 디지털 제어 모듈(5700)로 보내기 전에, 디지털 피드백 정보로 변환한다. 일 실시예에서 디지털 제어 모듈(5700)은 A/D 변환기(5732)의 클록 신호 A/D CLK(5734)를 제어한다. 다른 실시예에서 디지털 제어 모듈(5700)은 A/D 변환기(5732)에 대한 입력 선택기가 A/D 변환기(5732)의 입력에서의 복수의 피드백 신호들 간에 선택하도록 제어한다. 일 실시예에서 이것은 A/D 입력 선택기 신호(5738-5746)에 의해 수행된다.

[0555] 디지털 I/O 버스(5704)는 디지털 제어 모듈(5700)에 입/출력되는 데이터 및 제어 신호를 VPA에 연결될 수 있는 하나 또는 그 이상의 프로세서 또는 컨트롤러로부터 그리고 이곳으로 이송한다. 일 실시예에서 제어 신호(5706-5730) 중 일부는 디지털 제어 모듈(5700)에, 디지털 I/O 버스(5704) 상에서 예상되는(또는 존재하는) 정보의 종류를 알리는데 이용된다. 예컨대 PC(I/Q)n 신호(5724)는 전력 제어 정보 또는 I/Q 데이터가 디지털 I/O 버스(5704)를 통해 전송되고 있는지 여부를 디지털 제어 모듈(5700)에 알려준다. 마찬가지로 I/Qn 신호(5720)는 I 또는 Q 데이터가 디지털 I/O 버스(5704)를 통해 전송되고 있는지 여부를 디지털 제어 모듈(5700)에 알려준다.

[0556] VPA 디지털 제어 모듈(5700)의 입력 인터페이스(5602)의 다른 제어 신호는 Digial Enable/Disablen(5706), PRGM/RUNn(5708), READ/WRITEn(5710), CLK OUT(5712), CLK_IN×2 Enablbe/Disablen(5714), CLK_IN×4 Enablbe/Disablen(5716), CLK_IN(5718), TX/RXn(5726), SYNTH PRGM/SYNTH RUNn(5728) 및 OUTPUT SEL/LATCHn(5730)을 포함한다.

[0557] Digial Enable/Disablen 신호(5706)는 PA의 기동, 리셋 및 종료를 제어한다. VPA를 기동, 리셋 또는 종료시키는 신호는 통상적으로 VPA에 연결된 프로세서로부터 나온다. 예컨대 셀룰러폰에 사용될 때에, 셀룰러폰의 기저대역 프로세서 또는 컨트롤러는 수신 모드에서 VPA를 종료시키고 이것을 전송 모드에서 작동시킬 수 있다.

[0558] PRGM/RUNn 신호(5708)는 그것이 프로그램밍 모드에 있는지 아니면 실행 모드에 있는지 여부를 디지털 제어 모듈(5700)에 알려준다. 프로그래밍 모드에서는 디지털 제어 모듈(5700)는 VPA의 원하는 동작이 가능하도록 프로그램될 수 있다. 예컨대 디지털 제어 모듈(5700)의 메모리(RAM(5608), NVRAM(5610)) 비트는 통신을 위해 이용될 표준(예컨대 WCDMA, EDGE, GSM, 등)을 표시하도록 프로그램될 수 있다. 디지털 제어 모듈(5700)의 프로그래밍은 디지털 I/O 버스(5704)를 이용하여 실시된다.

[0559] 일 실시예에서 VPA는 VPA를 채용하는 최종 제품 또는 장치에 설치된(또는 이에 통합된) 후에 (부분적으로 또는 전체적으로) 프로그램 및/또는 재프로그램된다. 예컨대 셀룰러폰에 사용될 때에 VPA는 셀룰러폰이 제조된 후에 이 셀룰러폰에 (1) 지원된 파형, (2) 전력 제어, (3) 향상된 효율, 및/또는 (4) 기동 및 종료 프로파일에 관련된 특성과 같은 새로운, 추가적인, 변경된, 또는 서로 다른 특성을 제공하도록 프로그램될 수 있다. VPA는 또

한 네트워크 공급업자가 원하는 대로 파형이나 기타 다른 특성을 제거하도록 프로그램될 수도 있다.

[0560] VPA의 프로그램밍은 유료 방식(payment based)일 수 있다. 예컨대 VPA는 최종 사용자가 선택하여 구매하는 특성 및 개선사항을 포함하도록 프로그램될 수 있다.

[0561] 일 실시예에서 VPA는 장치가 제조된 후에 임의의 공지된 방법과 기술을 이용하여, 제한됨이 없이, (1) VPA를 채용하는 장치의 프로그래밍 인터페이스를 이용하여 VPA를 프로그래밍하는 것; (2) 장치가 읽을 수 있는 메모리 카드(예컨대 셀룰러폰의 경우에는 SIM 카드)에 프로그래밍 데이터를 저장함으로써 VPA를 프로그래밍하는 것; 및/또는 (3) 네트워크 공급업자 또는 다른 소스에 의해 프로그래밍 데이터를 VPA에 무선으로 전달함으로써 VPA를 프로그래밍하는 것을 포함하여 프로그램된다.

[0562] READ/WRITEn 신호(5710)는 데이터가 디지털 I/O 버스(5704)를 통해 디지털 제어 모듈 저장 장치(RAM(5608) 또는 NVRAM(5610))으로부터 읽어내어지거나 이에 쓰여질 것인지 여부를 디지털 제어 모듈(5700)에 알려준다. 데이터가 디지털 제어 모듈(5700)로부터 읽어내어지고 있는 때에는 CLK OUT 신호(5712)는 디지털 I/O 버스(5704)로부터 읽기 위한 타이밍 정보를 표시한다.

[0563] CLK_IN 신호(5718)는 디지털 제어 모듈(5700)에 기준 클록 신호를 제공한다. 통상적으로 기준 클록 신호는 VPA가 지원하는 통신 표준에 따라 선택된다. 예컨대 듀얼 모드 WCDMA/GSM 시스템에서는 기준 클록 신호가 WCDMA 칩 레이트(3.84 MHz)와 GSM 채널 래스터(200 KHz)의 배수이고, 19.2 MHz가 양자의 최소 공배수로서 통상적인 레이트인 것이 바람직하다. 더욱이 CLK_IN 신호(5718)는 기준 클록 신호의 배수가 될 수 있다. 일 실시예에서 CLK_IN×2 Enable/Disablen(5714)과 CLK_IN×4 Enable/Disablen(5716)은 기준 클록의 배수가 제공되고 있다는 것을 VPA 디지털 제어 모듈(5700)에 알려주는데 이용될 수 있다.

[0564] TX/RXn 신호(5726)는 VPA를 채용하는 시스템(예컨대 셀룰러폰)이 송신 또는 수신 모드로 들어가는 시기를 디지털 제어 모듈(5700)에 알려준다. 일 실시예에서 디지털 제어 모듈(5700)은 시스템이 VPA를 기동하기 위하여 송신 모드로 들어가기 전 짧은 기간 동안 통지를 받는다. 다른 실시예에서 디지털 제어 모듈(5700)은 시스템이 슬립 모드로 들어가거나 VPA를 종료시키기 위하여 수신 모드로 들어가는 시기를 통지받는다.

[0565] SYNTH PRGM/SYNTH RUNn 신호(5728)는 VPA에 기준 주파수를 제공하는 합성기(도 59에 도시된 합성기(5918, 5920)와 같은 것)를 프로그램하는데 이용된다. SYNTH PRGM(5728)이 하이이면, VPA 디지털 제어 모듈(5700)은 디지털 I/O 버스(5704) 상의 합성기를 프로그래밍하기 위한 데이터를 수신할 것으로 예상할 수 있다. 통상적으로 합성기의 프로그래밍은 VPA 송신 주파수를 선택할 때에 필요하다. SYNTH RUN(5728)이 하이가 되면, 합성기는 실행하도록 지시된다. 합성기는 VPA 시스템과 통합되거나 외부 성분이나 서브시스템으로서 제공될 수 있다.

[0566] OUTPUT SEL/LATCHn 신호(5730)는 송신을 위해 이용될 VPA 출력을 선택하는데 이용된다. 이것은 VPA의 출력 수에 따라 필요할 수도 필요하지 않을 수도 있다. OUTPUT SEL(5730)이 하이가 되면, 디지털 제어 모듈(5700)은 디지털 I/O 버스(5704) 상의 출력을 선택하기 위한 데이터를 수신할 것으로 예상한다. LATCH(5730)가 하이가 되면, 디지털 제어 모듈(5700)은 송신을 의해 이용되는 VPA 출력이 현재 송신 계열(sequence)의 지속 기간 동안에 유지되는(변할 수 없는) 것을 보장한다.

[0567] 예시적인 디지털 제어 모듈(5700)의 출력 인터페이스(5604)는 복수의 데이터 버스(5748, 5750, 5752, 5754, 5756, 5758, 5760, 5762, 5764, 5766), 프로그래밍 버스(5799) 및 복수의 제어 신호(5768, 5770, 5772, 5774, 5776, 5778, 5780, 5782, 5784, 5786, 5788, 5790, 5792, 5794, 5796, 5798)를 포함한다. 디지털 제어 모듈(5700)의 다른 실시예에서 출력 인터페이스(5604)는 다소의 데이터 버스, 프로그래밍 버스 및/또는 제어 신호를 가질 수 있다.

[0568] 데이터 버스(5752, 5754, 5756, 5758)는 디지털 제어 모듈(5700)로부터 VPA의 아날로그 코어에 실질적으로 일정한 포락선 신호를 생성하는데 이용되는 디지털 정보를 전달한다. 예시적인 디지털 제어 모듈(5700)은 4-분기 VPA 실시예(3.1 절 참조) 또는 2-분기 VPA 실시예(3.3 절 참조)에서 이용될 수 있음에 유의한다. 예컨대 데이터 버스(5752, 5754, 5756, 5758)에 의해 전달된 디지털 정보는 도 7a의 실시예에서의 신호(722, 724, 726, 728) 또는 도 17의 실시예에서의 신호(1720, 1722, 1724, 1726)에 해당하며, (4-분기 VPA 실시예에 대해) 수학식 (5)에 따라 또는 (2-분기 VPA 실시예에 대해) 수학식 (18)에 따라 디지털 제어 모듈(5700)에 의해 생성될 수 있다. 데이터 버스(5752, 5754, 5756, 5758)에 의해 전달된 디지털 정보는 각자의 디지털-아날로그 변환기(DAC 01-04)를 이용하여 디지털에서 아날로그로 변환되어 각각 아날로그 신호(5753, 5755, 5757, 5759)를 생성한다. 아날로그 신호(5753, 5755, 5757, 5759)는 VPA의 아날로그 코어 내의 벡터 변조기에 입력된다. 이에 대해서는 후에 VPA 아날로그 코어 구현을 참조로 자세히 설명한다. 일 실시예에서 DAC 01-04는 디지털 제어 모듈이 제공

한 벡터 MOD DAC CLK 신호(5770)에 의해 제어되고 동기화된다. 더욱이 DAC 01-04에는 동일한 중심 기준 전압 VREF_D 신호(5743)가 제공된다.

[0569] 데이터 버스(5760, 5762)는 디지털 제어 모듈(5700)로부터 VPA의 PA 증폭단과 구동기 증폭단(VPA의 여러 가지 증폭단을 도시한 도 52 참조)을 위한 바이어스 전압 신호를 생성하는데 이용되는 디지털 정보를 전달한다. 다른 실시예에서는 전치 구동기단 바이어스 제어와 같은 부가적인 제어 기능이 이용된다. 데이터 버스(5760)에 의해 전달된 디지털 정보는 DAC 05를 이용하여 디지털에서 아날로그로 변환되어 구동기 바이어스 신호(5761)를 생성한다. 마찬가지로 데이터 버스(5762)에 의해 전달된 디지털 정보는 DAC 06을 이용하여 디지털에서 아날로그로 변환되어 출력단 바이어스 신호(5763)를 생성한다. 출력단 바이어스 신호(5761)와 구동기단 바이어스 신호(5763)는 예컨대 실시예(5100H)에서 설명된 바이어스 신호 A와 B에 대응한다. 일 실시예에서 DAC 05 및 06은 오토바이어스 DAC CLK 신호(5772)를 이용하여 제어되고 동기화되며, 동일한 중심 기준 전압 VREF_E 신호(5745)가 제공된다.

[0570] 데이터 버스(5764, 5766)는 디지털 제어 모듈(5700)로부터 VPA의 출력단 및 구동기단을 위한 전압 제어 신호를 생성하는데 이용되는 디지털 정보를 전달한다. 데이터 버스(5764)에 의해 전달된 디지털 정보는 DAC 07을 이용하여 디지털에서 아날로그로 변환되어 출력단 전압 제어 신호(5765)를 생성한다. 마찬가지로 데이터 버스(5766)에 의해 전달된 디지털 정보는 DAC 08을 이용하여 디지털에서 아날로그로 변환되어 구동기단 전압 제어 신호(5767)를 생성한다. 출력단 전압 제어 신호(5765)와 구동기단 전압 제어 신호(5767)는 출력단과 구동기단을 위한 공급 전압을 생성하는데 이용되며, VPA의 출력단과 구동기단의 전압을 제어하는 다른 방법을 제공한다. 일 실시예에서 DAC 07 및 08은 전압 제어 DAC CLK 신호(5774)를 이용하여 제어되고 동기화되며, 동일한 중심 기준 전압 VREF_F 신호(5747)가 제공된다.

[0571] 데이터 버스(5748, 5750)는 디지털 제어 모듈(5700)로부터 이득 및 위상 균형 제어 신호를 생성하는데 이용되는 디지털 정보를 전달한다. 일 실시예에서 이득 및 위상 균형 제어 신호는 A/D IN 버스(5702) 상의 VPA의 아날로그 코어로부터 수신된 피드백 이득 및 위상 정보에 응답하여 생성된다. 데이터 버스(5748)에 의해 전달된 디지털 정보는 DAC 09를 이용하여 디지털에서 아날로그로 변환되어 아날로그 이득 균형 제어 신호(5749)를 생성한다. 마찬가지로 데이터 버스(5750)에 의해 전달된 디지털 정보는 DAC 10을 이용하여 디지털에서 아날로그로 변환되어 아날로그 위상 균형 제어 신호(5751)를 생성한다. 이득 및 위상 균형 제어 신호(5749, 5751)는 VPA의 아날로그 코어에서 이득 및 위상을 조절하는 한 가지 메카니즘을 제공한다. 일 실시예에서 DAC 09 및 10은 균형 DAC CLK 신호(5768)를 이용하여 제어되고 동기화되며, 동일한 중심 기준 전압 VREF_B 신호(5739)가 제공된다.

[0572] 프로그래밍 버스(5799)는 디지털 제어 모듈(5700)로부터 VPA의 아날로그 코어 내의 주파수 합성기 또는 합성기들을 프로그램하는데 이용되는 디지털 명령을 전달한다. 일 실시예에서 프로그래밍 버스(5799)에 의해 전달된 디지털 명령은, SYNTH PRGM 신호(5728)가 하이일 때에, 디지털 I/O 버스(5704) 상에서 수신된 데이터에 따라서 생성된다. 주파수 합성기들을 프로그래밍하기 위한 디지털 명령은 선택된 통신 표준에 따라서 소정의 주파수를 발생하는 적당한 합성기(하이 밴드 또는 로우 밴드)를 설정하기 위한 명령을 포함한다. 일 실시예에서 프로그래밍 버스(5799)는 3-와이어 프로그래밍 버스이다.

[0573] 전술한 데이터 및 프로그래밍 버스 이외에도 출력 인터페이스(5604)는 복수의 제어 신호를 포함한다.

[0574] 아날로그 VPA 코어의 주파수 합성기들을 프로그래밍하는데 이용된 프로그래밍 버스(5799)와 함께, 아날로그 VPA 코어의 고대역 주파수 합성기와 저대역 주파수 합성기 중 어느 것이 인에이블/디스에이블되는 지를 제어하는 하이 밴드 Enable/Disablen 및 로우 밴드 Enable/Disablen 제어 신호(5796, 5798)가 생성된다.

[0575] 제어 신호(5738, 5740, 5742, 5744, 5746)는 VPA의 아날로그 코어로부터의 피드백 신호를 A/D 변환기(5732)의 A/D IN 입력 신호(5736)로 멀티플렉싱하기 위한 입력 선택기를 제어한다. 일 실시예에서 제어 신호(5738, 5740, 5742, 5744, 5746)는 전력 출력 피드백 신호, 차동 분기 진폭 피드백 신호 및 차동 분기 위상 피드백 신호의 A/D IN 신호(5736)로의 멀티플렉싱을 제어한다. 다른 실시예에서는 다른 피드백 신호가 이용될 수 있다. 일 실시예에서 피드백 신호는 미리 결정된 멀티플렉싱 사이클에 따라서 멀티플렉싱된다. 다른 실시예에서 특정 피드백 신호는 A/D IN 신호(5736)에 의해 주기적으로 전달되고, 다른 피드백 신호는 디지털 제어 모듈이 요구할 때에 요구된다.

[0576] 출력 선택 제어 신호(5776, 5778, 5780, 5782, 5784)는, 특정 VPA 구현이 여러 가지 주파수 대역 및/또는 기술 모드를 위한 복수의 출력을 지원할 때에, VPA 출력을 선택하기 위하여 디지털 제어 모듈(5700)에 의해

생성된다. 일 실시예에서 출력 선택 제어 신호(5776, 5778, 5780, 5782, 5784)는 디지털 제어 모듈 입력 신호(5730)에 따라서 생성된다. 도 57의 예시적인 구현에서 디지털 제어 모듈(5700)은 5개의 서로 다른 VPA 출력 중 하나를 선택하기 위하여 5개의 출력 선택 제어 신호를 제공한다. 일 실시예에서 출력 선택 제어 신호(5776, 5778, 5780, 5782, 5784)는 선택된 VPA 출력에 대응하는 회로에는 전력을 공급하고 나머지 선택되지 않은 VPA 출력에 대응하는 회로에는 전력 공급을 차단하기 위하여 VPA의 아날로그 코어 내의 회로를 제어한다. 실시예들에서는 어느 때라도 출력 선택 제어 신호(5776, 5778, 5780, 5782, 5784)는, VPA가 송신 모드에 있을 때에, 하나의 VPA 출력에 대응하는 회로에 전력이 공급되는 것을 보장한다. 다른 디지털 제어 모듈 실시예는 특정 아날로그 코어 구현이 지원하는 특정 VPA 출력 수에 따라서 다소의 출력 선택 제어 신호를 가질 수 있다.

[0577] VPA의 아날로그 코어에 벡터 변조기의 고대역 주파수 변조 세트가 이용될 것인지 저대역 주파수 변조 세트가 이용될 것인 지를 나타내는 벡터 MOD HI Band(s)/벡터 MOD Low Band(s) 제어 신호(5786)가 디지털 제어 모듈(5700)에 의해 생성된다. 일 실시예에서 고대역 및 저대역 벡터 변조기는 서로 다른 특성을 가지며, 따라서 각 세트는 변조 주파수 범위에 더 적합하게 될 수 있다. 제어 신호(5786)는 VPA의 선택된 출력에 따라서 생성된다. 일 실시예에서 제어 신호(5786)는 선택된 벡터 변조기 세트에 전력이 공급되고 나머지 세트들의 벡터 변조기에는 전력 공급이 차단되는 것을 보장하기 위하여 VPA의 아날로그 코어 내의 회로를 제어한다. 다른 실시예에서 제어 신호(5786)는 보간 필터 세트를 선택된 벡터 변조기 세트에 결합시키기 위하여 VPA의 아날로그 코어 내의 회로를 제어한다.

[0578] 3G HI Band/Normaln 제어 신호(5788)는 필요하다면 VPA가 넓은 범위의 고주파 대역을 지원할 수 있도록 하는데 이용될 수 있는 선택적 제어 신호이다. 일 실시예에서 제어 신호(5788)는 아날로그 코어의 출력단 회로에 더 많은 전류가 흐르게 하고 그리고/또는 VPA의 출력 임피던스 특성을 변경할 수 있다.

[0579] Filter Response 1/Filter Response 2n 제어 신호(5790)는 VPA의 아날로그 코어 내의 보간 필터의 응답을 동적으로 변화시키는데 이용될 수 있는 선택적 제어 신호이다. 이것은 보간 필터가 통신 표준마다 서로 다른 최적 응답을 가질 때에 필요할 수 있다. 예컨대 최적 필터 응답은 WCDMA나 EDGE에 대해서는 5 MHz 부근에서 3 dB 코너 주파수를 가지며, GSM에 대해서는 이 주파수는 400 KHz 부근이다. 따라서 제어 신호(5790)는 사용된 통신 표준에 따라서 보간 필터를 최적화할 수 있다.

[0580] 감쇠기(Attenuator) 제어 신호(5792, 5794)는 필요하다면 추가적인 출력 전력 제어 특성과 기능을 제공하는데 이용될 수 있는 선택적 제어 신호이다. 예컨대 감쇠기 제어 신호(5792, 5794)는 VPA의 출력 상에서 RF 감쇠기를 인에이블/디스에이블하도록 구성될 수 있다. 이들 감쇠기는 실리콘, GaAs 또는 CMOS 프로세스를 이용하여 제조될 수 있는 특정 VPA 구현에 따라 필요할 수 있다.

[0581] 도 58은 본 발명의 일 실시예에 따른 다른 예시적인 디지털 제어 모듈(5800)을 도시한 것이다. 예시적인 디지털 제어 모듈(5800)은 디지털 제어 모듈(5700)과 많이 유사하다. 특히 양 실시예(5700, 5800)는 동일한 입력 인터페이스(5602)와, 출력 인터페이스(도 58의 출력 인터페이스에는 참조 부호 5604'가 병기됨)의 실질적인 부분을 갖고 있다. 예시적인 실시예들(5700, 5800) 간의 차이는 디지털 제어 모듈에 제공되는 피드백 정보의 종류에 관한 것이다. 구체적으로 2개의 실시예(5700, 5800)는 에러 보정에 있어 명백히 서로 다른 피드백 메카니즘을 가지고 동작하도록 설계된다. 이들 메카니즘에 대해서는 예시적인 아날로그 코어 구현을 참조로 이하의 4.3 절에서 자세히 설명한다.

[0582] 예시적인 구현(5800)은 예시적인 구현(5700)과는 다른 입력 선택 제어 신호(5808, 5810, 5812)를 포함한다. 입력 선택 제어 신호(5810, 5812)는 어느 대역에서 사용되고 있는 가에 따라서 VPA의 고대역 또는 저대역 아날로그 회로로부터 피드백 정보가 수신되어야 하는가를 제어한다. 입력 선택 제어 신호 I/On(5808)는 VPA의 아날로그 코어로부터의 I 및 Q 피드백 데이터의 멀티플렉싱을 제어한다. 일 실시예에서 제어 신호(5812)는 A/D IN 신호(5736) 상의 I 데이터와 Q 데이터 간의 순차적인 스위칭을 가능하게 한다.

[0583] 예시적인 실시예(5700)와의 또 다른 차이점으로서 예시적인 실시예(5800)는 디지털 제어 모듈(5800)로부터 자동 이득 제어 신호(5806)를 생성하는데 이용되는 디지털 정보를 전달하는 추가적인 데이터 버스(5802)를 포함한다. 자동 이득 제어 신호(5806)는 VPA의 아날로그 코어 내의 피드백 메카니즘에 이용되는 증폭기 회로의 이득을 제어하는데 이용된다. 피드백 메카니즘의 이 성분에 대해서는 뒤에 자세히 설명한다. 일 실시예에서 데이터 버스(5802)에 의해 전달된 디지털 정보는 DAC 11에 의해 디지털에서 아날로그로 변환되어 아날로그 신호(5806)를 생성한다. DAC 11은 디지털 제어 모듈이 제공하는 클록 신호(5804)에 의해 제어되며, VREF_B 신호가 중심 기준 전압으로서 제공된다.

[0584] 예시적인 디지털 제어 모듈(5700, 5800)은 디지털 제어 모듈 구현에 이용될 수 있는 통상적인 입력 및 출력 디지털 제어 모듈 신호의 일부를 보여줌에 유의한다. 당업자라면 본 발명의 교시에 따라 잘 알겠지만, VPA가 사용되고 있는 시스템에 따라서 그리고/또는 디지털 제어 모듈에 이용될 특정 VPA 아날로그 코어에 따라서 더 많거나 더 적은 수의 입력 및 출력 신호가 이용될 수도 있다. 일 실시예에서 예시적인 디지털 제어 모듈 구현(5700, 5800)은 피드백만, 피드포워드만 또는 피드백과 피드포워드 양자의 에러 보정을 이용하는 VPA 아날로그 코어와 함께 이용될 수 있다. 피드포워드만의 방식에서 이용될 때에는 피드백 요소 및/또는 신호(예컨대 A/D IN(5702), 제어 신호(5738, 5740, 5742, 5744, 5746), 이득 및 위상 균형 제어 신호(5749, 5751))는 작동불능 또는 제거될 수 있다. 따라서 예시적인 디지털 제어 모듈 구현(5700, 5800)의 변경은 본 발명의 실시예의 범위 내에 있다.

[0585] 4.3) VPA 아날로그 코어

[0586] 이 절에서는 VPA 아날로그 코어의 여러 가지 예시적인 구현에 대해서 설명한다. 후술하는 바와 같이, 여러 가지 예시적인 구현은 많은 성분, 회로 및/또는 신호를 공유하며, 주요한 차이점은 출력단 구조, 채택된 에러 보정 피드백 메카니즘, 및/또는 칩 제조시에 사용된 실제 반도체 재료에 관련된 것이다. 당업자라면 본 발명의 교시에 따라 잘 알겠지만, 후술하는 여러 가지 예시적인 구현들 중의 특성들을 교체, 부가 및/또는 제거함으로써 다른 VPA 아날로그 코어 구현도 고안해 낼 수 있다. 따라서 본 발명의 실시예들은 여기서 설명되는 예시적인 구현에 한정되지 않는다.

[0587] 4.3.1) VPA 아날로그 코어 구현 A

[0588] 도 59는 본 발명의 일 실시예에 따른 VPA 아날로그 코어 구현(5900)을 보여준다. 일 실시예에서 아날로그 코어(5900)의 입력 신호는 디지털 제어 모듈(5600)의 출력 인터페이스(5604)로부터의 출력 신호에 직접적으로 또는 (DAC를 통해) 간접적으로 연결된다. 마찬가지로 아날로그 코어(5900)로부터의 피드백 신호는 디지털 제어 모듈(5600)의 입력 인터페이스에 직접적으로 또는 (DAC를 통해) 간접적으로 연결된다. 설명 목적상 도 59에서 아날로그 코어(5900)는 도 57과 도 59에서 동일한 번호의 신호로 표시한 바와 같이 디지털 제어 모듈(5700)에 연결된 것으로 도시되어 있다.

[0589] 아날로그 코어 구현(5900)은 2-분기 VPA 실시예이다. 그러나 이 구현(5900)은, 당업자라면 본 발명의 교시에 따라 잘 알겠지만, 4-분기 또는 CPCP VPA 실시예로 쉽게 변경될 수 있다.

[0590] 상위 레벨에서 아날로그 코어(5900)는 디지털 제어 모듈(5700)로부터 데이터 신호를 수신하기 위한 입력단, 실질적으로 일정한 포락선 신호를 생성하기 위한 벡터 변조단, 및 원하는 VPA 출력 신호를 증폭하여 출력하기 위한 증폭 출력단을 포함한다. 추가적으로 아날로그 코어(5900)는 전력을 제어하여 이 전력을 아날로그 코어의 여러 가지 단으로 전달하기 위한 전력 공급 회로, 선택적인 출력단 보호 회로, 및 피드백 정보를 생성하여 VPA의 디지털 제어 모듈에 제공하기 위한 선택적인 회로를 포함한다.

[0591] VPA 아날로그 코어(5900)의 입력단은 선택적인 보간 필터 뱅크(5910, 5912, 5914, 5916) 및 복수의 스위치(5964, 5966, 5968, 5970)를 포함한다. 안티앨리어싱 필터로도 기능할 수 있는 보간 필터(5910, 5912, 5914, 5916)는 DAC 01-04의 아날로그 출력(5753, 5755, 5757, 5759)을 정형하여 원하는 출력 파형을 생성한다. 일 실시예에서 보간 필터(5910, 5912, 5914, 5916)의 응답은 디지털 제어 모듈(5700)로부터의 제어 신호(5790)를 이용하여 동적으로 변화된다. 디지털 제어 모듈 신호(5790)는 예컨대 보간 필터(5910, 5912, 5914, 5916) 내의 스위치를 제어하여 필터(5910, 5912, 5914, 5916) 내의 능동 회로(인에이블/디스에이블 RC 회로)에 변화를 일으킬 수 있다. 이것은 보간 필터(5910, 5912, 5914, 5916)가 통신 표준마다 다른 최적 응답을 가질 때에 필요할 수 있다. 보간 필터(5910, 5912, 5914, 5916)는 FIR 필터 또는 프로그래머블 FIR 필터와 같은 디지털 회로를 이용하여 구현될 수 있음에 유의해야 한다. 디지털식으로 구현될 때에 이들 필터는 VPA 시스템에 내장되거나 기저대역 프로세서와 통합될 수 있다.

[0592] 이어서 보간 필터(5910, 5912, 5914, 5916)의 출력은 스위치(5964, 5966, 5968, 5970)를 이용하여 스위칭되어 VPA 아날로그 코어(5900)의 상위 대역 경로(5964)나 하위 대역 경로(5966)에 연결된다. 상위 대역 경로와 하위 대역 경로 간의 이러한 결정은 보통은 VPA에 의한 송신을 위해 선택된 주파수 범위에 기초하여 디지털 제어 모듈(5700)에 의해 행해진다. 예컨대 하위 대역 경로(5966)는 GSM-900을 위해 이용되고, 상위 대역 경로(5964)는

WCDMA를 위해 이용된다. 일 실시예에서 스위치(5964, 5966, 5968, 5970)는 디지털 제어 모듈(5700)이 제공하는 벡터 MOD HI Band(s)/벡터 MOD Low Band(s)n 신호(5786)에 의해 제어된다. 신호(5786)은 스위치(5964, 5966, 5968, 5970) 각각의, 각자의 제1 또는 제2 입력에 대한 결합을 제어하여, 이에 따라서 보간 필터(5910, 5912, 5914, 5916) 출력의, VPA 아날로그 코어(5900)의 상위 대역 경로(5964) 또는 하위 대역 경로(5966)에 대한 결합을 제어한다.

[0593] VPA 아날로그 코어(5900)의 벡터 변조단은 아날로그 코어(5900)의 상위 대역 경로(5964)와 하위 대역 경로(5966) 사이에서 분할된 복수의 벡터 변조기(5922, 5924, 5926, 5928)를 포함한다. 선택된 동작 대역에 기초하여 상위 대역 경로 벡터 변조기(5922, 5924)나 하위 대역 경로 벡터 변조기(5926, 5928)가 작동된다.

[0594] 일 실시예에서 벡터 변조기(5922, 5924 또는 5926, 5928)의 동작은 예컨대 도 17의 실시예에서의 벡터 변조기(1750, 1752)의 동작과 유사하다. 벡터 변조기(5922, 5924)(또는 5926, 5928)는 각각 선택적 보간 필터(5910, 5912, 5914, 5916)로부터 입력 신호(5919, 5921, 5923, 5925)(5927, 5929, 5931, 5933)를 수신한다. 입력 신호(5919, 5921, 5923, 5925)(또는 5927, 5929, 5931, 5933)는 벡터 변조기에 의해 일정 포락선 신호를 생성하는데 이용되는 진폭 정보를 포함한다. 더욱이 벡터 변조기(5922, 5924)(또는 5926, 5928)는 하이밴드 주파수 합성기(5918)(로우 밴드 주파수 합성기(5920))로부터 HI Band RF_CLK 신호(5935)(LOW BAND RF_CLK 신호(5937))를 수신한다. 하이밴드 주파수 합성기(5918)(로우밴드 주파수 합성기(5920))는 선택적으로 외부에 위치하거나 VPA 아날로그 코어 내에 위치할 수 있다. 일 실시예에서 하이밴드 주파수 합성기(5918)(로우밴드 주파수 합성기(5920))는 1.7-1.98 GHz의 상위 대역 범위(824-915 MHz의 하위 대역 범위)에서 RF 주파수를 발생한다. 다른 실시예에서 하이밴드 주파수 합성기(5918) 및 로우밴드 주파수 합성기(5920)는 각각 디지털 제어 모듈 신호(5796, 5798)에 의해 제어된다. 예컨대 신호(5796, 5798)는 선택된 송신 주파수 대역에 따라서 적당한 주파수 합성기에 전력을 공급하고, 선택된 합성기에게 그 선택된 송신 주파수에 따라서 RF 주파수 클록을 발생하도록 지시한다,

[0595] 벡터 변조기(5922, 5924)(또는 5926, 5928)는 HI BAND RF_CLK 신호(5935)(LOW BAND RF_CLK 신호(5937))를 가지고 입력 신호(5919, 5921, 5923, 5925)(또는 5927, 5929, 5931, 5933)를 변조한다. 일 실시예에서 벡터 변조기(5922, 5924)(또는 5926, 5928)는 HI BAND RF_CLK 신호(5935)(LOW BAND RF_CLK 신호(5937))의 적당히 도출된 및/또는 위상 천이된 버전을 가지고 입력 신호를 변조하고, 생성된 변조 신호들을 결합하여 실질적으로 일정한 포락선 신호(5939, 5941)(5943, 5945)를 생성한다.

[0596] 다른 실시예에서 벡터 변조기(5922, 5924)(또는 5926, 5928)는 VPA 디지털 제어 모듈로부터 위상 균형 제어 신호(5751)를 더 수신한다. 위상 균형 제어 신호(5751)는 벡터 변조기(5922, 5924)(또는 5926, 5928)가 아날로그 코어로부터의 위상 피드백 정보에 응답하여 일정 포락선 신호(5939, 5941)(또는 5943, 5945)의 위상에 변화를 일으키도록 제어한다. 아래에서 진폭 및 위상 피드백 메카니즘에 대해서 더 설명한다. 선택적으로 상위 대역 경로 벡터 변조기(5922, 5924)도 디지털 제어 모듈로부터 3G HI Band/Normaln 신호(5788)를 수신한다. 신호(5788)는 필요하다면 상위 대역의 최고 주파수에서 벡터 변조기의 구동을 더 지원하는데 이용될 수 있다.

[0597] VPA 아날로그 코어(5900)의 출력단은 아날로그 코어(5900)의 상위 대역 경로(5964)와 하위 대역 경로(5966) 사이에서 분할된 복수의 MISO 증폭기(5930, 5932)를 포함한다. 선택된 동작 대역에 기초하여 상위 대역 경로 MISO 증폭기(5930)나 하위 대역 경로 MISO 증폭기(5932)가 작동된다.

[0598] 일 실시예에서 MISO 증폭기(5930)(또는 5932)는 벡터 변조기(5922, 5924)(또는 5926, 5928)로부터 실질적으로 일정한 포락선 신호(5939, 5941)(또는 5943, 5945)를 수신한다. MISO 증폭기(5930)(또는 5932)는 신호(5939, 5941)(또는 5943, 5945)를 개별적으로 증폭하여 증폭된 신호들을 생성하고, 그러한 증폭된 신호들을 결합하여 출력 신호(5947)(또는 5949)를 생성한다. 일 실시예에서 MISO 증폭기(5930)(또는 5932)는 여기서 설명된 바와 같이 증폭된 신호들을 직접 결합을 통해 결합한다. 본 발명의 실시예에 따라 증폭 신호를 결합하는 다른 방법에 대해서는 3 절에서 설명하였다.

[0599] VPA 아날로그 코어(5900)의 출력단은 다중대역 다중모드 VPA 동작을 지원할 수 있다. 도 59에 도시된 바와 같이, 출력단은 각각 상위 대역과 하위 대역 동작을 위한 2개의 MISO 증폭기(5930, 5932)를 포함한다. 게다가 상위 대역(5954)과 하위 대역(5966) 각각의 출력은 선택된 송신 모드(예컨대 GSM, WCDMA, 등)에 따라서 하나 또는 그 이상의 출력 경로 간에 더 스위칭된다. 통상적으로 FDD 기반 모드(예컨대 WCDMA)는 출력에 듀플렉서가 필요하고 TDD 기반 모드(예컨대 GSM, EDGE)는 T/R 스위치드 출력을 갖고 있으므로 서로 다른 송신 모드에 대해서는 독립된 출력 경로가 필요하다.

[0600] 아날로그 코어(5900)에서 MISO 증폭기(5930)의 출력(5947)은 3개의 출력 경로(5954, 5956, 5958) 중 어느 하나에 결합될 수 있고, 이 경우 각 출력 경로(5954, 5956, 5958)는 특정 송신 모드를 위해 안테나(미도시)나 커넥터(미도시)에 연결된 것이다. 마찬가지로 MISO 증폭기(5932)의 출력(5949)은 2개의 출력 경로(5960, 5962) 중 어느 하나에 결합될 수 있다. 일 실시예에서 디지털 제어 모듈이 제공한 출력 선택 신호(5776, 5778, 5780, 5782, 5784)는 선택된 송신 모드에 따라서 스위치(5942, 5944)가 작동 중인 MISO 증폭기의 출력을 적당한 출력 경로에 결합시키도록 제어한다. 다소의 출력 경로(5954, 5956, 5958, 5960, 5962)가 이요될 수 있음에 유의한다.

[0601] 따라서 단 2개의 MISO 증폭기(5930, 5932)만을 가지고도 아날로그 코어(5900)는 여러 가지 송신 모드를 지원한다. 일 실시예에서 아날로그 코어(5900)는 하나의 MISO 증폭기를 이용하여 GSM, EDGE, WCDMA 및 CDMA2000을 지원하는 것을 가능하게 한다. 그러므로 구현(5900)에 따른 이 예시적인 VPA 아날로그 코어의 이점들 중 하나는 지원되는 출력 경로 당 PA의 수를 감소시키는 것임은 명백하다. 이것은 VPA 아날로그 코어(5900)에 필요한 칩 면적의 감소에 직접적으로 대응한다.

[0602] 일 실시예에서 아날로그 코어(5900)의 출력단은 디지털 제어 모듈로부터 선택적인 출력단 오토바이어스 신호(5761), 구동기단 오토바이어스 신호(5763) 및 이득 균형 제어 신호(5749)를 수신한다. 출력단 오토바이어스 신호(5761)와 구동기단 오토바이어스 신호(5763)는 실제 MISO 구현 시에 사용되는 특정 트랜지스터 종류에 따라 필요할 수도 필요하지 않을 수도 있다. 일 실시예에서 출력단 오토바이어스 신호(5761)와 구동기단 오토바이어스 신호(5763)는 MISO 증폭단의 바이어스가 VPA의 전력 출력 및/또는 전력 효율을 변화시키도록 제어한다. 마찬가지로 이득 균형 제어 신호(5749)는 아날로그 코어로부터 디지털 제어 모듈에 의해 수신된 전력 출력 피드백 정보에 응답하여 여러 가지 MISO 증폭단의 이득 레벨을 변화시킬 수 있다. 이들 선택적인 출력단 입력 신호에 대해서는 아래에서 자세히 설명한다.

[0603] 일 실시예에서 아날로그 코어(5900)의 출력단은 VPA의 디지털 제어 모듈(5700)에 선택적인 피드백 신호를 제공한다. 통상적으로 이들 피드백 신호는 디지털 제어 모듈(5700)이 VPA 분기의 진폭 및 위상 변동을 보정하고 그리고/또는 VPA의 출력 전력을 제어하는데 이용된다. 아날로그 코어(5900)의 특정 구현에서는 차동 피드백 방식을 채용하여, 출력단이 제공한 차동 분기 진폭 신호(5950)와 차동 분기 위상 신호(5948)를 이용하여 진폭 및 위상 변동을 모니터한다. 더욱이 각각 MISO 증폭기(5930, 5932)의 출력 전력을 측정하는 신호 PWR Detect A(5938)와 PWR Detect B(5940)를 이용하여 출력 전력 모니터링이 제공된다. MISO 증폭기(5930, 5932) 중 하나만이 임의 시각에 작동될 수 있으므로, 일 실시예에서는 PWR Detect A(5938)와 PWR Detect B(5940)는 합산기(5942)에서 합산되어 VPA의 출력 전력에 대응하는 신호를 생성한다.

[0604] 일 실시예에서 출력단으로부터의 피드백 신호는 디지털 제어 모듈(5700)에 의해 제어되는 입력 선택기(5946)를 이용하여 멀티플렉싱된다. 다른 실시예에서 디지털 제어 모듈(5700)은 A/D Input Selector 신호(5738, 5740, 5742, 5744, 5746)를 이용하여 입력 선택기(5946)를 제어하고 수신될 피드백 신호를 선택한다. 피드백 신호의 모니터링은 실시간 속도로 발생할 필요는 없고 낮은 속도로 주기적으로 수행되기만 하면 된다는 점에 유의한다. 예컨대 분기 진폭 및 위상 에러 보정을 위해, 피드백 모니터링 수행 속도는 디지털 제어 모듈에서 수행되는 피드포워드 보정의 정도, 온도로 인한 프로세스 변동, 또는 배터리나 공급 전압의 변화와 같은 동작 변화와 같은 몇 가지 요인에 따라 달라진다.

[0605] 상기에서는 피드포워드와 피드백 에러 보상 및/또는 보정 기술들 간의 절충에 대해서 설명하였다. 따라서 피드백 모니터링 수행 속도를 조절하는 파라미터는 통상적으로 VPA의 실제 설계자가 선택하는 설계 선택 사항이다. 결과적으로 아날로그 코어 구현(5900)은 디지털 제어 모듈에서 어떠한 피드포워드 보정도 불능으로 함으로써 순수한 피드백 구현으로서, 피드백 신호의 모니터링을 불능으로 함으로써 순수한 피드포워드 구현으로서, 또는 가변적인 피드포워드/피드백을 이용한 하이브리드 피드포워드/피드백 구현으로서 동작하도록 프로그램될 수 있다.

[0606] 일 실시예에서 아날로그 코어(5900)의 출력단은 선택적인 출력단 보호 회로를 포함한다. 이것은 도 59에서 각각 MISO 증폭기(5930, 5932)에 결합된 VSWR(Voltage-Standing-Wave-Ratio) 보호 회로(5934, 5936)를 이용하여 도시되어 있다. VSWR 보호 회로(5934, 5936)는 실제 MISO 증폭기 구현에 따라서 필요할 수도 필요하지 않을 수도 있다. 일 실시예에서 VSWR 보호 회로(5934, 5936)는 출력 전압 레벨이 출력단 항복 전압이 초과되게 할 수 있을 때에 출력단 PA(예컨대 도 60에서 PA(6030, 6032) 참조)를 서멀 셧다운(thermal shutdown) 또는 디바이스 파괴로부터 보호한다. 종래의 시스템에서는 이것은 PA의 출력에 있는 고가의 손실이 많은(통상적으로 1.5 dB 정도의 전력 손실이 있음) RF 분리기를 이용하여 달성된다. 따라서 VSWR 보호 회로(5934, 5936)에 의해 출력단에서 분리기가 필요하지 않게 되어 VPA의 비용, 크기 및 전력 손실을 줄일 수가 있다. 일 실시예에서 VSWR 보

호 회로(5934, 5936)는 WCDMA를 지원할 수 있는, 분리기가 없는 출력단을 달성할 수가 있다. 또한 VSWR 보호 회로(5934, 5936)는 VPA가 VPA를 손상시키지 않고 임의의 VSWR 레벨에서 동작할 수 있게 한다. VSWR 보호 회로는 임의의 VSWR 레벨에서 VPA의 특정 구현의 최대 출력 전력을 전달하도록 설계될 수 있다.

[0607] 전술한 바와 같이, 아날로그 코어(5900)는 전력을 제어하여 이 전력을 아날로그 코어(5900)의 여러 가지 단에 전달하기 위한 전력 공급 회로를 포함한다. 일 양상에서, 전력 공급 회로는 VPA 아날로그 코어(5900)의 작동부에 전력을 공급하는 수단을 제공한다. 다른 양상에서 전력 공급 회로는 VPA의 전력 효율 및/또는 출력 전력을 제어하기 위한 수단을 제공한다.

[0608] 아날로그 코어 구현(5900)에서 전력 공급 회로는 MA 전원 장치(5902), 구동기단 전원 장치(5904), 출력단 전원 장치(5906) 및 벡터 모드(Mods) 전원 장치(5908)를 포함한다. 일 실시예에서 전력 공급 회로는 디지털 제어 모듈(5700)이 제공하는 출력 선택 신호(5776, 5778, 5780, 5782, 5784)에 의해 제어된다.

[0609] MA 전원 장치(5902)는 VPA 아날로그 코어(5900)의 작동부로의 전력 공급을 제어하기 위한 회로를 포함한다. 아날로그 코어(5900)에서 MA 전원 장치(5902)는 2개의 출력 MA1 VSUPPLY(5903)와 MA2 VSUPPLY(5905)를 갖고 있다. 임의 시각에 MA1 VSUPPLY(5903) 또는 MA2 VSUPPLY(5905) 중 어느 하나만 작동되어 VPA 아날로그 코어(5900)의 상위 대역(5964)이나 하위 대역(5966)부에만 전력이 공급되도록 보장한다. 일 실시예에서 MA 전원 장치(5902)의 작동 출력은, 전술한 바와 같이 고유의 전력 공급 신호를 가진 회로를 제외하고는, VPA 아날로그 코어(5900)의 모든 작동 회로에 결합된다. MA 전원 장치(5902)는 디지털 제어 모듈로부터, VPA의 선택된 출력에 따라서 출력 신호 MA1 VSUPPLY(5903) 또는 MA2 VSUPPLY(5905) 중 하나 또는 다른 하나를 동작시키는 출력 선택 신호를 수신한다.

[0610] 구동기단 전원 장치(5904)는 MISO 증폭기(5930, 5932)의 구동기단 회로에 전력을 공급하기 위한 회로를 포함한다. MA 전원 장치(5902)와 마찬가지로 구동기단 전원 장치(5904)는 2개의 출력 MA1 Driver VSUPPLY(5907)와 MA2 Driver VSUPPLY(5909)를 갖고 있으며, 이 2개의 출력 중 하나만이 임의 시각에 작동된다. 또한 구동기단 전원 장치(5904)는 VPA의 선택된 출력에 따라서 출력 선택 신호(5776, 5778, 5780, 5782, 5784)에 의해 제어된다. 게다가 구동기단 전원 장치(5904)는 디지털 제어 모듈(5700)로부터 구동기단 전압 제어 신호(5767)를 수신한다. 일 실시예에서 출력 MA1 Driver VSUPPLY(5907)와 MA2 Driver VSUPPLY(5909)는 수신된 구동기단 전압 제어 신호(5767)에 따라서 생성된다. 다른 실시예에서 구동기단 전압 제어 신호(5767)는 구동기단 전원 장치(5904)가 MA1 Driver VSUPPLY(5907) 또는 MA2 Driver VSUPPLY(5909)를 증가 또는 감소시키게 하여 구동기단 전력 증폭 레벨을 제어한다. 다른 실시예에서 구동기단 전압 제어 신호(5767)는 디지털 제어 모듈(5700)에 의해 이용되어, 구동기단 전원 장치(5904)를 이용하여 작동 중인 MISO 증폭기(5930 또는 5932)의 구동기단의 전원 장치 전압에서의 어떤 변화에 영향을 미치도록하여 VPA의 전력 효율을 제어한다.

[0611] 출력단 전원 장치(5906)는 MISO 증폭기(5930, 5932)의 PA단 회로에 전력을 공급하기 위한 회로를 포함한다. MA 전원 장치(5902)와 마찬가지로 출력단 전원 장치(5906)는 2개의 출력 MA1 Output Stage VSUPPLY(5911)와 MA2 Output Stage VSUPPLY(5913)를 갖고 있으며, 이 2개의 출력 중 하나만이 임의 시각에 작동된다. 또한 출력단 전원 장치(5906)는 VPA의 선택된 출력에 따라서 출력 선택 신호(5776, 5778, 5780, 5782, 5784)에 의해 제어된다. 게다가 출력단 전원 장치(5906)는 디지털 제어 모듈(5700)로부터 출력단 전압 제어 신호(5765)를 수신한다. 일 실시예에서 출력 MA1 Output Stage VSUPPLY(5911)와 MA2 Output Stage VSUPPLY(5913)는 수신된 출력단 전압 제어 신호(5765)에 따라서 생성된다. 다른 실시예에서 출력단 전압 제어 신호(5765)는 출력단 전원 장치(5906)가 MA1 Output Stage VSUPPLY(5911) 또는 MA2 Output Stage VSUPPLY(5913)를 증가 또는 감소시키게 하여 PA단 전력 증폭 레벨을 제어한다. 다른 실시예에서 출력단 전압 제어 신호(5765)는 디지털 제어 모듈(5700)에 의해 이용되어, 출력단 전원 장치(5906)를 이용하여 작동 중인 MISO 증폭기(5930 또는 5932)의 PA단의 전원 장치 전압에서의 어떤 변화에 영향을 미치도록하여 VPA의 전력 효율을 제어한다.

[0612] 벡터 모드 전원 장치(5908)는 아날로그 코어(5900)의 벡터 변조기(5922, 5924, 5926, 5928)에 전력을 공급하기 위한 회로를 포함한다. 아날로그 코어(5900)에서 벡터 모드 전원 장치(5908)는 각각 상위 대역 벡터 변조기(5922, 5924)와 하위 대역 벡터 변조기(5926, 5928)에 전력을 공급하기 위한 2개의 출력(5915, 5917)을 갖고 있다. 임의 시각에서 이들 출력(5915 또는 5917) 중 하나만 작동하여 아날로그 코어(5900)의 상위 대역 또는 하위 대역 벡터 변조기에만 전력이 공급되도록 보장한다. 벡터 모드 전원 장치(5908)는 디지털 제어 모듈(5700)로부터, 선택된 송신 주파수 요건에 따라서 그 2개의 출력(5915, 5917) 중 어느 것이 작동하는지를 제어하는 벡터 모드 선택 신호(5786)를 수신한다.

[0613] 전술한 전력 공급 회로 이외에도 아날로그 코어(5900)는 선택적으로 전압 기준 발생기 회로를 포함할 수 있다.

전압 기준 발생기 회로는 외부에 또는 VPA 아날로그 코어(5900) 내에 있을 수 있다. 전압 기준 발생기 회로는 VPA 내의 여러 가지 회로를 위한 기준 전압을 발생한다. 일 실시예에서, 도 57에 도시된 바와 같이, 전압 기준 발생기 회로는 디지털 제어 모듈의 데이터 출력에 결합된 DAC 01-10에 기준 전압을 공급한다. 다른 실시예에서, 도 59에 도시된 바와 같이, 전압 기준 발생기 회로는 VPA 아날로그 코어 내의 보간 필터 및/또는 벡터 변조기에 기준 전압을 공급한다. 일 실시예에서 VPA의 동일 분기의 회로에는 동일한 기준 전압이 공급된다. 예컨대 VPA 분기 또는 데이터 경로를 나타내는 DAC 01 및 02, 보간 필터(5910, 5912) 및 벡터 변조기(5922, 5924)는 모두 동일한 기준 전압 VREF_C(5741)를 공유함에 유의한다. 여러 가지 구현 및 시스템 성능 요건에 대해서 전압 기준 신호는 하나의 기준 전압 또는 복수의 기준 전압으로서 제공될 수 있다.

[0614] 도 60은 VPA 아날로그 코어 구현(5900)에 따른 출력단 실시예(6000)를 보여준다. 출력단 실시예(6000)는 MISO 증폭기단(6058), (스위치(6044)로 구체화된) 선택적인 출력 스위칭단, 및 선택적인 출력단 보호 및 전력 검출 회로를 포함한다.

[0615] 일 실시예에서 MISO 증폭기단(6058)은 아날로그 코어(5900) 내의 MISO 증폭기(5930)에 대응한다. 따라서 MA VSUPPLY 신호(6006), MA Driver VSUPPLY 신호(6004), 및 MA Output Stage VSUPPLY 신호(6002)는 각각 도 59에서의 신호(5903, 5907, 5911)에 대응한다. 마찬가지로 MA IN1 및 MA IN2 입력 신호(6008, 6010)와 MA 출력 신호(6046, 6048, 6050)는 각각 도 59에서의 MISO 입력 신호(5939, 5941)와 출력 신호(5954, 5956. 5958)에 대응한다. PWR Detect 신호(6023)는 도 59에서의 PWR Detect A 신호(5938)에 대응한다. (일반적으로 MISO 증폭기(5932)의 구현도 도 60의 MISO 증폭기단(6058)에 기초할 수 있다.)

[0616] 실시예(6000)의 MISO 증폭기단(6058)은 전치 구동기(6012, 6014)로 구체화된 전치 구동기 증폭단, 구동기(6018, 6020)로 구체화된 구동기 증폭단, 및 출력단 PA(6030, 6032)로 구체화된 PA 증폭단을 포함한다. 일 실시예에서 실질적으로 일정한 포락선 입력 신호 MA IN1(6008)과 MA IN2(6010)는 PA단의 출력에서 합산되기 전에 MISO 증폭기(6058)의 각 단에서 증폭된다.

[0617] 일 실시예에서 MISO 증폭기단(6058)에는 전압 제어 전력 공급 회로가 공급하는 전력 공급 신호에 의해 전력이 공급된다. 도 59를 참조로 설명한 바와 같이, 전력 공급 신호는 VPA 아날로그 코어(5900)의 전력 공급 회로에 의해 발생된다. 일 실시예에서 전력 공급 신호는 MISO 증폭기단(6058)의 여러 가지 증폭단의 전력 공급 전압을 제어하여 여러 가지 동작 조건 하에서 VPA의 전력 효율에 영향을 미치게 하는데 이용된다. 다른 실시예에서 전력 공급 신호는 MISO 증폭기단(6058)의 여러 가지 증폭단 각각의 이득을 제어하여 전력 제어 메카니즘을 가능하게 하는데 이용된다. 더욱이 전력 공급 신호는 서로 독립적으로 제어되어 MISO 증폭기단(6058)의 여러 가지 증폭단 각각에 대한 전력 및/또는 효율을 독립적으로 제어할 수 있게 한다. 이러한 독립적인 제어에 따라서, 예컨대 VPA의 원하는 출력 전력에 따라서 MISO 증폭기(6058)의 하나 또는 그 이상의 증폭단의 동작을 정지시킬 수 있다. 도 60에는, 전력 공급 신호가 신호(6002, 6004, 6006)를 이용하여 나타나 있다.

[0618] 일 실시예에서 MISO 증폭기단(6058)은 바이어스 제어 회로를 포함한다. 바이어스 제어 회로는 특정 MISO 증폭기 구현에 따라 선택적일 수 있다. 일 실시예에서 바이어스 제어 회로는 MISO 증폭기(6058)의 각 증폭단에서의 효율 및/또는 전력을 제어하기 위한 메카니즘을 제공한다. 이 메카니즘은 전력 공급 신호를 참조로 전술한 메카니즘과는 무관하다. 더욱이 이 메카니즘은 각 증폭단을 독립적이고 개별적으로 제어한다. 도 60에서 바이어스 제어 회로는 이득 균형 제어 회로(6016), 구동기단 오토바이어스 회로(6022) 및 출력단 오토바이어스 회로(6028)를 이용하여 나타낸다.

[0619] 일 실시예에서 이득 균형 제어 회로(6016)는 도 60에 도시된 바와 같이 전치 구동기 증폭단의 입력에 결합된다. 이득 균형 제어 회로(6016)는 디지털 제어 모듈(5700)로부터 (DAC를 통해) 이득 균형 제어 신호(5749)를 수신하고, 입력 바이어스 제어 신호(6013, 6015)를 출력한다. 구동기단 오토바이어스 회로(6022)는 도 60에 도시된 바와 같이 구동기 증폭단의 입력에 결합된다. 구동기단 오토바이어스 회로(6022)는 디지털 제어 모듈(5700)로부터 (DAC를 통해) 구동기단 오토바이어스 신호(5763)를 수신하고, 입력 바이어스 제어 신호(6017, 6019)를 출력한다. 마찬가지로 출력단 오토바이어스 회로(6028)는 도 60에 도시된 바와 같이 PA 증폭단의 입력에 결합된다. 출력단 오토바이어스 회로(6028)는 디지털 제어 모듈(5700)로부터 (DAC를 통해) 출력단 오토바이어스 신호(5761)를 수신하고, 입력 바이어스 제어 신호(6029, 6031)를 출력한다.

[0620] 일 실시예에서 디지털 제어 모듈(5700)은 각각 이득 균형 제어 신호(5749), 구동기단 오토바이어스 신호(5763) 및 출력단 오토바이어스 신호(5761)를 이용하여 MISO 증폭기(6058)의 전치 구동기단, 구동기단 및 PA단의 바이어스를 독립적으로 제어한다. 다른 실시예에서 디지털 제어 모듈(5700)은 이득 균형 제어 신호(5749)만을 이용하여 MISO 증폭기(6058)의 전치 구동기단, 구동기단 및/또는 PA단의 바이어스의 변화에 영향을 미칠 수 있다.

도 60에 도시된 바와 같이, 이득 균형 제어 회로(6016)는 구동기단 오토바이어스 회로(6022) 및 출력단 오토바이어스 회로(6028)에 결합된다. 일 실시예에서 VPA의 총 이득의 변화는 먼저 디지털 제어 모듈(5700)이 전치 구동기단에서의 바이어스를 제어하는 것에 영향을 받는다. 이득을 더 변화시킬 필요가 있으면, 구동기단과 이어서 PA단에서 바이어스 제어가 수행된다.

[0621] 일 실시예에서 MISO 증폭기단(6058)은 에러 보정 및/또는 보상 피드백 메카니즘을 가능하게 하는 회로를 포함한다. 출력단 실시예(6000)에서는 차동 피드백 메카니즘이 채택되어, 이 메카니즘에 따라서 차동 분기 진폭 측정 회로(6024)와 차동 분기 위상 측정 회로(6026)는 각각 MISO 증폭기(6058)의 분기들 간의 진폭과 위상차를 측정한다, 일 실시예에서 차동 분기 진폭 측정 회로(6024)와 차동 분기 위상 측정 회로(6026)는 MISO 증폭기(6058)의 PA단(PA(6030, 6032))의 입력에 결합된다. 다른 실시예에서 회로(6024, 6026)는 MISO 증폭기(6058)의 앞단의 입력에 결합될 수 있다. 일 실시예에서 차동 분기 진폭 측정 회로(6024)와 차동 분기 위상 측정 회로(6026)는 각각 (A/D 변환기를 통해) 디지털 제어 모듈(5700)에 피드백되는 차동 분기 진폭 신호(5950)와 차동 분기 위상 신호(5948)를 출력한다. 디지털 제어 모듈(5700)은 특정 시각에서 MISO 증폭기(6058)의 분기들 간의 정확한 진폭 및/또는 위상차를 알기 때문에 차동 분기 진폭 신호(5950)와 차동 분기 위상 신호(5948)에 기초하여 진폭 및/또는 위상 에러를 결정할 수 있다.

[0622] 출력단 실시예(6000)는 선택적인 출력단 보호 회로를 포함한다. 출력단 보호 회로는 특정 MISO 증폭기 구현에 따라 필요할 수도 필요하지 않을 수도 있다. 도 60에서 출력단 보호 회로는 VSWR 보호 회로(6034)를 이용하여 나타나 있다. 일 실시예에서 VSWR 보호 회로(6034)는 PA단의 출력을 모니터하여 MISO 증폭기(6058)의 이득을 제어하여 PA(6030, 6032)를 보호한다. 실시예(6000)에서 VSWR 보호 회로(6034)는 PA단의 출력에 직접적으로 또는 간접적으로 결합되는 신호(6036)를 수신한다. 일 실시예에서 VSWR 보호 회로(6034)는 PA단의 출력에서의 전압 레벨을 특정 레벨 아래로 유지시켜 PA(6030, 6032)가 서멀 셧다운되거나 디바이스 파괴를 일으키는 것을 방지하는 것을 보장한다. 일 실시예에서 VSWR 보호 회로(6034)는 PA(6030, 6032)의 항복 전압이 초과되지 않도록 보장한다. 따라서 PA(6030, 6032)의 출력에서의 전압 레벨이 미리 결정된 임계치보다 높아질 때마다 VSWR 보호 회로(6034)는 MISO 증폭단의 이득을 감소시킬 수 있다. 일 실시예에서 VSWR 보호 회로(6034)는 이득 균형 제어 회로(6016)에 결합되고, 이 회로는 구동기단 오토바이어스 회로(6022)와 출력단 오토바이어스 회로(6028) 모두에 결합된다. 일 실시예에서 VSWR 보호 회로(6034)는 먼저 전치 구동기단에서, 그 다음 구동기단에서, 마지막으로 PA단에서 이득을 감소시킴으로써 출력단 PA에서의 미리 결정된 전압 레벨에 응답한다. 전술한 바와 같이, VSWR 보호 회로(6034)는 특정 MISO 증폭기 구현에 따라 필요할 수도 필요하지 않을 수도 있다. 예컨대 GaAs(갈륨비소) MISO 증폭기 구현은, GaAs 트랜지스터의 통상적인 항복 전압이 많은 RF 시나리오에서 매우 커서 초과되지 않기 때문에 VSWR 보호 회로를 필요로 하지 않을 것이다.

[0623] 출력단 실시예(6000)는 선택적인 전력 검출 회로를 포함한다. 일 실시예에서 전력 검출 회로는 디지털 제어 모듈에 전력 레벨 피드백을 제공하는 수단으로서 기능한다. 도 60에서 전력 검출 회로는 전력 검출 회로(6038)를 이용하여 나타나 있다. 일 실시예에서 전력 검출 회로(6038)는 MISO 증폭기(6058)의 PA단의 출력에 결합된다. 전력 검출 회로(6038)는 도 60에서 신호(6040)로 나타낸 바와 같이 PA단의 출력에 직접적으로 또는 간접적으로 결합될 수 있다. 일 실시예에서 전력 검출 회로(6038)는 PWR Detect 신호(6023)를 출력한다. PWR Detect 신호(6023)는 도 59에 도시된 PWR Detect A 신호(5938) 또는 PWR Detect B 신호(5940)와 같을 수 있으며, (A/D 변환기를 통해) VPA의 디지털 제어 모듈로 피드백된다. 디지털 제어 모듈은 PWR Detect 신호(6023)를 이용하여 원하는 대로 VPA의 출력 전력을 조절한다.

[0624] 출력단 실시예(6000)의 선택적인 출력 스위칭단은 도 60에서 스위치(6044)로 구체화되어 있다. 일 실시예에서 스위치(6044)는 VPA의 3개의 출력(6046, 6048 또는 6050) 중 하나에 결합된다. 전술한 바와 같이, 스위치는 디지털 제어 모듈이 제공하는 출력 선택 신호(5776, 5778, 5780) 세트에 의해 제어된다. 스위치(6044)는 선택된 송신 모드 및/또는 원하는 출력 주파수 요건(예컨대 GSM, WCDMA, 등)에 따라서 적당한 출력에 결합된다.

[0625] 따라서 VPA의 출력에는 풀업 임피던스가 여러 가지 방식으로 결합될 수 있다. 일 실시예에서, 도 60에 도시된 바와 같이, 풀업 임피던스(6052, 6054, 6056)는 각각 출력(6046, 6048, 6050)과 MA Output Stage VSUPPLY(6002) 사이에 결합된다. 다른 실시예에서는 하나의 풀업 임피던스가 이용되며 이것은 PA단의 출력(6042)과 MA Output Stage VSUPPLY(6002) 사이에 결합된다. 첫 번째 방식의 이점은 스위치(6044) 다음에 풀업 임피던스를 배치함으로써 임피던스(6042, 6054 및/또는 6056) 값을 선택할 때에 VPA 설계자가 스위치(6044)의 임피던스 특성을 고려하여 VPA의 효율을 증가시키기 위해 다른 양상을 더 이용할 수 있다는 것이다. 반면에 두 번째 방식은 풀업 임피던스의 수를 줄일 수 있다.

[0626] 특정 MISO 증폭기 구현에 따라서 출력단 실시예(6000)는 도 60에 도시된 것 보다 많거나 적은 수의 회로를 포함할 수 있다.

[0627] 본 발명의 실시예들에 따라서, MISO 증폭기단(6058), 선택적인 출력 스위칭단(스위치(6044)) 및 선택적인 출력 보호 및 전력 검출 회로를 포함하는 출력단 실시예(6000)는 SiGe(실리콘 게르마늄) 재료를 이용하여 제조될 수 있다. 다른 실시예에서 MISO 증폭기단(6058)은 SiGe를 이용하여 제조되고, 출력 스위칭단은 GaAs를 이용하여 제조된다. 다른 실시예에서 PA단(PA(6030, 6032))과 출력 스위칭단은 GaAs를 이용하여 제조되고, MISO 증폭기단(6058)의 다른 회로와 출력단의 선택적인 회로는 SiGe를 이용하여 제조된다. 다른 실시예에서 PA단, 구동기단 및 출력 스위칭단은 GaAs를 이용하여 제조되고, MISO 증폭기단(6058)의 다른 회로와 출력단의 선택적인 회로는 SiGe를 이용하여 제조된다. 다른 실시예에서 PA단, 구동기단, 전치 구동기단 및 출력 스위칭단은 GaAs를 이용하여 제조된다. 다른 실시예에서 VPA 시스템은 SiGe 또는 GaAs 재료로 구현될 수 있는 출력단(6030 또는 6032)을 제외하고 모든 회로에 대해 CMOS를 이용하여 구현될 수 있다. 다른 실시예에서 VPA 시스템은 그 전체가 CMOS로 구현될 수 있다. 당업자라면 잘 알수 있는 바와 같이, 출력단의 회로에 이용되는 제조 재료(들)의 여러 가지 변경 및/또는 조합도 가능하며, 그러므로 이러한 변경과 조합도 본 발명의 실시예의 범위내에 있다.

[0628] 따라서 반도체 재료마다 가격과 성능이 다르므로 본 발명의 실시예들은 가격과 성능면에서 다양한 여러 가지 VPA 설계를 제공한다.

[0629] 4.3.2) VPA 아날로그 코어 구현 B

[0630] 도 61은 본 발명의 일 실시예에 따른 다른 VPA 아날로그 코어 구현(6100)을 보여준다. 설명 목적상, 도 61에는 VPA 아날로그 코어(6100)가 디지털 제어 모듈(5700)에 연결되어 있는 것으로 도시되어 있지만, 이와 달리 다른 디지털 제어 모듈도 이용될 수 있다. 도 61에는, 도 57과 도 61에서 동일 도면 부호 신호로 표시한 바와 같이, 아날로그 코어(6100)와 디지털 제어 모듈 구현(5700) 간의 물리적 연결이 도시되어 있다.

[0631] 아날로그 코어 구현(6100)은 2-분기 VPA 실시예에 대응한다. 그러나 이 구현은, 당업자라면 본 발명의 교시에 따라 잘 알겠지만, 4-분기 또는 CPCP VPA 실시예로 쉽게 변경될 수 있다.

[0632] 아날로그 코어 구현(6100)은 전술한 아날로그 코어 구현(5900)과 동일한 입력단 및 벡터 변조단을 갖고 있다. 따라서 아날로그 코어 구현(5900)과 마찬가지로 아날로그 코어(6100)는 각각 VPA의 상위 대역과 하위 대역 동작을 위한 상위 대역 경로(5964)와 하위 대역 경로(5966)를 포함한다.

[0633] 아날로그 코어(5900)와 아날로그 코어(6100) 간의 차이점들 중 하나는 VPA의 출력단에 있다. 2개의 MISO 증폭기(5930, 5932)를 포함하는 아날로그 코어(5900)의 출력단과는 달리, 아날로그 코어(6100)의 출력단은 아날로그 코어의 상위 대역 경로(5964)와 하위 대역 경로(5966) 사이에서 분할된 5개의 MISO 증폭기(6126, 6128, 6130, 6132, 6134)를 포함한다. 일 실시예에서 출력단은 SiGe와 GaAs MISO 증폭기의 조합을 포함한다. 일 실시예에서 상위 대역 경로(5964)는 3개의 MISO 증폭기(6126, 6128, 6130)를 포함하고, 하위 대역 경로(5966)는 2개의 MISO 증폭기(6132, 6134)를 포함한다. 선택된 동작 대역에 기초하여 상위 대역 경로(5964)나 하위 대역 경로(5966)에서 하나의 MISO 증폭기가 작동된다. 일 실시예에서 MISO 증폭기(6126, 6128, 6130, 6132, 6134) 각각은 VPA의 단일 송신 모드(예컨대 WCDMA, GSM, EDGE, 등)에 전용적일 수 있다. 이것은 MISO 증폭기(5930, 5932) 각각이 하나보다 많은 송신 모드를 지원하는 아날로그 코어(5900)와는 대조적이다. 각 구조의 장단점에 대해서는 뒤에 자세히 설명한다.

[0634] 경로 당 하나보다 많은 MISO 증폭기를 가지는 결과, 아날로그 코어(6100)에서 벡터 변조단을 MISO 증폭기에 결합시키기 위해 스위칭단이 필요하다. 이것은 도 61에서 스위치(6118, 6120, 6122, 6124)를 이용하여 나타나 있다. 일 실시예에서, 선택된 송신 모드에 따라서 스위치(6118, 6120)는 벡터 변조기(5922, 5924)의 출력(5939, 5941)을 MISO 증폭기(6126, 6128, 6130) 중 하나에 결합시킨다. 마찬가지로 선택된 송신 모드 및/또는 주파수 요건에 따라서 스위치(6122, 6124)는 출력(5943, 5945)을 MISO 증폭기(6132, 6134) 중 하나에 결합시킨다.

[0635] 일 실시예에서 MISO 증폭기(6126)(또는 6128, 6130, 6132, 6134)는 일정 포락선 신호(6119와 6121)(또는 6123과 6125, 6127과 6129, 6131과 6133, 6135와 6137)를 수신한다. MISO 증폭기(6126)(또는 6128, 6130, 6132, 6134)는 신호(6119와 6121)(또는 6123과 6125, 6127과 6129, 6131과 6133, 6135와 6137)를 개별적으로 증폭하여 증폭 신호들을 생성하고, 이 증폭 신호들을 결합하여 출력 신호(6141)(6144, 6146, 6148, 6150)를 생성한다. 일 실시예에서 MISO 증폭기(6126)(또는 6128, 6130, 6132, 6134)는 여기서 설명된 직접 결합을 통해 증폭 신호

들을 결합한다. 본 발명의 실시예에 따라 증폭 신호를 결합하는 다른 모드들에 대해서는 3 절에서 설명하였다.

[0636] VPA 아날로그 코어(6100)의 출력단은 다중대역 다중모드 VPA 동작을 지원할 수 있다. 더욱이, 아날로그 코어(6100)의 출력단은 지원된 각 송신 모드에 하나의 MISO 증폭기를 전용할 수 있기 때문에 (아날로그 코어(5900)에서 스위치(5942, 5944)로 구체화되어 있는) 출력 스위칭단이 제거될 수 있다. 그 결과, 출력단 효율은 더 높아지지만(스위칭단으로 인한 전력손실이 없음), 칩면적이 증가한다. 이것은 아날로그 코어(5900)의 구조와 아날로그 코어(6100)의 구조 간에 주요한 절충을 간략하게 말해준다.

[0637] 일 실시예에서 아날로그 코어(6100)의 출력단은 디지털 제어 모듈(5700)로부터 선택적인 바이어스 제어 신호를 수신한다. 이들 신호는 아날로그 코어(5900)를 참조로 전술한 출력단 오토바이어스 신호(5761), 구동기단 오토바이어스 신호(5763) 및 이득 균형 제어 신호(5749)이다.

[0638] 일 실시예에서 아날로그 코어(6100)의 출력단은 VPA의 디지털 제어 모듈(5700)에 선택적인 피드백 신호를 제공한다. 이들 피드백 신호는 아날로그 코어(5900)를 참조로 전술한 차동 분기 진폭 신호(5950)와 차동 분기 위상 신호(5948)를 포함하여 차동 피드백 방식이 VPA 분기에서의 진폭 및 위상 변동을 모니터할 수 있게 한다. 또한 아날로그 코어(5900)와 마찬가지로 출력 전력 모니터링은 PWR Detect 신호(6152, 6154, 6156, 6158, 6160)를 이용하여 제공되며, 이 신호들 각각은 VPA의 출력(6142, 6144, 6146, 6148, 6150) 중 하나를 측정한다. VPA 출력 중 하나만이 임의 시각에 작동될 수 있으므로, PWR Detect 신호(6152, 6154, 6156, 6158, 6160)는 일 실시예에서 합산기(5952)를 이용하여 합산되어 VPA의 현재 출력 전력에 대응하는 신호를 생성한다.

[0639] 아날로그 코어(5900)와 마찬가지로, 출력단으로부터의 피드백 신호는 디지털 제어 모듈에 의해 제어되는 입력 선택기(5946)를 이용하여 멀티플렉싱된다. 피드백 신호를 멀티플렉생하는 한가지 양상은 아날로그 코어(5900)를 참조로 전술하였다.

[0640] 아날로그 코어(5900)와 마찬가지로 아날로그 코어(6100)는 디지털 제어 모듈에서 어떠한 피드포워드 보정도 불능으로 함으로써 순수한 피드백 구현으로서, 피드백 신호의 모니터링을 불능으로 함으로써 순수한 피드포워드 구현으로서, 또는 가변적인 피드포워드/피드백을 이용한 하이브리드 피드포워드/피드백 구현으로서 동작하도록 설계될 수 있다.

[0641] 일 실시예에서 아날로그 코어(6100)의 출력단은 선택적인 출력단 보호 회로를 포함한다. 이것은 도 61에서 각각 MISO 증폭기(6128, 6130, 6134)에 결합된 VSWR(Voltage-Standing-Wave-Ratio) 보호 회로(6136, 6138, 6140)를 이용하여 도시되어 있다. VSWR 보호 회로는 실제 MISO 증폭기 구현에 따라서 필요할 수도 필요하지 않을 수도 있다. 예컨대 GaAs 증폭기인 MISO 증폭기(6126, 6132)는 많은 응용에 있어서 VSWR 보호 회로를 필요로 하지 않음에 유의한다. 본 발명의 실시예에 따른 VSWR 보호 회로의 기능과 이점에 대해서는 아날로그 코어(5900)를 참조로 전술하였다.

[0642] 아날로그 코어(6100)는 전력을 제어하여 이 전력을 아날로그 코어의 여러 가지 단에 전달하기 위한 전력 공급 회로를 포함한다. 일 양상에서, 전력 공급 회로는 VPA 아날로그 코어의 작동부에 전력을 공급하는 수단을 제공한다. 다른 양상에서 전력 공급 회로는 VPA의 전력 효율 및/또는 출력 전력을 제어하기 위한 수단을 제공한다.

[0643] 아날로그 코어(6100)의 전력 공급 회로는 아날로그 코어(5900)의 전력 공급 회로와 거의 유사하고, 차이점은 MISO 증폭기의 수가 아날로그 코어(5900)에서는 2개인 반면에 아날로그 코어(6100)에서는 5개라는 점이다. 도 61에서 전력 공급 회로는 GMA 및 MA 전력 공급 회로(6120), 구동기단 전력 공급 회로(5904), 출력단 전력 공급 회로(5908) 및 벡터 모드 전력 공급 회로(5908)에서 구체화된다. 각 회로(6102, 5904, 5906)는 5개의 출력 전력 공급 신호를 가지며, VPA의 작동 중인 MISO 증폭기에 따라서 이들 5개의 출력 신호 중 하나가 임의의 시각에 작동된다. 아날로그 코어(6100)의 전력 공급 회로의 기능과 동작은 전술한 아날로그 코어(5900)의 전력 공급 회로의 기능과 동작과 거의 유사하다.

[0644] 도 62는 VPA 아날로그 코어 구현(6100)에 따른 출력단 실시예(6200)를 보여준다. 출력단 실시예(6200)는 MISO 증폭기단(6220)과 선택적인 출력단 보호 및 전력 검출 회로를 포함한다.

[0645] 도 61에 도시된 MISO 증폭기(6126, 6128, 6130, 6132, 및/또는 6134)는 MISO 증폭기단(6220)과 같은 증폭기를 이용하여 구현될 수 있다.

[0646] 출력단 실시예(6200)는 도 60에 도시된 출력단 실시예(6000)와 거의 유사하고, 주요 차이점은 실시예(6200)에서는 (도 60에서 스위치(6044)로 구체화된) 출력 스위칭단이 제거된다는 것이다.

[0647] 실시예(6000)와 마찬가지로 실시예(6200)에서의 MISO 증폭기단(6220)은 전치 구동기(6206, 6208)로 구체화된 전

치 구동기 증폭단, 구동기(6210, 6212)로 구체화된 구동기 증폭단, 및 출력단 PA(6214, 6216)로 구체화된 PA 증폭단을 포함한다. 일 실시예에서 실질적으로 일정한 포락선 입력 신호 MA IN1(6202)과 MA IN2(6204)는 PA단의 출력에서 합산되기 전에 MISO 증폭기(6220)의 각 단에서 증폭된다. 입력 신호 MA IN1(6202)과 MA IN2(6204)는 예컨대 도 61에서의 신호(6123, 6125)에 대응한다.

[0648] 일 실시예에서 출력단 실시예(6200)의 MISO 증폭기단(6220)에는 전압 제어 전력 공급 회로가 공급하는 전력 공급 신호에 의해 전력이 공급된다. 다른 실시예에서 MISO 증폭기단(6220)은 디지털 제어 모듈에 의해 제어가능한 선택적인 바이어스 제어 회로를 포함한다. 다른 실시예에서 MISO 증폭기단(6220)은 에러 보정 및/또는 보상 피드백 메카니즘을 가능하게 하는 회로를 포함한다. 다른 실시예에서 출력단 실시예(6000)는 선택적인 출력단 보호 회로와 전력 검출 회로를 포함한다. 출력단 실시예(6200)의 이들 양상(전력 공급, 바이어스 제어, 에러 보정, 출력 보호 및 전력 검출)은 출력단 실시예(6000)에 대해 전술한 것과 거의 유사하다.

[0649] 본 발명의 실시예들에 따라서, MISO 증폭기단(6220)과 선택적인 출력 보호 및 전력 검출 회로를 포함하는 출력단 실시예(6200)는 SiGe(실리콘 게르마늄) 재료를 이용하여 제조될 수 있다. 다른 실시예에서 MISO 증폭기단(6220)은 그 전체가 SiGe를 이용하여 제조된다. 다른 실시예에서 MISO 증폭기단(6220)의 PA단(PA(6214, 6216))은 GaAs를 이용하여 제조되고, MISO 증폭기단(6220)의 다른 회로와 출력단의 선택적인 회로는 SiGe를 이용하여 제조된다. 다른 실시예에서 MISO 증폭기단(6220)의 PA단과 구동기단(구동기(6210, 6212))은 GaAs를 이용하여 제조되고, MISO 증폭기단(6220)의 다른 회로와 출력단의 선택적인 회로는 SiGe를 이용하여 제조된다. 다른 실시예에서 PA단, 구동기단, 및 전치 구동기단(전치 구동기(6206, 6208))은 GaAs를 이용하여 제조된다. 다른 실시예에서 VPA 시스템은 SiGe 또는 GaAs 재료로 구현될 수 있는 출력단(6030 또는 6032)을 제외하고 모든 회로에 대해 CMOS를 이용하여 구현될 수 있다. 다른 실시예에서 VPA 시스템은 그 전체가 CMOS로 구현될 수 있다. 당업자라면 잘 알수 있는 바와 같이, 출력단의 회로에 이용되는 제조 재료(들)의 여러 가지 변경 및/또는 조합도 가능하며, 그러므로 이러한 변경과 조합도 본 발명의 실시예의 범위내에 있다. 더욱이 동일한 VPA 내의 출력단은 예컨대 MISO 증폭기(6128, 6130, 6134)는 SiGe 증폭기이고 MISO 증폭기(6126, 6132)는 GaAs 증폭기(그 출력단의 하나 또는 그 이상의 단이 GaAs임)인 도 61에 도시된 바와 같이 서로 다른 재료를 이용하여 제조될 수 있다.

[0650] 4.3.3) VPA 아날로그 코어 구현 C

[0651] 도 63은 본 발명의 일 실시예에 따른 다른 VPA 아날로그 코어 구현(6300)을 보여준다. 설명 목적상, 도 63에는 VPA 아날로그 코어(6300)가 디지털 제어 모듈(5800)에 연결되어 있는 것으로 도시되어 있지만, 다른 디지털 제어 모듈도 이용될 수 있다. 아날로그 코어(6300)와 디지털 제어 모듈(5700) 간의 물리적 연결은 도 58과 도 63에서 동일 도면 부호 신호로 표시되어 있다.

[0652] 아날로그 코어 구현(6300)은 2-분기 VPA 실시예에 대응한다. 그러나 이 구현은, 당업자라면 본 발명의 교시에 따라 잘 알겠지만, 4-분기 또는 CPCP VPA 실시예로 쉽게 변경될 수 있다.

[0653] 아날로그 코어 구현(6300)은 도 59의 아날로그 코어(5900)와 유사한 입력단,벡터 변조단 및 증폭 출력단을 포함한다. 이들 단의 기능, 동작 및 제어는 도 59를 참조로 전술하였다.

[0654] 아날로그 코어(5900)와 마찬가지로, 아날로그 코어(6300)는 피드백 에러 보정 및/또는 보상 메카니즘을 포함한다. 그러나 아날로그 코어(5900)와는 달리 아날로그 코어(6300)는 아날로그 코어(5900)에서의 차동 피드백 메카니즘과는 다른 수신기 기반 피드백 메카니즘을 채용한다. 수신기 기반 피드백 메카니즘은 VPA의 작동 출력을 수신하고, 수신된 출력으로부터 I 데이터 및 Q 데이터를 생성하고, 생성된 I 및 Q 데이터를 디지털 제어 모듈에 피드백하는 수신기를 갖는 것에 기초한 것이다. VPA의 입력과 출력 간의 지연을 평가함으로써 피드백 I 및 Q 신호는 이에 대응하는 입력 I 및 Q 신호와 적당히 정렬될 수 있다. 다른 실시예에서 수신기 피드백은 직교 I 및 Q 데이터 신호 대신에 복소 출력 신호(크기 및 위상 극좌표 정보)를 포함한다.

[0655] 일 실시예에서 이것은 VPA(5947 또는 5949)의 작동 출력에 수신기(미도시)를 결합시킴으로써 행해진다. 도 63에서 신호(6302, 6304)는 각각 수신기로의 상위 대역과 하위 대역 RF 입력을 나타낸다. 아날로그 코어(6300)의 상위 대역 경로(5964) 또는 하위 대역 경로(5966)가 이용되고 있는지 여부에 따라서 신호(6302, 6304) 중 하나만이 임의의 시각에 작동된다. 마찬가지로 수신기 기반 피드백 메카니즘은 상위 대역 경로와 하위 대역 경로를 포함한다. 일 실시예에서 상위 대역과 하위 대역 피드백 경로 각각은 자동 이득 제어기(AGC)(6306, 6308), I/Q 샘플 홀드(sample-and-hold)(S/H) 회로(6314, 6316 및 6318, 6320), 스위칭 회로(6322, 6324) 및 선택적인 보

간 필터(6326, 6328)를 포함한다. 일 실시예에서 입력 선택 신호(5810, 5812)를 이용하여 디지털 제어 모듈에 의해 제어되는 스위치(6330)는 상위 대역이나 하위 대역 피드백 경로를 디지털 제어 모듈에 결합시킨다. 더욱이 결합된 피드백 경로에 기초하여 디지털 제어 모듈 I/Qn Select 신호(5808)는 스위칭 회로(6322 또는 6324)가 I 데이터 및 Q 데이터의 디지털 제어 모듈로의 결합을 교대하도록 제어한다. 당업자라면 본 발명의 교시에 따라 잘 알겠지만, 다른 구현도 가능하다.

[0656] 일 실시예에서 AGC 회로는 수신기가 유용한 I 및 Q 정보를 VPA 출력 전력의 넓은 동적 범위에 걸쳐 피드백할 수 있도록 하는데 이용된다. 예컨대 출력 신호(5954, 5956, 5958, 5960, 5962)는 특정 셀룰러폰 응용에서 +35 dBm에서 -60 dBm까지 변할 수 있다. I 및 Q 데이터가 정확한 피드백 정보를 포함하기 위해서는 수신기의 I 및 Q 출력은 출력 신호 전력과는 무관하게 A/Din 신호(5736)의 입력 전압 범위의 대부분을 이용하도록 스케일링될 필요가 있다. 디지털 제어 모듈(5800)은 VPA를 요구되는 출력 전력으로 제어하도록 설계되며, 이에 따라 디지털 제어 모듈(5800)은 A/D(5732)를 통해 디지털화된 적당한 A/D 입력 전압을 달성하기 위하여 적당한 수신기 이득을 결정할 수 있다.

[0657] 수신기 기반 피드백 메카니즘을 갖는 VPA 아날로그 코어는 순수한 피드백, 피드포워드, 또는 하이브리드 피드백/피드포워드 시스템으로서 구현될 수 있다. 전술한 바와 같이, 순수한 피드백 구현에서는 디지털 제어 모듈에 메모리(RAM(5608), NVRAM(5610)) 양이 필요없거나 최소한도로만 필요하다. 이것은 아날로그 코어에서 차동 피드백 측정 회로를 제거하는 것 이외에도 아날로그 코어(6300)에 따른 아날로그 코어 구현의 한 가지 이점을 나타낼 수 있다. 그럼에도 불구하고, 아날로그 코어(6300)는 디지털 제어 모듈(5800)에서 어떠한 피드포워드 보정도 불능으로 함으로써 순수한 피드백 구현으로서, 피드백 신호의 모니터링을 불능으로 함으로써 순수한 피드포워드 구현으로서, 또는 가변적인 피드포워드/피드백을 이용한 하이브리드 피드포워드/피드백 구현으로서 동작하도록 프로그램될 수 있다.

[0658] 일 실시예에서 아날로그 코어(6300)의 출력단은 선택적인 출력단 보호 회로를 포함한다. 이것은 도 63에는 도시되어 있지 않지만 아날로그 코어 구현(5900, 6100)과 관련하여 전술하였다. 아날로그 코어(6300)의 여러 가지 양상(바이어스 제어, 전력 공급, 등)은 아날로그 코어(5900)와 거의 유사하며 도 59를 참조로 전술하였다.

[0659] 도 64는 VPA 아날로그 코어 구현(6300)에 따른 출력단 실시예(6400)를 보여준다. 출력단 실시예(6400)는 MISO 증폭기단(6434)과 출력 스위칭단을 포함한다. 일 실시예에서 MISO 증폭기단(6434)은 도 63에 도시된 MISO 증폭기(5930 및/또는 5932)에 대응한다(즉, MISO 증폭기(5930, 5932) 중 어느 하나 또는 둘 다 MISO 증폭기단(6434)과 같은 증폭기를 이용하여 구현될 수 있다.).

[0660] 출력단 실시예(6400)는 도 60에 도시된 출력단 실시예(6000)와 거의 유사하고, 주요 차이점은 수신기 기반 피드백 메카니즘의 이용으로 차동 분기 측정 회로(6024, 6026)가 제거된다는 것이다.

[0661] 실시예(6000)와 마찬가지로 실시예(6400)에서의 MISO 증폭기단(6434)은 전치 구동기(6406, 6408)로 구체화된 전치 구동기 증폭단, 구동기(6410, 6412)로 구체화된 구동기 증폭단, 및 출력단 PA(6414, 6416)로 구체화된 PA 증폭단을 포함한다. 일 실시예에서 일정 포락선 입력 신호 MA IN1(6402)과 MA IN2(6404)는 MISO 증폭기단(6434)의 PA단의 출력에서 합산되기 전에 MISO 증폭기단(6434)의 각 단에서 증폭된다.

[0662] 일 실시예에서 출력단 실시예(6400)의 MISO 증폭기단(6434)에는 전압 제어 전력 공급 회로가 공급하는 전력 공급 신호에 의해 전력이 공급된다. 다른 실시예에서 MISO 증폭기단(6434)은 디지털 제어 모듈에 의해 제어가능한 선택적인 바이어스 제어 회로를 포함한다. 다른 실시예에서 출력단 실시예(6400)는 선택적인 출력단 보호 회로(도 64에는 미도시)를 포함한다. 출력단 실시예(6400)의 이들 양상(전력 공급, 바이어스 제어 및 출력 보호)은 출력단 실시예(6000)에 대해 전술한 것과 거의 유사하다.

[0663] 본 발명의 실시예들에 따라서, MISO 증폭기단(6434), 출력 스위칭단(6420), 및 선택적인 출력 보호 회로를 포함하는 출력단 실시예(6400)는 SiGe(실리콘 게르마늄) 재료를 이용하여 제조될 수 있다. 다른 실시예에서 MISO 증폭기단(6434)은 SiGe를 이용하여 제조되고, 출력 스위칭단(6420)은 GaAs를 이용하여 제조된다. 다른 실시예에서 MISO 증폭기단(6434)의 PA단(PA(6414, 6416))과 출력 스위칭단(6420)은 GaAs를 이용하여 제조되고, MISO 증폭기단(6434)의 다른 회로와 출력단의 선택적인 회로는 SiGe를 이용하여 제조된다. 다른 실시예에서 PA단, 구동기단(구동기(6410, 6412)) 및 출력 스위칭단(6420)은 GaAs를 이용하여 제조되고, MISO 증폭기단(6434)의 다른 회로와 출력단의 선택적인 회로는 SiGe를 이용하여 제조된다. 다른 실시예에서 PA단, 구동기단, 전치 구동기단(전치 구동기(6406, 6408)) 및 출력 스위칭단(6420)은 GaAs를 이용하여 제조된다. 다른 실시예에서 VPA 시스템은 SiGe 또는 GaAs 재료로 구현될 수 있는 출력단(6030 또는 6032)을 제외하고 모든 회로에 대해 CMOS를 이

용하여 구현될 수 있다. 다른 실시예에서 VPA 시스템은 그 전체가 CMOS로 구현될 수 있다. 당업자라면 잘 알 수 있는 바와 같이, 출력단의 회로에 이용되는 제조 재료(들)의 여러 가지 변경 및/또는 조합도 가능하며, 그러므로 이러한 변경과 조합도 본 발명의 실시예의 범위내에 있다. 더욱이 동일한 VPA 내의 출력단은 예컨대 MISO 증폭기(6128, 6130, 6134)는 SiGe 증폭기이고 MISO 증폭기(6126, 6132)는 GaAs 증폭기(그 출력단의 하나 또는 그 이상의 단이 GaAs임)인 도 61에 도시된 바와 같이 서로 다른 재료를 이용하여 제조될 수 있다.

[0664] VPA 출력단의 실시간 증폭기 등급 제어

[0665] 본 발명의 실시예에 따라서 VPA 출력단은 그 출력 파형 궤적의 변화에 따라서 그 증폭기 동작 등급을 변화시키도록 제어될 수 있다. 이 개념은 예시적인 WCDMA 파형을 참조로 도 65에 나타나 있다. 도 65의 그래프는 WCDMA 출력 파형 포락선 대 VPA 출력단의 동작 등급의 타이밍도를 도시한 것이다. 출력 파형 포락선은 VPA 출력단의 출력 전력에 직접적으로 비례함에 유의한다.

[0666] VPA 출력단 증폭기 등급은 출력 파형 포락선이 최대값에서 제로로 감소됨에 따라 등급 S 증폭기에서 등급 A 증폭기까지 있음에 유의한다. 영교차에서는 VPA 출력단은 출력 파형 포락선이 증가함에 따라 더 높은 등급의 증폭기 동작으로 전환하기 전에 등급 A 증폭기로서 동작한다.

[0667] VPA 출력단 증폭기 동작 등급을 제어하는 이러한 실시간 능력에 의해서 극복되는 한 가지 중요한 문제는 위상 정밀도 제어 문제이다. 도 65에 도시된 예와 관련하여 위상 정밀도 제어 문제는 고품질의 파형을 생성하기 위해서는 임의의 주어진 전력 레벨에서 40 dB의 출력 전력의 동적 범위가 바람직하다는 사실에 있다. 그러나 40 dB의 출력 전력의 동적 범위를 발생시키는데 필요한 위상 정밀도(1.14도 또는 1.5 피코초 정도)는 대량 생산 응용분야에서 실제 회로의 공차를 훨씬 넘는다. 잘 아는 바와 같이 이 단락과 그 밖의 다른 곳에서 예시된 특정 전력 범위는 설명을 위해서만 제공되는 것이며, 한정적인 것은 아니다.

[0668] 본 발명에 따른 실시예는 모든 파형에 대한 효율 대 실제 제어 정밀도의 최적의 균형을 유지하기 위하여 파형 궤적에 기초하여 복수의 동작 등급을 변경함으로써 위상 정밀도 제어 문제를 해결한다. 실시예들에서, VPA 출력단의 출력 전력 동적 범위는 90dB를 초과한다.

[0669] 일 실시예에서 높은 순간 신호 전력 레벨들에서 증폭기 동작 등급(등급 S)은 아주 효율적이고 위상 정밀도가 위상 제어를 이용하여 쉽게 달성된다. 그러나 낮은 순간 신호 전력 레벨들에서는 요구되는 파형 선형성을 달성하는데 위상 제어만으로 충분치 않을 수 있다. 이것은 VPA 출력 전력(단위 dBm) 대 VPA 분기들 간의 아웃페이징 각도의 플롯을 보여주는 도 66에 나타나 있다. 높은 전력 레벨에서 아웃페이징 각도가 변화하면 낮은 전력 레벨에서보다 출력 전력 변화가 더 적다는 것을 알 수 있다. 따라서 위상 제어는 낮은 전력 레벨에서보다 높은 전력 레벨에서 더 높은 분해능의 전력 제어를 제공한다.

[0670] 따라서 낮은 전력 레벨에서 고분해능 전력 제어를 지원하기 위해서는 위상 제어 이외에 다른 제어 메카니즘이 필요하다. 도 67은 예시적인 QPSK 파형을 이용한 본 발명의 실시예에 따른 예시적인 전력 제어 메카니즘을 보여준다. cos(ωt)와 sin(ωt)로 정의된 복소 영역에서 단위원에 QPSK 성상(constellation)이 부과된다. 성상 공간은 3개의 동심원 비교차 영역들, 즉 가장 바깥쪽의 "위상 제어 전용" 영역, 가운데의 "위상 제어, 바이어스 제어, 및 진폭 제어" 영역, 및 가장 안쪽의 "바이어스 제어 및 진폭 제어" 영역 사이에서 분할된다. 본 발명의 실시예에 따라서 가장 바깥쪽, 가운데 그리고 가장 안쪽의 영역은 출력 파형의 전력 레벨에 따라 적용될 전력 제어의 종류를 규정한다. 예컨대 도 67을 참조로 설명하면, 낮은 전력 레벨(가장 안쪽 영역에 속하는 점)에서는 바이어스 제어와 진폭 제어를 이용하여 요구되는 파형 선형성을 제공한다. 반면에 높은 전력 레벨(가장 바깥쪽 영역에 속하는 점)에서는 (아웃페이징 각도를 제어함으로써) 위상 제어만으로도 충분하다.

[0671] 당업자라면 잘 이해할 수 있는 바와 같이, 도 67에 도시된 제어 영역은 설명을 위해서만 제공되며, 한정적인 것은 아니다. 본 발명의 실시예에 따라서 다른 제어 영역도 정의될 수 있다. 통상적으로 제어 영역의 경계는 원하는 출력 파형과 측대역 성능 기준의 상보 누적 밀도 함수(CCDF)에 기초한다. 따라서 제어 영역의 경계는 VPA의 원하는 출력 파형에 따라 변한다.

[0672] 실시예들에서 여러 가지 제어 영역에 의해 정해지는 전력 제어 메카니즘은 여러 가지 등급 증폭기들 간의 VPA 출력단의 변화를 가능하게 한다. 이것은 출력단 증폭기 등급 동작 대 출력 파형 포락선과 단위원에 부과된 제어 영역을 나란히 나타낸 도 68에 도시되어 있다. 도 69는 출력 파형 포락선에 응답하는 출력단 전류를 보여준다. 출력단 전류는 출력 파형 포락선을 가까이 따름에 유의한다. 특히 출력단 전류는 출력 파형 포락선이 영

교차될 때에 완전히 제로가 됨에 유의한다.

[0673] 도 70은 이론적인 VPA 출력단 효율 대 출력단 전류를 보여준다. 도 70의 출력단 전류 파형은 도 69에 도시된 것에 대응함에 유의한다. 일 실시예에서 VPA 출력단은 시간의 98%(또는 그보다 긴 시간) 동안 100% 이론적 효율에서 동작한다. 또한 도 70으로부터 여러 가지 증폭기 동작 등급들 간의 출력단의 변화는 출력단 전류에 따름에 유의한다.

[0674] 도 71은 본 발명의 실시예에 따른 예시적인 VPA를 보여준다. 설명을 위해 제한됨이 없이 도 71의 예시적인 실시예는 여기서는 여러 가지 증폭기 동작 등급들 간의 (도 71에서 MISO 증폭기로 나타낸) VPA 출력단의 변화를 생기게 하는데 이용될 수 있는 여러 가지 제어 메카니즘에 대해서 자세히 설명한다.

[0675] 도 71의 VPA 실시예는 전달 함수 모듈, 주파수 기준 합성기에 의해 제어되는 한 쌍의 벡터 변조기, 및 MISO 증폭기 출력단을 포함한다. 전달 함수 모듈은 I 및 Q 데이터를 수신하여 실질적으로 일정한 포락선 신호를 생성하기 위해 벡터 변조기가 이용하는 진폭 정보를 생성한다. 실질적으로 일정한 포락선 신호는 MISO 증폭기 출력단을 이용한 단일의 동작에서 증폭되어 합산된다.

[0676] 본 발명의 실시예에 따라서 MISO 증폭기 출력단은 출력 파형 궤적의 변화에 따라서 여러 가지 증폭기 동작 등급 간에 실시간으로 변화될 수 있다. 일 실시예에서 이것은 벡터 변조기에 의해 생성된 일정 포락선 신호의 위상을 제어함으로써 달성된다. 다른 실시예에서 MISO 증폭기 입력 신호의 진폭은 전달 함수를 이용하여 제어된다. 다른 실시예에서, MISO 증폭기 입력은 MISO 증폭기 동작 등급을 제어하는 전달 함수를 이용하여 바이어스된다(MISO 입력의 바이어싱은 MISO 증폭기 내의 임의의 증폭단에서 행해질 수 있다.). 다른 실시예에서 이들 제어 메카니즘의 조합(위상, 입력 바이어스 및/또는 입력 진폭)은 MISO 증폭기단이 여러 가지 증폭기 동작 등급들 간에서 변화될 수 있도록 하는데 이용된다.

[0677] 도 72는 본 발명의 일 실시예에 따라서 출력 파형 궤적의 변화에 따른 전력 증폭기에서의 실시간 증폭기 등급 제어 방법을 나타낸 프로세스 플로우차트(100)이다. 프로세스 플로우차트(100)는 원하는 출력 파형의 순간 전력 레벨을 결정하는 것을 포함하는 단계(110)에서 개시한다. 일 실시예에서 순간 전력 레벨은 원하는 출력 파형 포락선의 함수로서 결정된다.

[0678] 결정된 순간 전력 레벨에 기초하여 프로세스 플로우차트(100)의 단계(120)는 원하는 증폭기 동작 등급을 결정하는 것을 포함하며, 여기서 상기 증폭기 동작 등급은 전력 증폭기의 전력 효율과 선형성을 최적화한다. 일 실시예에서 증폭기 동작 등급을 결정하는 것은 원하는 출력 파형의 특정 종류(예컨대 CDMA, GSM, EDGE)에 달라진다.

[0679] 단계(130)는 전력 증폭기가 결정된 증폭기 동작 등급에 따라 동작하도록 제어하는 것을 포함한다. 일 실시예에서 전력 증폭기는 여기서 설명된 위상 제어, 바이어스 제어, 및/또는 진폭 제어 방법을 이용하여 제어된다.

[0680] 프로세스 플로우차트(100)에 따라서 전력 증폭기는 원하는 출력 파형의 순간 전력 레벨에 따라서 여러 가지 증폭기 동작 등급 간에 변화되도록 제어된다. 다른 실시예에서 전력 증폭기는 원하는 출력 파형의 평균 출력 전력에 따라서 여러 가지 증폭기 동작 등급 간에 변화되도록 제어된다. 또 다른 실시예에서 전력 증폭기는 원하는 출력 파형의 순간 전력 레벨과 평균 출력 전력 모두에 따라서 여러 가지 증폭기 동작 등급 간에 변화되도록 제어된다.

[0681] 본 발명의 실시예에 따라서 전력 증폭기는 등급 A 증폭기에서 중간 증폭기 등급(AB, B, C 및 D)을 통해 등급 S 증폭기로 변화하도록 제어된다.

[0682] 본 발명의 실시예는 전력 증폭기(들)의 여러 가지 증폭기 등급으로의 변화를 다음과 같이 제어한다.

[0683] 등급 A 증폭기를 달성하기 위해서는, 전력 증폭기의 구동 레벨 및 바이어스가 출력 전류 도전각이 360도가 되도록 제어된다. 도전각은 출력 전류가 증폭기를 통해 흐르는 구동 사이클의 각도 부분으로 정의된다.

[0684] 등급 AB 증폭기를 달성하기 위해서는, 전력 증폭기의 구동 레벨 및 바이어스가 출력 전류 도전각이 180도보다는 크고 360도보다는 작도록 제어된다.

[0685] 등급 B 증폭기를 달성하기 위해서는, 전력 증폭기의 구동 레벨 및 바이어스가 출력 전류 도전각이 대략 180도가 되도록 제어된다.

[0686] 등급 C 증폭기를 달성하기 위해서는, 전력 증폭기의 구동 레벨 및 바이어스가 출력 전류 도전각이 180도보다 작도록 제어된다.

[0687] 등급 D 증폭기를 달성하기 위해서는, 전력 증폭기의 구동 레벨 및 바이어스가 증폭기가 스위칭 모드(온/오프)에서 동작하도록 제어된다.

[0688] 등급 S 증폭기를 달성하기 위해서는, 증폭기가 펄스폭 변조(PWM) 출력 신호를 발생하도록 제어된다.

[0689] 일 실시예에서 VPA 출력단의 전술한 실시간 증폭기 등급 제어는 VPA의 디지털 제어 모듈에서 구현되는 전달 함수의 동적 변화를 수반한다. 이에 대해서는 도 73 내지 도 77을 참조로 아래에서 자세히 설명한다.

[0690] 도 73은 2개의 분기를 가진 npn 구현에 따른 예시적인 VPA 출력단을 보여준다. VPA 출력단의 각 분기는 각자의 실질적으로 일정한 포락선 신호를 수신한다. 실질적으로 일정한 포락선 신호는 도 73에서 IN1과 IN2로 나타나 있다. VPA 출력단의 트랜지스터는 그 에미터 노드에 의해 함께 결합되어 VPA의 출력 노드를 구성한다.

[0691] VPA 출력단이 등급 S 증폭기로 동작할 때는 수신된 실질적으로 일정한 포락선 신호 IN1과 IN2에 대해 펄스폭 변조(PWM)를 실시한다. 이 증폭기 동작 등급에서 VPA 출력단의 이론적인 등가회로는 도 74에 도시되어 있다. VPA 출력단의 트랜지스터는 이 동작 등급에서 스위칭 증폭기와 등가임에 유의한다. VPA의 출력을 실질적으로 일정한 포락선 신호 IN1과 IN2(IN1과 IN2는 실질적으로 동일한 진폭값 A를 가진다고 가정함) 간의 아웃페이징 각도 Θ의 함수로 나타내면 $$SQ(\theta) = A\frac{\pi - \theta}{2\pi}$$ 로 주어진다. 크기-위상 천이 변환으로서 전술한 이 함수의 플롯은 도 76에 도시되어 있다.

[0692] 반면에 PA 출력단이 등급 A 증폭기로 동작할 때는 완전한 합산 노드를 모방한다. 이 증폭기 동작 등급에서 VPA 출력단의 이론적인 등가회로는 도 75에 도시되어 있다. VPA 출력단의 트랜지스터는 이 동작 등급에서 전류원과 등가임에 유의한다. VPA의 출력을 실질적으로 일정한 포락선 신호 IN1과 IN2(IN1과 IN2는 실질적으로 동일한 진폭값 A를 가진다고 가정함) 간의 아웃페이징 각도 Θ의 함수로 나타내면 $$R(\theta) = AA\sqrt{2(1+\cos(\theta))}$$ 로 주어진다. 크기-위상 천이 변환으로서 전술한 이 함수의 플롯은 도 76에 도시되어 있다.

[0693] 본 발명의 일 실시예에 따라서 증폭기 동작 등급 A와 S는 VPA 출력단의 증폭기 동작 범위의 2개의 극단을 나타낸다. 그러나 전술한 바와 같이 VPA 출력단은 예컨대 등급 AB, B, C 및 D를 포함하는 복수의 다른 증폭기 동작 등급을 변화시킬 수 있다. 따라서 VPA의 디지털 제어 모듈에 의해 구현된 전달 함수는 스펙트럼의 경계를 나타내는 도 76에 도시된 변환 함수를 갖는 크기-위상 천이 변환 함수의 스펙트럼 내에서 변한다. 이것은 VPA 출력단의 증폭기 동작 등급의 범위에 대응하는 크기-위상 천이 변환 함수의 스펙트럼을 도시한 도 77에 도시되어 있다. 도 77은 6개의 증폭기 동작 등급 A, AB, B, C, D 및 S에 대응하는 6개의 함수를 보여준다. 그러나 일반적으로 2개의 극단 동작 등급 A와 S에 대응하는 함수를 이용하여 무한 개의 함수가 생성될 수 있다. 일 실시예에서 이것은 2개의 함수의 가중합을 이용하여 수행되며, (1-K)×R(Θ)+K×SQ(Θ)(0≤K≤1)로 주어진다.

[0694] 요약

[0695] 본 발명은 전력 증폭과 상향 변환을 제공하기 위한 신호 처리에 관련된 새로운 개념에 대한 수학적 근거를 제공한다. 이들 새로운 개념에 따라 사실상 실질적으로 일정한 포락선인 파형의 합으로부터 임의의 파형을 구성할 수가 있다. 원하는 출력 신호와 파형은 원하는 출력 신호의 복소 포락선에 대한 지식으로부터 생성될 수 있는 실질적으로 일정한 포락선 성분 신호로부터 구성될 수 있다. 성분 신호들은 상업적으로 입수할 수 없고 문헌이나 종래 기술에서 교시하거나 찾을 수 없는 새롭고, 독창적이고, 신규한 기술을 이용하여 합산된다. 더욱이 본 발명에서 제공된 여러 가지 기술과 회로의 혼합은 종래 기술과 비교해 뛰어난 선형성, 전력 부가 효율, 모놀리식 구현, 및 저렴한 비용을 가능하게 하는 본 발명의 독창적인 양상을 제공한다. 게다가 본 발명의 실시예는 본질적으로 프로세스와 온도 변동에 영향을 거의 받지 않는다. 특정 실시예는 여기서 설명된 다중입력 단일출력 증폭기의 이용을 포함한다.

[0696] 본 발명의 실시예는 하드웨어, 소프웨어 및 펌웨어의 혼합으로 구현될 수 있다. 디지털과 아날로그 기술 모두 마이크로프로세서와 DSP를 가지고 또는 이들이 없이도 이용될 수 있다.

[0697] 본 발명의 실시예는 일반적으로 통신 시스템과 전자 장치를 위해 구현될 수 있다. 게다가 제한없이 역학, 전기

역학, 전기 광학 및 유체 역학은 신호를 효율적으로 증폭하고 변환하기 위해 동일한 원리를 이용할 수 있다.

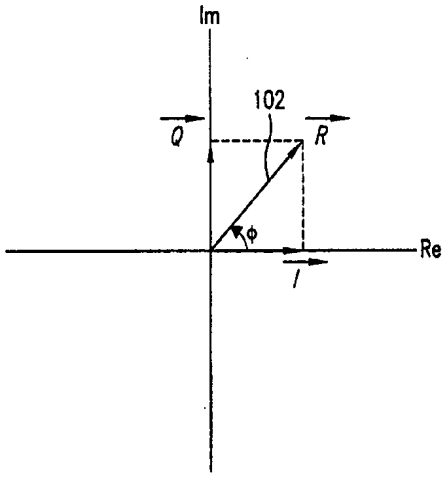
[0698] 결론

[0699] 지금까지 특정한 기능과 관계의 성능을 나타내는 기능적 구축 블록을 이용하여 본 발명에 대해서 설명하였다. 이들 기능적 구축 블록의 한계는 설명의 편의상 임의로 정의하였다. 특정 기능과 관계가 적당히 수행된다면 다른 한계도 정의될 수 있다. 따라서 그와 같은 다른 한계도 본 발명의 범위와 본질 내에 있다. 당업자라면 이들 기능적 구축 블록은 개별 성분, 주문형 집적 회로, 적당한 소프트웨어 등을 실행하는 프로세서, 그리고 이들의 조합으로 구현될 수 있음을 잘 알 것이다.

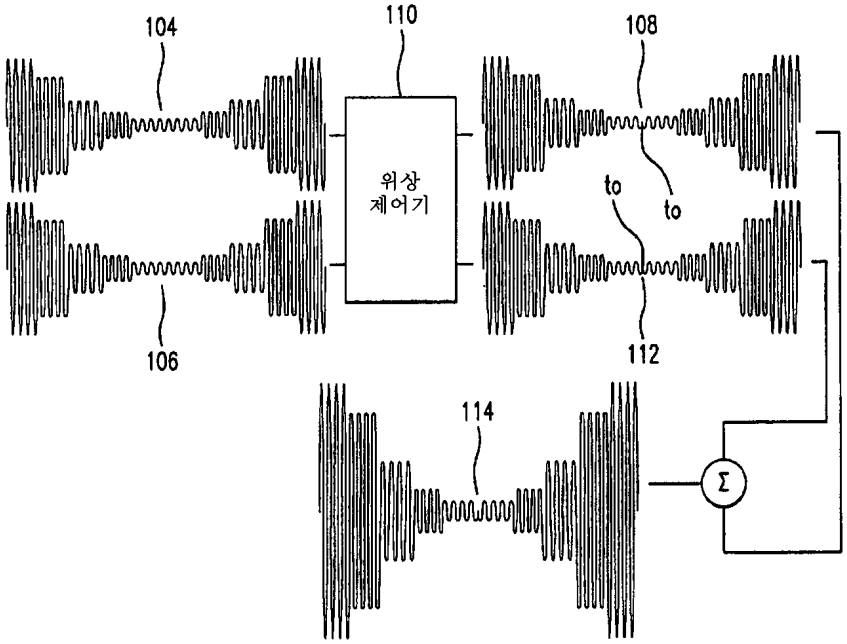
[0700] 지금까지 본 발명의 여러 가지 실시예들에 대해서 설명하였지만 이들은 단지 예시적으로 제공된 것이며 한정적으로 제공된 것이 아님은 물론이다. 따라서 본 발명의 범위는 전술한 예시적인 실시예들에 의해 한정되어서는 않되며, 첨부된 청구범위와 그 등가물에 따라서만 정해져야 한다.

도면

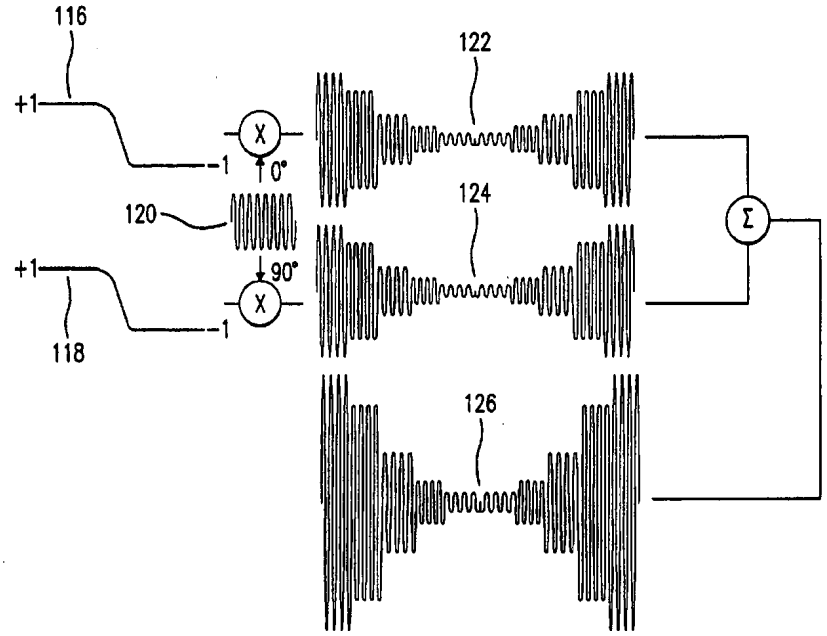
도면1



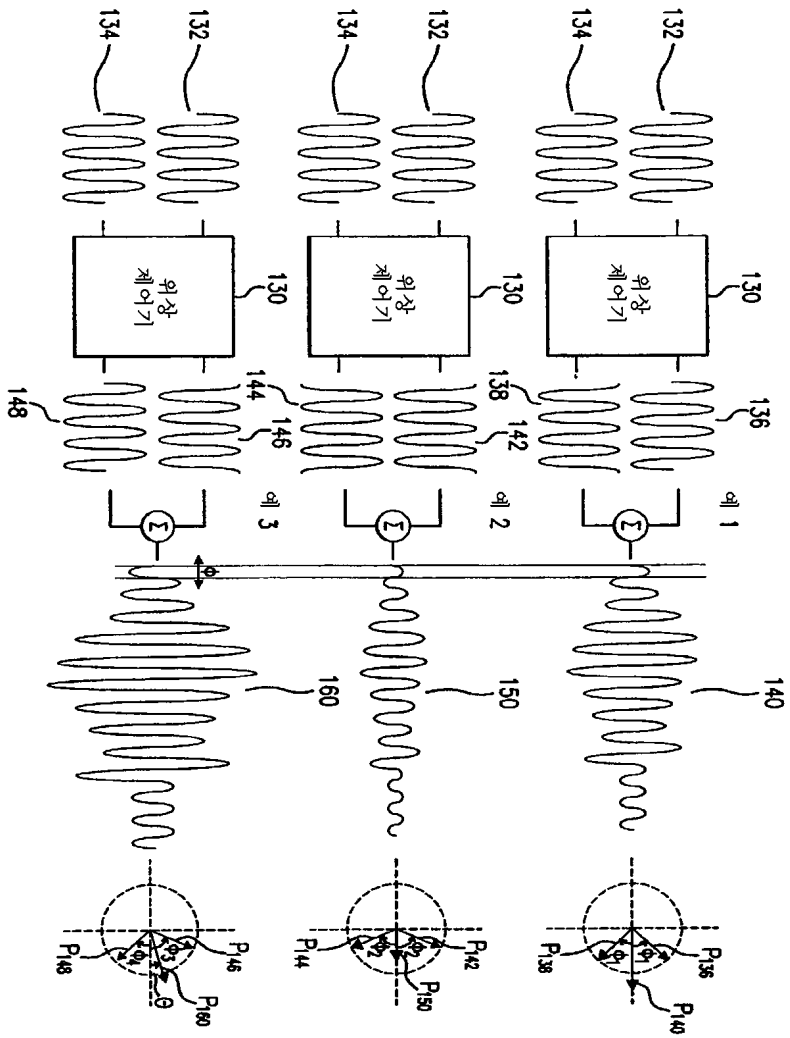
도면1a


104
110
108
위상
제어기
to
to
106
112
114
Σ

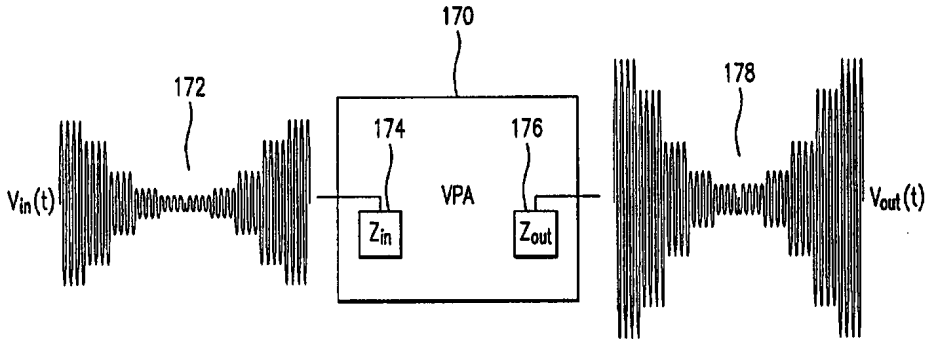
도면1b


116
+1
-1
X
0°
122
120
124
+1
90°
X
-1
118
Σ
126

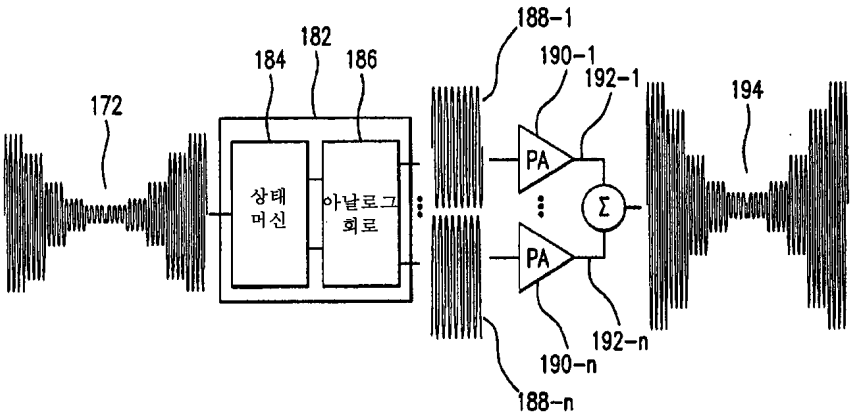
도면1c


134
132
위상 제어기
130
148
144
146
138
142
136
Σ
Φ
160
150
140
P148
P146
P144
P142
P138
P136
P160
P150
P140

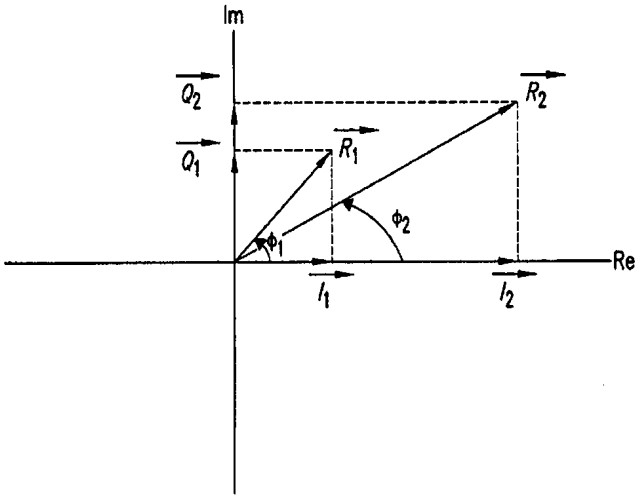
도면1d


170
172
174
176
178
VPA
Zin
Zout
Vin(t)
Vout(t)

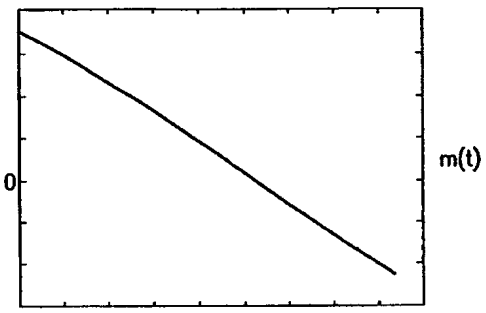
도면1e



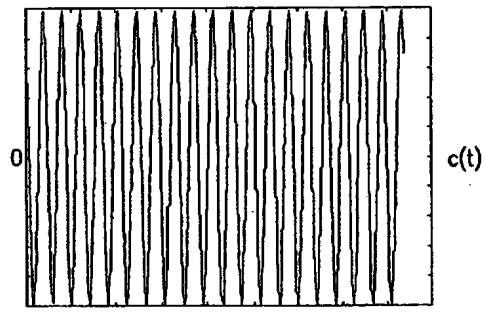
도면2



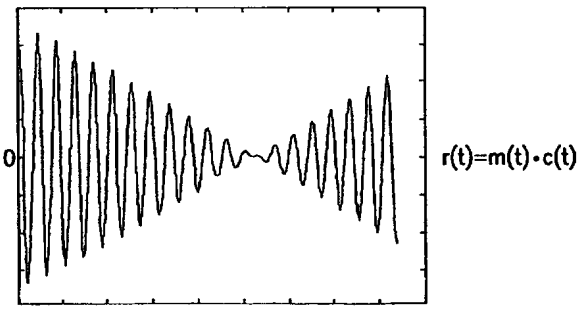
도면3a



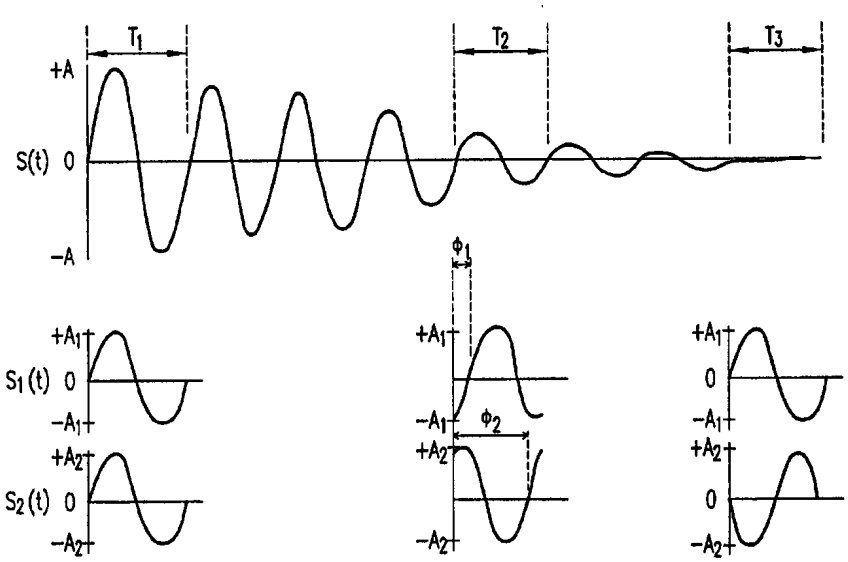
도면3b



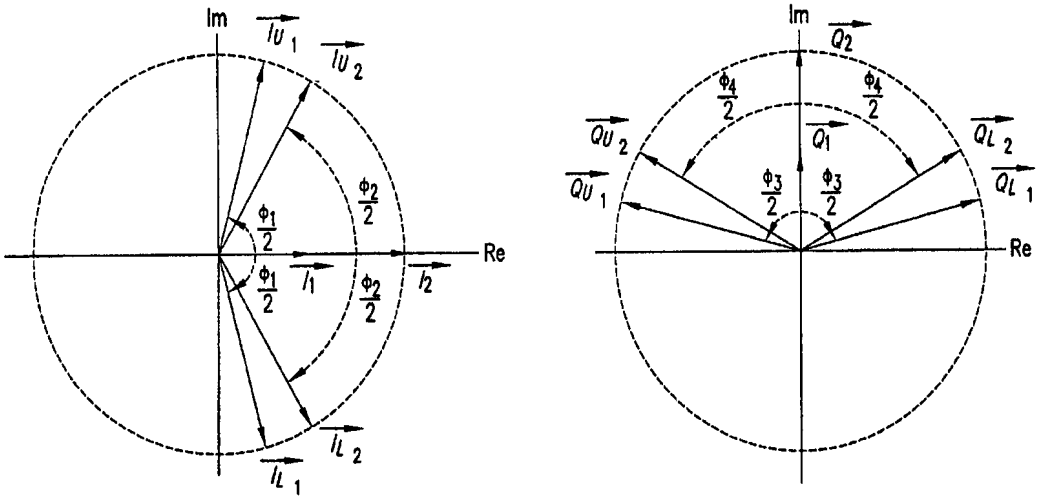
도면3c



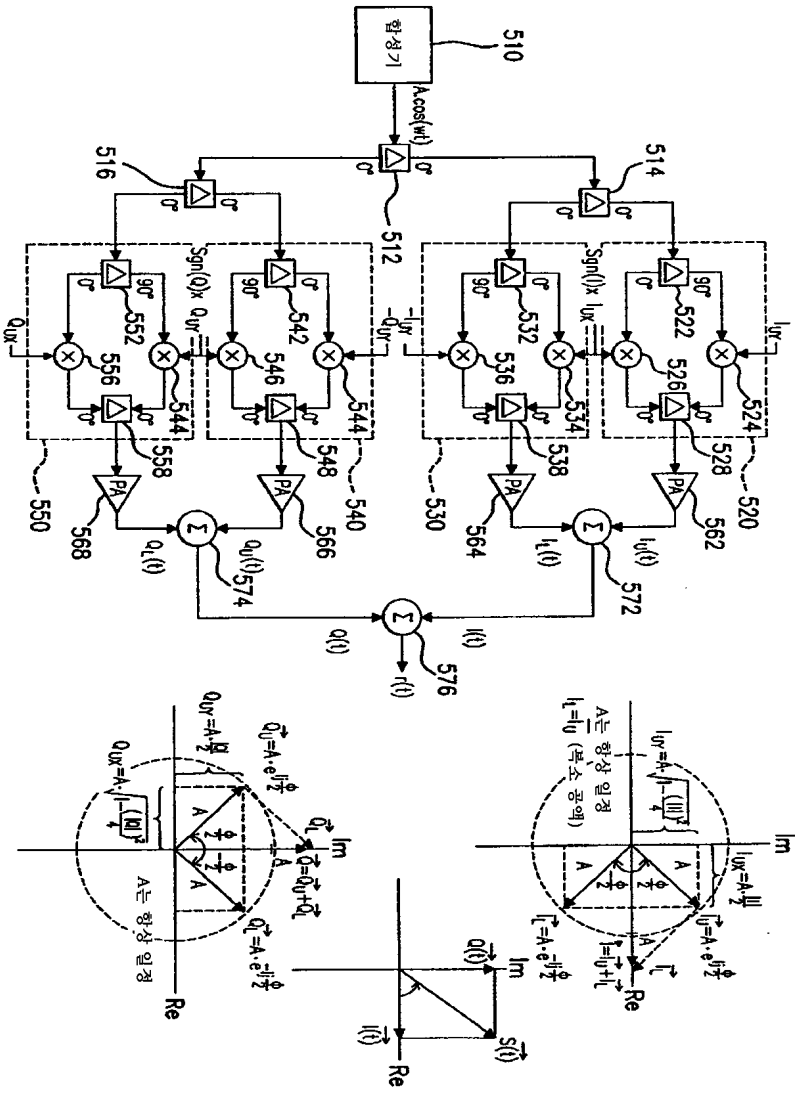
도면3d



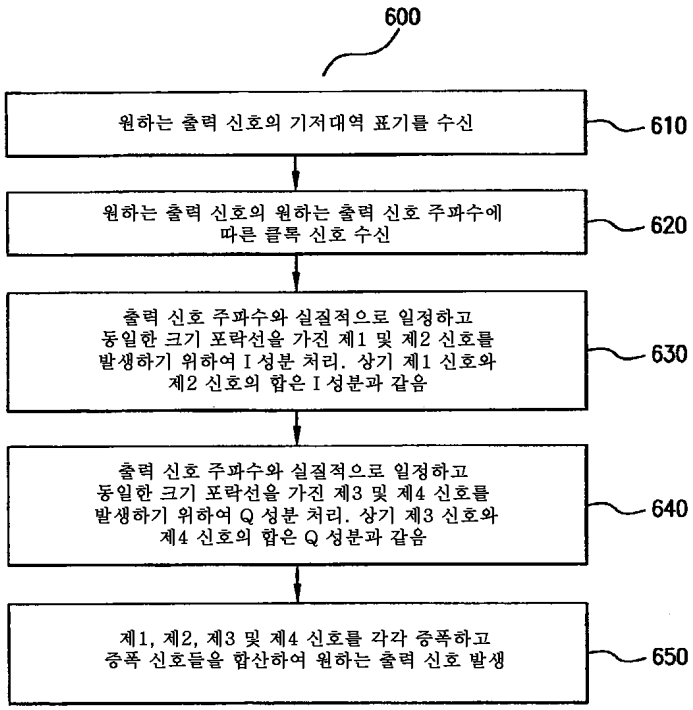
도면4


Im
Re
Im
Re

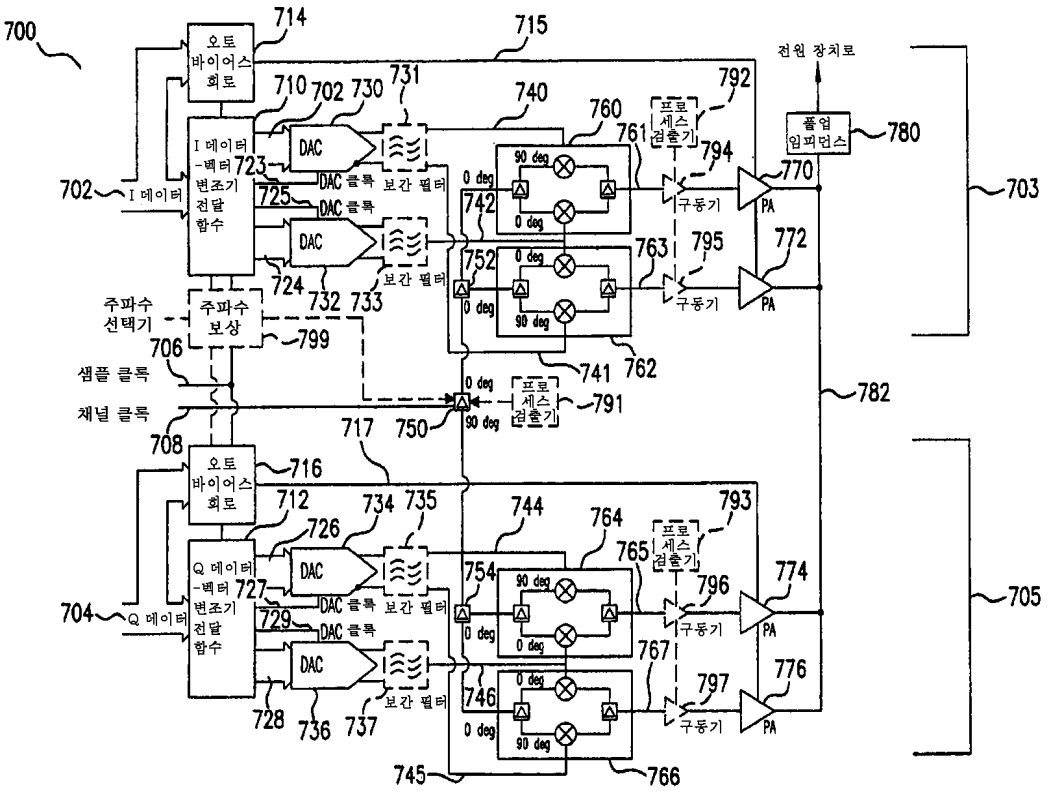
도면5


합성기
510
A.cos(wt)
512
514
516
520
530
540
550
552
556
558
568
574
576
Re
Im

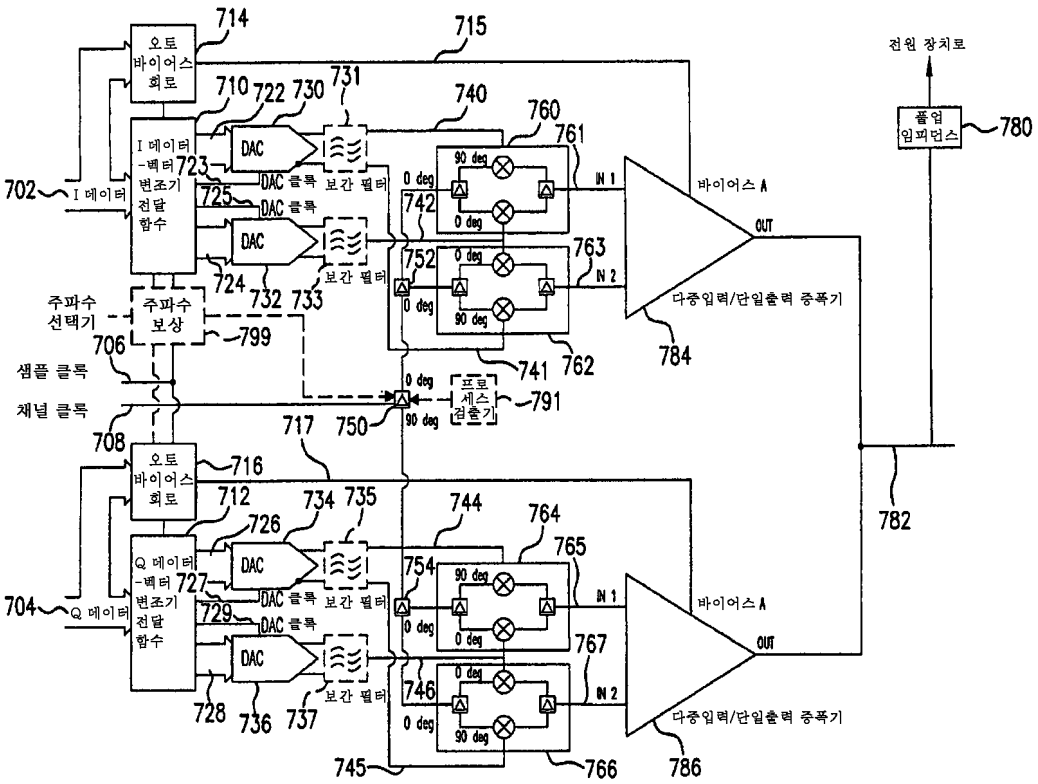
도면6


600
원하는 출력 신호의 기저대역 표기를 수신
610
원하는 출력 신호의 원하는 출력 신호 주파수에 따른 클록 신호 수신
620
출력 신호 주파수와 실질적으로 일정하고 동일한 크기 포락선을 가진 제1 및 제2 신호를 발생하기 위하여 I 성분 처리. 상기 제1 신호와 제2 신호의 합은 I 성분과 같음
630
출력 신호 주파수와 실질적으로 일정하고 동일한 크기 포락선을 가진 제3 및 제4 신호를 발생하기 위하여 Q 성분 처리. 상기 제3 신호와 제4 신호의 합은 Q 성분과 같음
640
제1, 제2, 제3 및 제4 신호를 각각 증폭하고 증폭 신호들을 합산하여 원하는 출력 신호 발생
650

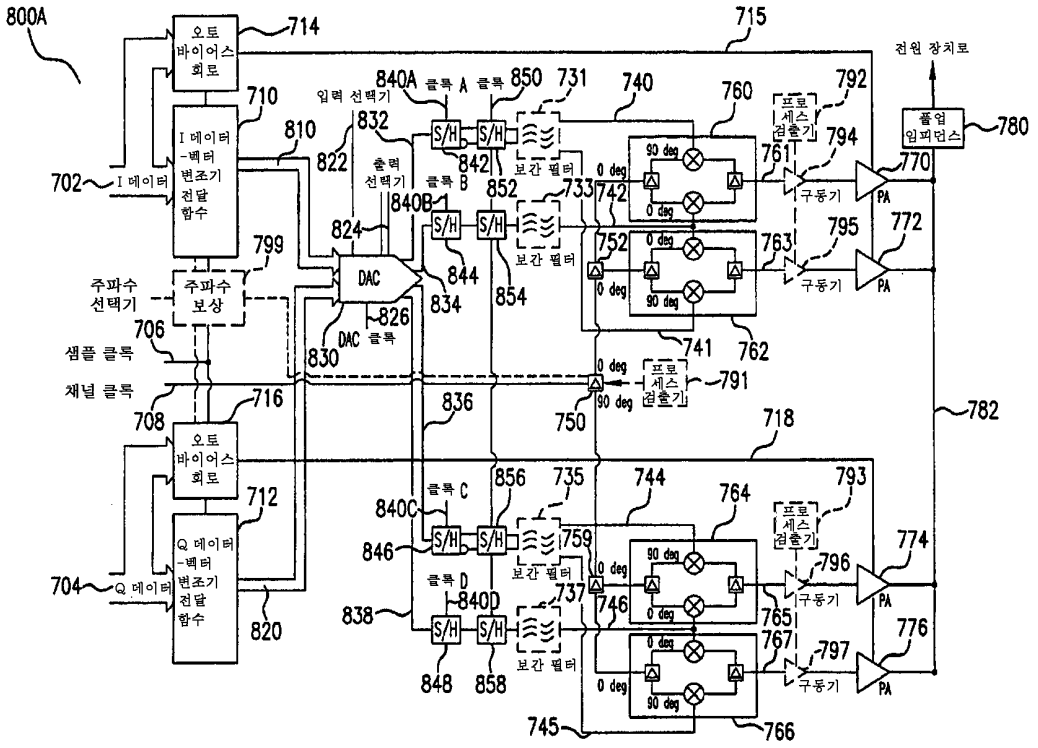
도면7a


700
714
715
오토 바이어스 회로
710
702
730
731
740
760
761
792
프로세스 검출기
전원 장치로
풀업 임피던스
780
I 데이터
I 데이터 -벡터 변조기 전달 함수
723
DAC
DAC 클록
보간 필터
725
742
752
763
795
794
770
772
PA
구동기
703
주파수 선택기
주파수 보상
799
706
샘플 클록
채널 클록
708
717
750
741
762
791
782
716
712
734
735
744
764
765
793
726
754
774
796
Q 데이터
Q 데이터 -벡터 변조기 전달 함수
727
729
746
767
797
776
704
728
736
737
745
766
705
0 deg
90 deg

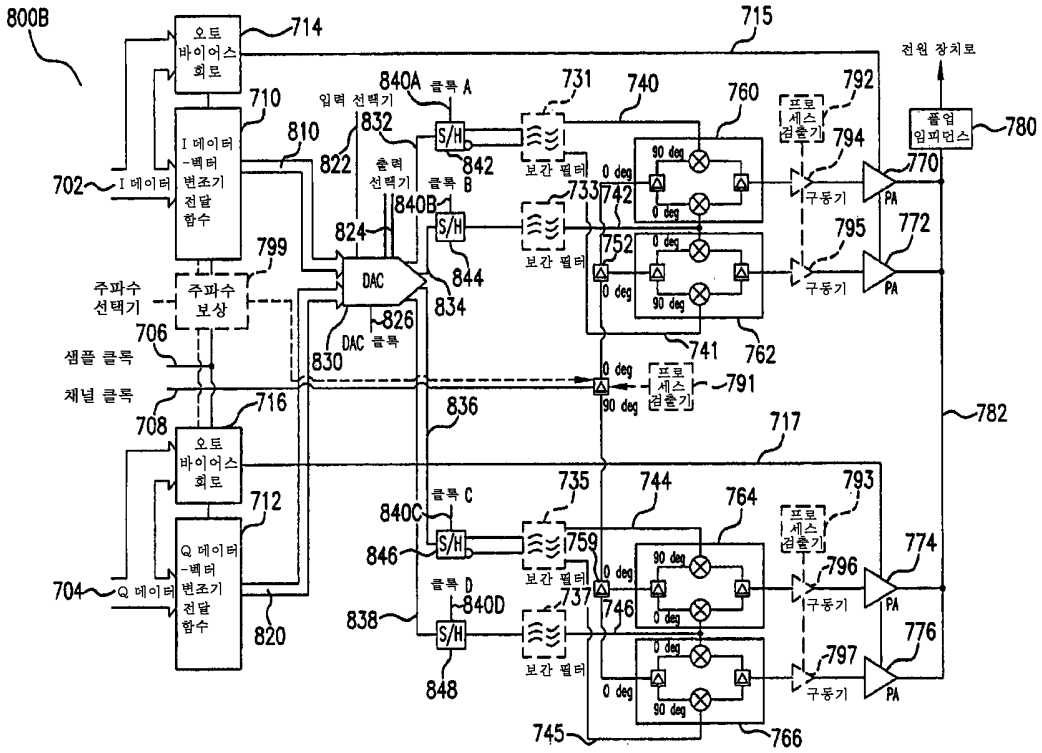
도면7b


714
715
오토 바이어스 회로
710
722
730
731
740
760
761
I 데이터 -벡터 변조기 전달 함수
723
DAC
DAC 클록
보간 필터
725
702
I 데이터
742
752
763
724
732
733
주파수 선택기
주파수 보상
799
706
샘플 클록
채널 클록
708
741
762
784
717
750
프로세스 검출기
791
716
712
734
735
744
764
765
726
727
729
754
767
746
728
736
737
745
766
786
704
Q 데이터
Q 데이터 -벡터 변조기 전달 함수
바이어스 A
다중입력/단일출력 증폭기
IN 1
IN 2
OUT
0 deg
90 deg
전원 장치로
풀업 임피던스
780
782

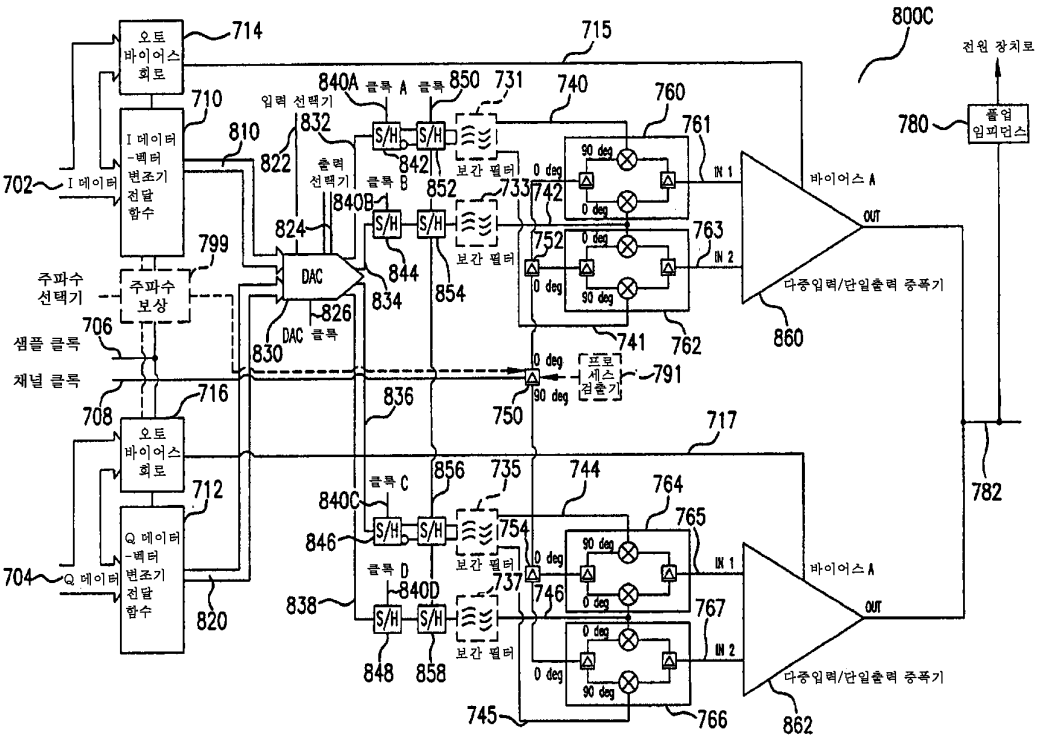
도면8a


800A
714
715
오토 바이어스 회로
전원 장치로
840A
클록 A
클록
850
731
740
760
792
입력 선택기
810
832
822
842
852
733
742
761
794
770
780
I 데이터 -벡터 변조기 전달 함수
702
I 데이터
출력 선택기
840B
클록 B
824
799
844
854
752
763
795
772
주파수 선택기
주파수 보상
DAC
834
826
DAC 클록
830
706
샘플 클록
채널 클록
708
716
836
750
741
762
791
782
718
712
856
735
744
764
793
840C
클록 C
846
759
774
796
704
Q 데이터
Q 데이터 -벡터 변조기 전달 함수
820
838
840D
클록 D
737
746
765
767
776
797
848
858
745
766
S/H
보간 필터
프로세스 검출기
구동기
PA
0 deg
90 deg

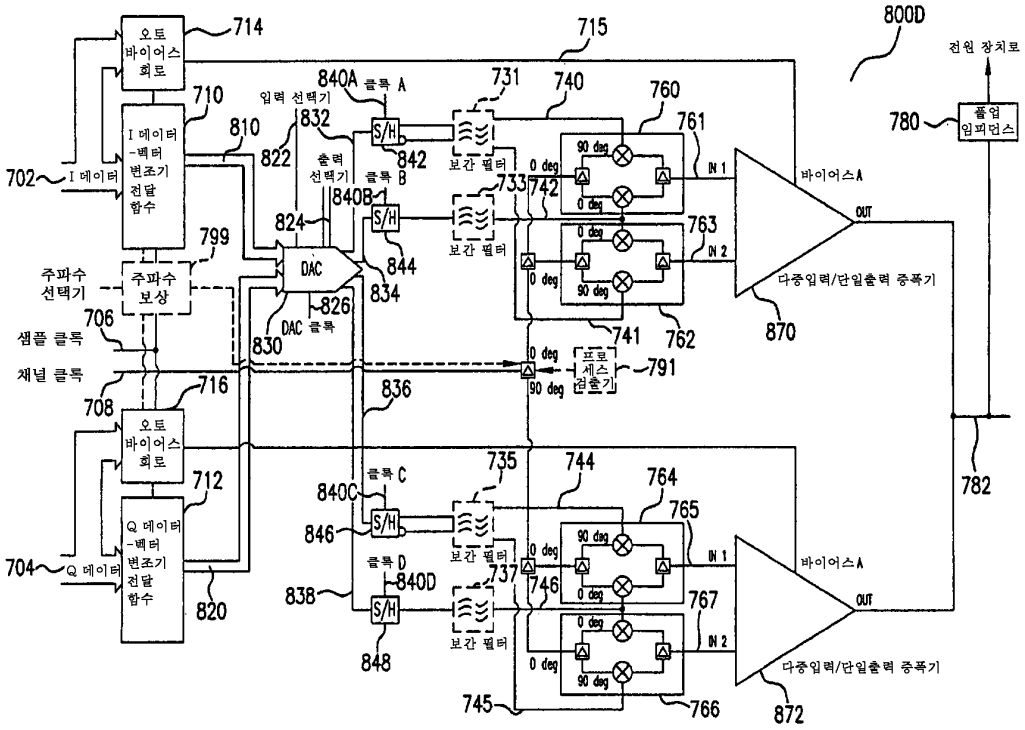
도면8b


800B
714
715
오토 바이어스 회로
710
I 데이터 -벡터 변조기 전달 함수
I 데이터
702
입력 선택기
832
810
822
840A
클록 A
731
740
760
792
전원 장치로
780
풀업 임피던스
794
770
PA
구동기
795
772
840B
824
799
주파수 선택기
주파수 보상
DAC
826
834
844
733
742
752
741
762
791
706
샘플 클록
채널 클록
708
716
836
717
782
712
Q 데이터 -벡터 변조기 전달 함수
Q 데이터
704
820
840C
클록 C
735
744
764
793
774
796
759
746
840D
클록 D
737
838
848
797
776
745
766
프로세스 검출기
90 deg
0 deg
보간 필터

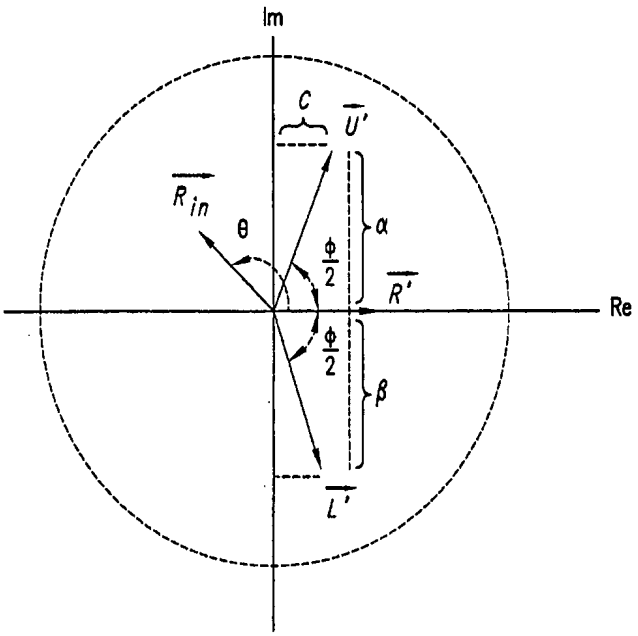
도면8c


800C
714
715
전원 장치로
780
풀업 임피던스
오토 바이어스 회로
710
I 데이터 -벡터 변조기 전달 함수
I 데이터
702
840A
클록 A
850
731
740
760
761
입력 선택기
832
810
822
842
852
733
742
752
763
840B
824
799
주파수 선택기
주파수 보상
DAC
826
834
844
854
741
762
791
706
샘플 클록
채널 클록
708
716
836
750
717
782
712
Q 데이터 -벡터 변조기 전달 함수
Q 데이터
704
820
840C
클록 C
856
735
744
764
765
846
754
840D
클록 D
737
746
838
767
848
858
745
766
862
860
바이어스 A
IN 1
IN 2
OUT
다중입력/단일출력 증폭기
프로세스 검출기
90 deg
0 deg
보간 필터

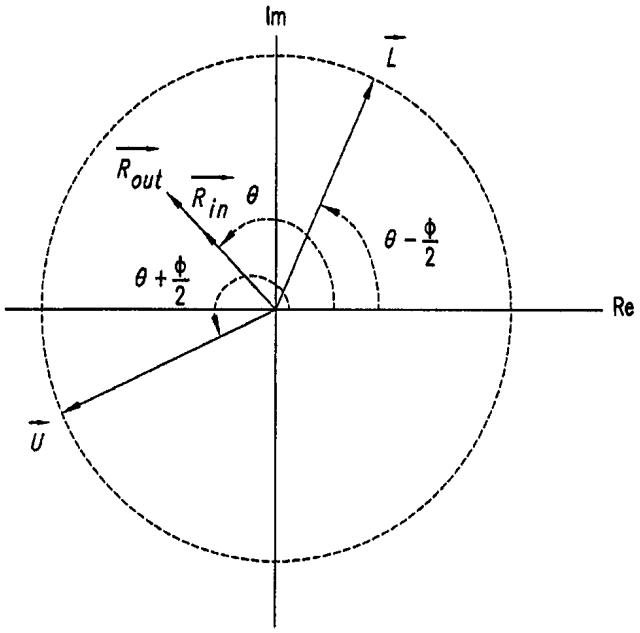
도면8d


800D
전원 장치로
714
715
오토 바이어스 회로
710
I 데이터 -벡터 변조기 전달 함수
I 데이터
702
810
822
832
840A 클록 A
입력 선택기
842
보간 필터
731
740
760
761
733
742
840B 클록 B
출력 선택기
824
844
763
799
주파수 선택기
주파수 보상
DAC
834
826
DAC 클록
830
706
샘플 클록
채널 클록
708
716
836
741
762
프로세스 검출기
791
780
풀업 임피던스
바이어스A
다중입력/단일출력 증폭기
870
782
712
Q 데이터 -벡터 변조기 전달 함수
Q 데이터
704
820
840C 클록 C
846
735
744
764
765
840D 클록 D
838
848
737
746
767
745
766
872

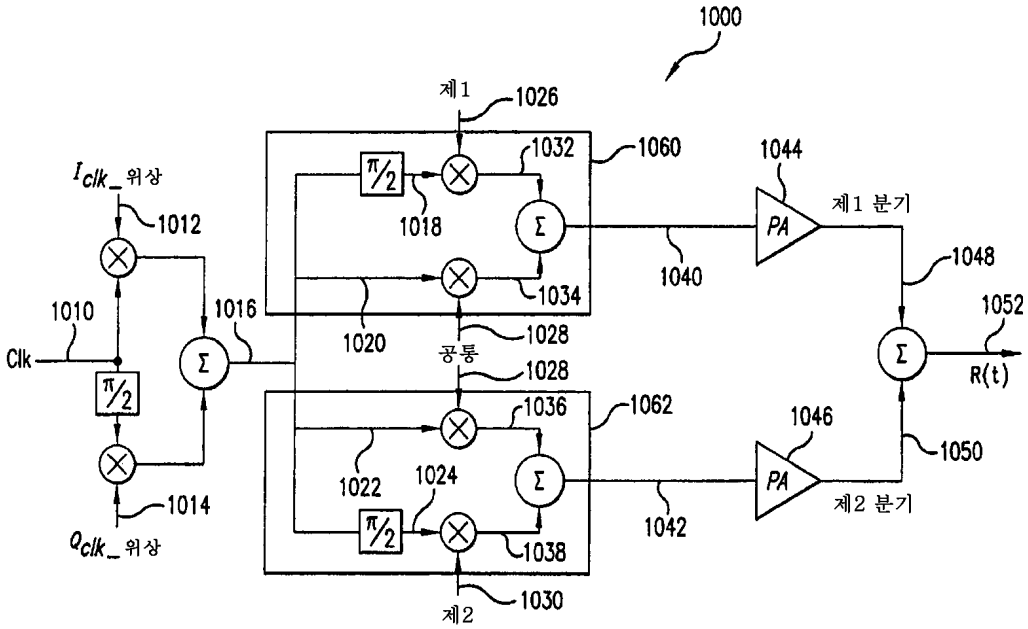
도면9a


Im
Re
C
U'
R in
θ
α
φ/2
R'
φ/2
β
L'

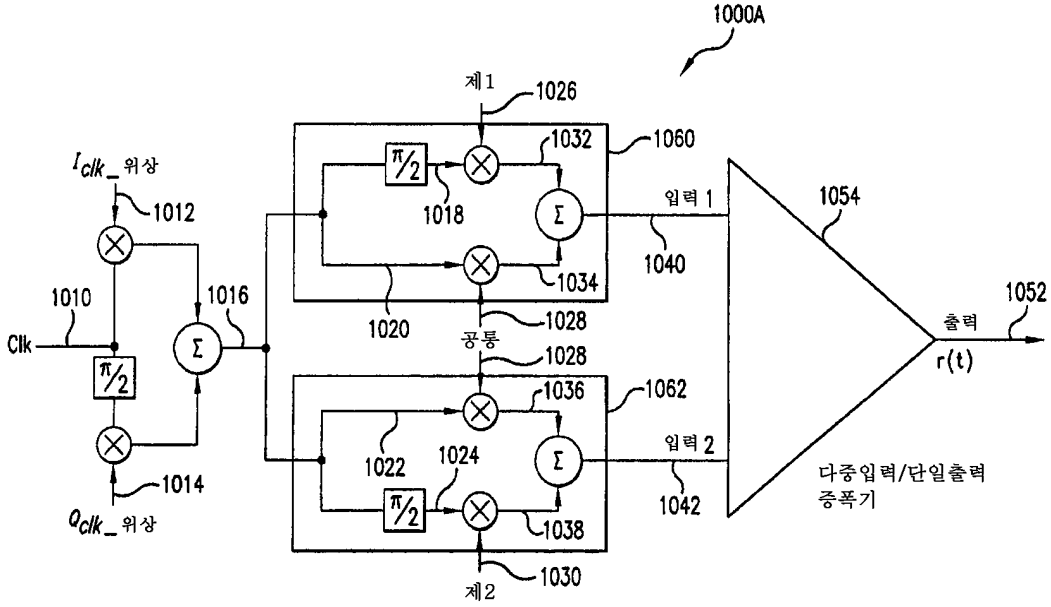
도면9b


Im
Re
$\vec{L}$
$\vec{R}_{out}$
$\vec{R}_{in}$
θ
$\theta - \frac{\phi}{2}$
$\theta + \frac{\phi}{2}$
$\vec{U}$

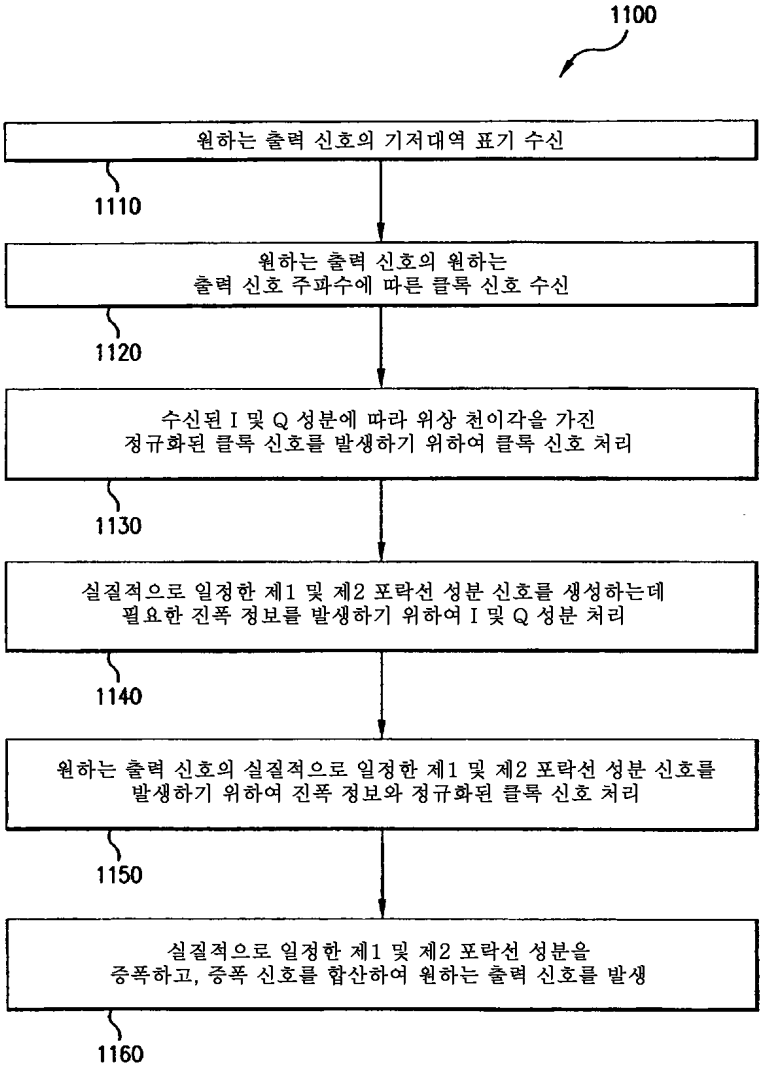
도면10


1000
제1
1026
1032
1060
1044
I_{clk}_위상
1012
π/2
1018
Σ
PA
제1 분기
1048
1040
1034
1010
1016
1020
1028
공통
1052
Clk
Σ
R(t)
π/2
1028
1036
1062
1046
1050
1022
1024
Σ
PA
1042
제2 분기
π/2
1014
1038
Q_{clk}_위상
제2
1030

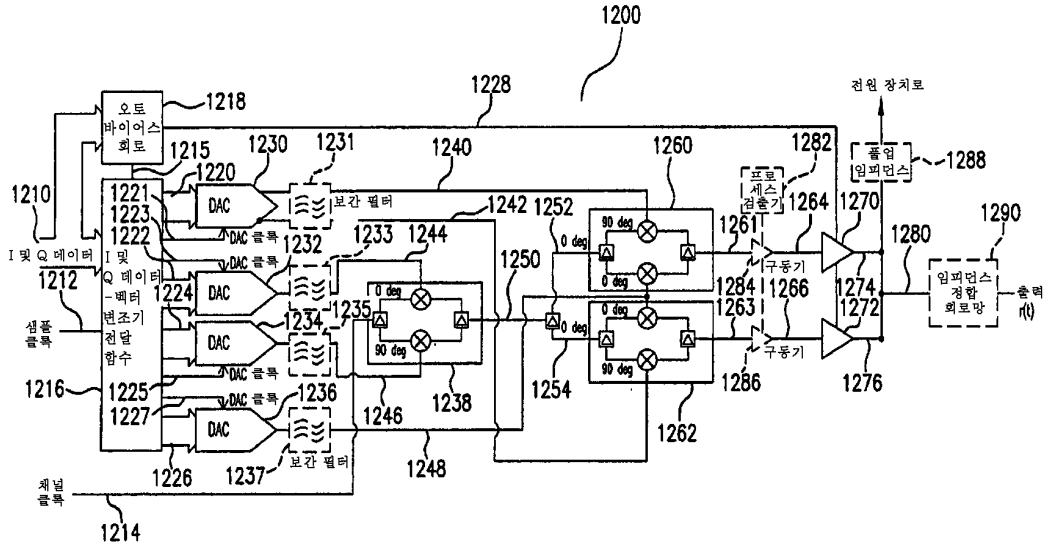
도면10a


1000A
제1
1026
1032
1060
π/2
1018
Σ
입력 1
1040
1054
1034
1012
1010
1016
1020
1028
공통
1028
1052
출력
r(t)
Clk
π/2
Σ
1036
1062
1022
1024
입력 2
1042
다중입력/단일출력
증폭기
1014
1038
제2
1030

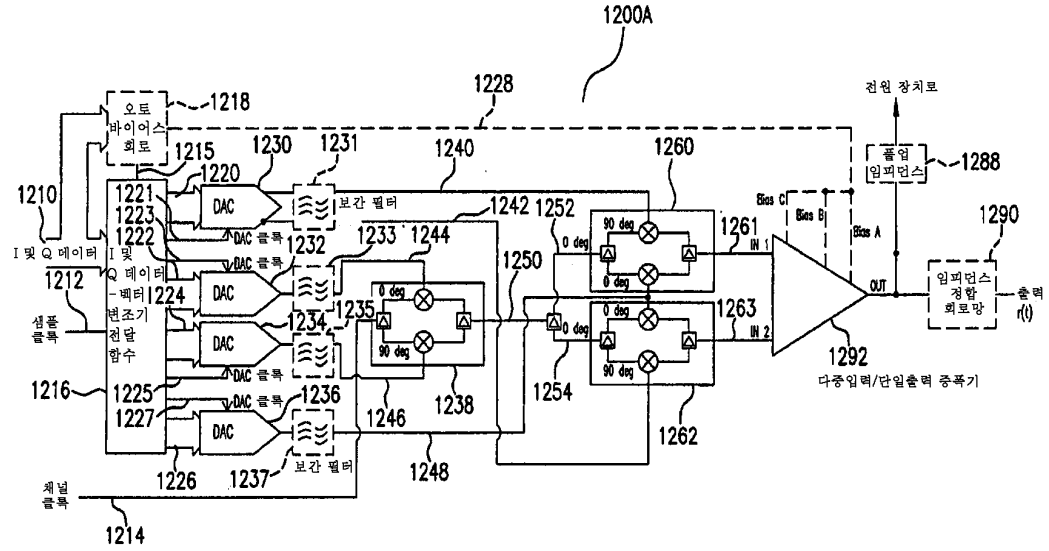
도면11


1100
원하는 출력 신호의 기저대역 표기 수신
1110
원하는 출력 신호의 원하는
출력 신호 주파수에 따른 클록 신호 수신
1120
수신된 I 및 Q 성분에 따라 위상 천이각을 가진
정규화된 클록 신호를 발생하기 위하여 클록 신호 처리
1130
실질적으로 일정한 제1 및 제2 포락선 성분 신호를 생성하는데
필요한 진폭 정보를 발생하기 위하여 I 및 Q 성분 처리
1140
원하는 출력 신호의 실질적으로 일정한 제1 및 제2 포락선 성분 신호를
발생하기 위하여 진폭 정보와 정규화된 클록 신호 처리
1150
실질적으로 일정한 제1 및 제2 포락선 성분을
증폭하고, 증폭 신호를 합산하여 원하는 출력 신호를 발생
1160

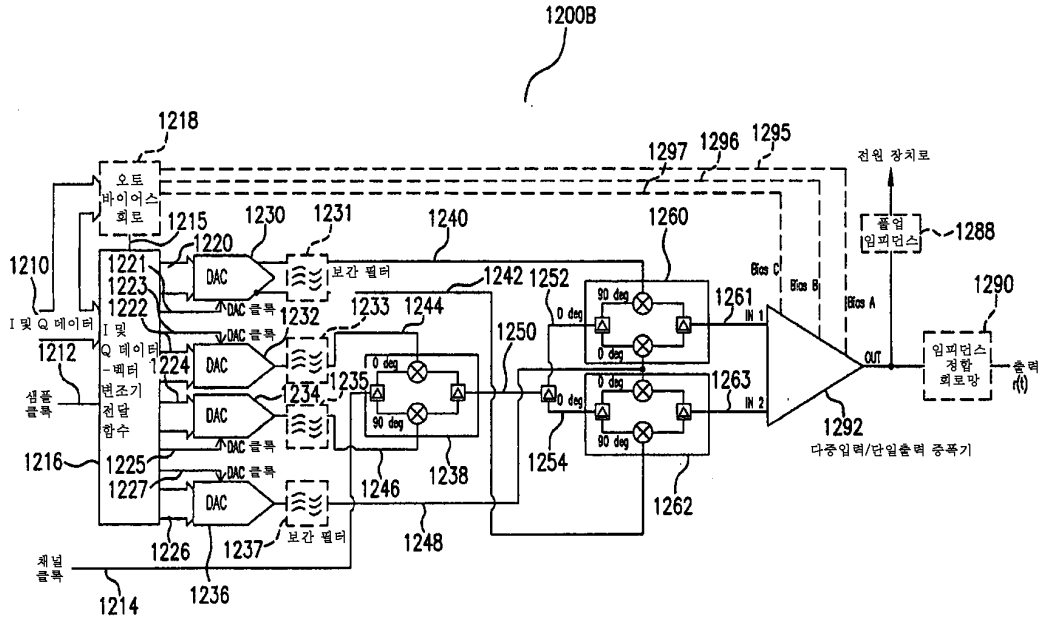
도면12


1200
1228
전원 장치로
오토 바이어스 회로
1218
1215
1230
1231
1240
1260
1282
풀업 임피던스
1288
1210
1220
1221
1223
1222
DAC
보간 필터
1242
1252
프로세스 검출기
1264
1270
1290
I 및 Q 데이터
1212
DAC 클록
1232
1233
1244
1250
1261
1280
샘플 클록
1224
1234
1235
0 deg
90 deg
구동기
1284
1266
1274
임피던스 정합 회로망
출력 r(t)
I 및 Q 데이터 - 벡터 변조기 전달 함수
1263
1272
1216
1225
1227
1236
1246
1238
1254
1262
1286
1276
1226
1237
1248
채널 클록
1214

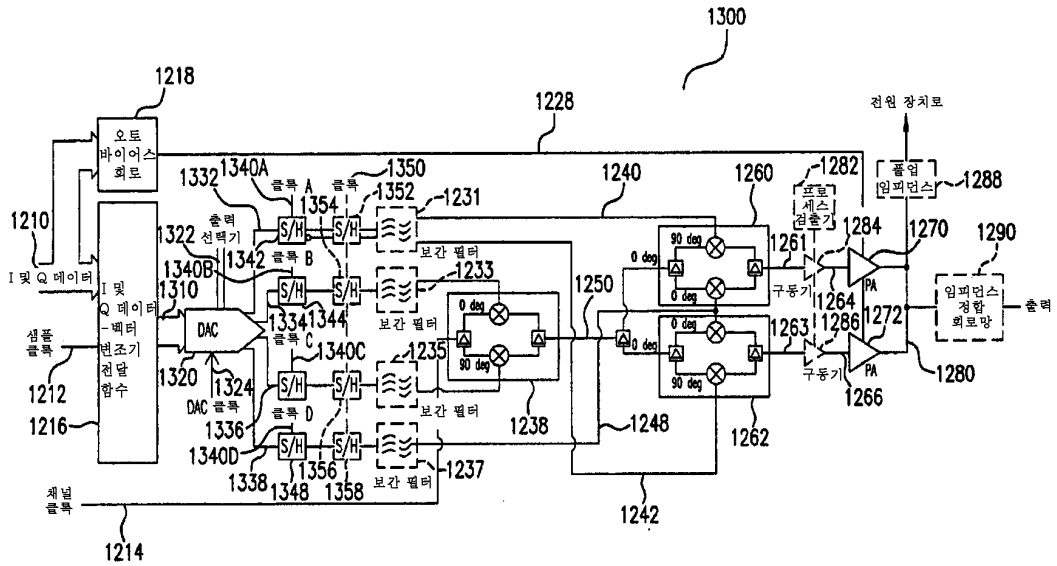
도면12a


1200A
1228
전원 장치로
오토 바이어스 회로
1218
1215
1230
1231
1240
1260
풀업 임피던스
1288
1210
1220
1221
1223
1222
DAC
보간 필터
1242
1252
Bias C
Bias B
Bias A
1261
1290
I 및 Q 데이터
1212
DAC 클록
1232
1233
1244
1250
IN 1
샘플 클록
1224
1234
1235
0 deg
90 deg
1263
OUT
임피던스 정합 회로망
출력 r(t)
I 및 Q 데이터 - 벡터 변조기 전달 함수
IN 2
1216
1225
1227
1236
1246
1238
1254
1262
1292
다중입력/단일출력 증폭기
1226
1237
1248
채널 클록
1214

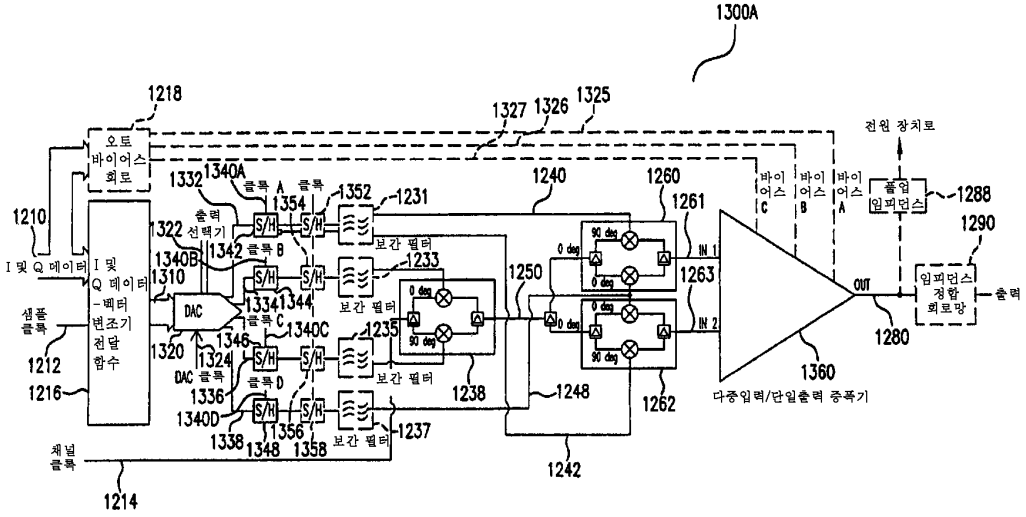
도면12b


1200B
1218
오토 바이어스 회로
1297
1296
1295
전원 장치로
1215
1230
1231
1240
1260
1220
1210
1221
1223
1222
I 및 Q 데이터
DAC
보간 필터
1242
1252
90 deg
0 deg
1261
IN 1
Bias C
Bias B
Bias A
1288
풀업 임피던스
1290
1232
1233
1244
DAC 클록
1212
1224
1250
OUT
임피던스 정합 회로망
출력
샘플 클록
1234
1235
1263
IN 2
1216
1225
1227
1246
1238
1254
1262
1292
다중입력/단일출력 증폭기
1226
1237
1248
채널 클록
1214
1236

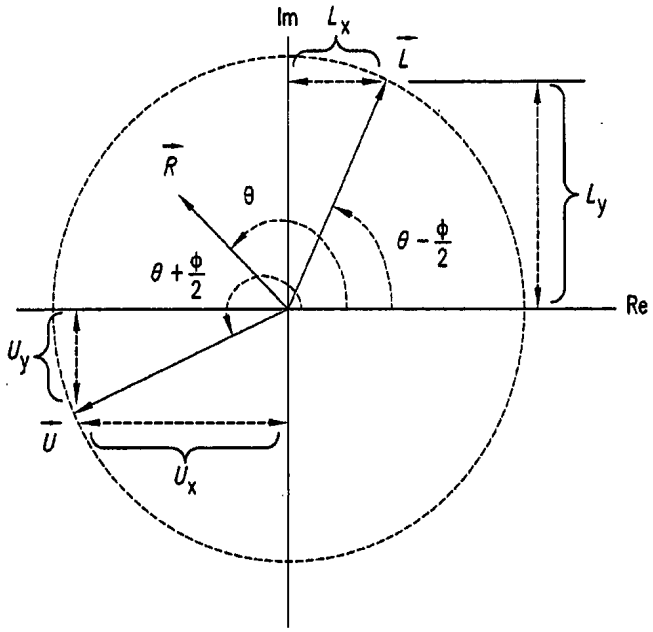
도면13


1300
1218
1228
전원 장치로
오토 바이어스 회로
1340A
클록 A
1350
1332
1352
1231
1240
1260
1282
프로세스 검출기
1288
풀업 임피던스
1354
1210
출력 선택기
1322
1342
클록 B
보간 필터
1284
1270
1290
I 및 Q 데이터
1340B
1310
1233
1250
구동기
1261
1264
PA
임피던스 정합 회로망
출력
I 및 Q 데이터 -벡터 변조기 전달 함수
1334
클록 C
1344
1340C
1235
1263
1286
1272
샘플 클록
1212
1320
1324
DAC 클록
1216
클록 D
1336
1238
1248
1262
1280
1266
1340D
1338
1356
1348
1358
1237
1242
채널 클록
1214

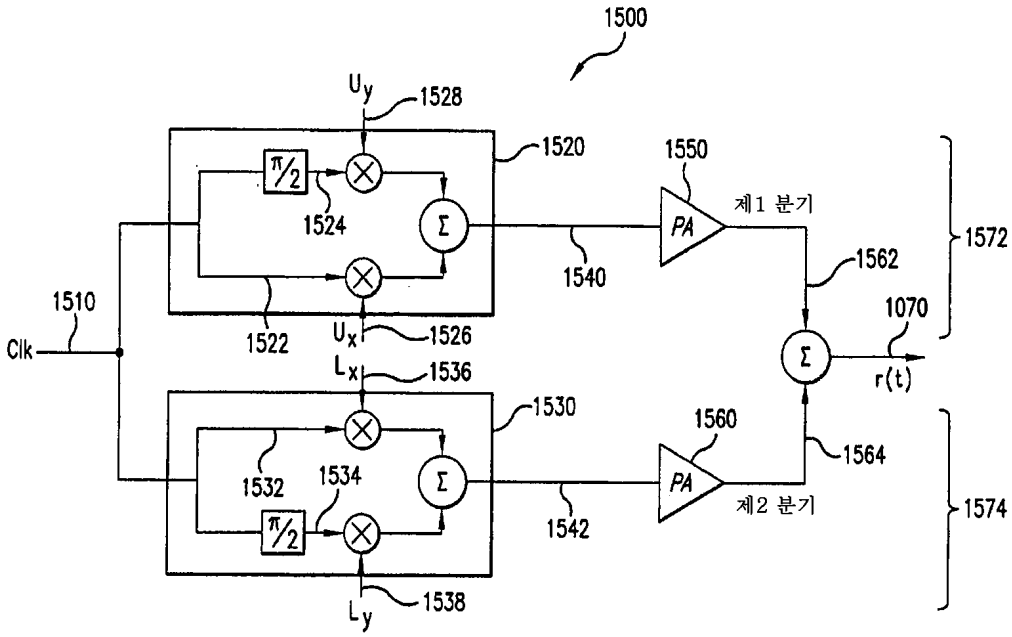
도면13a


1300A
1218
오토 바이어스 회로
1327 1326 1325
전원 장치로
1210
I 및 Q 데이터
I 및 Q 데이터 -벡터 변조기 전달 함수
1212
샘플 클록
1216
1214
채널 클록
1322
출력 선택기
1332
1340A
클록 A
1354
1352
1231
보간 필터
1240
1260
1261
바이어스 C
바이어스 B
바이어스 A
풀업 임피던스
1288
1290
1340B
클록 B
1342
1310
DAC
1334
1344
1233
1250
1263
IN 1
IN 2
OUT
임피던스 정합 회로망
출력
1280
1320
1340C
클록 C
1346
1324
1235
1238
1248
1262
DAC 클록
1336
클록 D
1340D
1338
1348
1356
1358
1237
1242
1360
다중입력/단일출력 증폭기
0 deg
90 deg

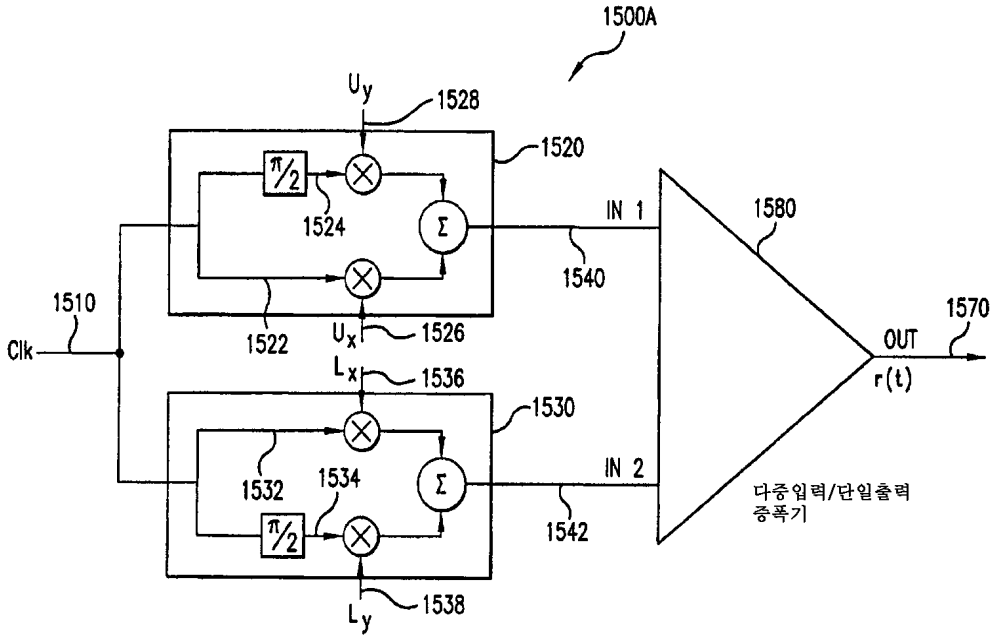
도면14


Im
L_x
$\bar{L}$
$\bar{R}$
θ
$\theta + \frac{\phi}{2}$
$\theta - \frac{\phi}{2}$
L_y
Re
U_y
$\bar{U}$
U_x

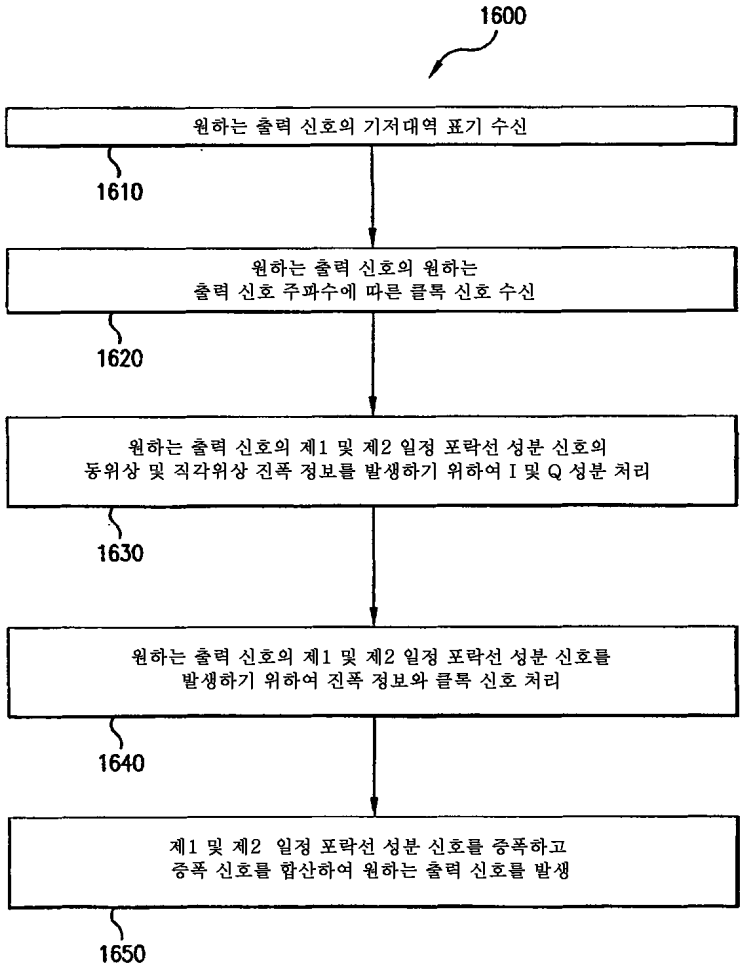
도면15


1500
Uy
1528
1520
1550
π/2
1524
Σ
PA
제1 분기
1572
1540
1562
1510
Clk
1522
Ux
1526
1070
Σ
r(t)
Lx
1536
1530
1560
1532
1534
Σ
PA
1564
π/2
1542
제2 분기
1574
Ly
1538

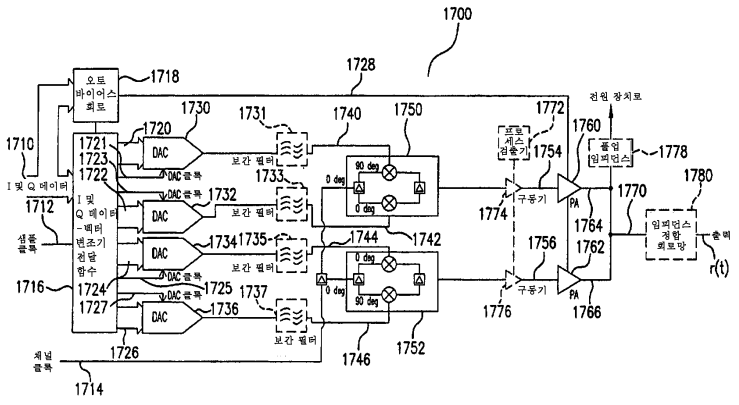
도면15a


1500A
Uy
1528
1520
π/2
1524
Σ
IN 1
1580
1540
1570
1510
Clk
1522
Ux
1526
OUT
r(t)
Lx
1536
1530
1532
1534
Σ
IN 2
π/2
다중입력/단일출력
증폭기
1542
Ly
1538

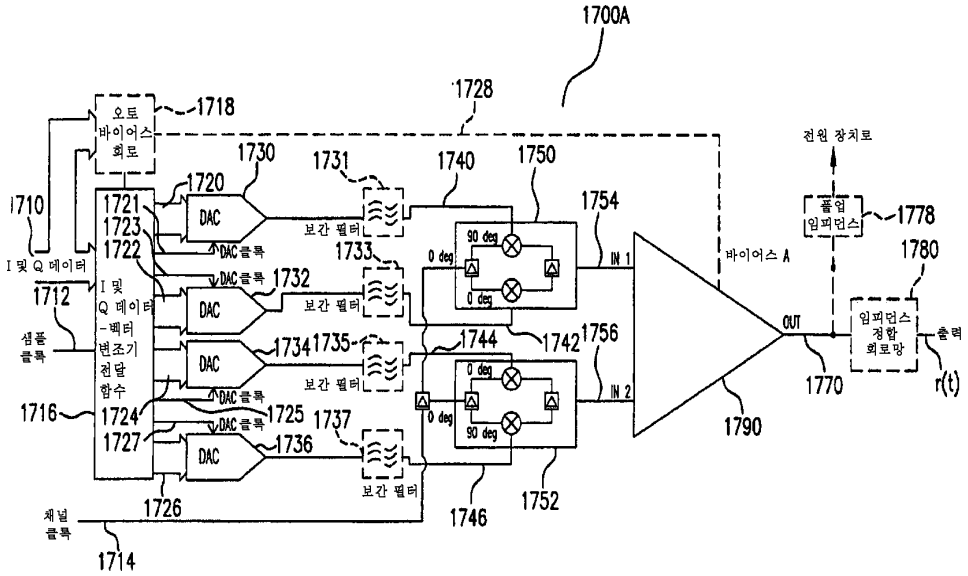
도면16


1600
원하는 출력 신호의 기저대역 표기 수신
1610
원하는 출력 신호의 원하는
출력 신호 주파수에 따른 클록 신호 수신
1620
원하는 출력 신호의 제1 및 제2 일정 포락선 성분 신호의
동위상 및 직각위상 진폭 정보를 발생하기 위하여 I 및 Q 성분 처리
1630
원하는 출력 신호의 제1 및 제2 일정 포락선 성분 신호를
발생하기 위하여 진폭 정보와 클록 신호 처리
1640
제1 및 제2 일정 포락선 성분 신호를 증폭하고
증폭 신호를 합산하여 원하는 출력 신호를 발생
1650

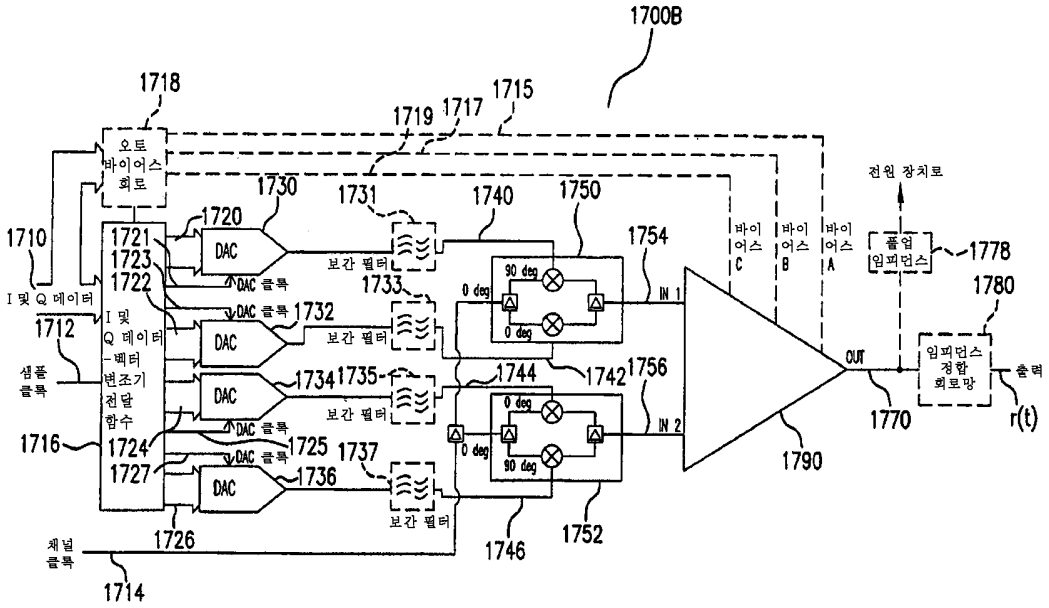
도면17


1700
1728
1718
1730
1731
1740
1750
1772
1760
1778
1780
1710
1712
1720
1721
1723
1722
1733
1732
1734
1735
1744
1742
1754
1774
1770
1764
1762
1756
1716
1724
1727
1725
1737
1736
1726
1714
1746
1752
1776
1766
DAC
구동기
PA
r(t)

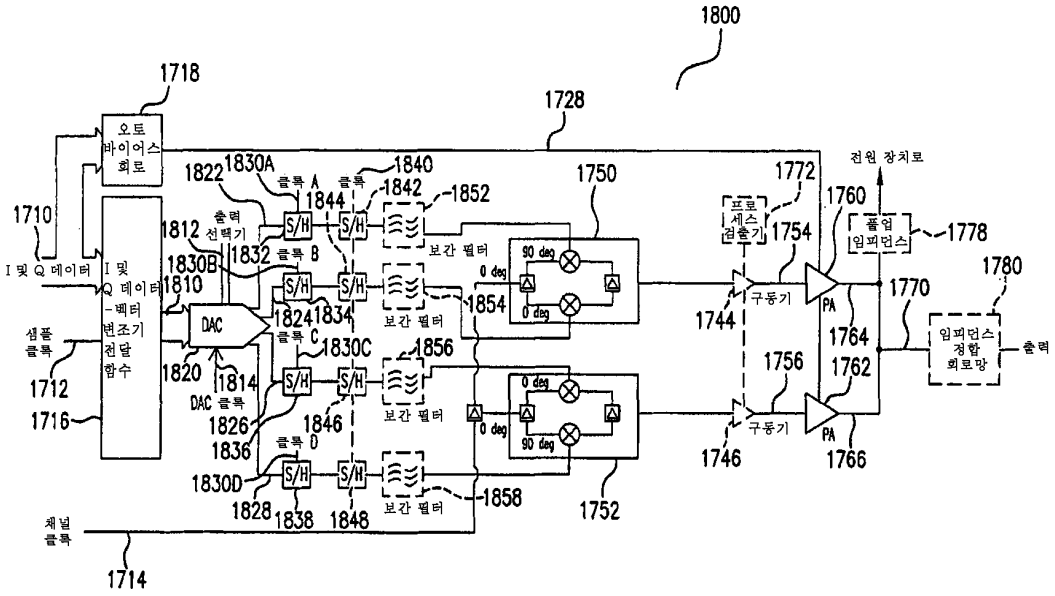
도면17a


1700A
1728
오토 바이어스 회로
1718
1730
1731
1740
1750
1720
1754
전원 장치로
풀업 임피던스
1778
1780
1710
1721
1723
1722
DAC
보간 필터
DAC 클록
1733
0 deg
90 deg
IN 1
바이어스 A
I 및 Q 데이터
1712
I 및 Q 데이터 -벡터 변조기 전달 함수
1732
1734
1735
1744
1742
1756
샘플 클록
OUT
임피던스 정합 회로망
출력
r(t)
1716
1724
1725
1737
1727
1736
IN 2
1790
1770
1726
1746
1752
채널 클록
1714

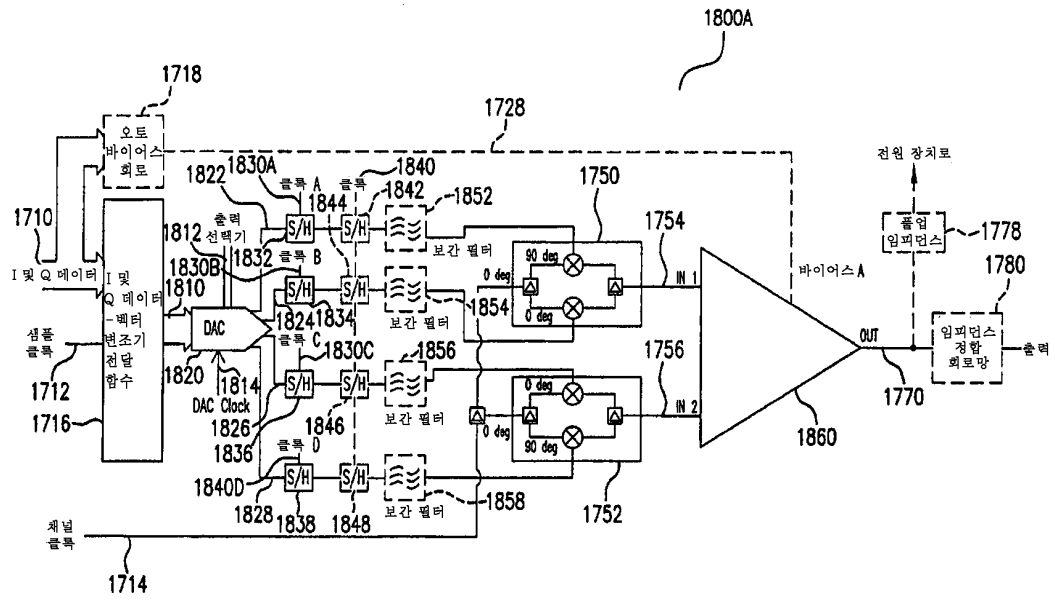
도면17b


1700B
1718
1719
1717
1715
오토 바이어스 회로
1730
1731
1740
1750
1720
1754
바이어스 C
바이어스 B
바이어스 A
전원 장치로
풀업 임피던스
1778
1780
1710
1721
1723
1722
DAC
보간 필터
DAC 클록
1733
0 deg
90 deg
IN 1
I 및 Q 데이터
1712
I 및 Q 데이터 -벡터 변조기 전달 함수
1732
1734
1735
1744
1742
1756
샘플 클록
OUT
임피던스 정합 회로망
출력
r(t)
1716
1724
1725
1737
1727
1736
IN 2
1790
1770
1726
1746
1752
채널 클록
1714

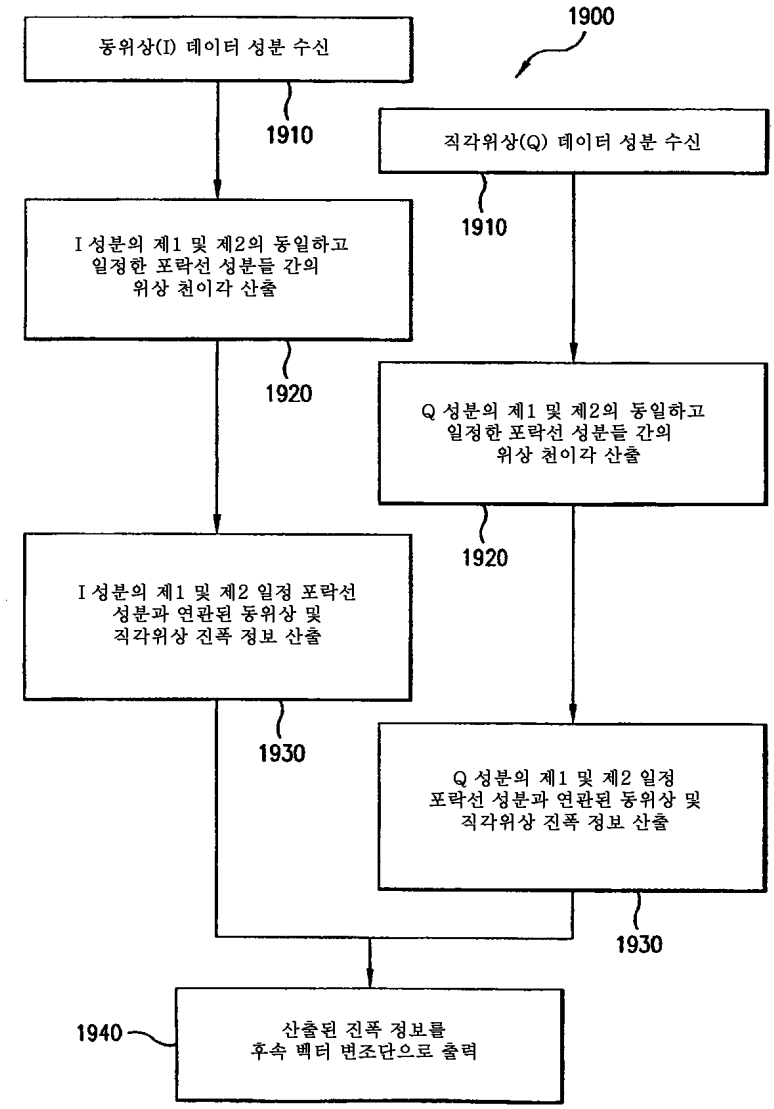
도면18


1800
1718
1728
오토 바이어스 회로
1710
I 및 Q 데이터
I 및 Q 데이터 -벡터 변조기 전달 함수
샘플 클록
1712
1716
1714
채널 클록
DAC
DAC 클록
1820
1814
1822
1830A
1844
1840
1842
1852
1812
출력 선택기
1832
1830B
1810
1824
1834
1830C
1856
1826
1846
1836
1830D
1828
1838
1848
1858
보간 필터
S/H
클록 A
클록 B
클록 C
클록 D
1750
90 deg
0 deg
1854
1752
1772
프로세스 검출기
1754
1744
구동기
1760
전원 장치로
풀업 임피던스
1778
1780
1770
PA
1764
1762
1756
1746
1766
임피던스 정합 회로망
출력

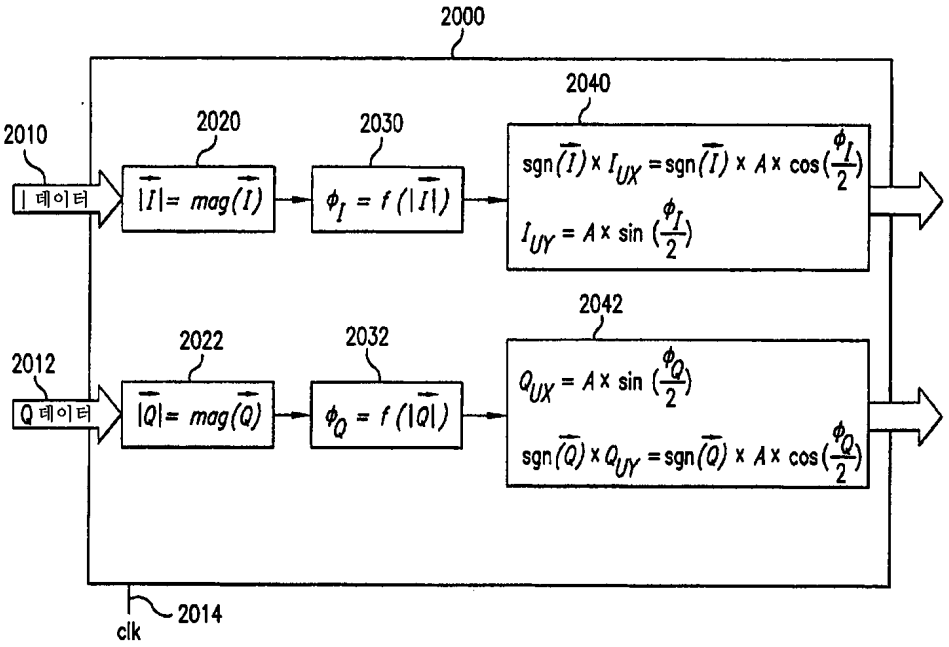
도면18a


1800A
1718
1728
오토 바이어스 회로
1710
I 및 Q 데이터
I 및 Q 데이터 -벡터 변조기 전달 함수
샘플 클록
1712
1716
1714
채널 클록
DAC
DAC Clock
1820
1814
1822
1830A
1844
1840
1842
1852
1812
출력 선택기
1832
1830B
1810
1824
1834
1830C
1856
1826
1846
1836
1840D
1828
1838
1848
1858
보간 필터
S/H
클록 A
클록 B
클록 C
클록 D
1750
90 deg
0 deg
1854
1752
1754
IN 1
IN 2
바이어스 A
1860
OUT
1756
1770
전원 장치로
풀업 임피던스
1778
1780
임피던스 정합 회로망
출력

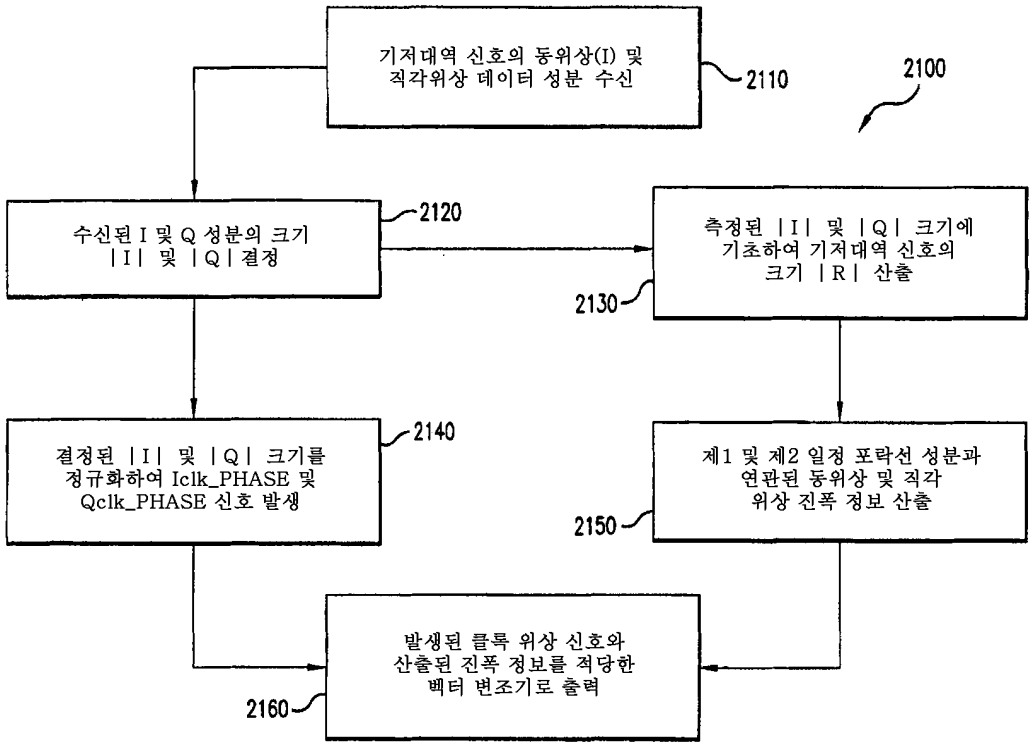
도면19


1900
동위상(I) 데이터 성분 수신
1910
직각위상(Q) 데이터 성분 수신
1910
I 성분의 제1 및 제2의 동일하고 일정한 포락선 성분들 간의 위상 천이각 산출
1920
Q 성분의 제1 및 제2의 동일하고 일정한 포락선 성분들 간의 위상 천이각 산출
1920
I 성분의 제1 및 제2 일정 포락선 성분과 연관된 동위상 및 직각위상 진폭 정보 산출
1930
Q 성분의 제1 및 제2 일정 포락선 성분과 연관된 동위상 및 직각위상 진폭 정보 산출
1930
1940
산출된 진폭 정보를 후속 벡터 변조단으로 출력

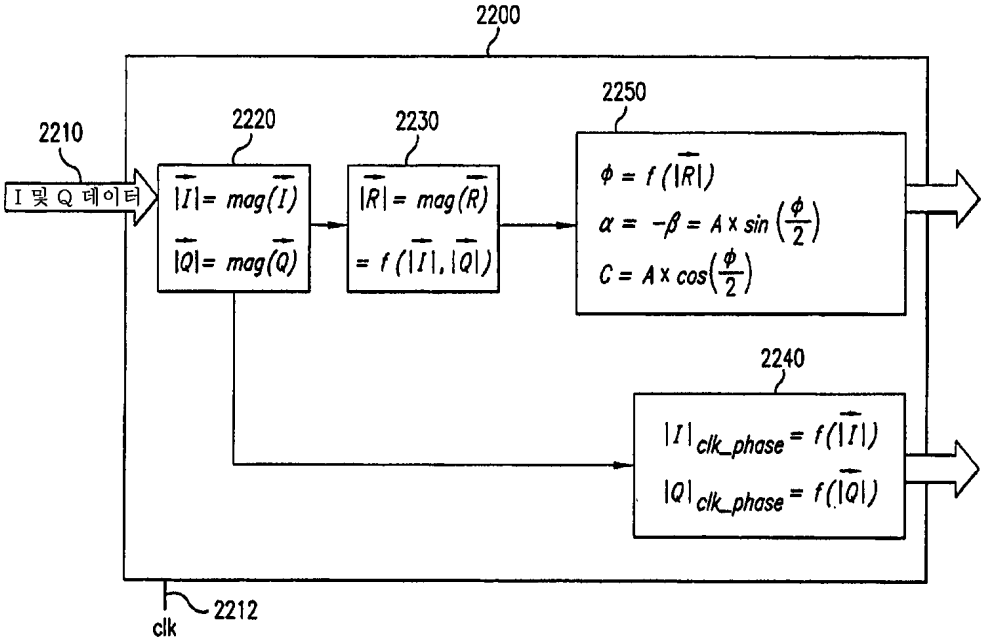
도면20


2000
2040
2010
2020
2030
I 데이터
|Ī|= mag(Ī)
φI = f(|Ī|)
sgn(Ī) x IUX = sgn(Ī) x A x cos(φI/2)
IUY = A x sin(φI/2)
2042
2012
2022
2032
Q 데이터
|Q̄|= mag(Q̄)
φQ = f(|Q̄|)
QUX = A x sin(φQ/2)
sgn(Q̄) x QUY = sgn(Q̄) x A x cos(φQ/2)
2014
clk

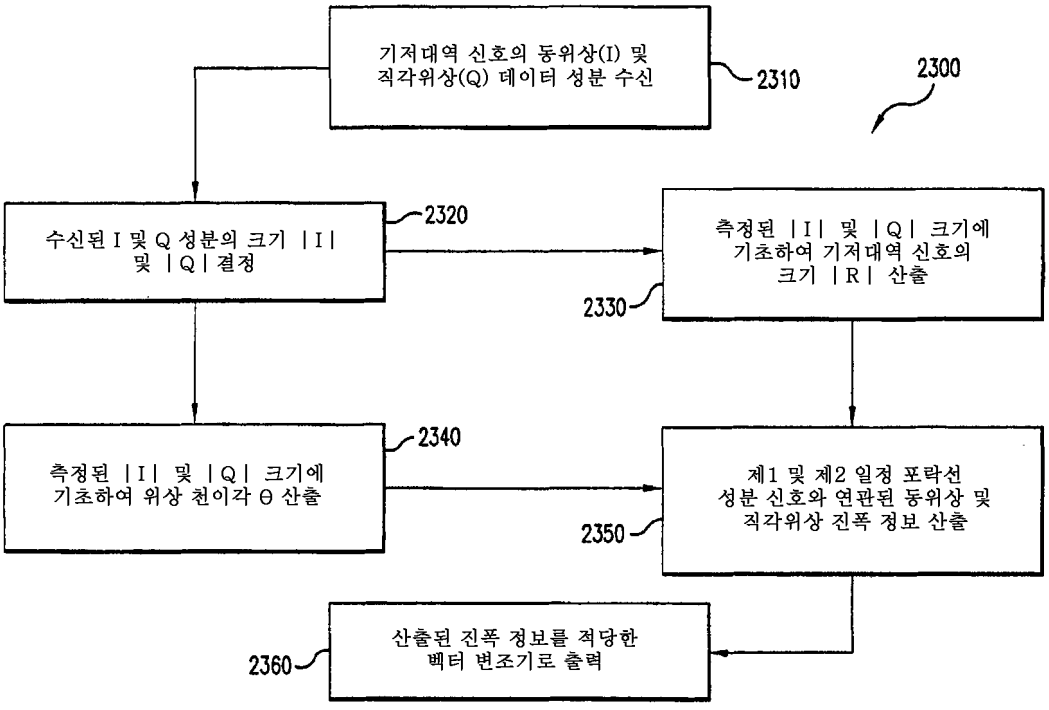
도면21


기저대역 신호의 동위상(I) 및 직각위상 데이터 성분 수신
2110
2100
수신된 I 및 Q 성분의 크기 |I| 및 |Q| 결정
2120
측정된 |I| 및 |Q| 크기에 기초하여 기저대역 신호의 크기 |R| 산출
2130
결정된 |I| 및 |Q| 크기를 정규화하여 Iclk_PHASE 및 Qclk_PHASE 신호 발생
2140
제1 및 제2 일정 포락선 성분과 연관된 동위상 및 직각 위상 진폭 정보 산출
2150
발생된 클록 위상 신호와 산출된 진폭 정보를 적당한 벡터 변조기로 출력
2160

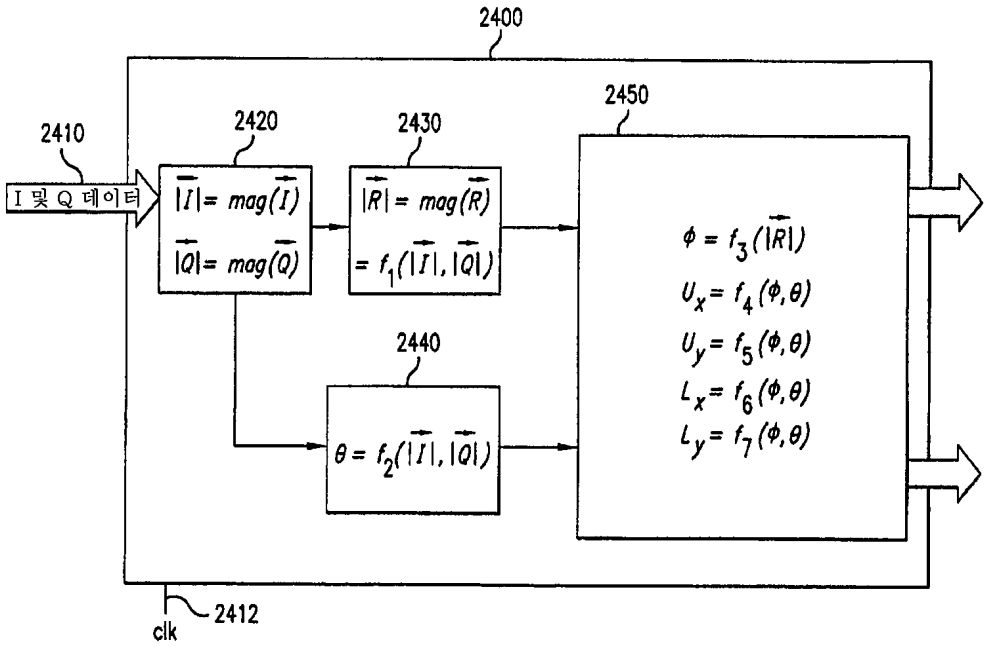
도면22


2200
2210
I 및 Q 데이터
2220
|Ī| = mag(I)
|Q̄| = mag(Q)
2230
|R̄| = mag(R)
= f(|Ī|, |Q̄|)
2250
φ = f(|R̄|)
α = −β = A x sin(φ/2)
C = A x cos(φ/2)
2240
|I|clk_phase = f(|Ī|)
|Q|clk_phase = f(|Q̄|)
2212
clk

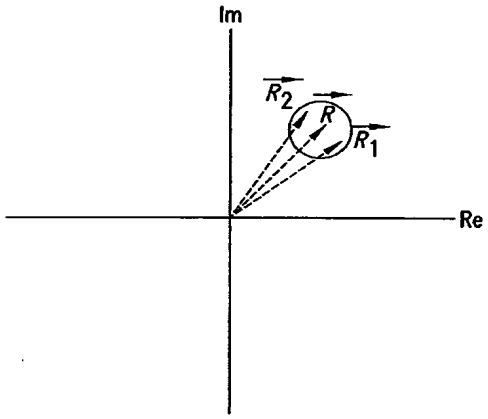
도면23


기저대역 신호의 동위상(I) 및 직각위상(Q) 데이터 성분 수신
2310
2300
수신된 I 및 Q 성분의 크기 |I| 및 |Q| 결정
2320
측정된 |I| 및 |Q| 크기에 기초하여 기저대역 신호의 크기 |R| 산출
2330
측정된 |I| 및 |Q| 크기에 기초하여 위상 천이각 θ 산출
2340
제1 및 제2 일정 포락선 성분 신호와 연관된 동위상 및 직각위상 진폭 정보 산출
2350
산출된 진폭 정보를 적당한 벡터 변조기로 출력
2360

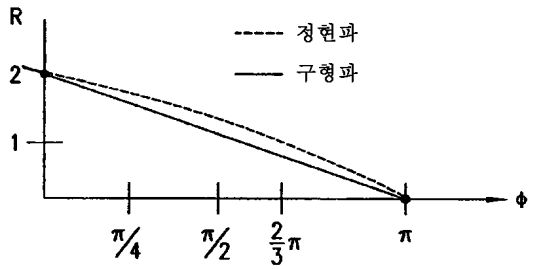
도면24



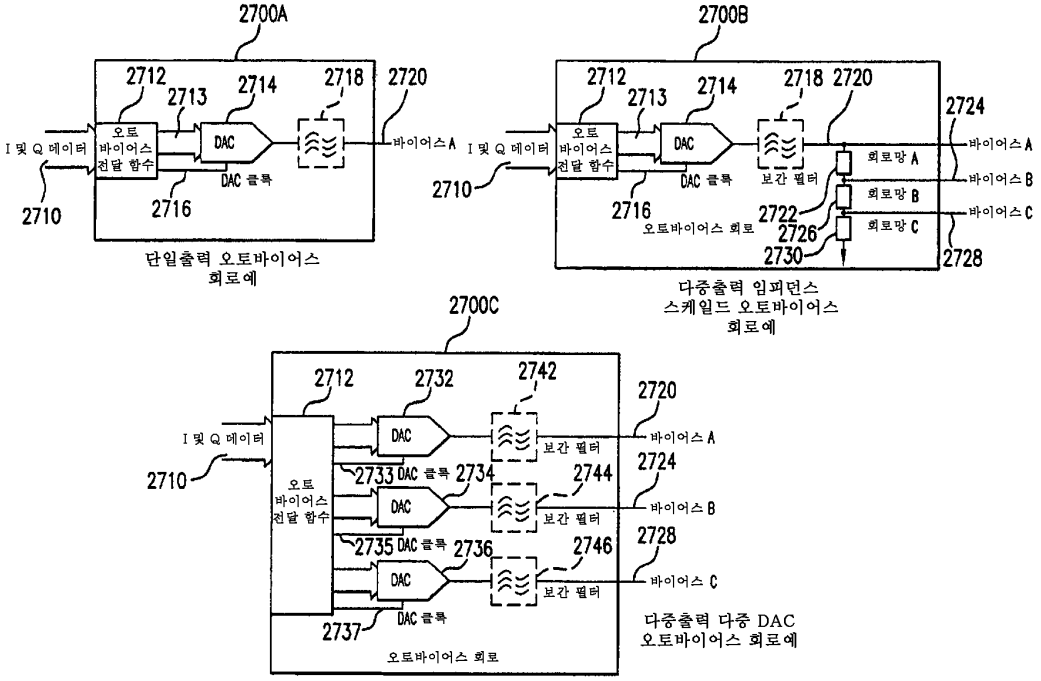
도면25



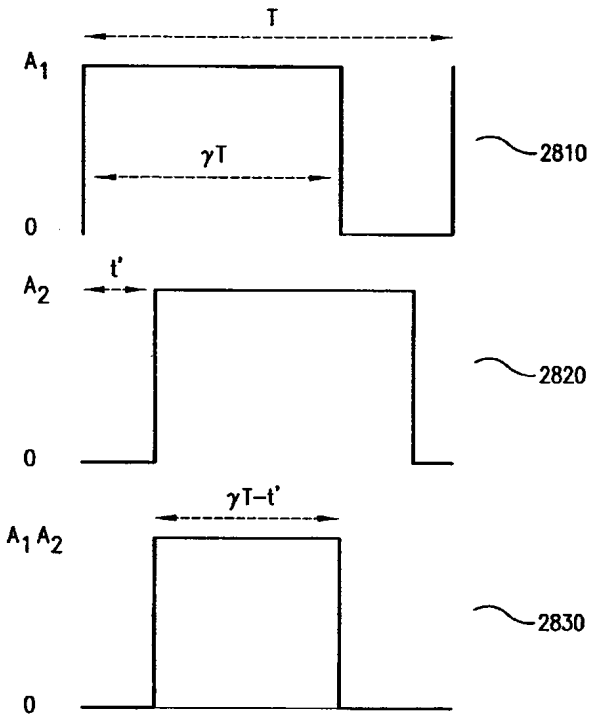
도면26



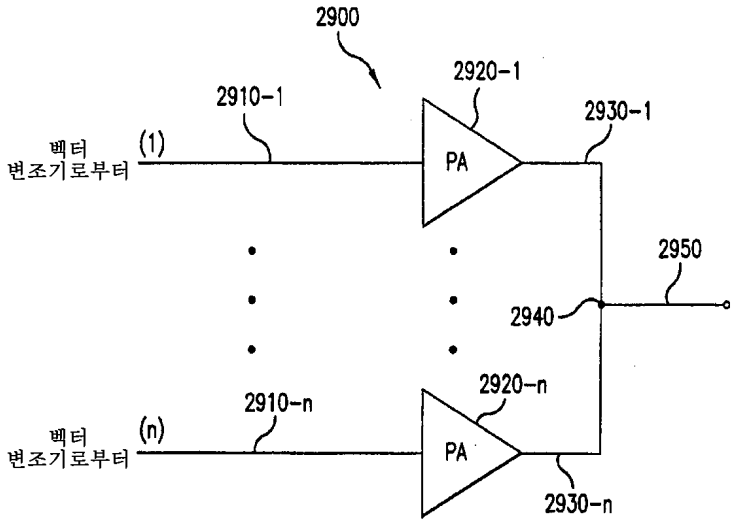
도면27


2700A
2712
2713
2714
2718
2720
I 및 Q 데이터
오토 바이어스 전달 함수
DAC
DAC 클록
바이어스A
2710
2716
단일출력 오토바이어스 회로예
2700B
2724
회로망 A
회로망 B
회로망 C
보간 필터
오토바이어스 회로
2722
2726
2730
2728
바이어스A
바이어스B
바이어스C
다중출력 임피던스 스케일드 오토바이어스 회로예
2700C
2732
2742
2733
2734
2744
2735
2736
2746
2737
다중출력 다중 DAC 오토바이어스 회로예

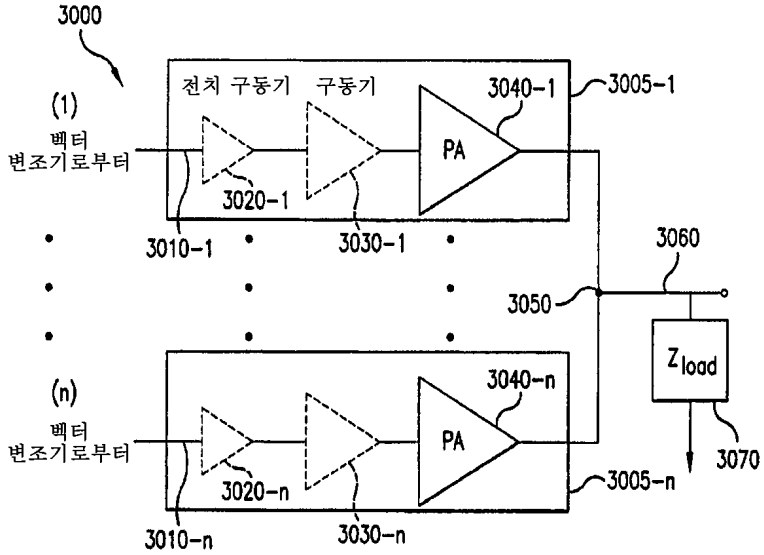
도면28


T
A1
γT
0
2810
t'
A2
2820
γT−t'
A1 A2
2830

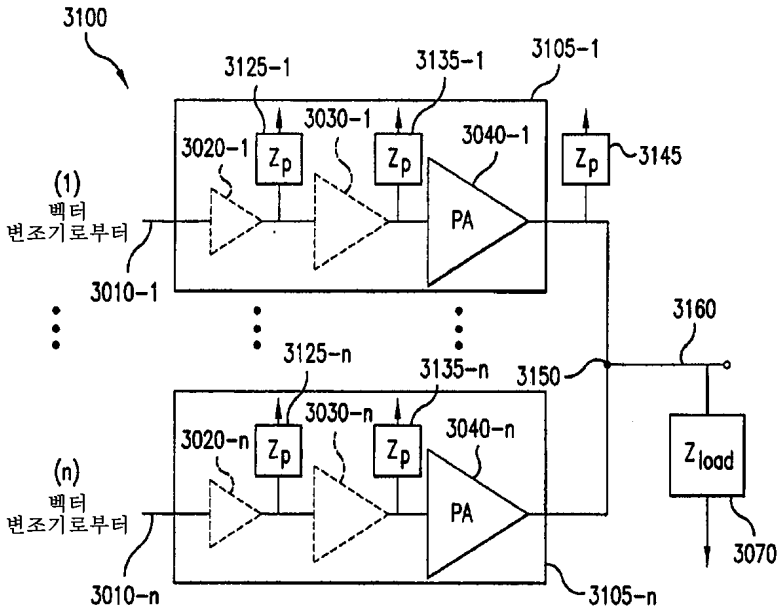
도면29


2900
2910-1
2920-1
2930-1
(1)
벡터
변조기로부터
PA
2950
2940
2910-n
2920-n
(n)
벡터
변조기로부터
PA
2930-n

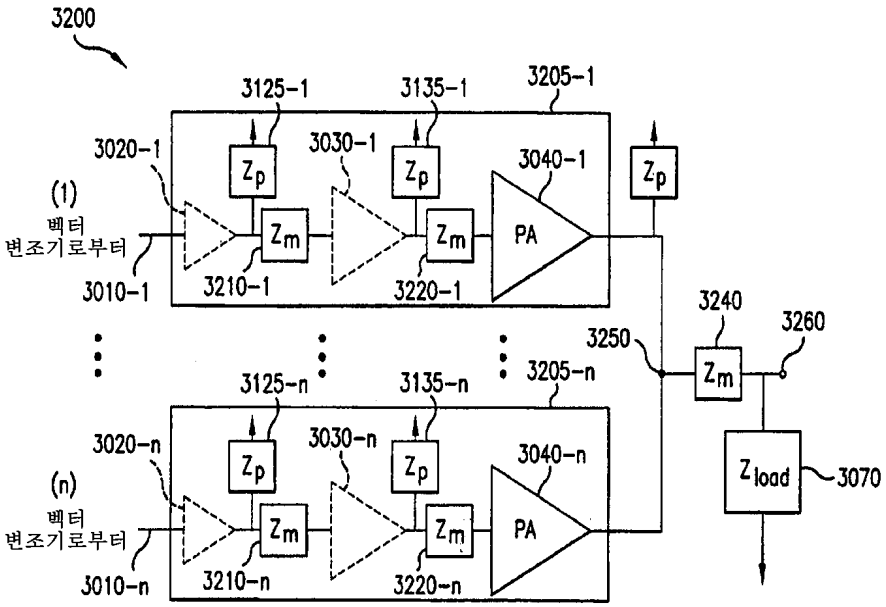
도면30


3000
전치 구동기
구동기
3040-1
3005-1
(1)
벡터
변조기로부터
PA
3020-1
3010-1
3030-1
3060
3050
Z_{load}
3040-n
(n)
벡터
변조기로부터
PA
3020-n
3005-n
3070
3010-n
3030-n

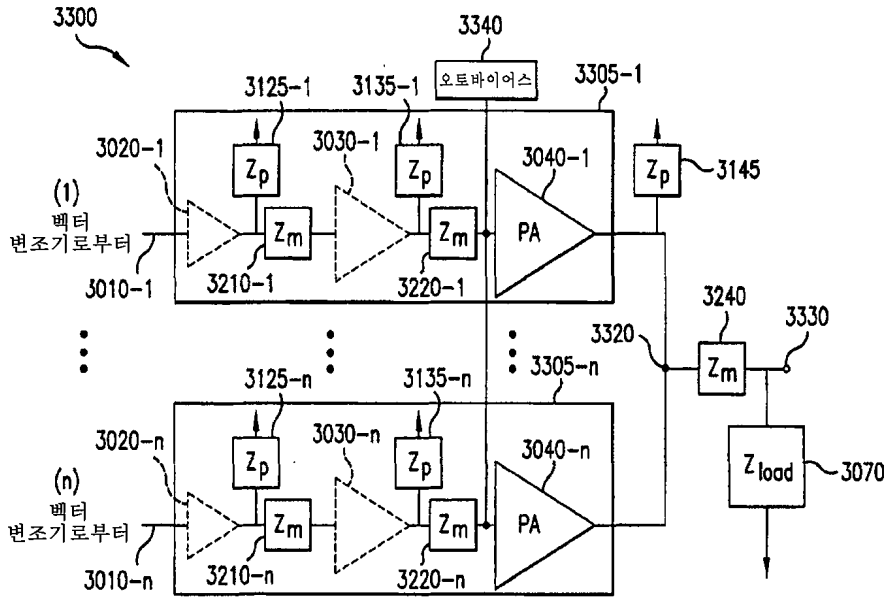
도면31


3100
3125-1
3135-1
3105-1
3030-1
3020-1
3040-1
3145
(1)
벡터
변조기로부터
3010-1
PA
3160
3125-n
3135-n
3150
3030-n
3020-n
3040-n
(n)
벡터
변조기로부터
3010-n
3070
3105-n

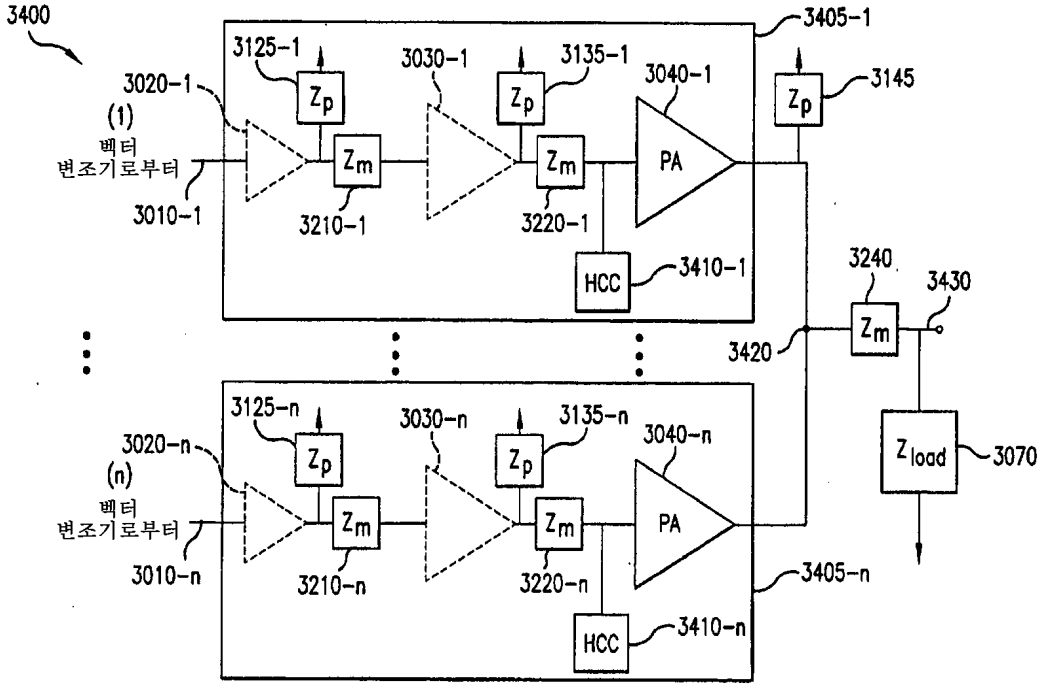
도면32


3200
3125-1
3135-1
3205-1
3020-1
3030-1
3040-1
(1)
벡터
변조기로부터
3010-1
3210-1
3220-1
3240
3260
3250
3125-n
3135-n
3205-n
3020-n
3030-n
3040-n
(n)
벡터
변조기로부터
3010-n
3210-n
3220-n
3070

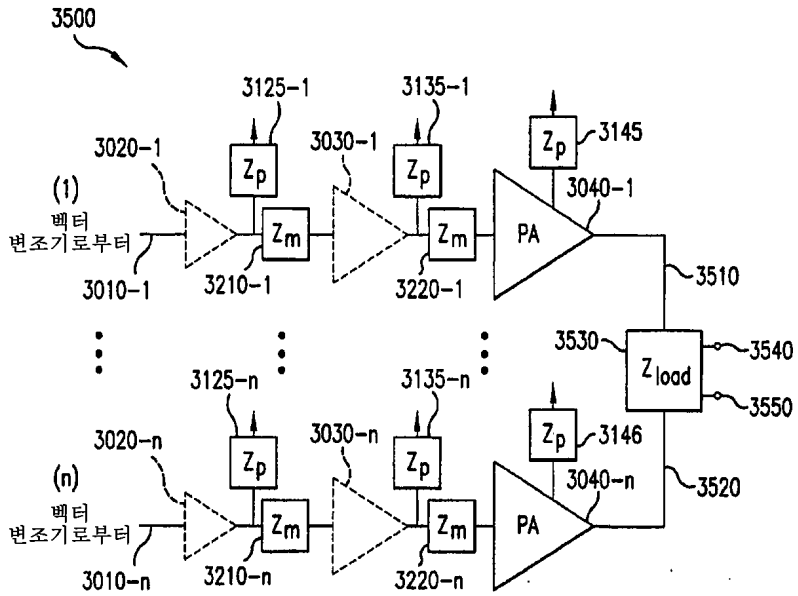
도면33


3300
3340
오토바이어스
3125-1
3135-1
3305-1
3020-1
3030-1
3040-1
3145
(1)
벡터
변조기로부터
3010-1
3210-1
3220-1
PA
3240
3320
3330
3125-n
3135-n
3305-n
3020-n
3030-n
3040-n
(n)
벡터
변조기로부터
3010-n
3210-n
3220-n
Zload
3070

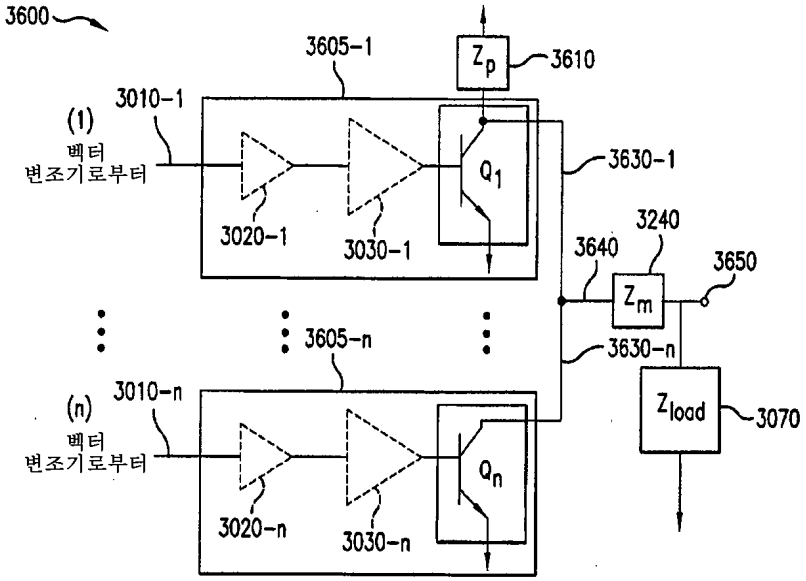
도면34


3400
3405-1
3125-1
3030-1
3135-1
3040-1
3145
3020-1
(1)
벡터
변조기로부터
3010-1
3210-1
3220-1
HCC
3410-1
3240
3430
3420
3125-n
3030-n
3135-n
3040-n
3020-n
(n)
벡터
변조기로부터
3010-n
3210-n
3220-n
3405-n
HCC
3410-n
Zload
3070

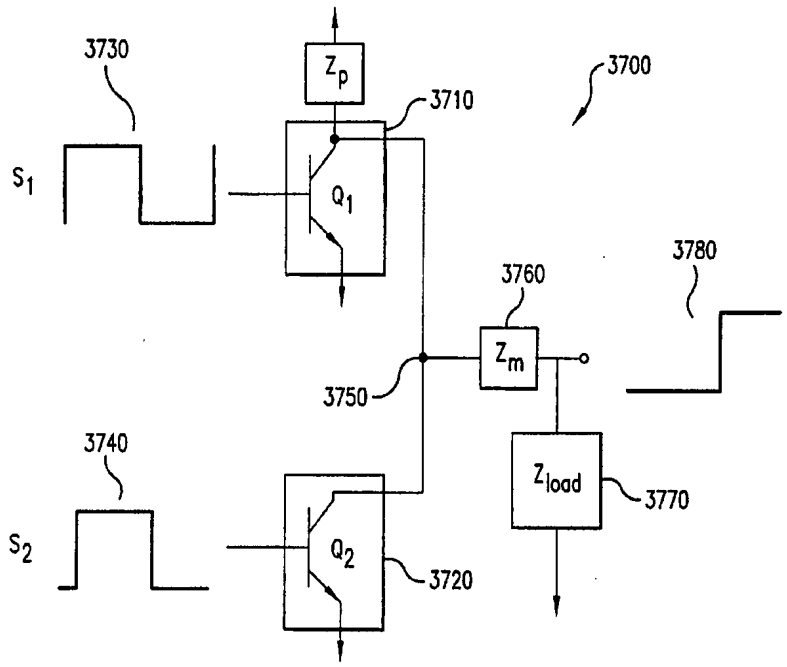
도면35


3500
3125-1
3135-1
3020-1
3030-1
3145
3040-1
(1)
벡터
변조기로부터
3010-1
3210-1
3220-1
3510
3530
3540
3550
3125-n
3135-n
3020-n
3030-n
3146
3040-n
3520
(n)
벡터
변조기로부터
3010-n
3210-n
3220-n
Zp
Zm
PA
Zload

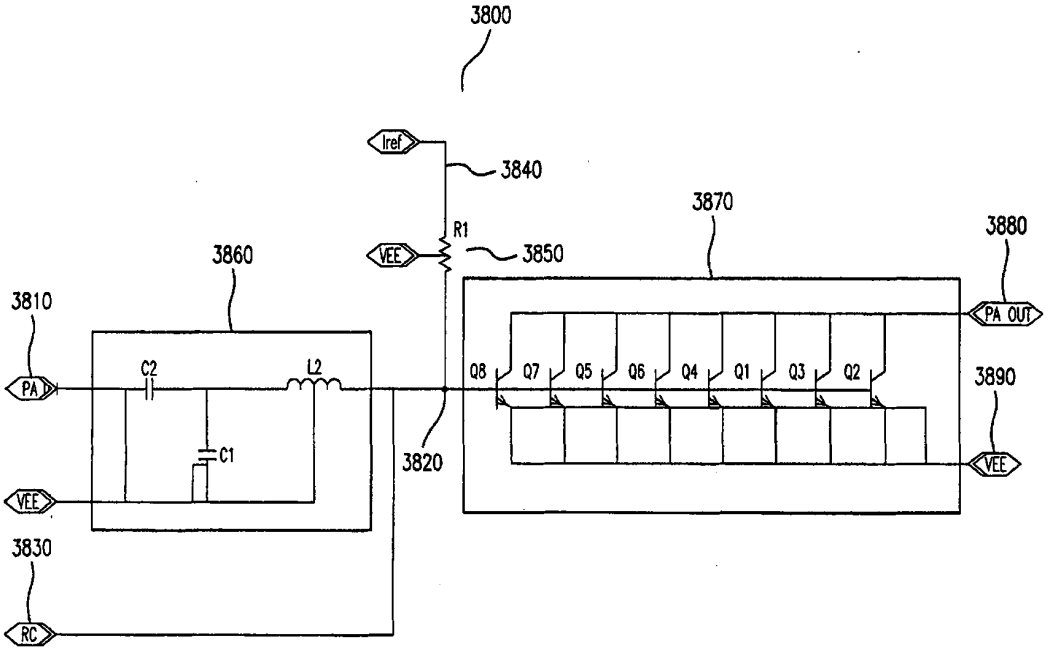
도면36


3600
3605-1
3610
3010-1
(1)
벡터
변조기로부터
3020-1
3030-1
Q1
3630-1
3240
3640
3650
3605-n
3630-n
3010-n
(n)
벡터
변조기로부터
3020-n
3030-n
Qn
3070
Zp
Zm
Zload

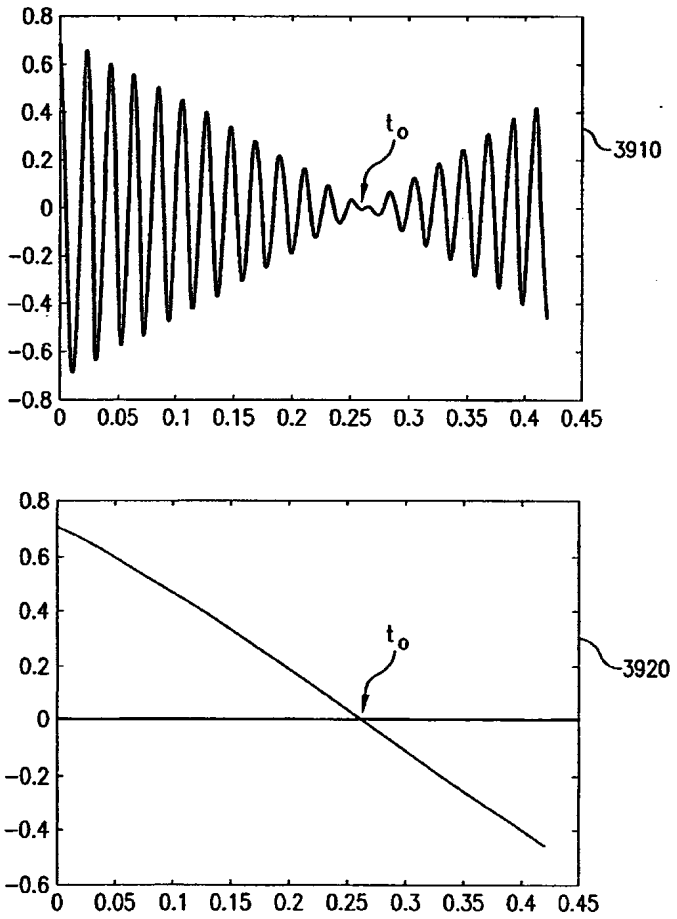
도면37


3730
Z_p
3710
3700
S_1
Q_1
3780
3760
Z_m
3750
3740
Z_{load}
3770
S_2
Q_2
3720

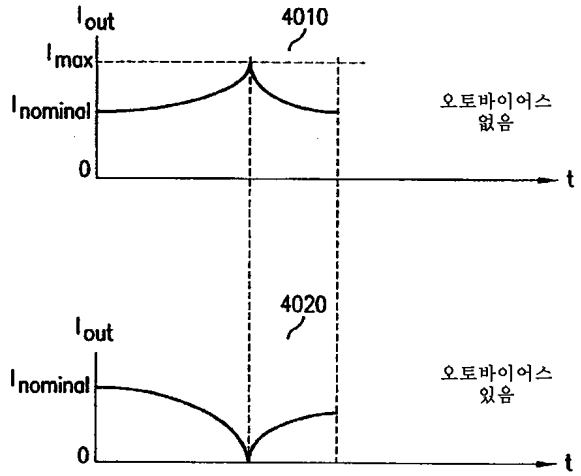
도면38


3800
Iref
3840
3870
3880
R1
VEE
3850
3860
3810
PA OUT
C2
L2
Q8
Q7
Q5
Q6
Q4
Q1
Q3
Q2
PA
3890
C1
3820
VEE
VEE
3830
RC

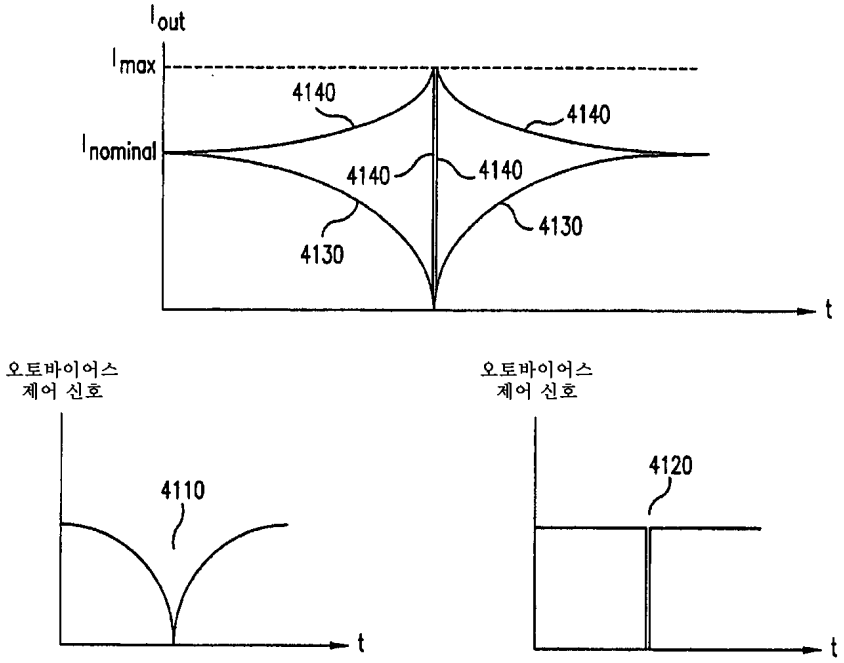
도면39


0.8
0.6
0.4
0.2
0
-0.2
-0.4
-0.6
-0.8
0 0.05 0.1 0.15 0.2 0.25 0.3 0.35 0.4 0.45
t_o
3910
0.8
0.6
0.4
0.2
0
-0.2
-0.4
-0.6
0 0.05 0.1 0.15 0.2 0.25 0.3 0.35 0.4 0.45
t_o
3920

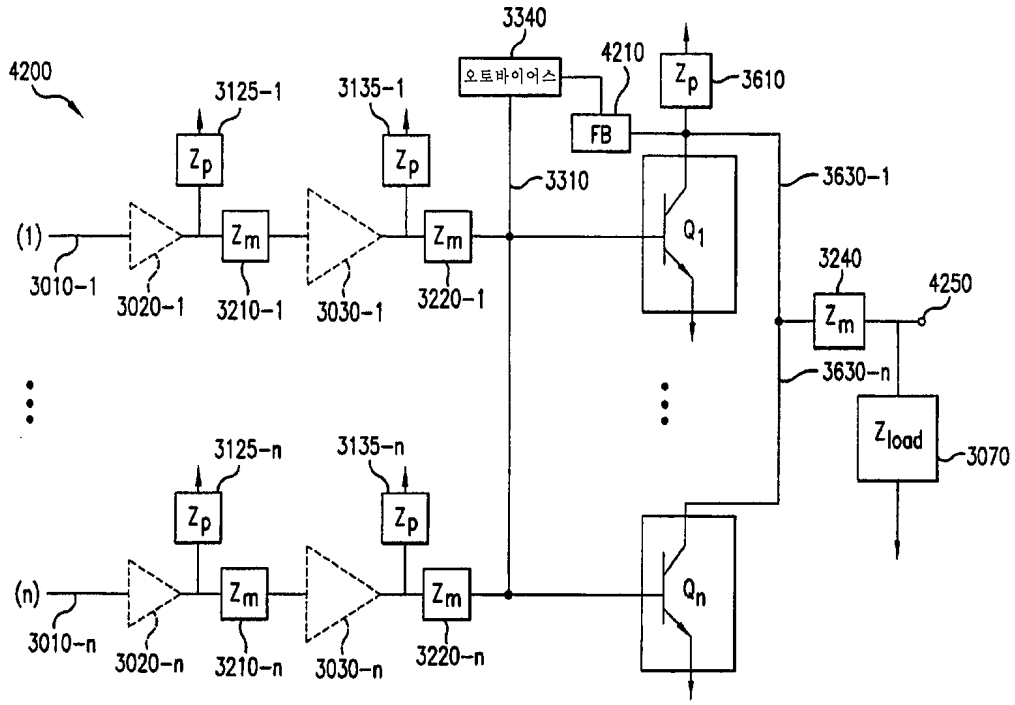
도면40


I_{out}
I_{max}
$I_{nominal}$
0
4010
t
오토바이어스
없음
I_{out}
$I_{nominal}$
0
4020
t
오토바이어스
있음

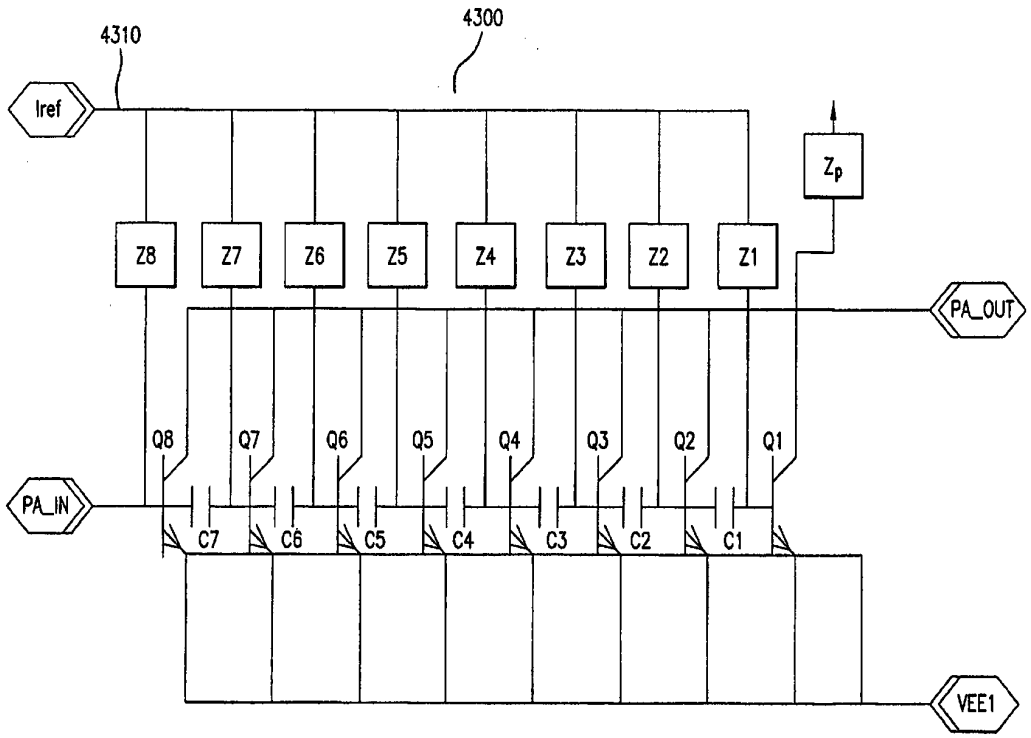
도면41


Iout
Imax
Inominal
4140
4140
4140
4140
4130
4130
t
오토바이어스
제어 신호
4110
t
오토바이어스
제어 신호
4120
t

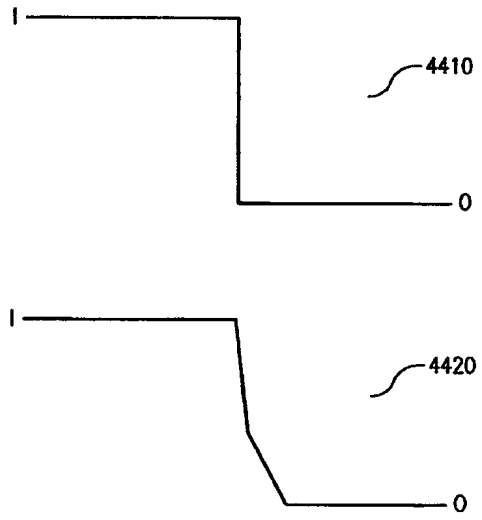
도면42


4200
3340
오토바이어스
4210
FB
Zp
3610
3125-1
3135-1
Zp
Zp
3310
3630-1
(1)
Zm
Zm
Q1
3010-1
3020-1
3210-1
3030-1
3220-1
3240
4250
Zm
3630-n
Zload
3070
3125-n
3135-n
Zp
Zp
(n)
Zm
Zm
Qn
3010-n
3020-n
3210-n
3030-n
3220-n

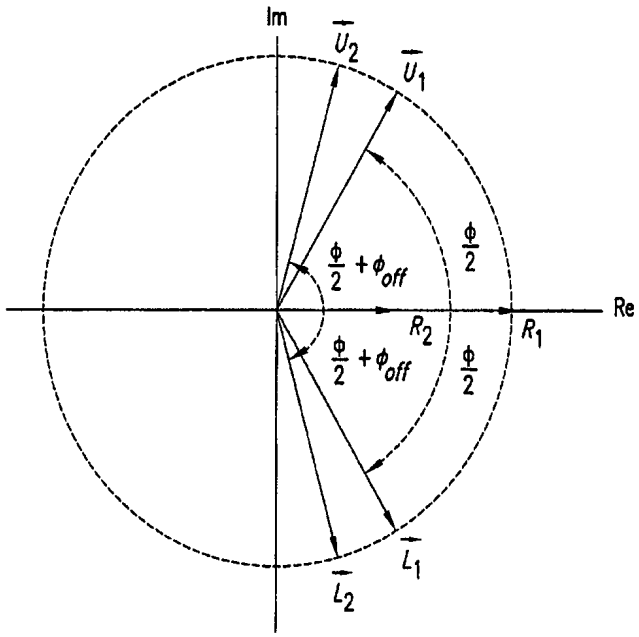
도면43


4310
4300
Iref
Zp
Z8
Z7
Z6
Z5
Z4
Z3
Z2
Z1
PA_OUT
Q8
Q7
Q6
Q5
Q4
Q3
Q2
Q1
PA_IN
C7
C6
C5
C4
C3
C2
C1
VEE1

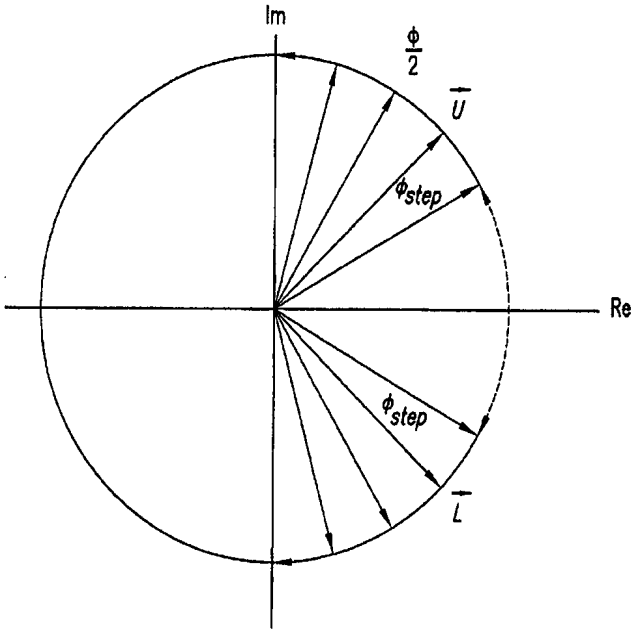
도면44


1
4410
0
1
4420
0

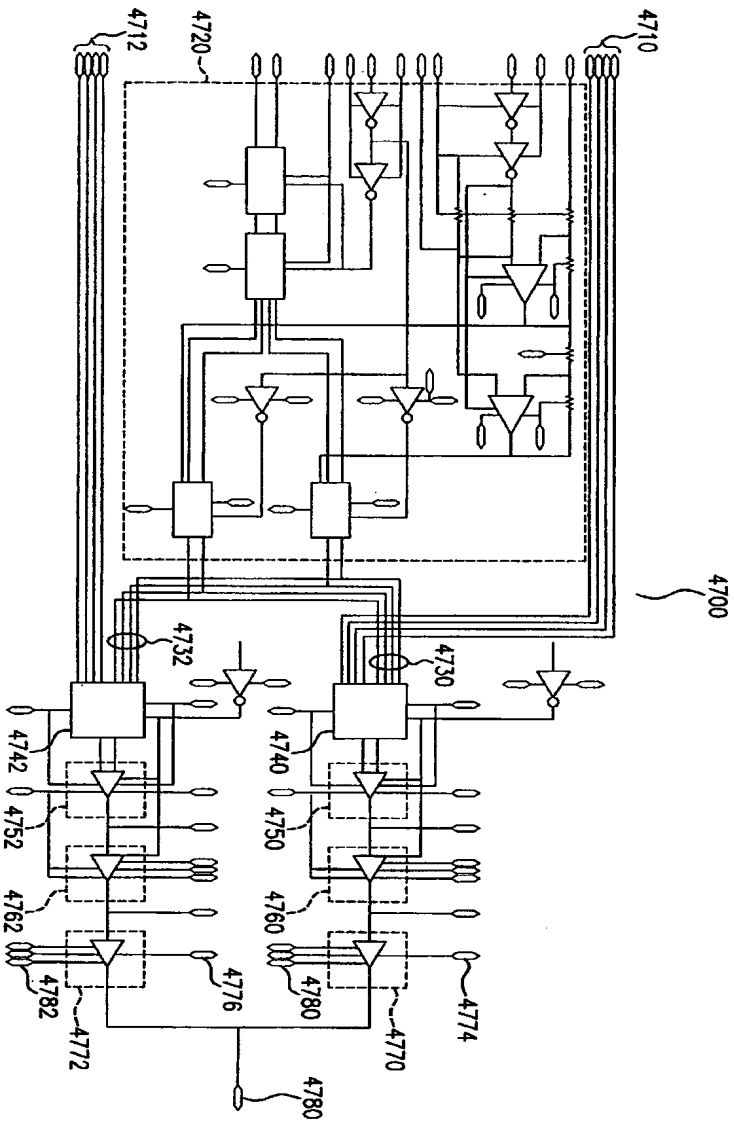
도면45


Im
$\overline{U_2}$
$\overline{U_1}$
$\frac{\Phi}{2}+\phi_{off}$
$\frac{\Phi}{2}$
Re
R_2
R_1
$\frac{\Phi}{2}+\phi_{off}$
$\frac{\Phi}{2}$
$\overline{L_1}$
$\overline{L_2}$

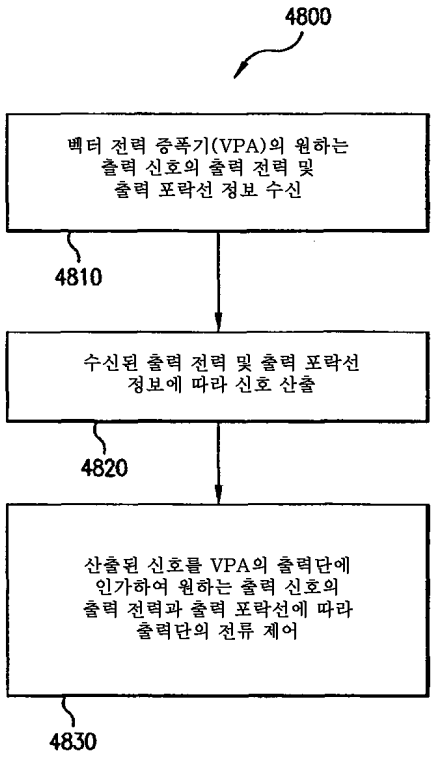
도면46


Im
$\frac{\Phi}{2}$
$\overline{U}$
ϕ_{step}
Re
ϕ_{step}
$\overline{L}$

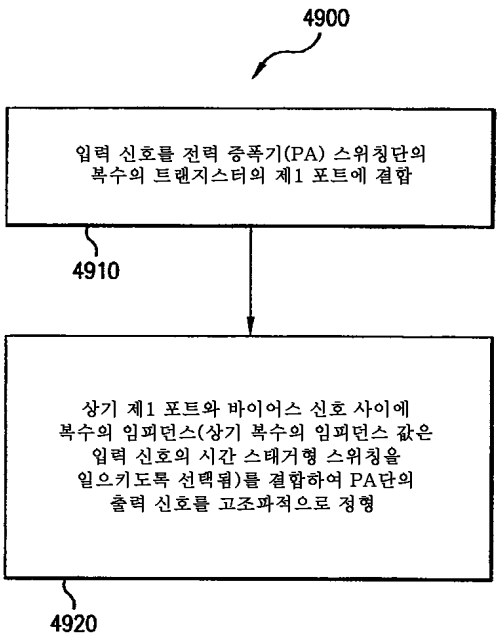
도면47


4712
4720
4710
4700
4732
4730
4742
4740
4752
4750
4762
4760
4782
4776
4780
4774
4772
4770
4780

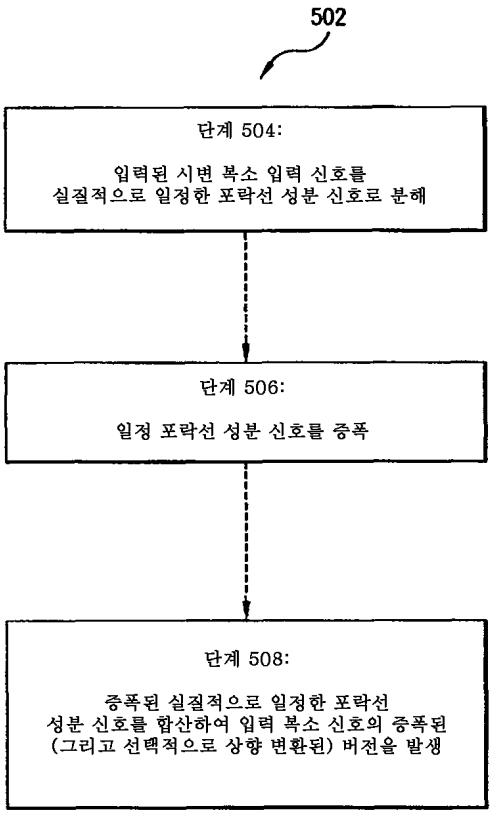
도면48


4800
벡터 전력 증폭기(VPA)의 원하는
출력 신호의 출력 전력 및
출력 포락선 정보 수신
4810
수신된 출력 전력 및 출력 포락선
정보에 따라 신호 산출
4820
산출된 신호를 VPA의 출력단에
인가하여 원하는 출력 신호의
출력 전력과 출력 포락선에 따라
출력단의 전류 제어
4830

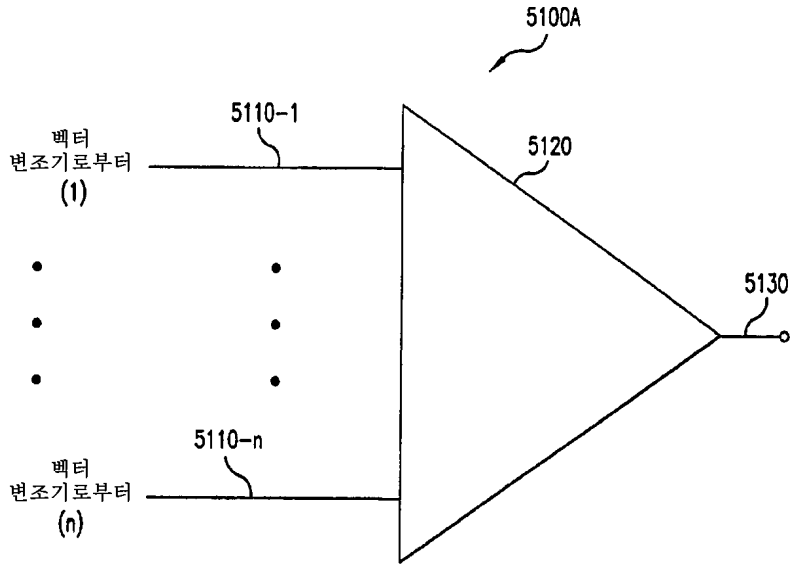
도면49


4900
입력 신호를 전력 증폭기(PA) 스위칭단의
복수의 트랜지스터의 제1 포트에 결합
4910
상기 제1 포트와 바이어스 신호 사이에
복수의 임피던스(상기 복수의 임피던스 값은
입력 신호의 시간 스태거형 스위칭을
일으키도록 선택됨)를 결합하여 PA단의
출력 신호를 고조파적으로 정형
4920

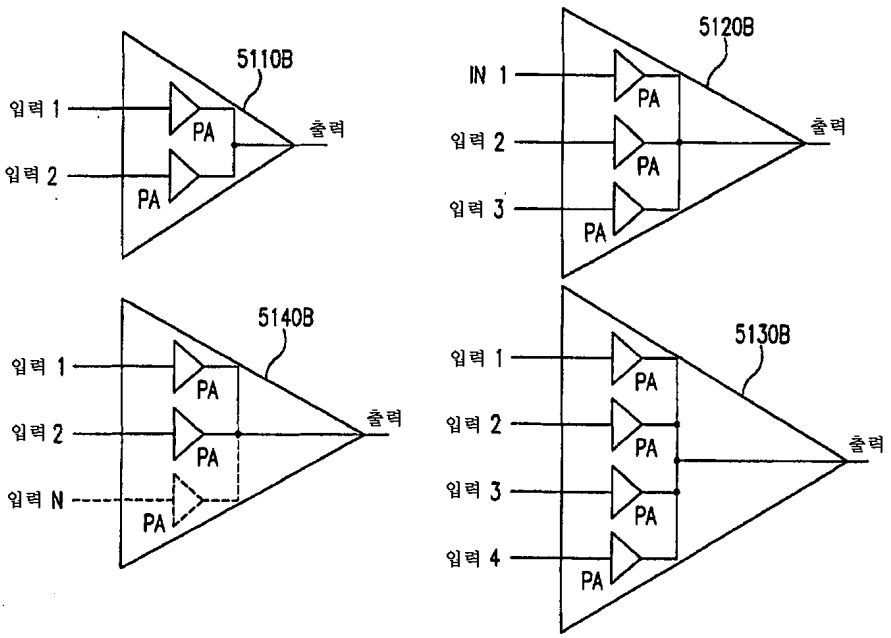
도면50


502
단계 504:
입력된 시변 복소 입력 신호를
실질적으로 일정한 포락선 성분 신호로 분해
단계 506:
일정 포락선 성분 신호를 증폭
단계 508:
증폭된 실질적으로 일정한 포락선
성분 신호를 합산하여 입력 복소 신호의 증폭된
(그리고 선택적으로 상향 변환된) 버전을 발생

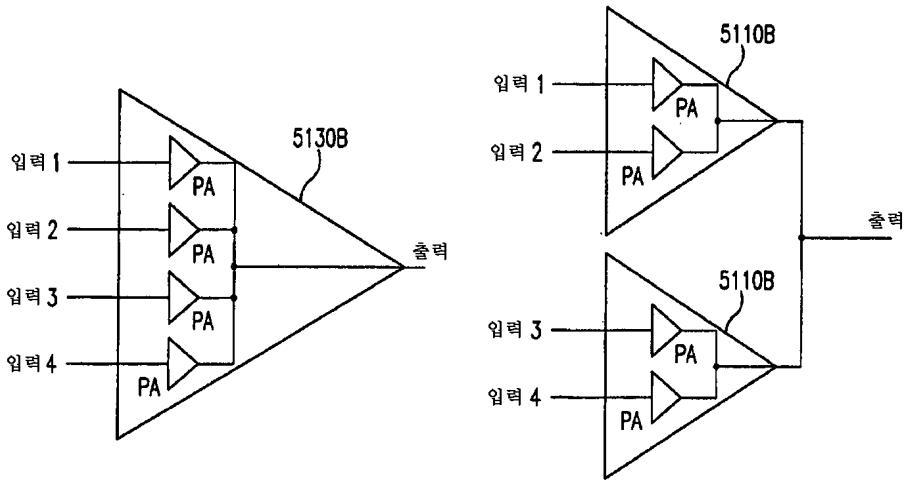
도면51a


5100A
5110-1
벡터
변조기로부터
(1)
5120
5130
5110-n
벡터
변조기로부터
(n)

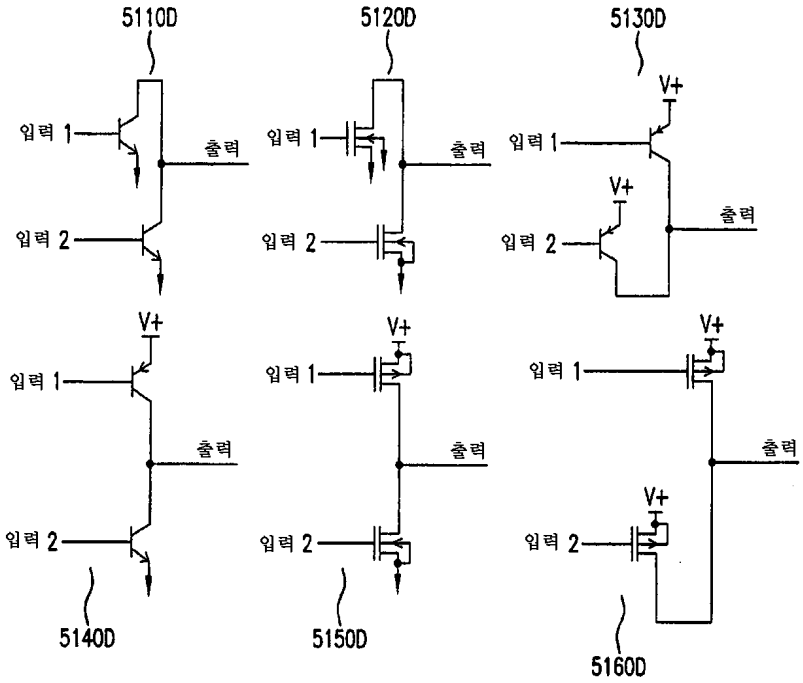
도면51b


5110B
입력 1
입력 2
PA
PA
출력
5120B
IN 1
입력 2
입력 3
PA
PA
PA
출력
5140B
입력 1
입력 2
입력 N
PA
PA
PA
출력
5130B
입력 1
입력 2
입력 3
입력 4
PA
PA
PA
PA
출력

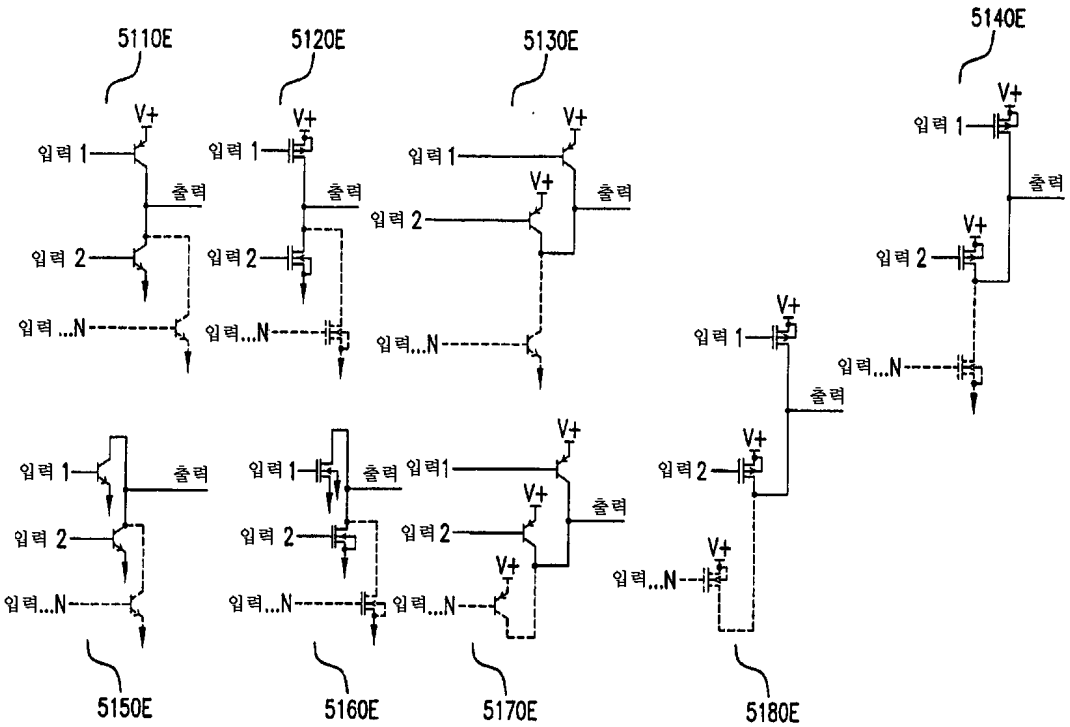
도면51c


5130B
입력 1
입력 2
입력 3
입력 4
PA
PA
PA
PA
출력
5110B
입력 1
입력 2
PA
PA
출력
5110B
입력 3
입력 4
PA
PA

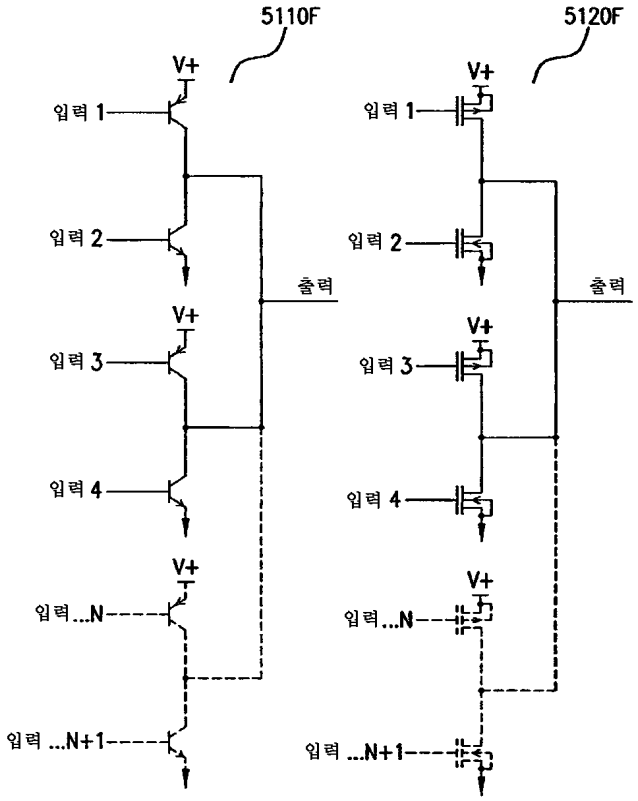
도면51d


5110D
5120D
5130D
입력 1
입력 2
출력
V+
5140D
5150D
5160D

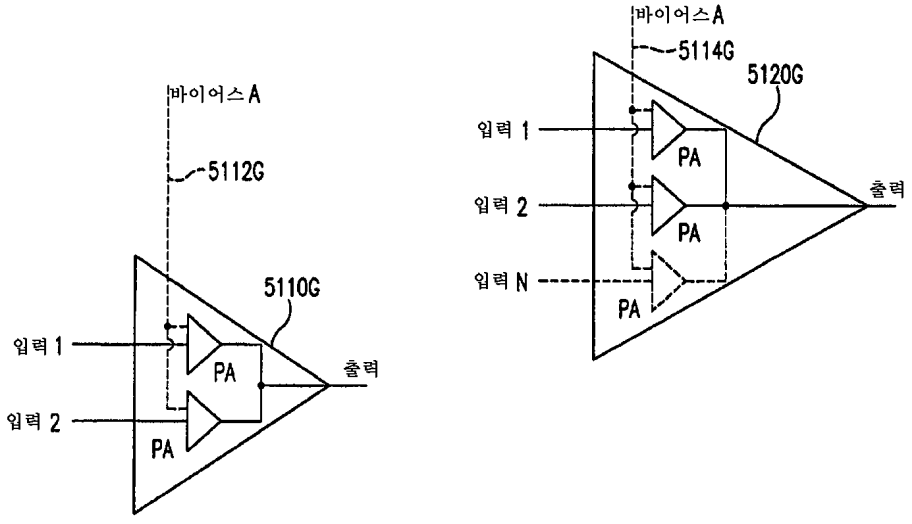
도면51e


5110E
5120E
5130E
5140E
입력 1
입력 2
입력 ...N
출력
V+
5150E
5160E
5170E
5180E

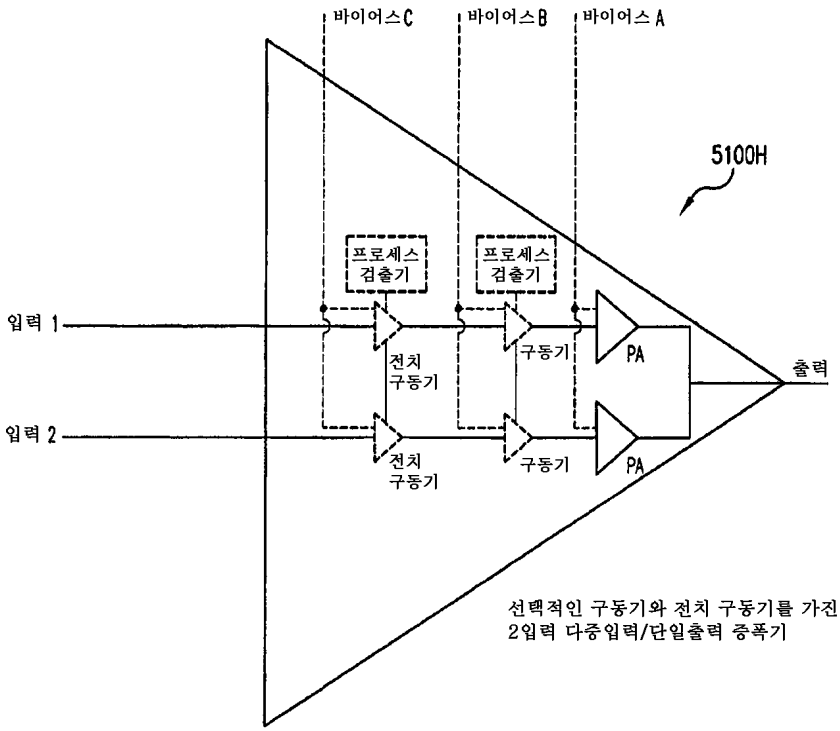
도면51f


5110F
5120F
V+
입력 1
입력 2
출력
입력 3
입력 4
입력 ...N
입력 ...N+1

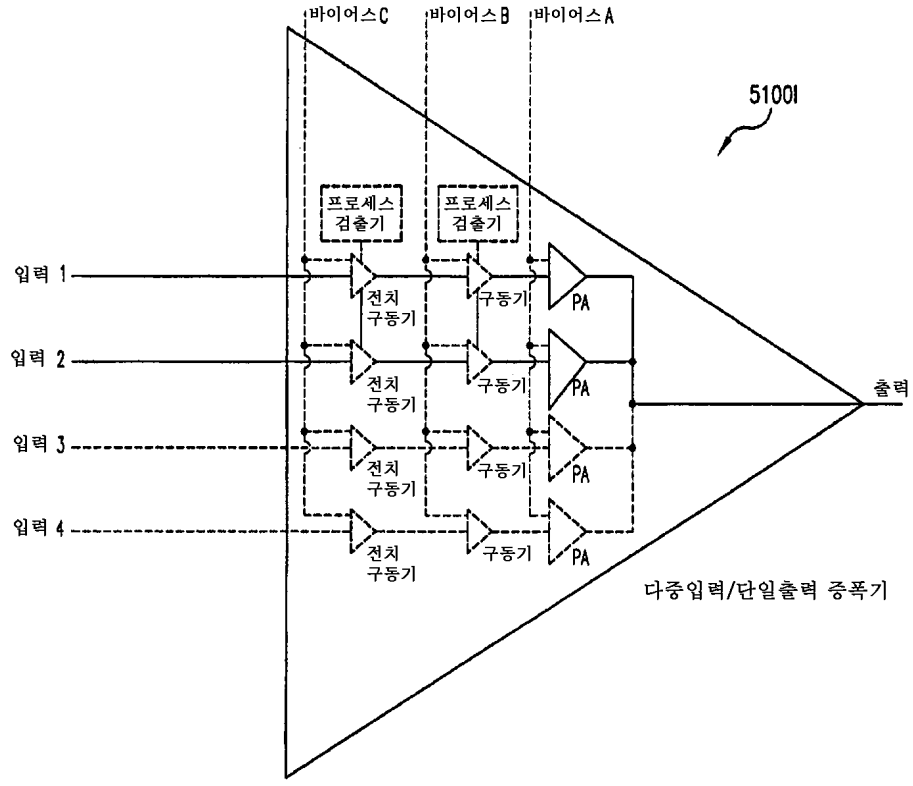
도면51g


바이어스A
5112G
5110G
입력 1
입력 2
PA
출력
5114G
5120G
입력 N

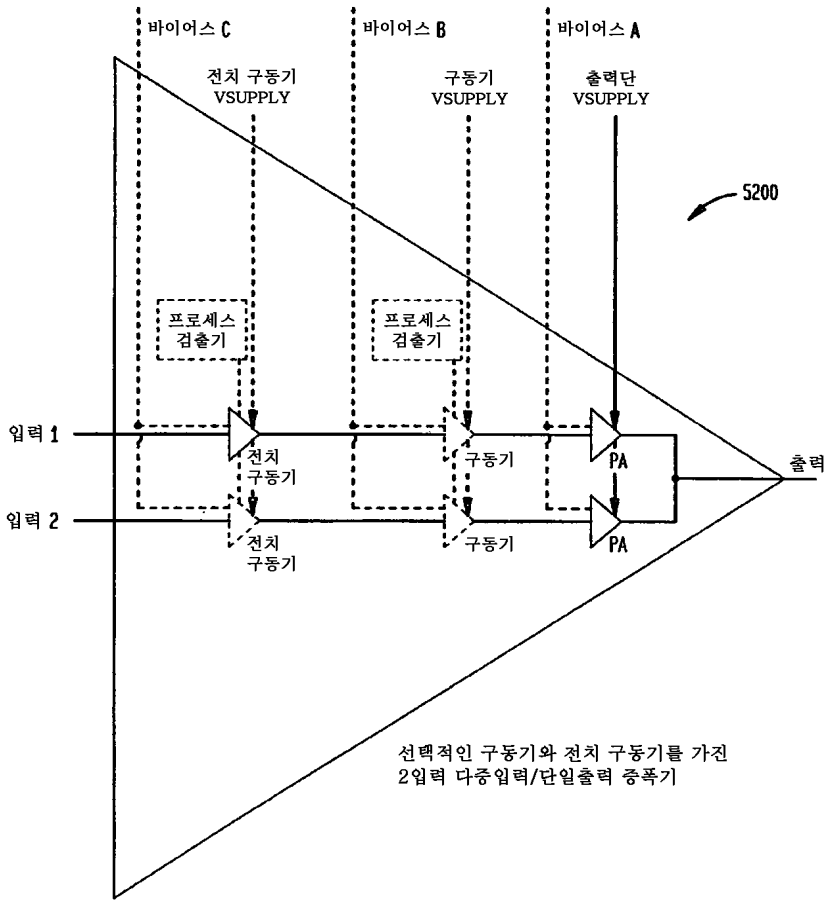
도면51h


바이어스C
바이어스B
바이어스A
5100H
프로세스 검출기
프로세스 검출기
입력 1
입력 2
전치 구동기
전치 구동기
구동기
구동기
PA
PA
출력
선택적인 구동기와 전치 구동기를 가진
2입력 다중입력/단일출력 증폭기

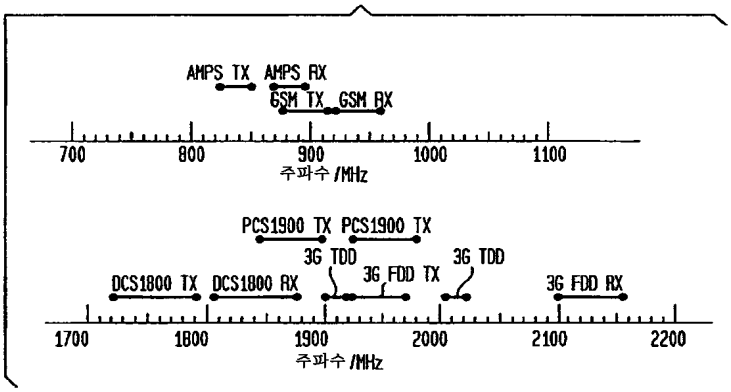
도면51i


바이어스C
바이어스B
바이어스A
5100I
프로세스 검출기
프로세스 검출기
입력 1
입력 2
입력 3
입력 4
전치 구동기
전치 구동기
전치 구동기
전치 구동기
구동기
구동기
구동기
구동기
PA
PA
PA
PA
출력
다중입력/단일출력 증폭기

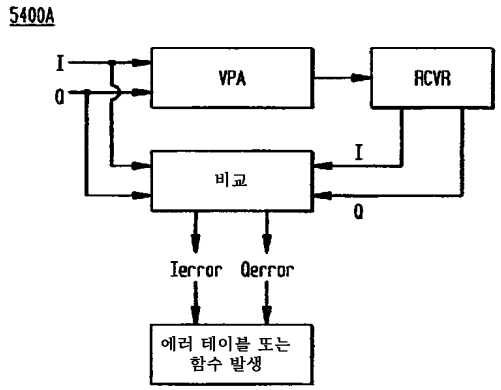
도면52


바이어스 C
바이어스 B
바이어스 A
전치 구동기 VSUPPLY
구동기 VSUPPLY
출력단 VSUPPLY
5200
프로세스 검출기
프로세스 검출기
입력 1
입력 2
전치 구동기
구동기
PA
출력
선택적인 구동기와 전치 구동기를 가진
2입력 다중입력/단일출력 증폭기

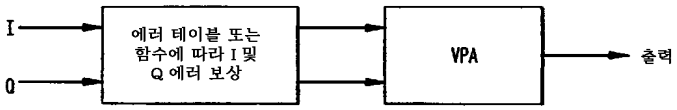
도면53


AMPS TX
AMPS RX
GSM TX
GSM RX
700
800
900
1000
1100
주파수 /MHz
PCS1900 TX
PCS1900 TX
3G TDD
3G TDD
DCS1800 TX
DCS1800 RX
3G FDD TX
3G FDD RX
1700
1800
1900
2000
2100
2200
주파수 /MHz

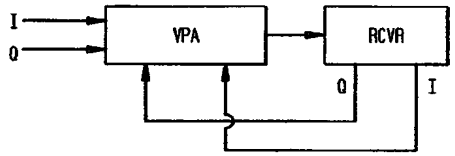
도면54a



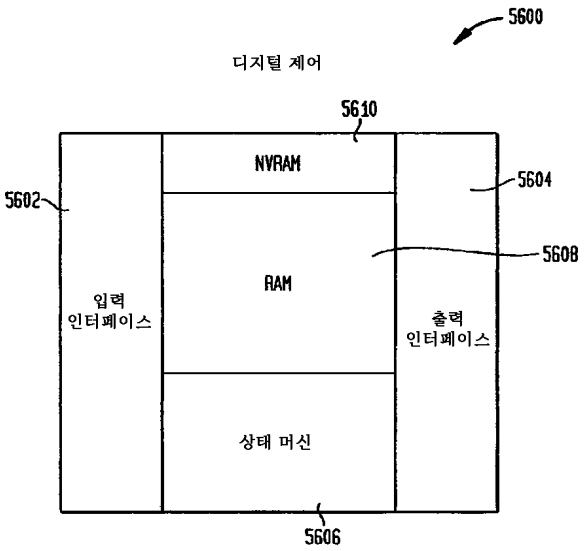
도면54b



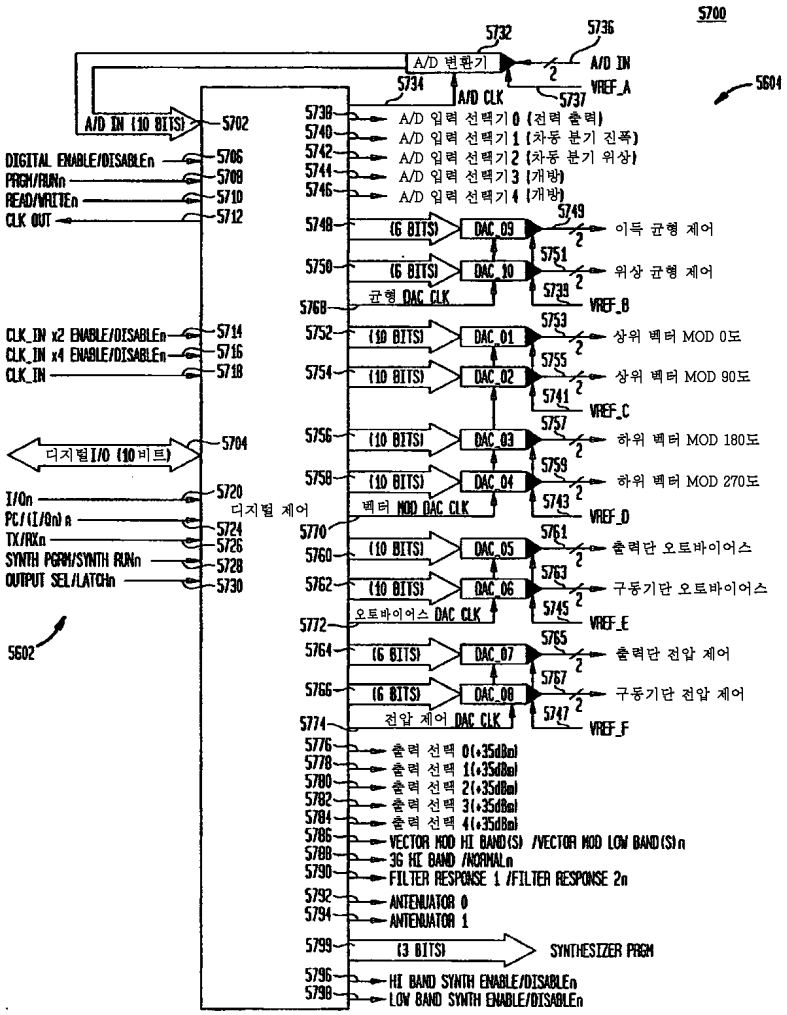
도면55



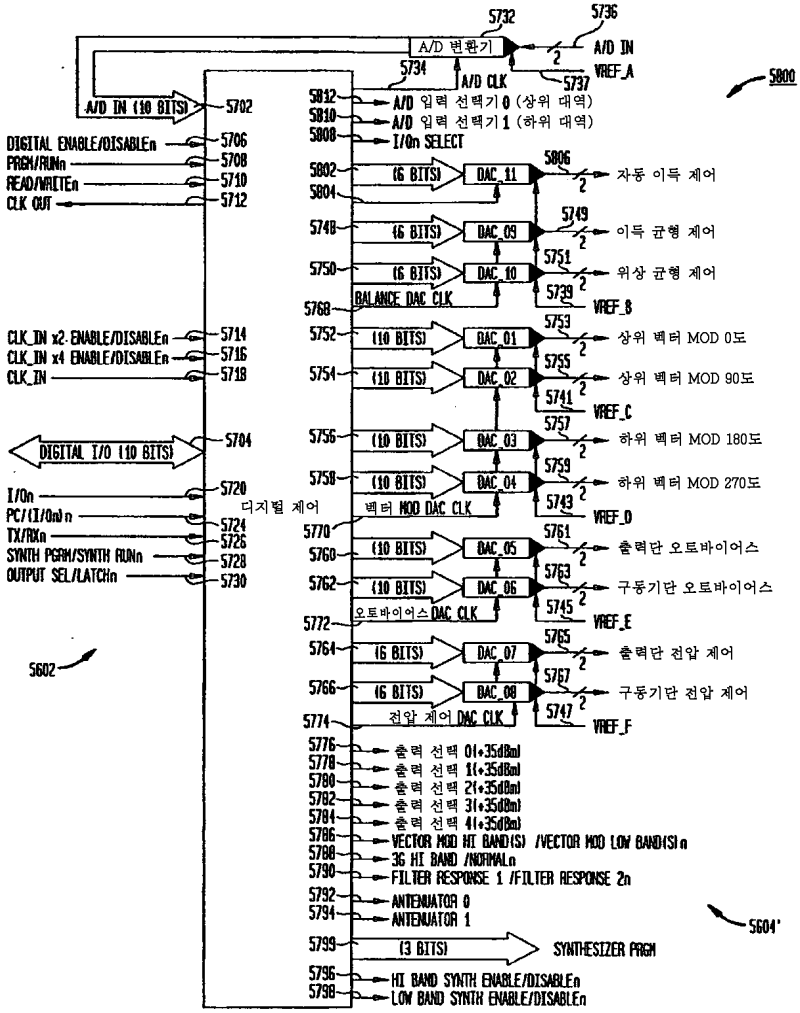
도면56



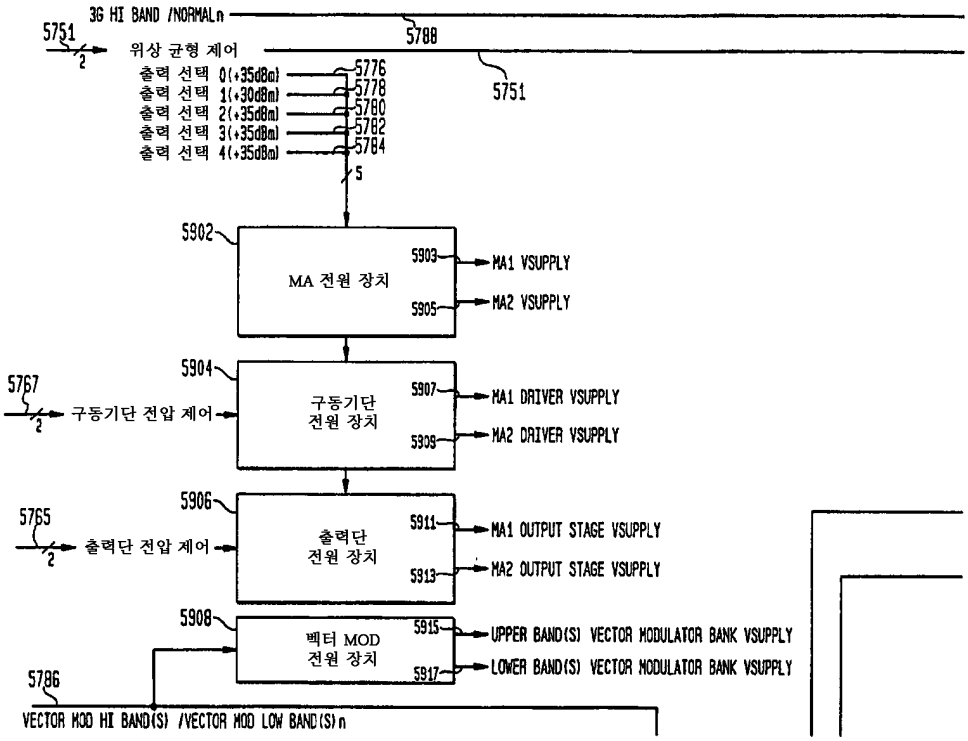
도면57


5700
5732
5736
A/D 변환기
A/D IN
VREF_A
5734
A/D CLK
5737
5604
A/D IN (10 BITS)
5702
5738
A/D 입력 선택기 0 (전력 출력)
5740
A/D 입력 선택기 1 (차동 분기 진폭)
5742
A/D 입력 선택기 2 (차동 분기 위상)
5744
A/D 입력 선택기 3 (개방)
5746
A/D 입력 선택기 4 (개방)
DIGITAL ENABLE/DISABLEn
5706
PRGM/RUNn
5708
READ/WRITEn
5710
CLK OUT
5712
5748
(6 BITS)
DAC_09
5749
이득 균형 제어
5750
(6 BITS)
DAC_10
5751
위상 균형 제어
5768
균형 DAC CLK
5739
VREF_B
CLK_IN x2 ENABLE/DISABLEn
5714
CLK_IN x4 ENABLE/DISABLEn
5716
CLK_IN
5718
5752
(10 BITS)
DAC_01
5753
상위 벡터 MOD 0도
5754
(10 BITS)
DAC_02
5755
상위 벡터 MOD 90도
5741
VREF_C
5756
(10 BITS)
DAC_03
5757
하위 벡터 MOD 180도
디지털I/O (10비트)
5704
5758
(10 BITS)
DAC_04
5759
하위 벡터 MOD 270도
I/On
5720
디지털 제어
5743
VREF_D
PC/(I/Q)n
5724
벡터 MOD DAC CLK
5770
TX/RXn
5726
5760
(10 BITS)
DAC_05
5761
출력단 오토바이어스
SYNTH PGRM/SYNTH RUNn
5728
5762
(10 BITS)
DAC_06
5763
구동기단 오토바이어스
OUTPUT SEL/LATCHn
5730
5745
VREF_E
오토바이어스 DAC CLK
5772
5602
5764
(6 BITS)
DAC_07
5765
출력단 전압 제어
5766
(6 BITS)
DAC_08
5767
구동기단 전압 제어
5747
VREF_F
전압 제어 DAC CLK
5774
5776
출력 선택 0(+35dBm)
5778
출력 선택 1(+35dBm)
5780
출력 선택 2(+35dBm)
5782
출력 선택 3(+35dBm)
5784
출력 선택 4(+35dBm)
5786
VECTOR MOD HI BAND(S) /VECTOR MOD LOW BAND(S)n
5788
3G HI BAND /NORMALn
5790
FILTER RESPONSE 1 /FILTER RESPONSE 2n
5792
ANTENUATOR 0
5794
ANTENUATOR 1
5799
(3 BITS)
SYNTHESIZER PRGM
5796
HI BAND SYNTH ENABLE/DISABLEn
5798
LOW BAND SYNTH ENABLE/DISABLEn

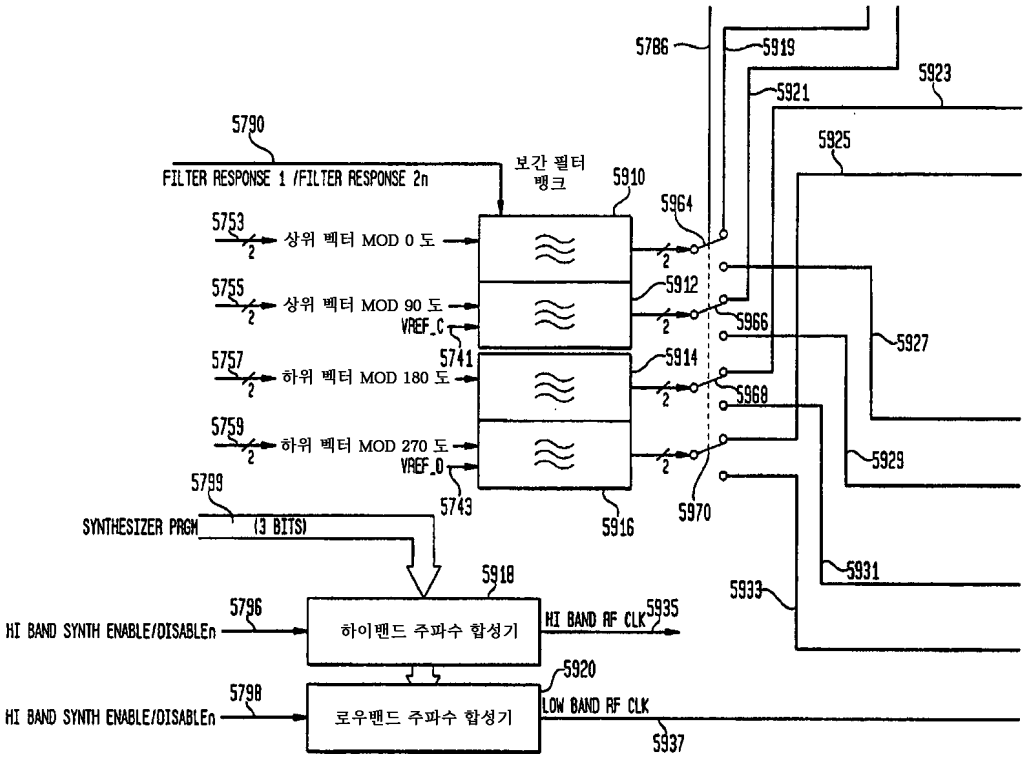
도면58


A/D 변환기
A/D IN
VREF_A
A/D CLK
A/D IN (10 BITS)
DIGITAL ENABLE/DISABLEn
PRGM/RUNn
READ/WRITEn
CLK OUT
CLK_IN x2 ENABLE/DISABLEn
CLK_IN x4 ENABLE/DISABLEn
CLK_IN
DIGITAL I/O (10 BITS)
I/On
PC/(I/On)n
TX/RXn
SYNTH PGRM/SYNTH RUNn
OUTPUT SEL/LATCHn
디지털 제어
A/D 입력 선택기 0 (상위 대역)
A/D 입력 선택기 1 (하위 대역)
I/On SELECT
(6 BITS)
DAC_11
자동 이득 제어
DAC_09
이득 균형 제어
DAC_10
위상 균형 제어
BALANCE DAC CLK
VREF_B
(10 BITS)
DAC_01
상위 벡터 MOD 0도
DAC_02
상위 벡터 MOD 90도
VREF_C
DAC_03
하위 벡터 MOD 180도
DAC_04
하위 벡터 MOD 270도
VREF_D
벡터 MOD DAC CLK
DAC_05
출력단 오토바이어스
DAC_06
구동기단 오토바이어스
VREF_E
오토바이어스 DAC CLK
DAC_07
출력단 전압 제어
DAC_08
구동기단 전압 제어
VREF_F
전압 제어 DAC CLK
출력 선택 0(+35dBm)
출력 선택 1(+35dBm)
출력 선택 2(+35dBm)
출력 선택 3(+35dBm)
출력 선택 4(+35dBm)
VECTOR MOD HI BAND(S) /VECTOR MOD LOW BAND(S)n
3G HI BAND /NORMALn
FILTER RESPONSE 1 /FILTER RESPONSE 2n
ANTENUATOR 0
ANTENUATOR 1
(3 BITS)
SYNTHESIZER PRGM
HI BAND SYNTH ENABLE/DISABLEn
LOW BAND SYNTH ENABLE/DISABLEn
5800
5602
5604'

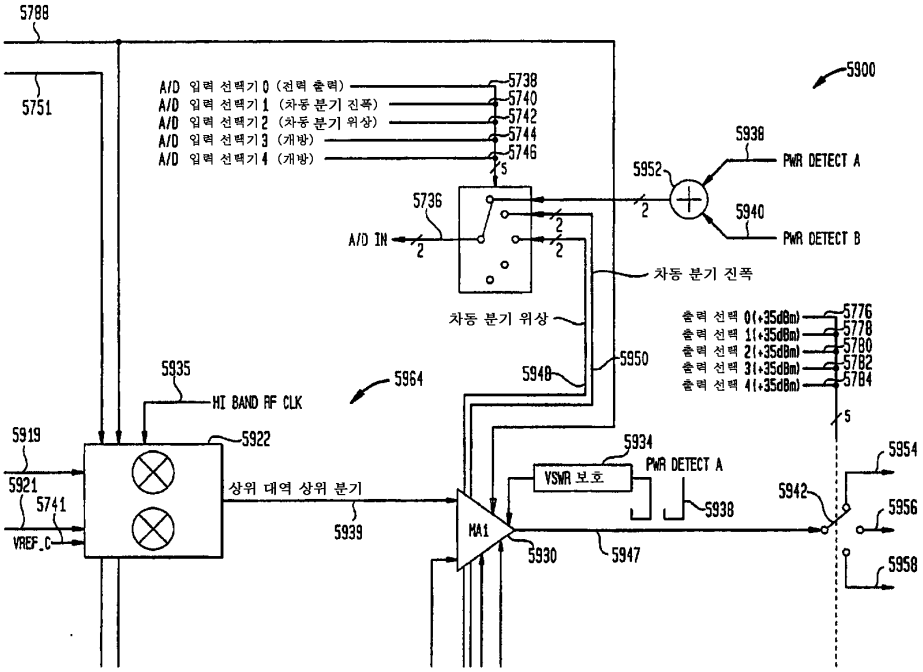
도면59a


3G HI BAND /NORMALn
5788
5751
위상 균형 제어
출력 선택 0(+35dBm)
출력 선택 1(+30dBm)
출력 선택 2(+35dBm)
출력 선택 3(+35dBm)
출력 선택 4(+35dBm)
5776
5778
5780
5782
5784
5
5902
MA 전원 장치
5903
MA1 VSUPPLY
5905
MA2 VSUPPLY
5904
구동기단 전원 장치
5907
MA1 DRIVER VSUPPLY
5909
MA2 DRIVER VSUPPLY
5767
구동기단 전압 제어
5906
출력단 전원 장치
5911
MA1 OUTPUT STAGE VSUPPLY
5913
MA2 OUTPUT STAGE VSUPPLY
5765
출력단 전압 제어
5908
벡터 MOD 전원 장치
5915
UPPER BAND(S) VECTOR MODULATOR BANK VSUPPLY
5917
LOWER BAND(S) VECTOR MODULATOR BANK VSUPPLY
5786
VECTOR MOD HI BAND(S) /VECTOR MOD LOW BAND(S)n

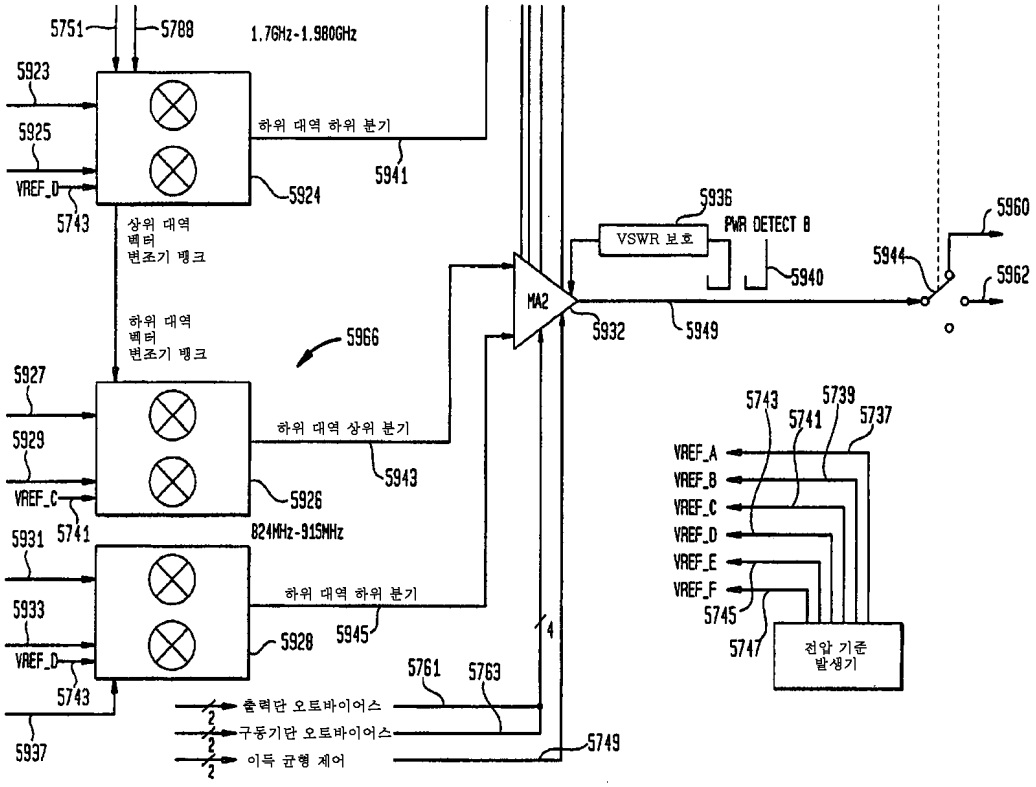
도면59b


5786
5919
5923
5921
5925
5790
FILTER RESPONSE 1 /FILTER RESPONSE 2n
보간 필터 뱅크
5910
5964
5753
상위 벡터 MOD 0 도
5755
상위 벡터 MOD 90 도
5912
VREF_C
5966
5927
5741
5757
하위 벡터 MOD 180 도
5914
5968
5759
하위 벡터 MOD 270 도
VREF_0
5929
5743
5916
5970
5789
SYNTHESIZER PRGM (3 BITS)
5918
5931
5933
5796
HI BAND SYNTH ENABLE/DISABLEn
하이밴드 주파수 합성기
HI BAND RF CLK
5935
5920
5798
HI BAND SYNTH ENABLE/DISABLEn
로우밴드 주파수 합성기
LOW BAND RF CLK
5937

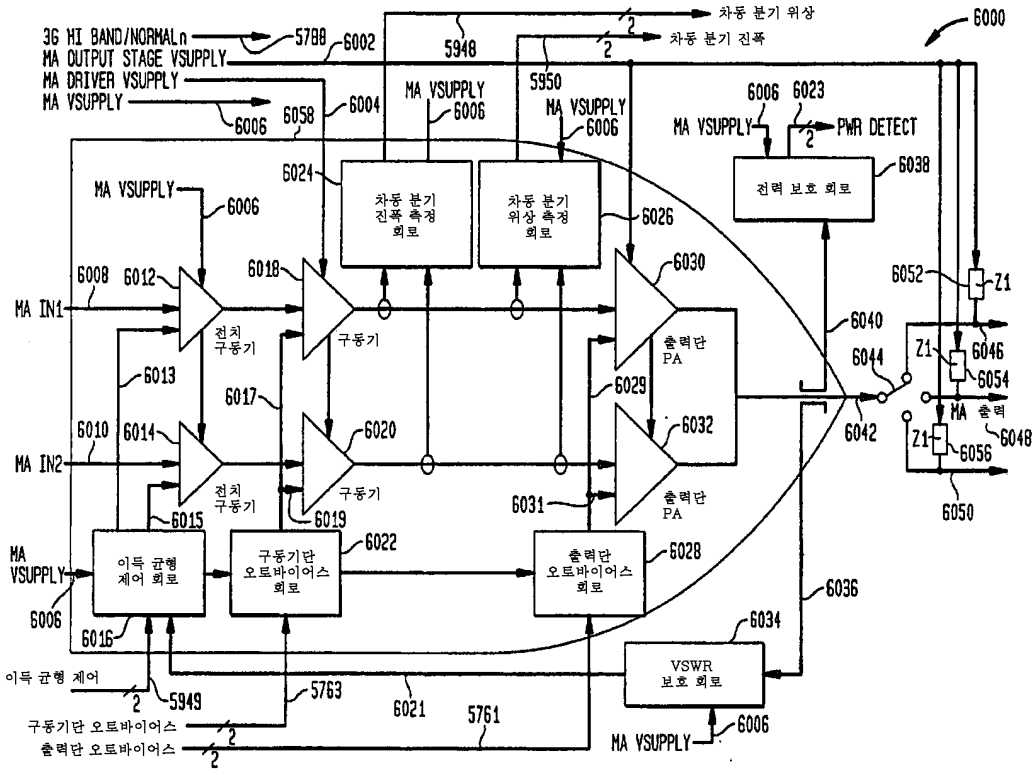
도면59c


5788
5751
A/D 입력 선택기 0 (전력 출력)
A/D 입력 선택기 1 (차동 분기 진폭)
A/D 입력 선택기 2 (차동 분기 위상)
A/D 입력 선택기 3 (개방)
A/D 입력 선택기 4 (개방)
5738
5740
5742
5744
5746
5900
5938
PWR DETECT A
5952
5940
PWR DETECT B
5736
A/D IN
차동 분기 진폭
차동 분기 위상
출력 선택 0(+35dBm)
출력 선택 1(+35dBm)
출력 선택 2(+35dBm)
출력 선택 3(+35dBm)
출력 선택 4(+35dBm)
5776
5778
5780
5782
5784
5935
HI BAND RF CLK
5964
5948
5950
5919
5922
5921
5741
VREF_C
상위 대역 상위 분기
5939
5934
VSWR 보호
PWR DETECT A
5938
5942
5954
5956
5958
MA1
5930
5947

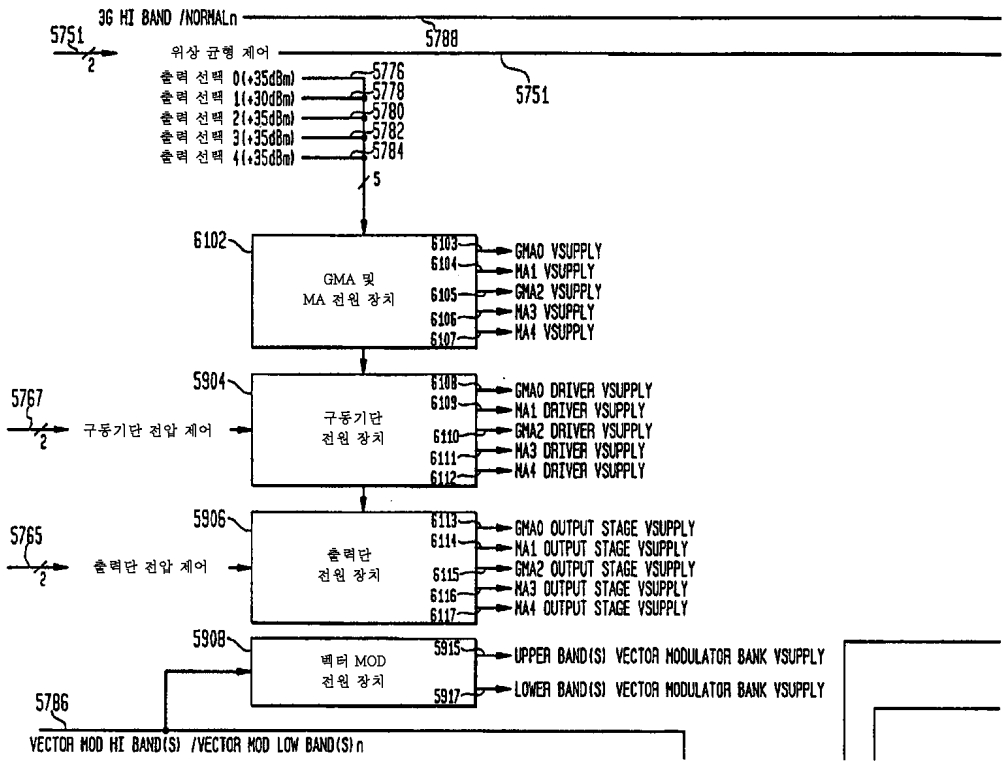
도면59d


5751
5788
1.7GHz-1.980GHz
5923
5925
VREF_D
5743
5924
하위 대역 하위 분기
5941
상위 대역
베터
변조기 뱅크
하위 대역
베터
변조기 뱅크
5966
5927
5929
VREF_C
5741
5926
824MHz-915MHz
5931
5933
VREF_D
5743
5928
5945
하위 대역 상위 분기
5943
하위 대역 하위 분기
5937
출력단 오토바이어스
구동기단 오토바이어스
이득 균형 제어
5761
5763
5749
5936
VSWR 보호
PWR DETECT B
5940
5944
5960
5962
MA2
5932
5949
5743
5739
5741
5737
VREF_A
VREF_B
VREF_C
VREF_D
VREF_E
VREF_F
5745
5747
전압 기준
발생기

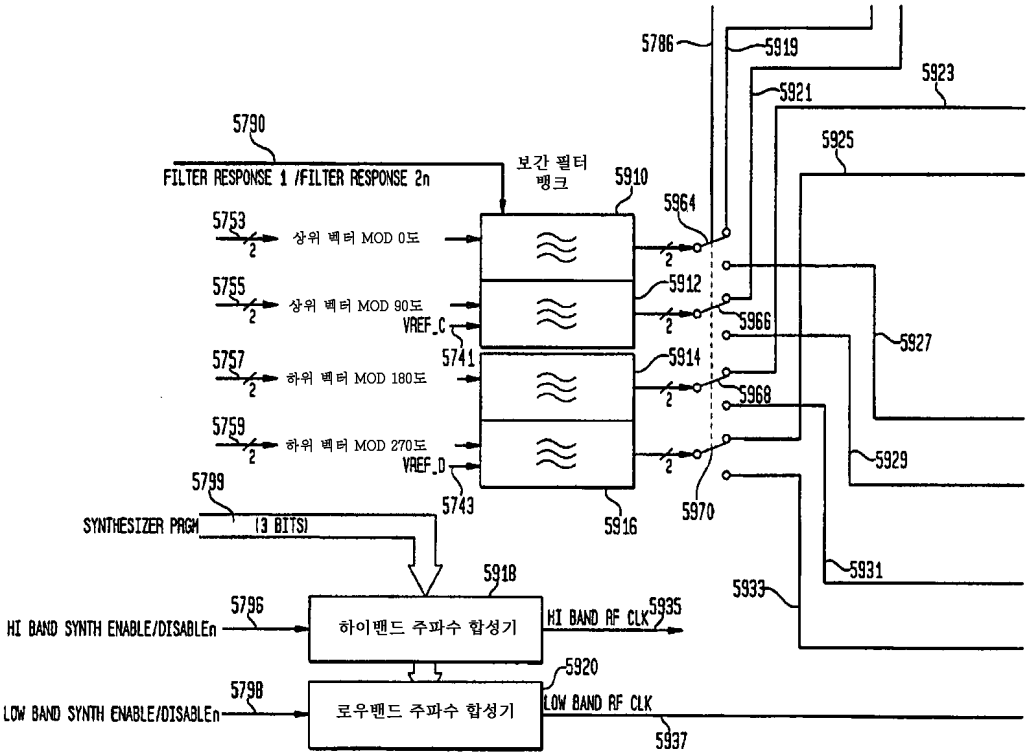
도면60


3G HI BAND/NORMALn
MA OUTPUT STAGE VSUPPLY
MA DRIVER VSUPPLY
MA VSUPPLY
차동 분기 위상
차동 분기 진폭
MA VSUPPLY
PWR DETECT
전력 보호 회로
차동 분기 진폭 측정 회로
차동 분기 위상 측정 회로
MA IN1
MA IN2
전치 구동기
구동기
출력단 PA
이득 균형 제어 회로
구동기단 오토바이어스 회로
출력단 오토바이어스 회로
VSWR 보호 회로
MA 출력
이득 균형 제어
구동기단 오토바이어스
출력단 오토바이어스

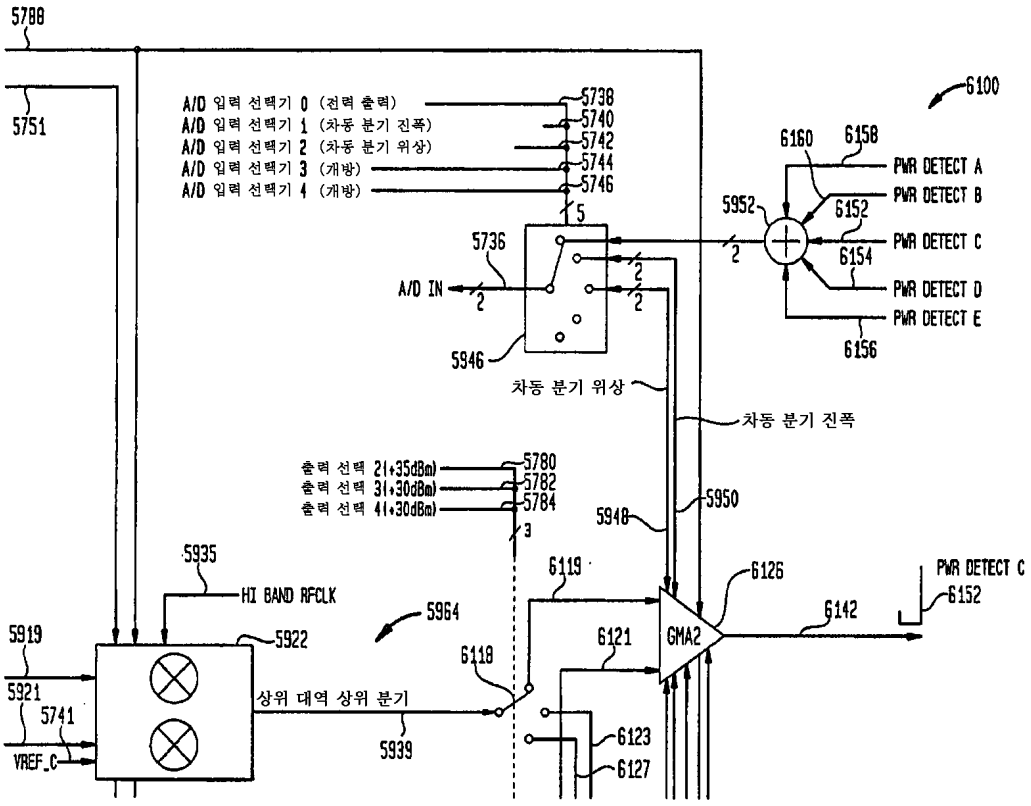
도면61a


3G HI BAND /NORMALn
위상 균형 제어
출력 선택 0(+35dBm)
출력 선택 1(+30dBm)
출력 선택 2(+35dBm)
출력 선택 3(+35dBm)
출력 선택 4(+35dBm)
GMA 및 MA 전원 장치
GMA0 VSUPPLY
MA1 VSUPPLY
GMA2 VSUPPLY
MA3 VSUPPLY
MA4 VSUPPLY
구동기단 전압 제어
구동기단 전원 장치
GMA0 DRIVER VSUPPLY
MA1 DRIVER VSUPPLY
GMA2 DRIVER VSUPPLY
MA3 DRIVER VSUPPLY
MA4 DRIVER VSUPPLY
출력단 전압 제어
출력단 전원 장치
GMA0 OUTPUT STAGE VSUPPLY
MA1 OUTPUT STAGE VSUPPLY
GMA2 OUTPUT STAGE VSUPPLY
MA3 OUTPUT STAGE VSUPPLY
MA4 OUTPUT STAGE VSUPPLY
벡터 MOD 전원 장치
UPPER BAND(S) VECTOR MODULATOR BANK VSUPPLY
LOWER BAND(S) VECTOR MODULATOR BANK VSUPPLY
VECTOR MOD HI BAND(S) /VECTOR MOD LOW BAND(S)n

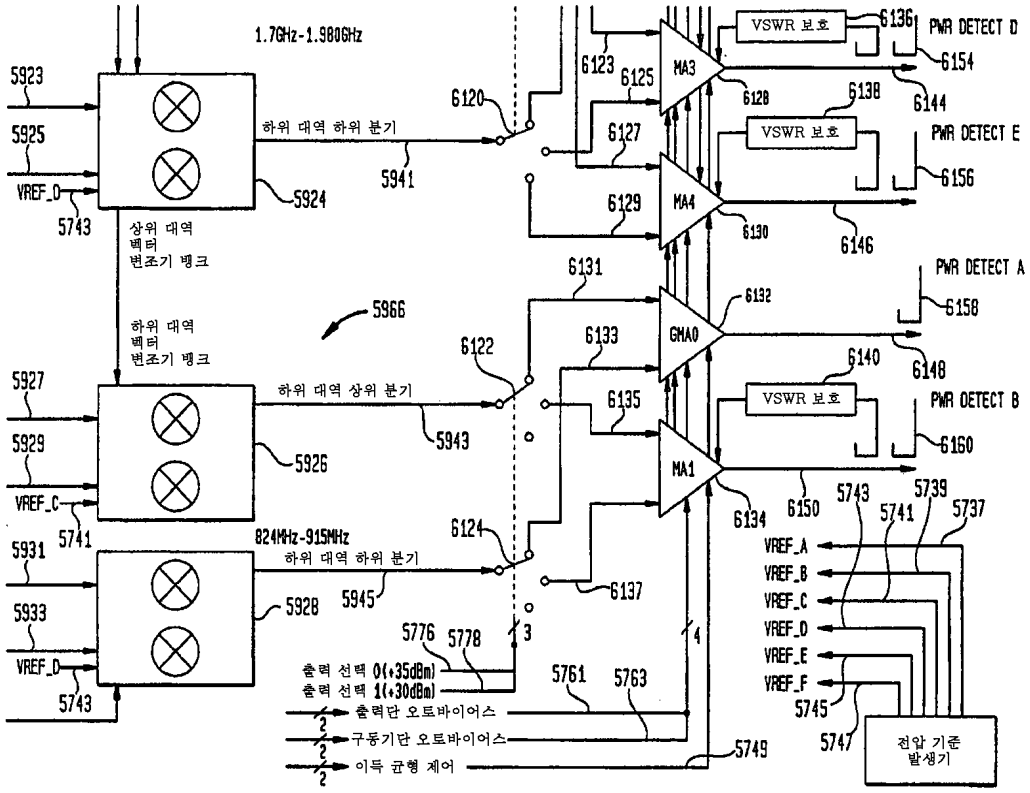
도면61b


5790
FILTER RESPONSE 1 /FILTER RESPONSE 2n
보간 필터 뱅크
5910
5753
상위 벡터 MOD 0도
5755
상위 벡터 MOD 90도
VREF_C
5741
5757
하위 벡터 MOD 180도
5759
하위 벡터 MOD 270도
VREF_D
5743
5916
5799
SYNTHESIZER PRGM
(3 BITS)
5918
5796
HI BAND SYNTH ENABLE/DISABLEn
하이밴드 주파수 합성기
HI BAND RF CLK
5935
5920
5798
LOW BAND SYNTH ENABLE/DISABLEn
로우밴드 주파수 합성기
LOW BAND RF CLK
5937
5786
5919
5921
5923
5925
5964
5912
5966
5914
5968
5970
5927
5929
5931
5933

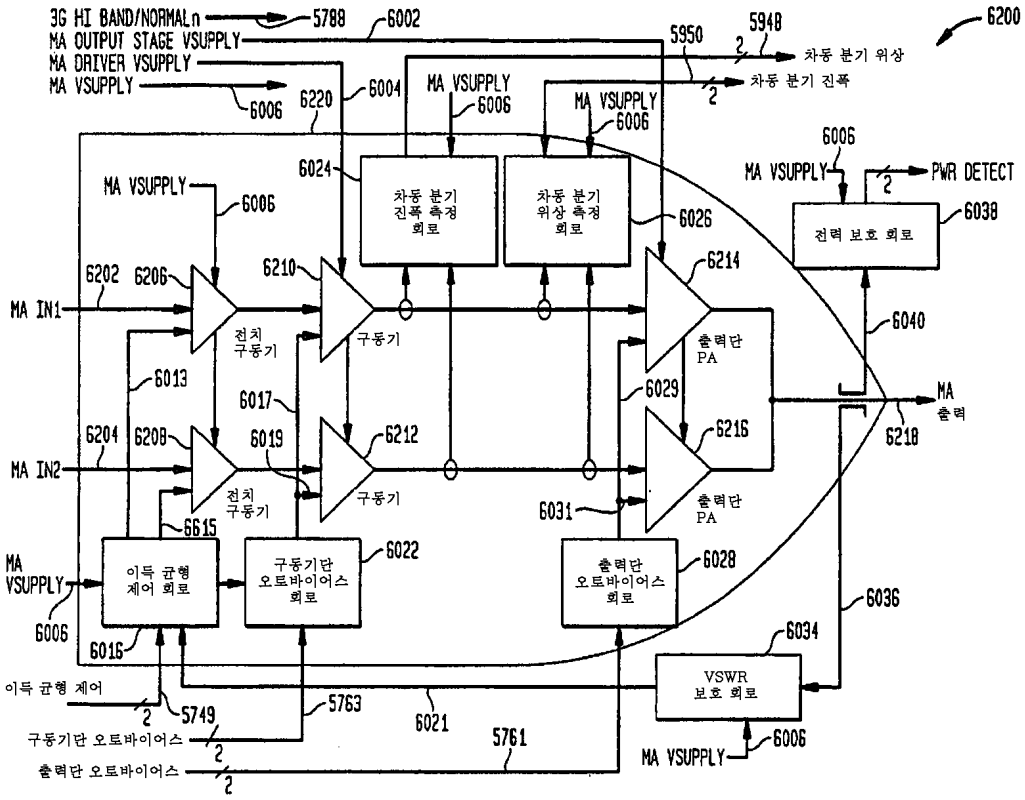
도면61c


5788
5751
A/D 입력 선택기 0 (전력 출력)
A/D 입력 선택기 1 (차동 분기 진폭)
A/D 입력 선택기 2 (차동 분기 위상)
A/D 입력 선택기 3 (개방)
A/D 입력 선택기 4 (개방)
5738
5740
5742
5744
5746
5736
A/D IN
5946
차동 분기 위상
차동 분기 진폭
6100
6160
6158
PWR DETECT A
PWR DETECT B
5952
6152
PWR DETECT C
6154
PWR DETECT D
PWR DETECT E
6156
출력 선택 2(+35dBm)
출력 선택 3(+30dBm)
출력 선택 4(+30dBm)
5780
5782
5784
5948
5950
5935
HI BAND RFCLK
5964
5919
5922
5921
5741
VREF_C
상위 대역 상위 분기
5939
6118
6119
6121
GMA2
6126
6142
PWR DETECT C
6152
6123
6127

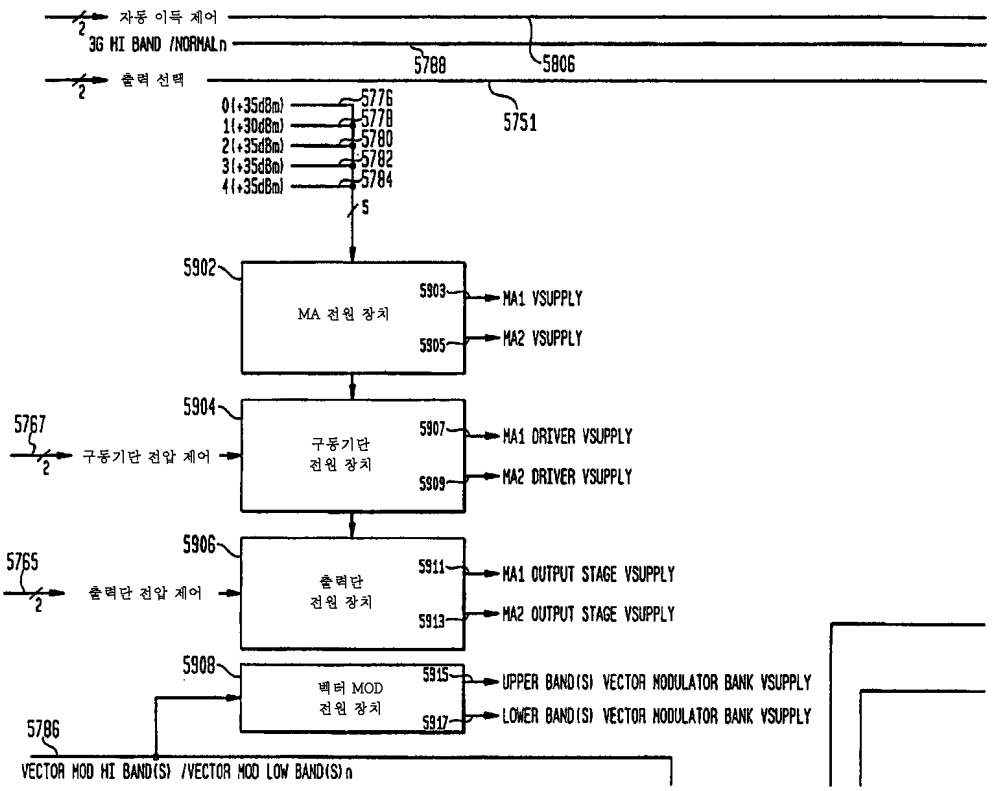
도면61d


1.7GHz-1.980GHz
824MHz-915MHz
하위 대역 하위 분기
하위 대역 상위 분기
상위 대역 버퍼 변조기 뱅크
하위 대역 버퍼 변조기 뱅크
VSWR 보호
PWR DETECT D
PWR DETECT E
PWR DETECT A
PWR DETECT B
MA3
MA4
GMA0
MA1
출력 선택 0(+35dBm)
출력 선택 1(+30dBm)
출력단 오토바이어스
구동기단 오토바이어스
이득 균형 제어
VREF_A
VREF_B
VREF_C
VREF_D
VREF_E
VREF_F
전압 기준 발생기

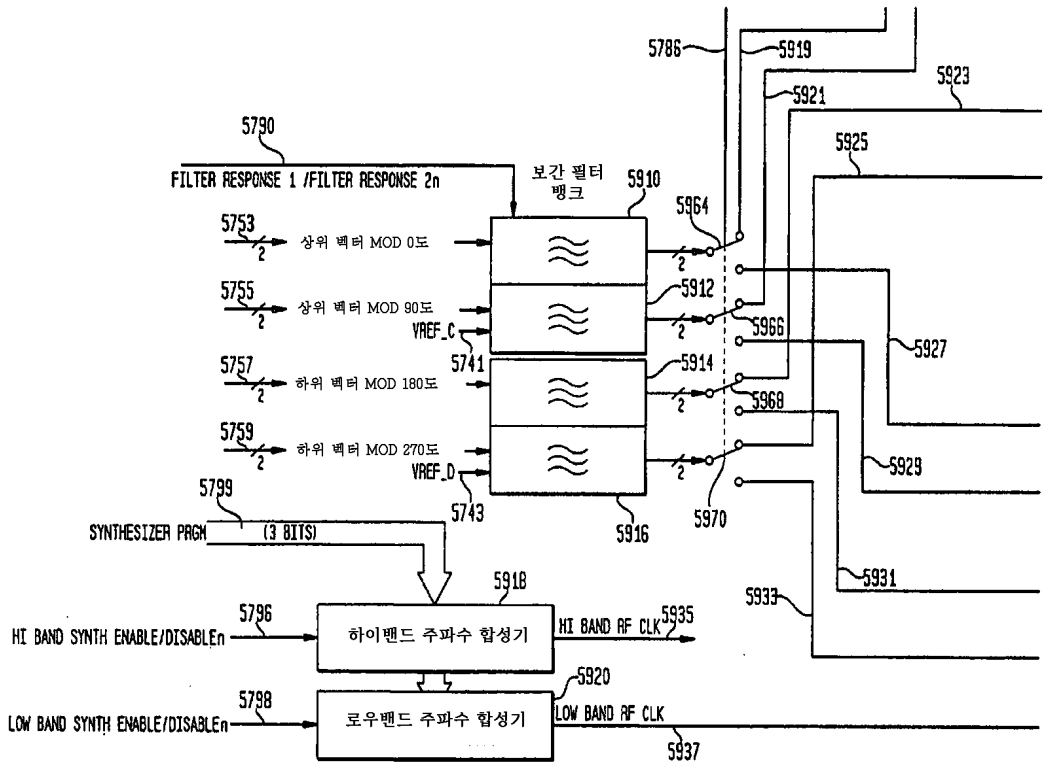
도면62


3G HI BAND/NORMALn
MA OUTPUT STAGE VSUPPLY
MA DRIVER VSUPPLY
MA VSUPPLY
차동 분기 위상
차동 분기 진폭
차동 분기 진폭 측정 회로
차동 분기 위상 측정 회로
전력 보호 회로
PWR DETECT
MA IN1
MA IN2
전치 구동기
구동기
출력단 PA
MA 출력
이득 균형 제어 회로
구동기단 오토바이어스 회로
출력단 오토바이어스 회로
VSWR 보호 회로
이득 균형 제어
구동기단 오토바이어스
출력단 오토바이어스

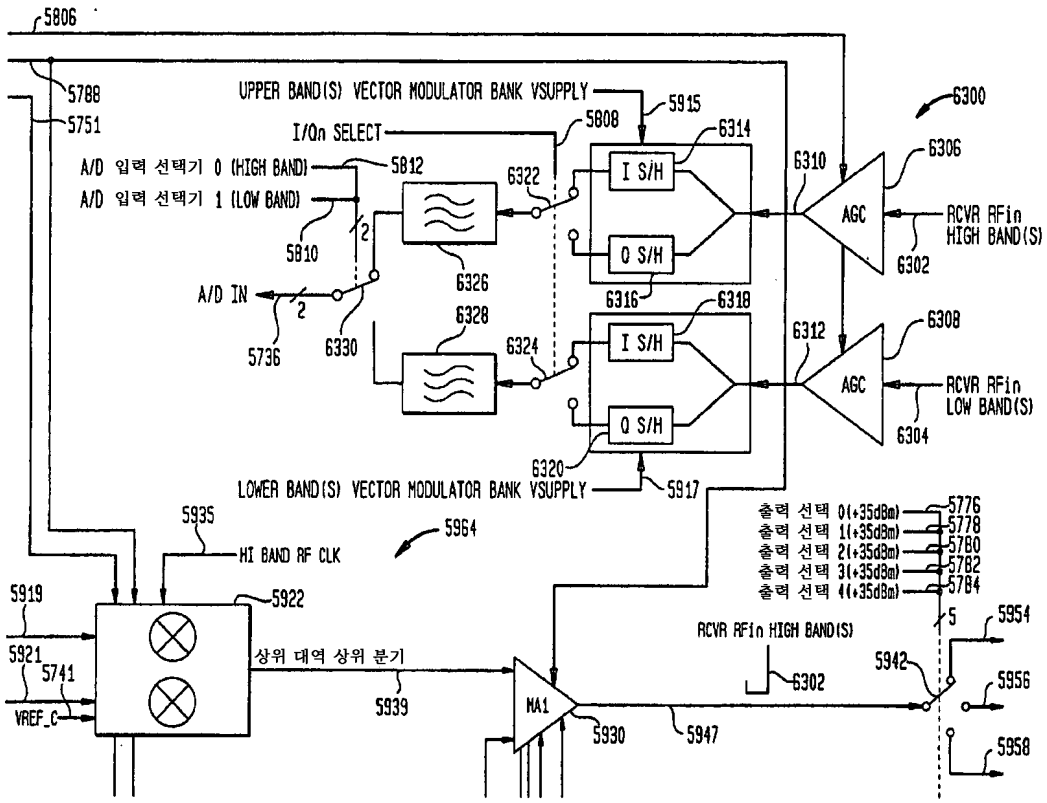
도면63a


자동 이득 제어
3G HI BAND /NORMALn
출력 선택
5788
5806
5751
0(+35dBm)
1(+30dBm)
2(+35dBm)
3(+35dBm)
4(+35dBm)
5776
5778
5780
5782
5784
5
5902
MA 전원 장치
5903
MA1 VSUPPLY
5905
MA2 VSUPPLY
5904
구동기단 전원 장치
5907
MA1 DRIVER VSUPPLY
5909
MA2 DRIVER VSUPPLY
5767
구동기단 전압 제어
5906
출력단 전원 장치
5911
MA1 OUTPUT STAGE VSUPPLY
5913
MA2 OUTPUT STAGE VSUPPLY
5765
출력단 전압 제어
5908
벡터 MOD 전원 장치
5915
UPPER BAND(S) VECTOR MODULATOR BANK VSUPPLY
5917
LOWER BAND(S) VECTOR MODULATOR BANK VSUPPLY
5786
VECTOR MOD HI BAND(S) /VECTOR MOD LOW BAND(S)n

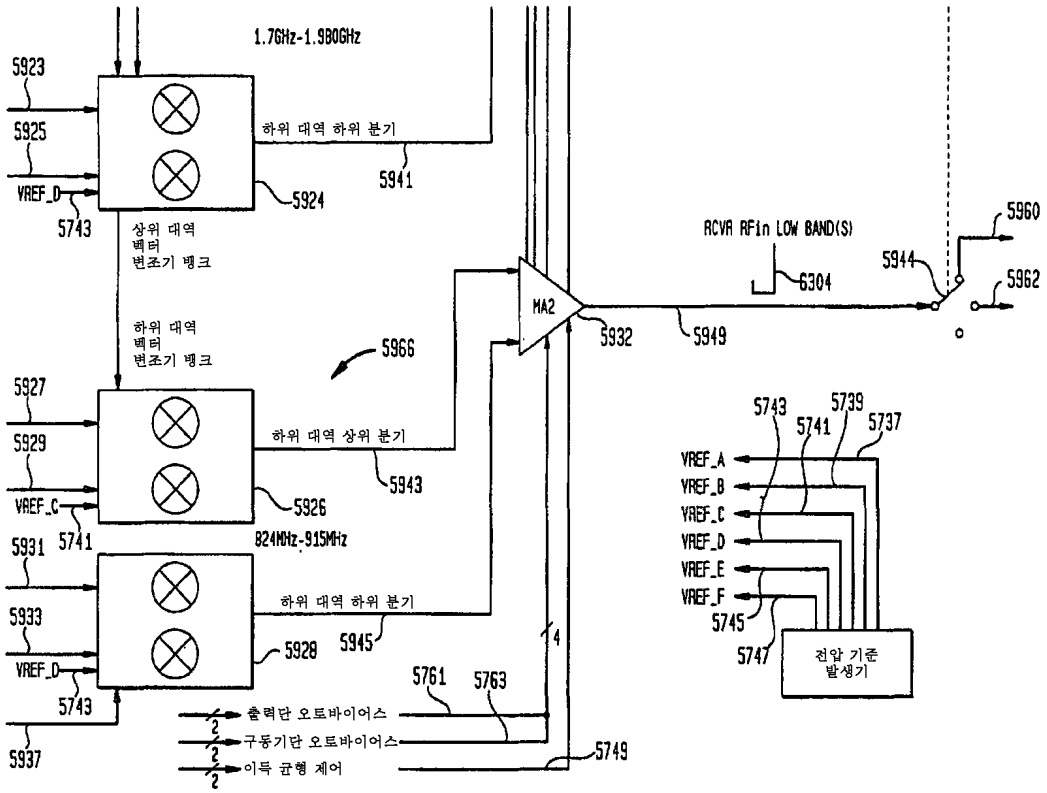
도면63b


5786
5919
5923
5921
5925
5790
FILTER RESPONSE 1 /FILTER RESPONSE 2n
보간 필터 뱅크
5910
5964
5753
상위 벡터 MOD 0도
5755
상위 벡터 MOD 90도
VREF_C
5912
5966
5927
5741
5757
하위 벡터 MOD 180도
5914
5968
5759
하위 벡터 MOD 270도
VREF_D
5929
5799
SYNTHESIZER PRGM
(3 BITS)
5743
5916
5970
5931
5933
5918
5796
HI BAND SYNTH ENABLE/DISABLEn
하이밴드 주파수 합성기
HI BAND RF CLK
5935
5920
5798
LOW BAND SYNTH ENABLE/DISABLEn
로우밴드 주파수 합성기
LOW BAND RF CLK
5937

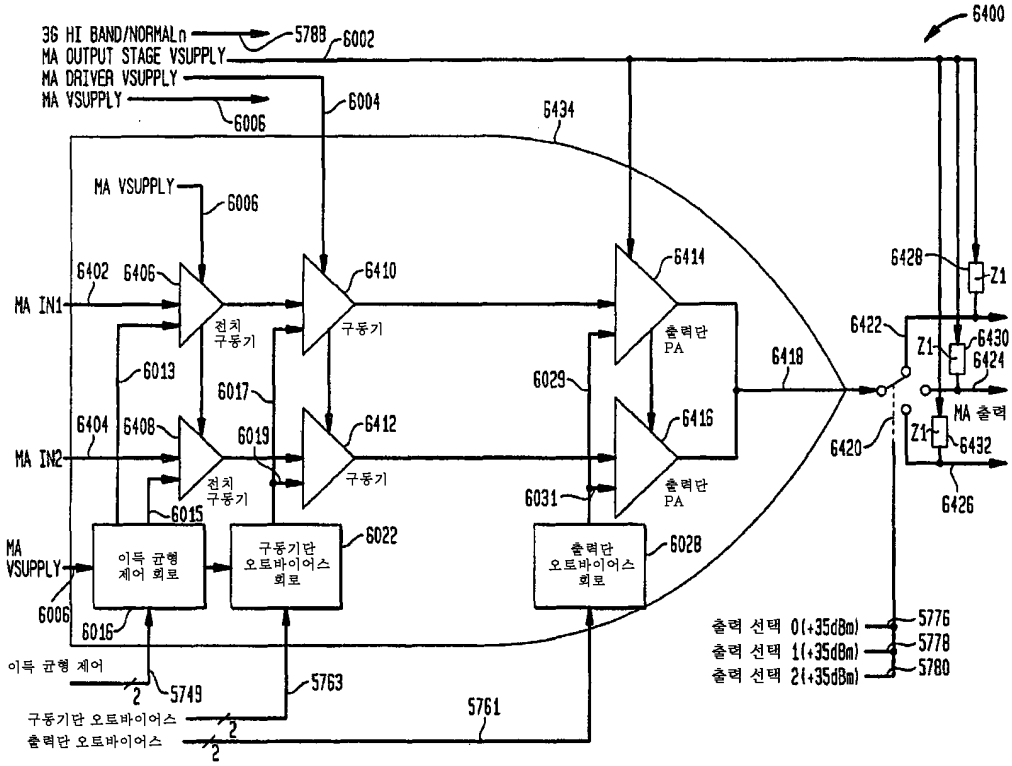
도면63c


5806
5788
5751
UPPER BAND(S) VECTOR MODULATOR BANK VSUPPLY
5915
I/Qn SELECT
5808
6314
6300
A/D 입력 선택기 0 (HIGH BAND)
5812
A/D 입력 선택기 1 (LOW BAND)
6322
6310
6306
I S/H
AGC
RCVR RFin HIGH BAND(S)
5810
6326
Q S/H
6302
6316
6318
A/D IN
6328
6312
6308
5736
6330
6324
I S/H
AGC
RCVR RFin LOW BAND(S)
Q S/H
6304
6320
LOWER BAND(S) VECTOR MODULATOR BANK VSUPPLY
5917
5935
5964
출력 선택 0(+35dBm)
출력 선택 1(+35dBm)
출력 선택 2(+35dBm)
출력 선택 3(+35dBm)
출력 선택 4(+35dBm)
5776
5778
5780
5782
5784
HI BAND RF CLK
5919
5922
5921
5741
상위 대역 상위 분기
RCVR RFin HIGH BAND(S)
5954
5942
6302
5956
VREF_C
5939
MA1
5930
5947
5958

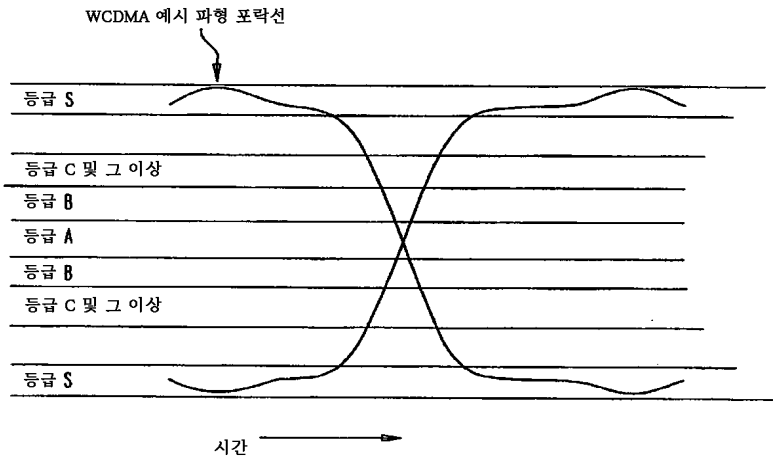
도면63d


1.7GHz-1.980GHz
5923
5925
하위 대역 하위 분기
5941
VREF_D
5924
5743
상위 대역
벡터
변조기 뱅크
RCVR RFin LOW BAND(S)
5960
5944
6304
5962
MA2
5932
5949
하위 대역
벡터
변조기 뱅크
5966
5927
5929
하위 대역 상위 분기
5943
VREF_C
5926
5741
824MHz-915MHz
5931
5933
하위 대역 하위 분기
5945
VREF_D
5928
5743
5761
5763
4
출력단 오토바이어스
구동기단 오토바이어스
이득 균형 제어
5937
5749
5743
5739
5741
5737
VREF_A
VREF_B
VREF_C
VREF_D
VREF_E
VREF_F
5745
5747
전압 기준
발생기

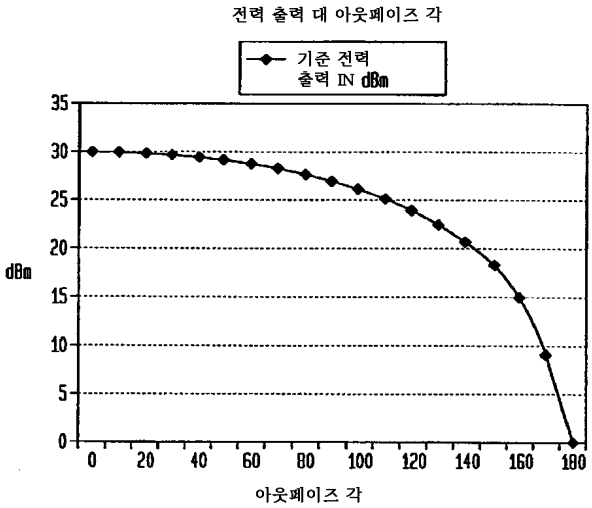
도면64


6400
3G HI BAND/NORMALn
MA OUTPUT STAGE VSUPPLY
MA DRIVER VSUPPLY
MA VSUPPLY
5788
6002
6004
6006
6434
MA VSUPPLY
6006
6402
6406
6410
6414
6428
Z1
MA IN1
전치 구동기
구동기
출력단 PA
6422
6418
6029
6013
6017
6430
6424
Z1
6404
6408
6019
6412
6416
MA 출력
6420
6432
MA IN2
전치 구동기
구동기
출력단 PA
6031
6426
6015
MA VSUPPLY
이득 균형 제어 회로
구동기단 오토바이어스 회로
6022
출력단 오토바이어스 회로
6028
6006
6016
출력 선택 0(+35dBm)
출력 선택 1(+35dBm)
출력 선택 2(+35dBm)
5776
5778
5780
이득 균형 제어
2
5749
5763
5761
구동기단 오토바이어스
출력단 오토바이어스
2
2

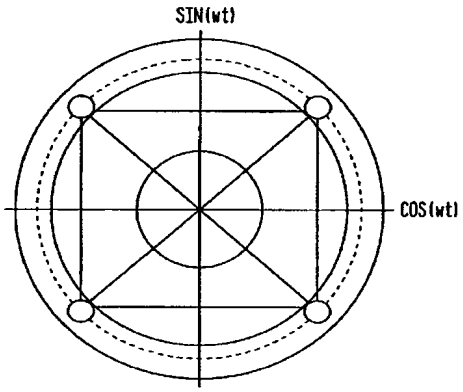
도면65


WCDMA 예시 파형 포락선
등급 S
등급 C 및 그 이상
등급 B
등급 A
등급 B
등급 C 및 그 이상
등급 S
시간

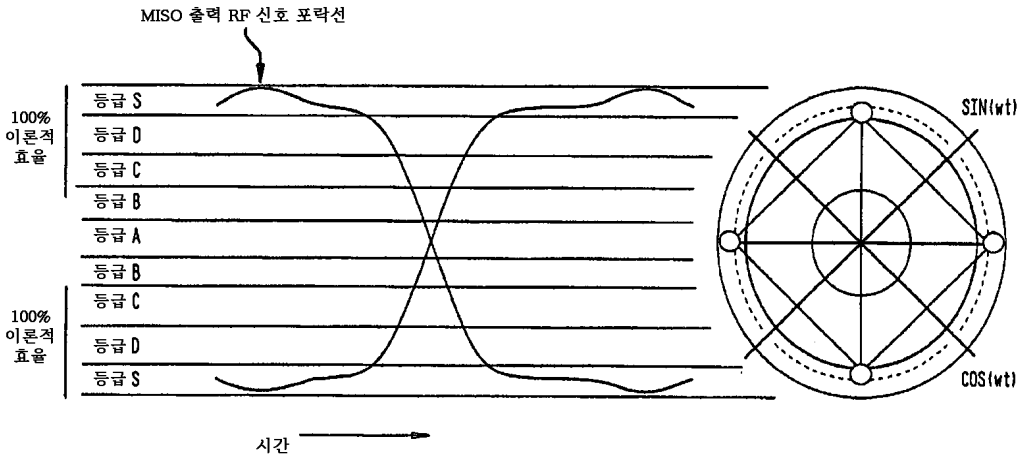
도면66



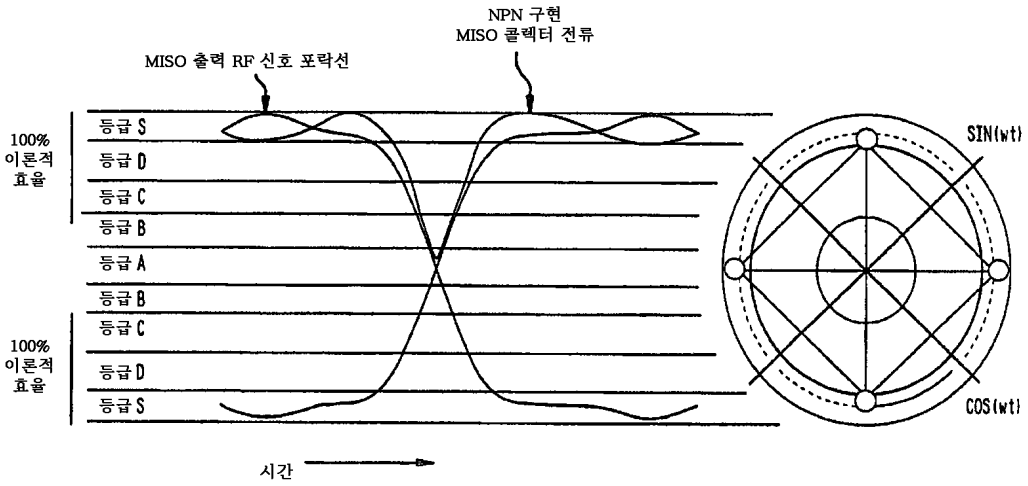
도면67



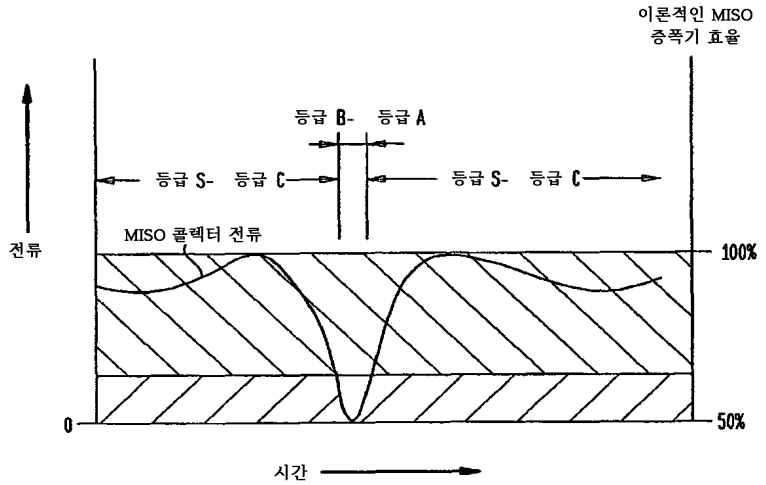
도면68



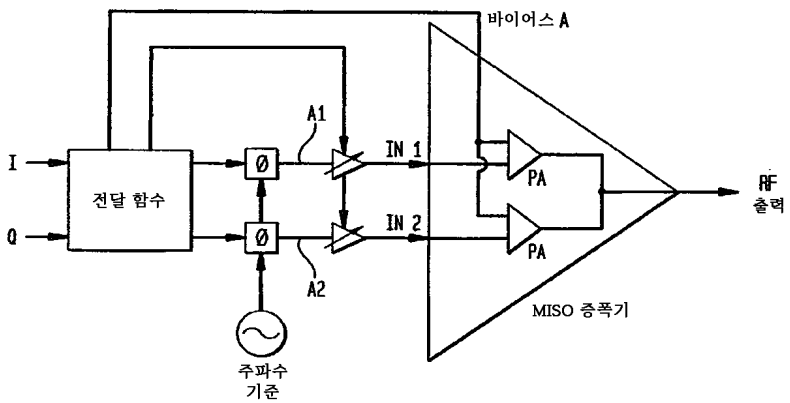
도면69



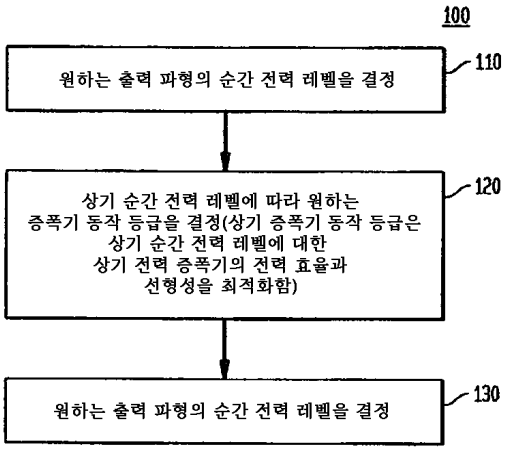
도면70



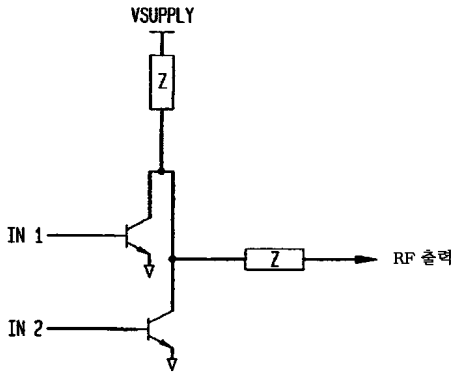
도면71



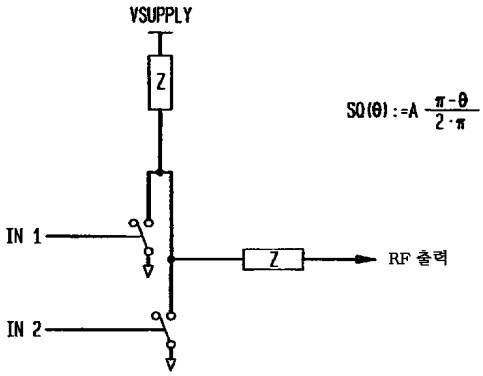
도면72



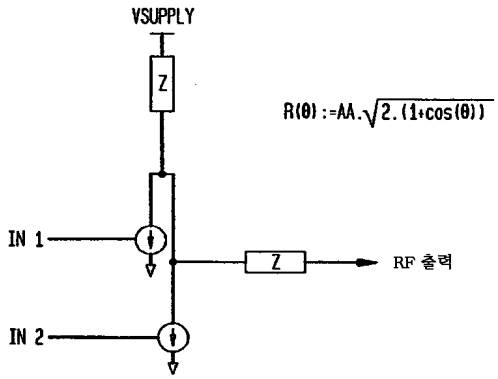
도면73



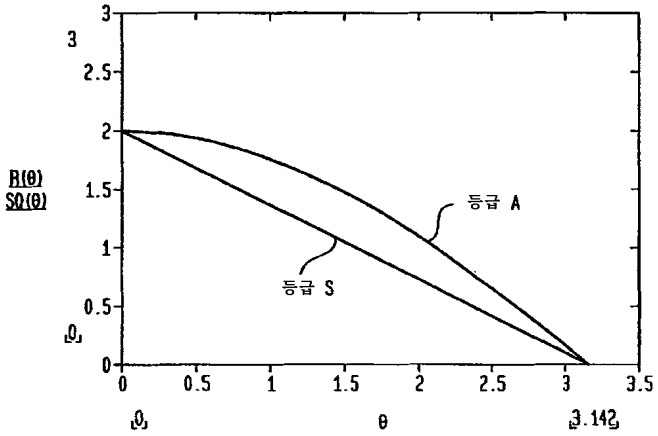
도면74



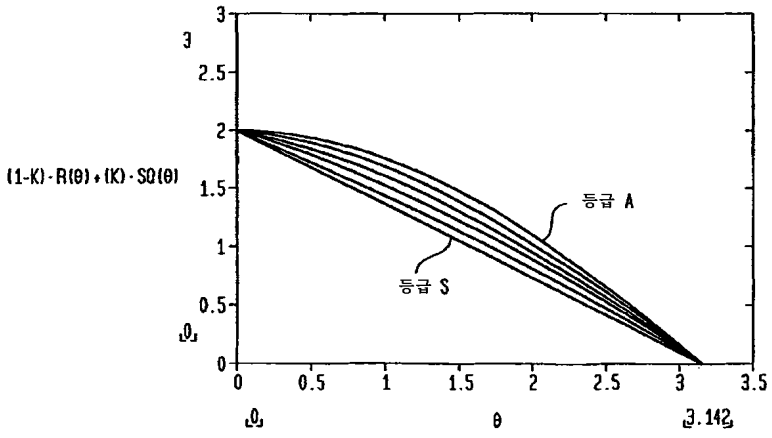
도면75



도면76



도면77



도면78

$$R\sin(\omega t)=A1\sin(\omega t+\theta 1(t))+A2\sin(\omega t+\theta 2(t))$$

$$R\sin(\omega t)=$$

$$A1\sin(\omega t)\cdot\cos(\theta 1(t))+A1\cdot\cos(\omega t)\cdot\sin(\theta 1(t))+A2\sin(\omega t+\theta 1(t))\cdot\cos(\theta 2(t))+A2\cdot\cos(\omega t+\theta 1(t))\cdot\sin(\theta 2(t)) \quad \text{Angle sum relationship (6.1.13): } \sin(\beta+\alpha)=\sin(\alpha)\cdot\cos(\beta)+\cos(\alpha)\cdot\sin(\beta)$$

$$A1\cdot\sin(\omega t)\cdot\cos(\theta 1(t))+A1\cdot\cos(\omega t)\cdot\sin(\theta 1(t))+A2\cdot\sin(\omega t+\theta 1(t))\cdot\cos(\theta 2(t))+A2\cdot\sin(\theta 2(t))\cdot\cos(\omega t+\theta 1(t)) \quad \text{Angle sum relationship (6.1.13): } \cos(\beta+\alpha)=\cos(\alpha)\cdot\cos(\beta)-\sin(\alpha)\cdot\sin(\beta)$$

$$A1\cdot\sin(\omega t)\cdot\cos(\theta 1(t))+A1\cdot\cos(\omega t)\cdot\sin(\theta 1(t))+A2\cdot\sin(\omega t)\cdot\cos(\theta 1(t))\cdot\cos(\theta 2(t))-A2\cdot\cos(\omega t)\cdot\sin(\theta 1(t))\cdot\cos(\theta 2(t))+A2\cdot\cos(\omega t)\cdot\cos(\theta 1(t))\cdot\sin(\theta 2(t))-A2\cdot\sin(\omega t)\cdot\sin(\theta 1(t))\cdot\sin(\theta 2(t))$$

$$\sin(\omega t)\cdot(A1\cdot\cos(\theta 1(t))+A2\cdot\cos(\theta 1(t))\cdot\cos(\theta 2(t))-A2\cdot\sin(\theta 1(t))\cdot\sin(\theta 2(t)))+\cos(\omega t)\cdot(A1\cdot\sin(\theta 1(t))+A2\cdot\sin(\theta 1(t))\cdot\cos(\theta 2(t))+A2\cdot\cos(\theta 1(t))\cdot\sin(\theta 2(t)))$$

$$R(t)=\sqrt{(A1\cdot\cos(\theta 1(t))+A2\cdot\cos(\theta 1(t))\cdot\cos(\theta 2(t))-A2\cdot\sin(\theta 1(t))\cdot\sin(\theta 2(t)))^2+(A1\cdot\sin(\theta 1(t))+A2\cdot\sin(\theta 1(t))\cdot\cos(\theta 2(t))+A2\cdot\cos(\theta 1(t))\cdot\sin(\theta 2(t)))^2}$$

$$R(t)=\sqrt{2\cdot A1\cdot\cos(\theta 1(t))\cdot A2\cdot\cos(\theta 1(t))\cdot\cos(\theta 2(t))-2\cdot A1\cdot\cos(\theta 1(t))\cdot A2\cdot\sin(\theta 1(t))\cdot\sin(\theta 2(t))+A2^2+A1^2+2\cdot A1\cdot\sin(\theta 1(t))\cdot A2\cdot\sin(\theta 1(t))\cdot\cos(\theta 2(t))+2\cdot A1\cdot\sin(\theta 1(t))\cdot A2\cdot\cos(\theta 1(t))\cdot\sin(\theta 2(t))}$$

$$\theta(t)=\operatorname{atan}\left[\frac{A1\cdot\sin(\theta 1(t))+A2\cdot\sin(\theta 1(t))\cdot\cos(\theta 2(t))+A2\cdot\cos(\theta 1(t))\cdot\sin(\theta 2(t))}{A1\cdot\cos(\theta 1(t))+A2\cdot\cos(\theta 1(t))\cdot\cos(\theta 2(t))-A2\cdot\sin(\theta 1(t))\cdot\sin(\theta 2(t))}\right]$$