

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96149165

※ 申請日期：96/12/21

※IPC 分類：

H01L 21/66 (2006.01)

H01L 25/065 (2006.01)

H01L 25/67 (2006.01)

H01L 25/18 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置之製造方法 / SEMICONDUCTOR DEVICE MANUFACTURING METHOD

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

新光電氣工業股份有限公司

SHINKO ELECTRIC INDUSTRIES CO., LTD. (新光電氣工業株式会社)

代表人：(中文/英文)

黑岩護 / Mamoru KUROIWA (黑岩護)

住居所或營業所地址：(中文/英文)

日本國長野縣長野市小島田町 80 番地

80, OSHIMADA-MACHI, NAGANO-SHI, NAGANO 381-2287, JAPAN

國 籍：(中文/英文)

日本 / Japan

三、發明人：(共 2 人)

姓 名：(中文/英文)

(1) 佐藤仁志 / Hitoshi SATO

(2) 井上英俊 / Hidetoshi INOUE

國 籍：(中文/英文)

(1)~(2) 日本 / Japan

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實
發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006/12/22；2006-346753

2.

3.

4.

5.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

本申請案係以 2006 年 12 月 22 日提出申請之日本專利申請案第 2006-346753 號為基礎並主張其之優先權，將該篇專利之全體內容併入本文為參考資料。

【發明所屬之技術領域】

本揭示內容係關於一種半導體裝置之製造方法。

【先前技術】

已知經由將 ASIC 晶片安裝於電路基板上與其連接，隨後再將記憶體晶片堆疊於 ASIC 晶片上，當將 ASIC 晶片及 ASIC 晶片之記憶體晶片安裝於電路基板上時所構成的半導體裝置（參見，例如，日本未經審查之專利文件：No.2005-251953）。

附帶一提，複數個不同的記憶體晶片係被提供至一類型之 ASIC 晶片。在此情況，記憶體晶片亦必須經由導線電連接至電路基板上之預定端子。在不同記憶體晶片的情況中，其於電路基板上的端子位置一般係不同。因此，在相關技術中，必須分別針對每種不同的記憶體晶片設計電路基板。結果，會有此結構之製造麻煩且製造成本增加的問題。

舉例來說，如圖 15A、圖 16A、圖 17A 所示，在記憶體晶片 1、2 及 3 中的端子配置稍微不同。在此情況，如圖 15B、圖 16B、圖 17B 所示，關於基板 4、5 及 6，必須設計及製造具有分別與記憶體晶片 1、2 及 3 之端子配置相配合之端子配置的專用電路基板 4、5 及 6。在此，圖 15C、

圖 16C、圖 17C 分別係顯示安裝於基板上之記憶體晶片的平面圖，及圖 15D、圖 16D、圖 17D 分別係顯示安裝於基板上之記憶體晶片的前視圖，及 8 係指示 ASIC 晶片。

此外，在圖 18A 至圖 18D 中，顯示將具有相同容量之記憶體晶片 10 分兩層堆疊且安裝於 ASIC 晶片 8 上的一實例。當將複數個記憶體晶片 10 堆疊且設置於電路基板 12 上時，必須設計及製備分別針對每個堆疊數目之記憶體晶片 10 特別提供專用端子的電路基板 12。在此，9 係指示由絕緣體所形成的間隔物。

此外，圖 18B 所示之電路基板 12 可經設計為將一個記憶體晶片安裝於此電路基板上。在此情況，為回應此一應安裝複數個記憶體晶片的情況，必須預先製備具有可應付最大數目之記憶體晶片之端子配置的電路基板。然而，電路基板一般具有多層且複雜的結構。因此，會有電路基板的設計及製造不易且亦會導致成本增加的問題。

【發明內容】

本發明已解決上述問題，且本發明之一目的提供一種可使用共同電路基板而達成成本降低的半導體裝置製造方法。

根據本發明之第一態樣，在一種半導體裝置之製造方法中，該半導體裝置之製造方法包括：

- a) 製備一類型的 ASIC 晶片；
- b) 製備彼此不同的記憶體晶片；
- c) 製備一共同電路基板；

d) 製備包括具有記憶體晶片端子及外部連接端子之佈線圖案的基座端子晶片；

e) 藉由覆晶結合(flip-chip bonding)將 ASIC 晶片安裝於共同電路基板上；

f) 將基座端子晶片緊固於 ASIC 晶片上；

g) 將其中一個記憶體晶片安裝於基座端子晶片上；

h) 使用第一導線將位於該其中一個記憶體晶片上之端子電連接至記憶體晶片端子；及

i) 使用第二導線將外部連接端子電連接至位於共同電路基板上之端子。

根據本發明之第二態樣，在一種半導體裝置之製造方法中，該方法包括下列步驟：

a) 製備一類型的 ASIC 晶片；

b) 製備記憶體晶片；

c) 製備一共同電路基板；

d) 製備包括具有記憶體晶片端子及外部連接端子之佈線圖案的基座端子晶片；

e) 藉由覆晶結合將 ASIC 晶片安裝於共同電路基板上；

f) 將基座端子晶片緊固於 ASIC 晶片上；

g) 將記憶體晶片安裝於基座端子晶片上；

h) 使用第一導線將位於記憶體晶片上之端子電連接至記憶體晶片端子；及

i) 使用第二導線將外部連接端子電連接至位於共同電路基板上之端子。

根據本發明之第三態樣，其中步驟 g)可包括：透過間隔物堆疊記憶體晶片。

根據本發明之第四態樣，步驟 g)可包括：提供記憶體晶片之組合。

根據本發明，提供該共同電路基板作為須要甚多設計及製造成本的電路基板，且將對應於複數個記憶體晶片之共同或個別的佈線圖案設置於設計及製造容易且不需要甚多成本的基座端子側上。因此，可提供能降低製造成本的半導體裝置。

【實施方式】

接下來，將參照後文圖式詳細說明示範性具體例。

[第一具體例]

圖 1A 至圖 3D 顯示第一具體例。本具體例顯示將三種類型之記憶體晶片 21、22 及 23 安裝於一類型之 ASIC 晶片 20 上的實例。端子 21a、22a 及 23a 之位置於各別的記憶體晶片 21、22 及 23 中偏移。換言之，在此實例中，記憶體晶片 21 之端子 21a 相對於記憶體晶片 22 之端子 22a 相對地向左偏移，及記憶體晶片 23 之端子 23a 相對於端子 22a 相對地向右偏移。

在此情況，在相關技術中，個別地製備其之端子位置經設計成對應於各記憶體晶片的電路基板。

然而，在本具體例中，係使用其端子 25a 之位置為共同設置的共同電路基板 25(見圖 4)。

此外，在本具體例中，如圖 1B、圖 2B 及圖 3B 所示，

針對每個記憶體晶片製備其上可分別安裝不同的記憶體晶片 21、22 及 23 且其上分別形成佈線圖案 26、27 及 28 的基座端子晶片 29、30 及 31。佈線圖案 26、27 及 28 具有可分別透過導線連接至記憶體晶片 21、22 及 23 之端子 21a、22a 及 23a 的記憶體晶片端子 26a、27a 及 28a 及可分別透過導線連接至電路基板 25 之端子 25a 的外部連接端子 26b、27b 及 28b。

基座端子晶片 29、30 及 31 之記憶體晶片端子 26a、27a 及 28a 係設置於待安裝之記憶體晶片 21、22 及 23 之端子 21a、22a 及 23a 可分別透過導線容易地連接的位置，例如，其中兩端子係相互最靠近地設置。同樣地，基座端子晶片 29、30 及 31 之外部連接端子 26b、27b 及 28b 係設置於電路基板 25 之端子 25a 可分別透過導線容易地連接的位置，例如，其中兩端子係相互最靠近地設置。

佈線圖案 26、27 及 28 分別係形成於基座端子晶片 29、30 及 31 上，以致端子 26a 及 26b、端子 27a 及 27b、及端子 28a 及 28b 分別經由此等圖案連接。

僅將具有各別端子的佈線圖案 26、27 及 28 形成於基座端子晶片 29、30、31 上。因此，基座端子晶片 29、30 及 31 的設計及製造係容易地且以低成本進行。換言之，基座端子晶片 29、30、31 之設計及製造係以較各別形成多層電路基板 25 之情況更容易地且以極低之成本進行。基座端子晶片 29、30 及 31 可使用矽晶圓製造。

如前所述，電路基板 25 係被共同使用，但其上可安裝

記憶體晶片 21、22 及 23 的基座端子晶片 29、30 及 31 則係各別地製備。

隨後，將 ASIC 晶片 20 覆晶結合至電路基板 25，該電路基板 25 分別係對三組 ASIC 晶片 20 及個別的記憶體晶片 21、22 及 23 共同使用。接著，分別藉由黏著劑將基座端子晶片 29、30 及 31 緊固於 ASIC 晶片 20 上。隨後，分別藉由黏著劑將相應的記憶體晶片 21、22 及 23 緊固於基座端子晶片 29、30 及 31 上。

接下來，將記憶體晶片 21、22 及 23 之端子 21a、22a 及 23a 分別電連接至基座端子晶片 29、30 及 31 之相應的記憶體晶片端子 26a、27a 及 28a。隨後，分別透過導線 35 將基座端子晶片 29、30 及 31 之外部連接端子 26b、27b 及 28b 電連接至電路基板 25 的端子 25a，如此提供半導體裝置 37(見圖 1C 及 1D、圖 2C 及 2D、圖 3C 及 3D)。在此，該 ASIC 晶片 20、記憶體晶片、及導線 33 及 35 可經密封樹脂(未示於圖中)密封。

[第二具體例]

圖 5 至圖 9 顯示第二具體例。本具體例顯示安裝複數個(例如，直至四個)尺寸較 ASIC 晶片 20 小之記憶體晶片的實例。在相關技術中，當要個別裝置一、二、三、及四個記憶體晶片時，要分別針對一、二、三、及四個記憶體晶片設計及製造各別的電路基板。

在本具體例中，當事先知曉待安裝之記憶體晶片的數目時，預先設計及製造具有可應付自最小數目至最大數目之

各別記憶體晶片之端子 25a 之配置的共同電路基板 25(見圖 6)。

在此實例中，製備可回應多至四個記憶體晶片 40、41、42 及 43(圖 5)的電路基板 25。在此情況，關於記憶體晶片 40、41、42 及 43，可使用相同類型或不同類型。

此外，在本具體例中，製備其上可安裝複數個(例如，直至四個)記憶體晶片 40、41、42 及 43 的共同基座端子晶片 45(圖 7)。此外，於基座端子晶片 45 上形成電連接至直至最大值為四個之待安裝之記憶體晶片的佈線圖案 46。

舉例來說，圖 7 中之區域 A、B、C 及 D 係其上分別安裝記憶體晶片 40、41、42、43 的區域。在此等區域之周圍以預定的配置形成可分別透過導線 33 與記憶體晶片 40、41、42 及 43 之端子 40a、41a、42a 及 43a 電連接的記憶體晶片端子 46a。

此外，在基座端子晶片 45 之周邊區域中以預定配置形成連接至各別記憶體晶片端子 46a 的外部連接端子 46b。端子 46a 及 46b 兩者可藉由於其中導引佈線圖案 46 而以預定配置形成於期望位置中。

外部連接端子 46b 係經排列成使此等端子可透過導線 35 連接至電路基板 25 之端子 25a。

數個鄰近的記憶體晶片可使用匯流線或其類似物而共用。因此，在基座端子晶片 45 之共同佈線(例如，46c)上形成透過導線 33 與相鄰記憶體晶片之共同端子連接的

兩記憶體晶片端子 46a 及 46a，隨後再將此等記憶體晶片端子 46a 及 46a 連接至一個外部連接端子 46b。如此形成佈線圖案 46。在圖 7 之實例中，在相鄰的記憶體晶片之間形成三個共同佈線 46c。基座端子晶片 45 亦可使用半導體晶圓容易地製造。

如前所述，製備電路基板 25 及基座端子晶片 45。首先，將 ASIC 晶片 20 覆晶結合且因此安裝於電路基板 25 上。隨後藉由黏著劑將基座端子晶片 45 緊固於 ASIC 晶片 20 上。接著利用黏著劑將預定數目（在說明實例中為四個）之記憶體晶片以預定位置緊固於基座端子晶片上。隨後記憶體晶片之端子與基座端子晶片 45 之記憶體晶片端子 46a 經由導線 33 彼此電連接。接著，基座端子晶片 45 之外部連接端子 46b 與電路基板 25 之端子 25a 經由導線 35 彼此電連接。如此，針對各別記憶體晶片完成半導體裝置 37（見圖 8 及圖 9）。在此，該 ASIC 晶片 20、記憶體晶片、及導線 33 及 35 可經密封樹脂（未示於圖中）密封。

[第三具體例]

圖 10 至圖 14 顯示第三具體例。本具體例顯示將複數個相同的記憶體晶片 50（圖 10）安裝於一類型之 ASIC 晶片 20 上的實例。由於使用相同的記憶體晶片 50，因而其之端子 50a 的位置及功能完全相同。在此實例中，以下說明安裝直至兩片記憶體晶片 50 的情況。

在本具體例中，製備具有共同端子 25a 的電路基板 25（圖 11）。在此情況，可使用與當安裝一個記憶體晶片

50 時所使用之相同配置作為端子 25a 之配置。

此外，在本具體例中，製備可於其上安裝複數個記憶體晶片的共同基座端子晶片 52。隨後透過間隔物 51 將複數個記憶體晶片 50 堆疊及安裝於基座端子晶片 52 上。

圖 12 顯示其上可安裝兩個記憶體晶片 50 的共同基座端子晶片 52。於基座端子晶片 52 上形成佈線圖案 54。隨後於佈線圖案 54 上形成可透過導線 33 與待安裝之記憶體晶片 50 之端子 50a 連接的記憶體晶片端子 54a。接著形成外部連接端子 54b，以致連接記憶體晶片端子 54a，且亦透過導線 35 連接電路基板 25 之端子 25a。外部連接端子 54b 係形成於基座端子晶片 52 之周邊區域上，而具有與電路基板 25 之端子 25a 相同的配置。

在本具體例中，堆疊至多兩片相同的記憶體晶片 50，且將其安裝於電路基板 25 上。在堆疊兩個記憶體晶片 50 的情況中，將具有相同作用的端子 50a 置於上方及下方記憶體晶片 50 的相同位置中。因此，如圖 12 所示，於基座端子晶片 52 上的共同佈線(例如，54c)上形成透過導線 33 與上方及下方記憶體晶片 50 之共同端子 50a 連接的兩個記憶體晶片端子 54a，且此等記憶體晶片端子連接至一個外部連接端子 54b。如此形成佈線圖案 54。

如前所述，製備電路基板 25 及基座端子晶片 52。首先，將 ASIC 晶片 20 覆晶結合且因此安裝於電路基板 25 上。隨後，藉由黏著劑將基座端子晶片 52 緊固於 ASIC 晶片 20 上。

接著，利用黏著劑將第一層中之記憶體晶片 50 緊固於基座端子晶片 52 上。隨後記憶體晶片 50 之端子 50a 與基座端子晶片 52 之記憶體晶片端子 54a 經由導線 33 彼此電連接。

接著，利用黏著劑透過間隔物 51 將第二層中之記憶體晶片 50 緊固於第一層中之記憶體晶片 50 上。隨後，第二層中之記憶體晶片 50 之端子 50a 與基座端子晶片 52 之記憶體晶片端子 54a 經由導線 33 彼此電連接。

接著，基座端子晶片 52 之外部連接端子 54b 與電路基板 25 之端子 25a 經由導線 35 彼此電連接。如此，針對各別記憶體晶片完成半導體裝置 37(見圖 13 及圖 14)。在此，該 ASIC 晶片 20、記憶體晶片、及導線 33 及 35 可經密封樹脂(未示於圖中)密封。

當然，在使用一個記憶體晶片 50 的情況中，僅安裝第一層中之記憶體晶片 50。

在以上具體例中，雖然堆疊且安裝至多兩件相同的記憶體晶片 50，但可透過間隔物堆疊且因此安裝三個或更多個記憶體晶片 50。在此情況，於共同佈線 54c 上形成可藉由導線 33 與多個記憶體晶片 50 之端子 50a 連接的複數個記憶體晶片端子 54a。

在此，並非總是堆疊及安裝相同的記憶體晶片，而係可替代地堆疊及安裝複數個不同的記憶體晶片。在此情況，當然係將可於其上安裝所有記憶體晶片的佈線圖案(未示於圖中)形成於基座端子晶片 52 上。

雖然已就本發明之範例具體例進行說明，但熟悉技藝人士當明白可不脫離本發明而於其中進行各種變化及修改。因此，隨附之申請專利範圍係要涵蓋所有此等落入於本發明之確切精神及範疇內的變化及修改。

【圖式簡單說明】

圖 1A 至 1D 係顯示根據本發明之第一具體例之記憶體晶片之安裝實例的說明圖；

圖 2A 至 2D 係顯示根據第一具體例之記憶體晶片之另一安裝實例的說明圖；

圖 3A 至 3D 係顯示根據第一具體例之記憶體晶片之另一安裝實例的說明圖；

圖 4 係根據第一具體例之電路基板的說明圖；

圖 5A 至 5D 係根據本發明之第二具體例之記憶體晶片的說明圖；

圖 6 係根據第二具體例之電路基板的說明圖；

圖 7 係根據第二具體例之基座端子晶片的說明圖；

圖 8 係根據第二具體例之半導體裝置的平面圖；

圖 9 係根據第二具體例之半導體裝置的前視圖；

圖 10 係根據本發明之第三具體例之記憶體晶片的說明圖；

圖 11 係根據第三具體例之電路基板的說明圖；

圖 12 係根據第三具體例之基座端子晶片的說明圖；

圖 13 係根據第三具體例之半導體裝置的平面圖；

圖 14 係根據第三具體例之半導體裝置的前視圖；

圖 15A 至 15D 係顯示根據相關技術之半導體裝置之記憶體晶片之安裝實例的說明圖；

圖 16A 至 16D 係顯示根據相關技術之半導體裝置之記憶體晶片之另一安裝實例的說明圖；

圖 17A 至 17D 係顯示根據相關技術之半導體裝置之記憶體晶片之另一安裝實例的說明圖；

圖 18A 至 18D 係顯示根據相關技術之半導體裝置之記憶體晶片之另一安裝實例的說明圖。

【主要元件符號說明】

- | | |
|-----|---------|
| 1 | 記憶體晶片 |
| 2 | 記憶體晶片 |
| 3 | 記憶體晶片 |
| 4 | 電路基板 |
| 5 | 電路基板 |
| 6 | 電路基板 |
| 8 | ASIC 晶片 |
| 9 | 間隔物 |
| 10 | 記憶體晶片 |
| 12 | 電路基板 |
| 20 | ASIC 晶片 |
| 21 | 記憶體晶片 |
| 21a | 端子 |
| 22 | 記憶體晶片 |
| 22a | 端子 |

23	記憶體晶片
23a	端子
25	共同電路基板
25a	端子
26	佈線圖案
26a	記憶體晶片端子
26b	外部連接端子
27	佈線圖案
27a	記憶體晶片端子
27b	外部連接端子
28	佈線圖案
28a	記憶體晶片端子
28b	外部連接端子
29	基座端子晶片
30	基座端子晶片
31	基座端子晶片
33	導線
35	導線
37	半導體裝置
40	記憶體晶片
40a	端子
41	記憶體晶片
41a	端子
42	記憶體晶片

42a	端 子
43	記 憶 體 晶 片
43a	端 子
45	基 座 端 子 晶 片
46	佈 線 圖 案
46a	記 憶 體 晶 片 端 子
46b	外 部 連 接 端 子
46c	共 同 佈 線
50	記 憶 體 晶 片
50a	端 子
51	間 隔 物
52	基 座 端 子 晶 片
54	佈 線 圖 案
54a	記 憶 體 晶 片 端 子
54b	外 部 連 接 端 子
54c	共 同 佈 線
A	區 域
B	區 域
C	區 域
D	區 域

五、中文發明摘要：

本發明係關於一種半導體裝置之製造方法，該方法包括：a) 製備一類型的 ASIC 晶片；b) 製備彼此不同的記憶體晶片；c) 製備一共同電路基板；d) 製備包括具有記憶體晶片端子及外部連接端子之佈線圖案的基座端子晶片；e) 藉由覆晶結合將 ASIC 晶片安裝於共同電路基板上；f) 將基座端子晶片緊固於 ASIC 晶片上；g) 將其中一個記憶體晶片安裝於基座端子晶片上；h) 使用第一導線將位於該其中一個記憶體晶片上之端子電連接至記憶體晶片端子；及 i) 使用第二導線將外部連接端子電連接至位於共同電路基板上之端子。

六、英文發明摘要：

In a method of manufacturing a semiconductor device, the method includes : a) preparing one type of an ASIC chip ; b) preparing memory chips which are different from each other ; c) preparing a common circuit substrate ; d) preparing a pedestal terminal chip including wiring patterns having memory chip terminals and external connection terminals ; e) mounting the ASIC chip on the common circuit substrate by flip-chip bonding ; f) securing the pedestal terminal chip on the ASIC chip ; g) mounting one of the memory chips on the pedestal terminal chip ; h) electrically connecting terminals on the one of the memory chips to the memory chip terminals using a first wire ; and i) electrically connecting the external connection terminals to terminals on the common circuit substrate using a second wire.

十、申請專利範圍：

1. 一種半導體裝置之製造方法，該方法包括：

a) 製備一類型的 ASIC 晶片；

b) 製備彼此不同的記憶體晶片；

c) 製備一共同電路基板；

d) 製備包括具有記憶體晶片端子及外部連接端子之佈線圖案的基座端子晶片；

e) 藉由覆晶結合將 ASIC 晶片安裝於共同電路基板上；

f) 將基座端子晶片緊固於 ASIC 晶片上；

g) 將其中一個記憶體晶片安裝於基座端子晶片上；

h) 使用第一導線將位於該其中一個記憶體晶片上之端子電連接至記憶體晶片端子；及

i) 使用第二導線將外部連接端子電連接至位於共同電路基板上之端子。

2. 一種半導體裝置之製造方法，該方法包括下列步驟：

a) 製備一類型的 ASIC 晶片；

b) 製備記憶體晶片；

c) 製備一共同電路基板；

d) 製備包括具有記憶體晶片端子及外部連接端子之佈線圖案的基座端子晶片；

e) 藉由覆晶結合將 ASIC 晶片安裝於共同電路基板上；

f) 將基座端子晶片緊固於 ASIC 晶片上；

g) 將記憶體晶片安裝於基座端子晶片上；

h) 使用第一導線將位於記憶體晶片上之端子電連接至

記憶體晶片端子；及

i) 使用第二導線將外部連接端子電連接至位於共同電路基板上之端子。

3. 如申請專利範圍第 2 項之半導體裝置之製造方法，其中該步驟 g) 包括：

透過一間隔物堆疊記憶體晶片。

4. 如申請專利範圍第 2 項之半導體裝置之製造方法，其中該步驟 g) 包括：

提供該記憶體晶片之組合。

十一、圖式：

圖 1 A

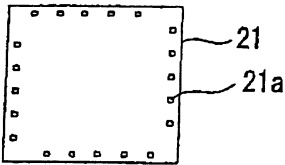


圖 1 B

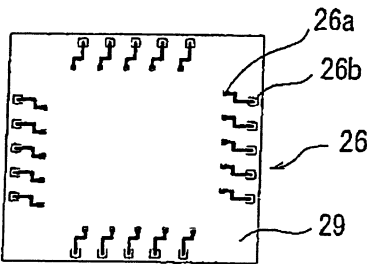


圖 1 C

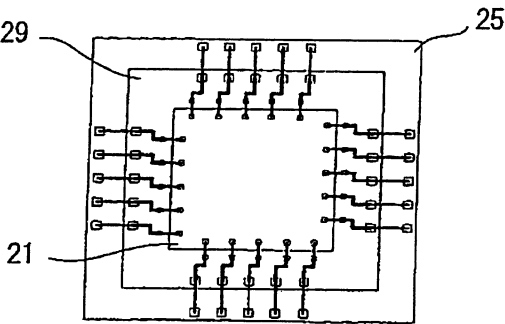


圖 1 D

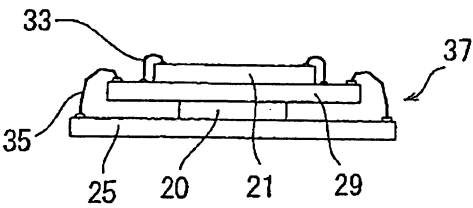


圖 2A

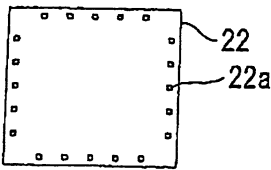


圖 2B

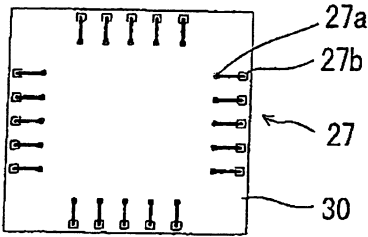


圖 2C

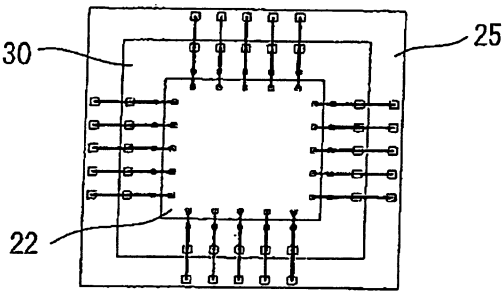


圖 2D

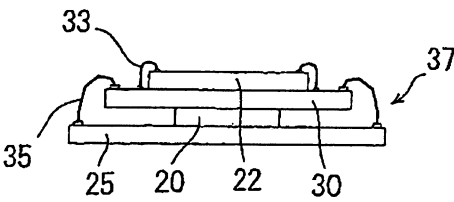


圖 3 A

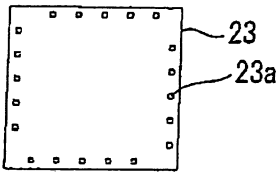


圖 3 B

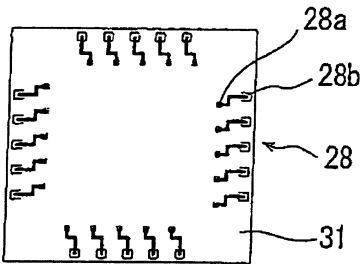


圖 3 C

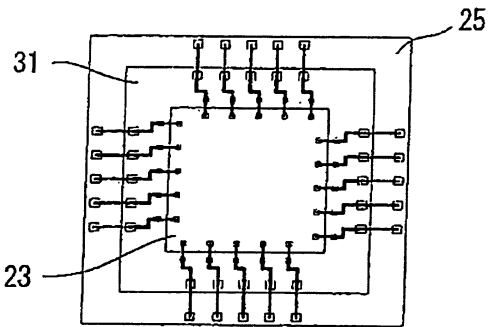


圖 3 D

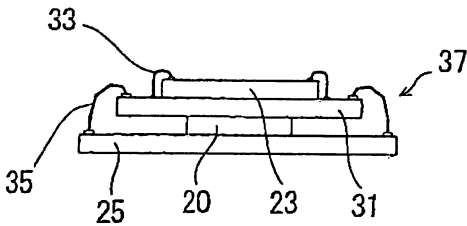
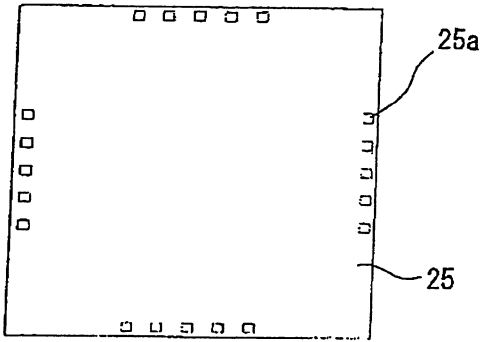


圖 4



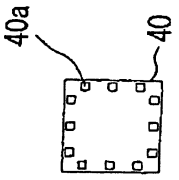


圖 5A

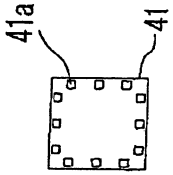


圖 5B

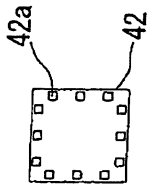


圖 5C

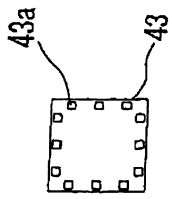


圖 5D

圖 6

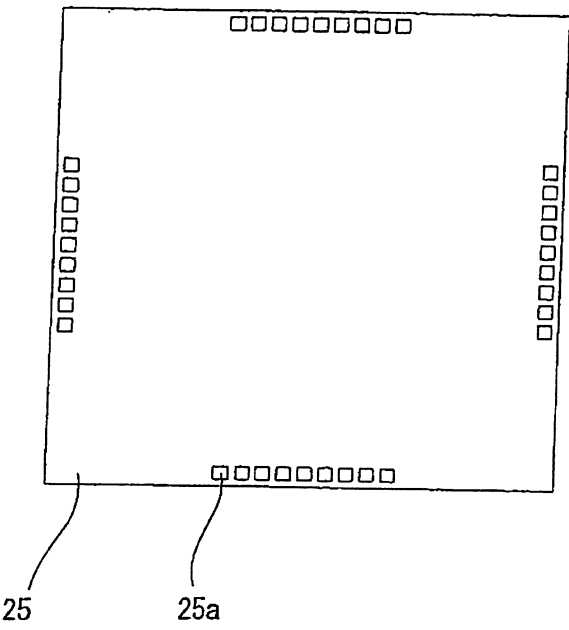


圖 7

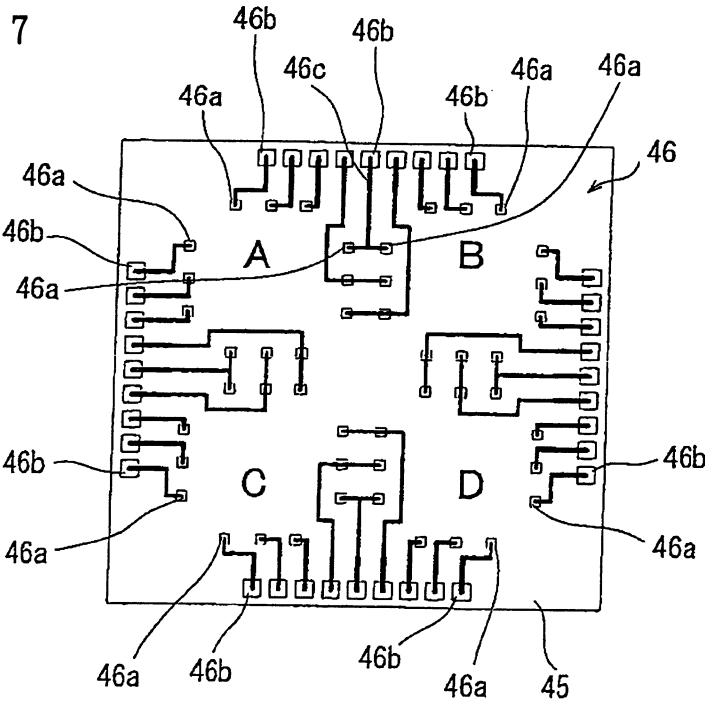


圖 8

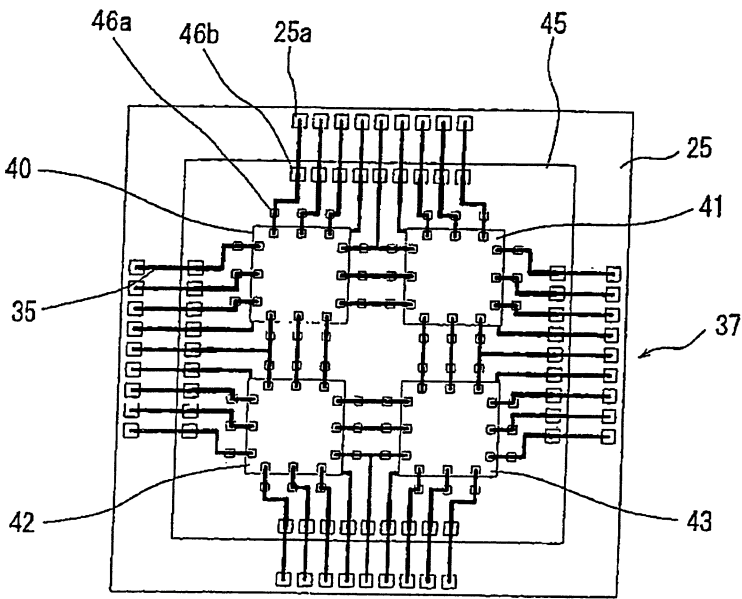


圖 9

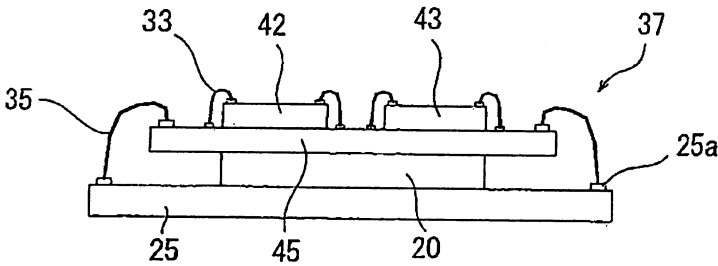


圖 10

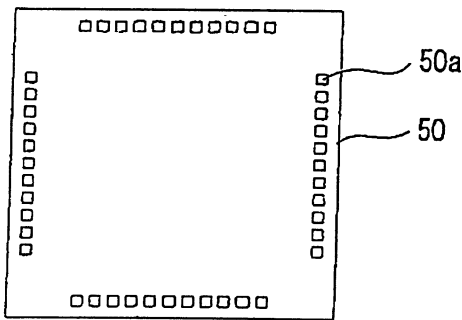


圖 11

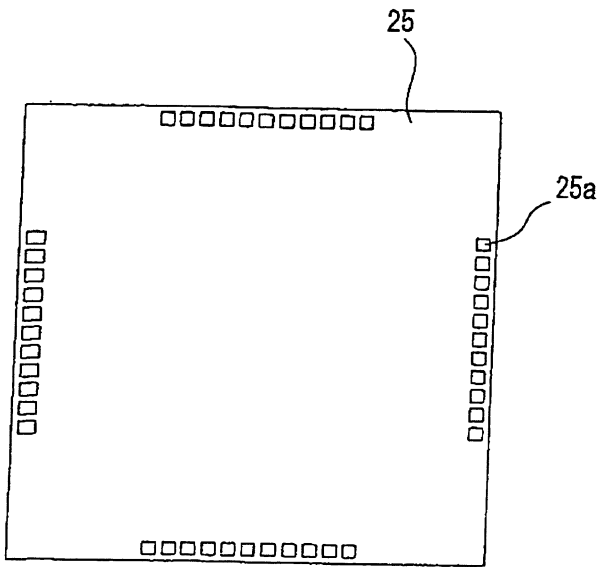


圖 12

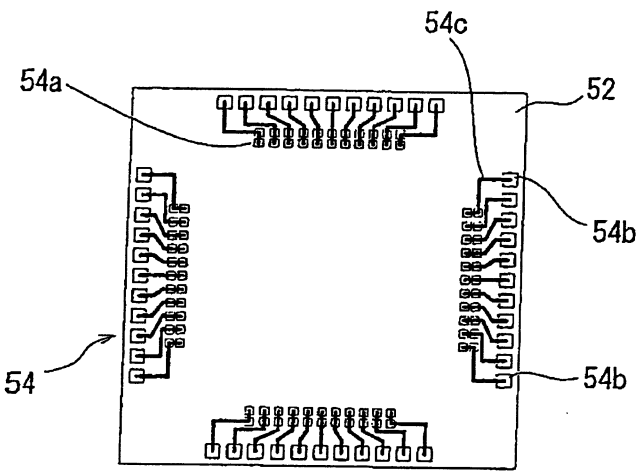


圖 13

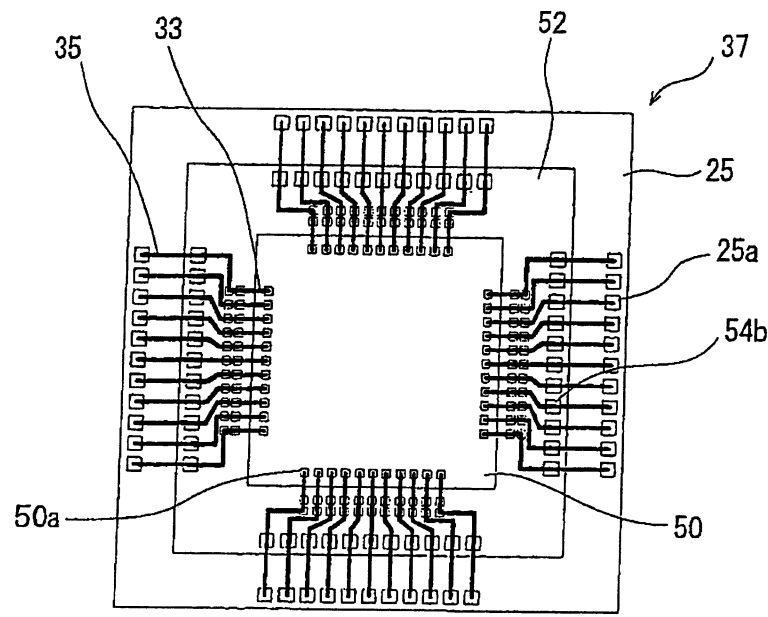


圖 14

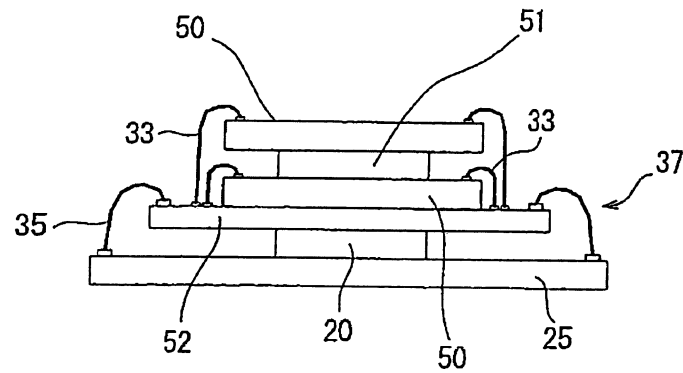


圖 15A

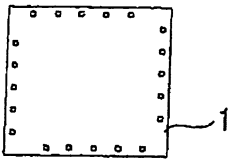


圖 15B

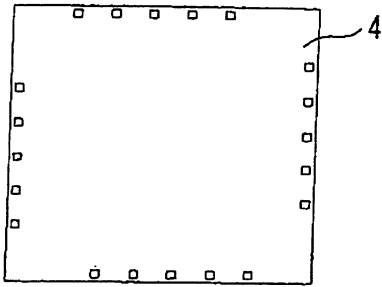


圖 15C

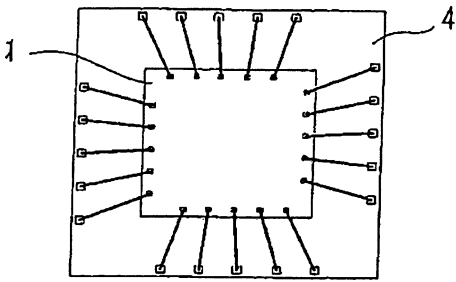


圖 15D

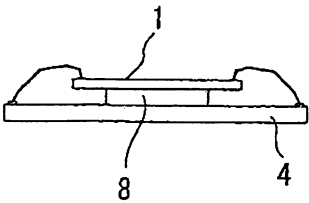


圖 16A

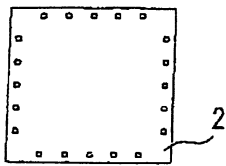


圖 16B

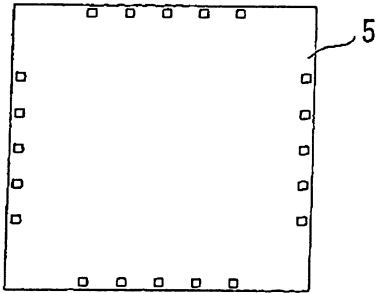


圖 16C

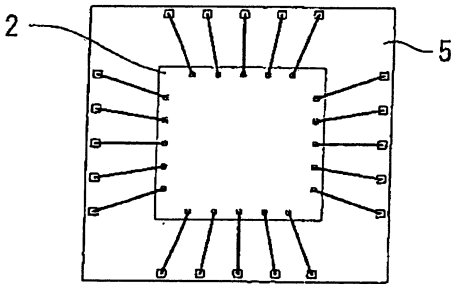


圖 16D

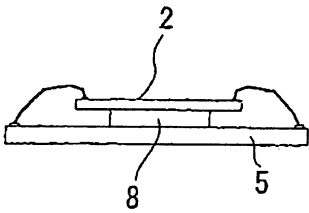


圖 17A

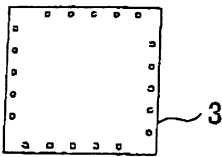


圖 17B

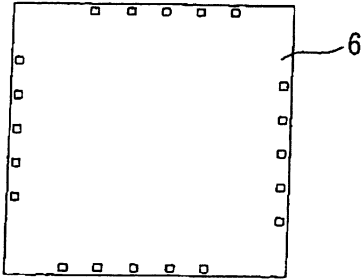


圖 17C

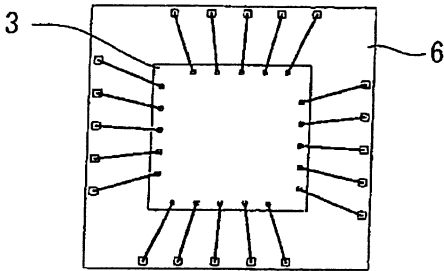


圖 17D

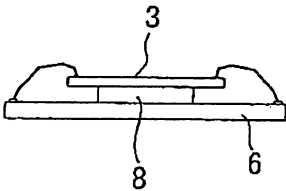


圖 18A

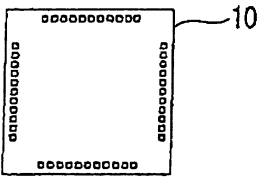


圖 18B

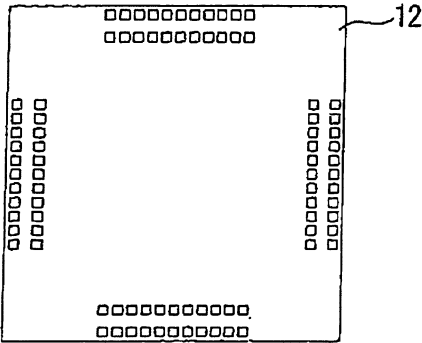


圖 18C

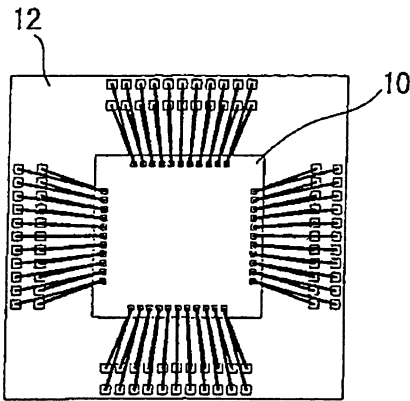
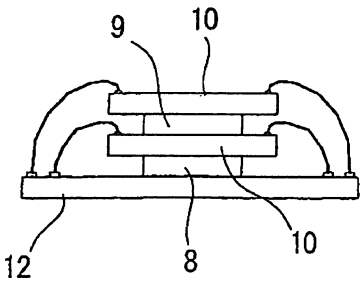


圖 18D



七、指定代表圖：

(一)本案指定代表圖為：第 (1D) 圖。

(二)本代表圖之元件符號簡單說明：

20	ASIC 晶片
21	記憶體晶片
25	共同電路基板
29	基座端子晶片
33	導線
35	導線
37	半導體裝置

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無