

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5041672号
(P5041672)

(45) 発行日 平成24年10月3日 (2012. 10. 3)

(24) 登録日 平成24年7月20日 (2012. 7. 20)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 2 3 Z

H O 1 L 27/04 (2006. 01)

H O 1 L 27/04 H

H O 1 L 21/822 (2006. 01)

G O 6 K 19/00 H

G O 6 K 19/07 (2006. 01)

G O 6 K 19/00 K

G O 6 K 19/077 (2006. 01)

請求項の数 14 (全 39 頁)

(21) 出願番号 特願2005-111799 (P2005-111799)
 (22) 出願日 平成17年4月8日 (2005. 4. 8)
 (65) 公開番号 特開2005-322899 (P2005-322899A)
 (43) 公開日 平成17年11月17日 (2005. 11. 17)
 審査請求日 平成20年4月1日 (2008. 4. 1)
 (31) 優先権主張番号 特願2004-115467 (P2004-115467)
 (32) 優先日 平成16年4月9日 (2004. 4. 9)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 加藤 清
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁膜を間に挟んで重なって設けられたフローティングゲート及びコントロールゲートを有するトランジスタと、アンテナと、入力端子と、出力端子と、前記フローティングゲートに蓄積される電荷量を制御するための端子とを有し、

前記トランジスタのドレインは、前記トランジスタの前記コントロールゲート、前記入力端子、前記出力端子及び前記フローティングゲートに蓄積される電荷量を制御するための端子に電氣的に接続され、

前記トランジスタのソースには一定の電圧が供給され、

前記入力端子は前記アンテナに電氣的に接続されていることを特徴とする半導体装置。 10

【請求項 2】

請求項 1 において、前記トランジスタの前記ドレインと前記コントロールゲートの間に抵抗を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 において、前記トランジスタの前記ドレインと前記コントロールゲートの間に、順方向電流の向きが互いに逆になるように第 1 のダイオードと第 2 のダイオードが並列に接続されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、前記トランジスタは薄膜トランジスタであることを特徴とする半導体装置。 20

【請求項 5】

第 1 のトランジスタと、絶縁膜を間に挟んで設けられたフローティングゲート及びコントロールゲートを有する第 2 のトランジスタと、アンテナと、入力端子と、出力端子と、前記フローティングゲートに蓄積される電荷量を制御するための端子とを有し、

前記第 1 のトランジスタのドレインは、前記第 1 のトランジスタのゲート、前記入力端子及び前記出力端子に電氣的に接続され、

前記第 2 のトランジスタのドレインは、前記第 1 のトランジスタのソース、前記第 2 のトランジスタのコントロールゲート及び前記フローティングゲートに蓄積される電荷量を制御するための端子に電氣的に接続され、

前記第 2 のトランジスタのソースには一定の電圧が供給され、

前記入力端子は前記アンテナに電氣的に接続されていることを特徴とする半導体装置。

10

【請求項 6】

絶縁膜を間に挟んで設けられたフローティングゲート及びコントロールゲートを有する第 1 のトランジスタと、第 2 のトランジスタと、アンテナと、入力端子と、出力端子と、前記フローティングゲートに蓄積される電荷量を制御するための端子とを有し、

前記第 1 のトランジスタのドレインは、前記第 1 のトランジスタのコントロールゲート、前記入力端子、前記出力端子及び前記フローティングゲートに蓄積される電荷量を制御するための端子に電氣的に接続され、

前記第 2 のトランジスタのドレインは、前記第 1 のトランジスタのソース及び前記第 2 のトランジスタのゲートに電氣的に接続され、

20

前記第 2 のトランジスタのソースには一定の電圧が供給され、

前記入力端子は前記アンテナに電氣的に接続されていることを特徴とする半導体装置。

【請求項 7】

第 1 の絶縁膜を間に挟んで設けられた第 1 のフローティングゲート及び第 1 のコントロールゲートを有する第 1 のトランジスタと、第 2 の絶縁膜を間に挟んで設けられた第 2 のフローティングゲート及び第 2 のコントロールゲートを有する第 2 のトランジスタと、アンテナと、入力端子と、出力端子と、前記第 1 のフローティングゲートに蓄積される電荷量を制御するための端子と、前記第 2 のフローティングゲートに蓄積される電荷量を制御するための端子とを有し、

前記第 1 のトランジスタのドレインは、前記第 1 のコントロールゲート、前記入力端子、前記出力端子及び前記第 1 のフローティングゲートに蓄積される電荷量を制御するための端子に電氣的に接続され、

30

前記第 2 のトランジスタのドレインは、前記第 1 のトランジスタのソース、前記第 2 のコントロールゲート及び前記第 2 のフローティングゲートに蓄積される電荷量を制御するための端子に電氣的に接続され、

前記第 2 のトランジスタのソースには一定の電圧が供給され、

前記入力端子は前記アンテナに電氣的に接続されていることを特徴とする半導体装置。

【請求項 8】

集積回路と、前記集積回路に電氣的に接続されたアンテナとを有し、

前記集積回路は、第 1 のトランジスタと、絶縁膜を間に挟んで設けられたフローティングゲート及びコントロールゲートを有する第 2 のトランジスタと、入力端子と、出力端子と、前記フローティングゲートに蓄積される電荷量を制御するための端子とを有し、

40

前記第 1 のトランジスタのドレインは、前記第 1 のトランジスタのゲート、前記入力端子及び前記出力端子に電氣的に接続され、

前記第 2 のトランジスタのドレインは、前記第 1 のトランジスタのソース、前記第 2 のトランジスタのコントロールゲート及び前記フローティングゲートに蓄積される電荷量を制御するための端子に電氣的に接続され、

前記第 2 のトランジスタのソースには一定の電圧が供給され、

前記入力端子は前記アンテナに電氣的に接続されていることを特徴とする半導体装置。

【請求項 9】

50

集積回路と、前記集積回路に電氣的に接続されたアンテナとを有し、

前記集積回路は、第１のトランジスタと、絶縁膜を間に挟んで設けられたフローティングゲート及びコントロールゲートを有する第２のトランジスタと、前記第２のトランジスタの電圧を制御するためのパルス生成回路と、前記パルス生成回路への電源電圧の供給を行うための昇圧回路とを有し、

前記第１のトランジスタのドレインは、前記第１のトランジスタのゲート、前記入力端子及び前記出力端子に電氣的に接続され、

前記第２のトランジスタのドレインは、前記第１のトランジスタのソース及び前記パルス生成回路に電氣的に接続され、

前記第２のトランジスタのコントロールゲートは前記パルス生成回路に電氣的に接続され、

10

前記第２のトランジスタのソースには一定の電圧が供給されるとともに前記パルス生成回路に電氣的に接続され、

前記入力端子はアンテナに電氣的に接続されていることを特徴とする半導体装置。

【請求項１０】

請求項５又は８において、前記第２のトランジスタの前記ドレインと前記コントロールゲートの間に抵抗、又は順方向電流の向きが互いに逆になるように並列に接続された第１のダイオードと第２のダイオードを有することを特徴とする半導体装置。

【請求項１１】

請求項６において、前記第１のトランジスタの前記ドレインと前記コントロールゲートの間に抵抗、又は順方向電流の向きが互いに逆になるように並列に接続された第１のダイオードと第２のダイオードを有することを特徴とする半導体装置。

20

【請求項１２】

請求項７において、前記第１のトランジスタの前記ドレインと前記第１のコントロールゲートの間と、前記第２のトランジスタの前記ドレインと前記第２のコントロールゲートの間に、抵抗、又は順方向電流の向きが互いに逆になるように並列に接続された第１のダイオードと第２のダイオードを有することを特徴とする半導体装置。

【請求項１３】

請求項５乃至１２のいずれかーにおいて、前記第１のトランジスタと前記第２のトランジスタは、順方向電流の向きが同じであることを特徴とする半導体装置。

30

【請求項１４】

請求項５乃至１３のいずれかーにおいて、前記第１のトランジスタ及び前記第２のトランジスタは薄膜トランジスタであることを特徴とする半導体装置

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、薄膜の半導体膜を用いて形成されたりミッタに関する。さらに本発明は、該りミッタを用いた、無線での通信が可能な半導体装置に関する。

【背景技術】

【０００２】

40

無線でデータの送受信が可能なＩＤチップ、ＩＣカードなどの半導体装置は、様々な分野において実用化が進められており、新しい形態の通信情報端末としてさらなる市場の拡大が見込まれている。ＩＤチップは、無線タグ、ＲＦＩＤ（Radio frequency identification）タグ、ＩＣタグとも呼ばれている。そしてＩＤチップとＩＣカードは、アンテナと、半導体基板を用いて形成された集積回路とを有しているタイプが、現在実用化されている。

【０００３】

ＩＤチップまたはＩＣカードは、電波を用いてリーダ／ライタとの間の通信を行なうことができる。具体的には、リーダ／ライタから発せられる電波によりアンテナに生じる交流の電圧（交流電圧）を用いて、集積回路を動作させ、また、集積回路から出力された信

50

号を用いてアンテナに負荷変調を与えることで、リーダ/ライタに信号を送ることができる。

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、リーダ/ライタから発せられる電波の強度は規定により定められているため、IDチップまたはICカードのアンテナに生じる交流電圧の大きさは、通常、所定の範囲内に収められる。しかし、例えば外部の電子機器から発せられた不要輻射などにより、IDチップまたはICカードが規定を上回る強力な電波にさらされた場合、アンテナにおいて所定の範囲を逸脱するような過度に大きい交流電圧が生じてしまう。そして、この過度の交流電圧により集積回路内の半導体素子に流れる電流が急激に上昇すると、絶縁破壊により集積回路が破壊されてしまう恐れがある。

10

【0005】

特に近年は、微細化によって半導体素子の耐圧が低下の傾向にある。そのため、過電流保護の機能を有する回路をIDチップまたはICカードに設けることは、IDチップまたはICカードの信頼性向上のために非常に有効である。リミッタは、入力された電圧に関わらず出力される電圧を設定電圧（リミット電圧）以下に抑える振幅制限器であり、上述した過電流保護のために用いられる回路の一つである。

【0006】

図20(A)に、一般的なりミッタの一例を、回路図で示す。1901は抵抗、1902はゲート(G)とドレイン(D)が接続(ダイオード接続)されたトランジスタに相当する。抵抗1901が有する2つの端子のうち、第1の端子には入力端子からの電圧 V_{in} が供給されている。またトランジスタ1902のゲートとドレインは、抵抗1901の第2の端子に接続されており、トランジスタ1902のソース(S)にはグラウンド(GND)などの一定の電圧が供給されている。そして抵抗1901が有する2つの端子のうち、第2の端子の電圧は、リミッタの出力端子の電圧 V_{out} に相当する。

20

【0007】

上記構成により、入力端子からの電圧 V_{in} が過度に大きい場合でも、トランジスタ1902に順方向バイアスの電流が流れるため、出力端子の電圧 V_{out} をリミット電圧以下に抑えることができる。ところが、このリミット電圧は、ダイオード接続されているトランジスタの特性に依存するため、リミット電圧を精度良く制御することが難しいという問題があった。

30

【0008】

図20(B)に、トランジスタ1902のドレインとソース間の電圧 V_{ds} と、ドレイン電流 I_d の関係を示す。順方向降下電圧 V_f は、トランジスタ1902の閾値電圧 V_{th} に依存する。そして、図20(A)に示すリミッタの場合、リミット電圧は順方向降下電圧 V_f の値と等しくなるため、閾値電圧 V_{th} のばらつきは、即、リミット電圧のばらつきとなって現れる。

【0009】

よって、トランジスタ1902の特性がばらつくと、リミッタの出力端子の電圧 V_{out} を精度良く制御することが困難となり、集積回路を所望のスペックで動作させることができないばかりか、絶縁破壊により集積回路を破壊させてしまう恐れもある。

40

【0010】

またその他の問題として、集積回路を形成するのに用いられている半導体基板は、ガラス基板などに比べて高価で、可撓性に乏しく、機械的強度が低いことが挙げられる。集積回路自体の面積を縮小化することで、機械的強度をある程度向上させることはできる。しかしこの場合、回路規模の確保が難しくなり、IDチップやICカードの用途が制限されるので好ましくない。従って集積回路の回路規模の確保を重要視すると、やみくもに集積回路の面積を縮小化することは妥当ではなく、機械的強度の向上にも限界が生じている。

【0011】

50

本発明は上記問題に鑑み、リミット電圧を制御良く制御することが可能なリミッタの提供を課題とする。また本発明は、リミット電圧を制御良く制御することが可能な半導体装置の提供を課題とする。さらに本発明は、該リミッタを用い、回路規模を抑えることなく集積回路の機械的強度を高めることができる半導体装置の提供を課題とする。また、本発明は安価な半導体装置の提供を課題とする。

【課題を解決するための手段】

【0012】

本発明のリミッタは、浮遊ゲート（フローティングゲート）を有するスタックドゲート構造のトランジスタを、ダイオードとして用いることを特徴とする。

【0013】

より具体的には、一对の不純物領域を有する半導体と、前記半導体上に形成された第1の絶縁膜と、前記半導体のうち前記一对の不純物領域に挟まれた領域に、前記第1の絶縁膜（第1のゲート絶縁膜）を間に挟んで重なっている第1の電極（フローティングゲート）と、前記第1の電極上に形成された第2の絶縁膜（第2のゲート絶縁膜）と、前記第2の絶縁膜を間に挟んで前記第1の電極と重なっている第2の電極（コントロールゲート）とを有していることを特徴とする。さらに、前記第2の電極と一对の不純物領域のいずれか一方が、電気的に接続されている。ことを特徴とする。

【0014】

フローティングゲートを有するトランジスタを用いることで、トランジスタの閾値電圧 V_{th} にばらつきが生じても、フローティングゲートに蓄積される電荷量を制御することで、閾値電圧 V_{th} を補正することができる。

【0015】

また本発明の、IDチップまたはICカードに代表される半導体装置は、上記リミッタが設けられた集積回路を有していることを特徴とする。トランジスタとして薄膜トランジスタ（TFET）を用いる場合、集積回路のうち、リミッタ以外の回路も、薄膜の半導体膜で形成された半導体素子を用いる。

【0016】

そして本発明の半導体装置は、集積回路に加えアンテナを有した形態も取りうる。集積回路は、アンテナで発生した交流電圧を用いて動作を行ない、またアンテナに誘起する交流電圧を変調することで、リーダ/ライタへの信号の送信を行なうことができる。なおアンテナは、集積回路と共に形成しても良いし、集積回路とは別個に形成した後、接続するようにしても良い。このようなアンテナと集積回路とが一体形成されたIDチップは、無線チップとも呼ばれる。

【0017】

また集積回路は、基板上に直接形成されていても良いし、基板上に形成した後、別途用意された基板に貼り合わされていても良い。集積回路の貼り合わせは、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離し、貼り合わせる方法、耐熱性の高い基板と集積回路の間に剥離層を設け、レーザ光の照射またはエッチングにより該剥離層を除去することで基板と集積回路とを剥離し、貼り合わせる方法、集積回路が形成された耐熱性の高い基板を機械的に削除または溶液やガスによるエッチングで除去することで集積回路を基板から切り離し、貼り合わせる方法等、様々な方法を用いることができる。

【0018】

また、別途作製された集積回路どうしを貼り合わせることで、集積回路を積層し、回路規模やメモリの容量を大きくするようにしても良い。薄膜の半導体膜を用いた集積回路は、半導体基板に形成した集積回路に比べて飛躍的に薄いので、複数の集積回路を積層させても、集積回路全体の機械的強度をある程度維持することができる。積層した集積回路どうしの接続は、フリップチップ法、TAB（Tape Automated Bonding）法、ワイヤボンディング法などの、公知の接続方法を用いることができる。

【0019】

10

20

30

40

50

さらに本発明は、上記ＩＤチップを用いた包装材、タグ、証書、紙幣及び有価証券もその範疇に含む。本発明において包装材とは、ラップ、ペットボトル、トレイ、カプセルなど、対象物を包装するために成形が可能な、或いは成形された支持体に相当する。また本発明においてタグとは、荷札、値札、名札など、該タグが付加される対象物の情報を有する札に相当する。また本発明において証書とは、戸籍謄本、住民票、パスポート、免許証、身分証、会員証、クレジットカード、キャッシュカード、プリペイドカード、診察券、定期券など、事実を証明する文書に相当する。また本発明において有価証券とは、手形、小切手、貨物引換証、船貨証券、倉庫証券、株券、債券、商品券、抵当証券など、私法上の財産権を表示する証券に相当する。

【発明の効果】

10

【００２０】

本発明のリミッタは、フローティングゲートを有するトランジスタを、ダイオードとして用いているので、該トランジスタの閾値電圧 V_{th} のばらつき、延いては順方向降下電圧 V_f のばらつきを補正することができる。従って、リミット電圧を精度良く制御することができる。特にＴＦＴを用いる場合、高価な半導体基板を用いずに半導体装置を形成できる反面、半導体基板に形成されたトランジスタに比べて特性のばらつきが大きいのが難点である。しかし本発明のリミッタでは、安価な基板を用いて形成することができるＴＦＴをリミッタに用いていても、リミット電圧を精度良く制御することができるという効果を有している。

【００２１】

20

また本発明のＩＤチップまたはＩＣカードに代表される半導体装置は、集積回路に上記リミッタが設けられているため、精度の良いリミット電圧を得ることができる。よって、集積回路を所望のスペックで動作させることができ、絶縁破壊により集積回路が破壊されるのを防ぐという効果を得ることができる。また、集積回路のうち、リミッタ以外の回路も、薄膜の半導体膜で形成された半導体素子を用いることで、安価な基板を用いて半導体装置を形成することができる。よって上記効果に加え、半導体装置のコストを抑えることができるという効果も得ることができる。

【００２２】

また、薄膜の半導体膜で形成された半導体素子を用いて、集積回路を形成する場合、可撓性を有する基板を用いることが可能であり、半導体基板を用いた集積回路ほど面積を小さくせずとも、高い機械的強度を得ることができる。よって、回路規模を抑えなくとも集積回路の機械的強度を高め、ＩＤチップまたはＩＣカードに代表される半導体装置の用途範囲をより広げることができる。

30

【発明を実施するための最良の形態】

【００２３】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【００２４】

40

図１（Ａ）に、入力端子からの電圧 V_{in} の上限を制限するための、本発明のリミッタの一例を回路図で示す。１０１は抵抗、１０２はダイオード接続されたトランジスタに相当する。なお本発明で用いるトランジスタ１０２は、フローティングゲート（ＦＧ）とコントロールゲート（ＣＧ）の２つのゲートを有しており、ダイオード接続とは、コントロールゲートとドレイン（Ｄ）との接続を意味する。

【００２５】

また抵抗１０１が有する２つの端子のうち、第１の端子には入力端子から電圧 V_{in} が供給されている。また抵抗１０１が有する２つの端子のうち、第２の端子には、トランジスタ１０２のソースまたはドレインが接続されている。具体的に図１（Ａ）では、トランジスタ１０２がｎチャンネル型トランジスタであるので、そのコントロールゲートとドレイン

50

ンは、抵抗 101 の第 2 の端子に接続されており、トランジスタ 102 のソース (S) にはグラウンド (GND) などの一定の電圧が供給されている。逆にトランジスタ 102 が p チャンネル型トランジスタの場合、そのソースは、抵抗 101 の第 2 の端子に接続されており、トランジスタ 102 のコントロールゲートとドレインにはグラウンド (GND) などの一定の電圧が供給されている。そして抵抗 101 が有する 2 つの端子のうち、第 2 の端子の電圧は、リミッタの出力端子の電圧 V_{out} に相当する。

【0026】

上記構成により、入力端子からの電圧 V_{in} が過度に大きい場合でも、トランジスタ 102 で形成されるダイオードの順方向降下電圧により、出力端子の電圧 V_{out} をリミット電圧以下に抑えることができる。このリミット電圧は、ダイオード接続されているトランジスタ 102 の順方向降下電圧に依存する。

10

【0027】

なお本発明のリミッタは、必ずしも抵抗 101 を有していなくとも良い。この場合、トランジスタ 102 のコントロールゲートとドレインに入力端子からの電圧 V_{in} が直接供給され、トランジスタ 102 によって降下したコントロールゲートとドレインの電圧が、リミッタの出力端子の電圧 V_{out} として、後段の回路に供給される。

【0028】

図 1 (B) に、トランジスタ 102 のドレインとソース間の電圧 V_{ds} と、ドレイン電流 I_d の関係を示す。なお図 1 (B) では、フローティングゲートに電荷が蓄積されていない初期の状態における、電圧 V_{ds} とドレイン電流 I_d の関係を、グラフ 103 に示す。また、フローティングゲートに電荷が蓄積されている補正後の状態における、電圧 V_{ds} とドレイン電流 I_d の関係を、グラフ 104 に示す。なお、 V_{f1} は初期の状態におけるトランジスタ 102 の順方向降下電圧、 V_{f2} は補正後の状態におけるトランジスタ 102 の順方向降下電圧とする。

20

【0029】

順方向降下電圧は、トランジスタ 102 の閾値電圧 V_{th} に依存する。本発明では、フローティングゲートへの電荷の蓄積により、トランジスタ 102 の閾値電圧をシフトさせ、グラフ 103、グラフ 104 に示すように、順方向降下電圧を V_{f1} から V_{f2} へと大きくすることができる。また本発明では、フローティングゲートへの電荷の蓄積により、逆に、順方向降下電圧を小さくすることもできる。

30

【0030】

フローティングゲートに蓄積される電荷量は、コントロールゲートとソースの間の電圧 (ゲート電圧) により制御することができる。図 2 を用いて、ゲート電圧と電荷量の関係について説明する。

【0031】

図 2 (A) に、閾値電圧 V_{th} をプラス側に補正する際の、トランジスタ 102 の回路図を示す。 V_{cg} はコントロールゲートに与えられる電圧、 V_s はソースに与えられる電圧に相当する。図 2 (A) では、ホットエレクトロン注入またはトンネル電流によって、フローティングゲートに負の電荷を蓄積することができる程度に、電圧 V_{cg} と電圧 V_s の間に差を設ける。ホットエレクトロン注入またはトンネル電流によって負の電荷を蓄積することができるゲート電圧を V_{we} と仮定した場合、 $V_{cg} - V_s = V_{we}$ となるように、電圧 V_{cg} と電圧 V_s とを設定すれば良い。図 2 (A) では、例えば電圧 $V_{cg} = 12\text{ V}$ 、電圧 $V_s = 0\text{ V}$ とする。

40

【0032】

図 2 (A) に示すようにホットエレクトロン注入またはトンネル電流によって、トランジスタ 102 のフローティングゲートに負の電荷が蓄積され、結果的にトランジスタ 102 の閾値電圧をプラス側にシフトさせることができる。

【0033】

なお、補正前におけるトランジスタ 102 の閾値電圧の値が不明であったり、ホットエレクトロン注入またはトンネル電流により閾値電圧がどの程度シフトしたかを正確に把握

50

しきれなかったりする場合、補正後の閾値電圧を読み出し、その値が目的とする範囲に収まっているかどうかを確認することができる。

【0034】

図2(B)に、補正された閾値電圧 V_{th} の値、或いはリミット電圧の値を読み出す際の、トランジスタ102の回路図を示す。図2(B)では、フローティングゲートに蓄積された電荷量に変動が生じない範囲内において、電圧 V_{cg} と電圧 V_s の間の差を変化させる。トランジスタ102は、 $V_{cg} - V_s$ が補正後の閾値電圧と同じか、それ以上の場合にオンになるので、 $V_{cg} - V_s$ の値を変えながら、その都度トランジスタ102のドレイン電流を測定することで、補正後の閾値電圧が目的とする範囲に収まっているか否かを確認することができる。

10

【0035】

トンネル電流によりフローティングゲートに蓄積されている負の電荷を引き抜くことができるゲート電圧を V_{wh} と仮定した場合、具体的には、 $V_{wh} < (V_{cg} - V_s) < V_{we}$ を満たす範囲内において、電圧 V_{cg} と電圧 V_s とを設定すれば良い。図2(B)では、例えば電圧 $V_{cg} = 0V \sim 8V$ 、電圧 $V_s = 0V$ とする。

【0036】

補正後の閾値電圧が目的とする範囲よりもマイナス側の値であったならば、図2(A)に示した動作を再び行なうことで、閾値電圧をプラス側にシフトさせ、目的とする範囲に収めることができる。逆に、補正後の閾値電圧が目的とする範囲よりもプラス側の値であった場合、トンネル電流によりフローティングゲートに蓄積されている負の電荷を引き抜くことで、閾値電圧をマイナス側にシフトさせ、目的とする範囲に収めることができる。

20

【0037】

図2(C)に、閾値電圧 V_{th} をマイナス側に補正する際の、トランジスタ102の回路図を示す。図2(C)では、トンネル電流によりフローティングゲートに蓄積されている負の電荷を引き抜くことができる程度に、電圧 V_{cg} と電圧 V_s の間に差を設ける。具体的には、 $V_{cg} - V_s = V_{wh}$ となるように、電圧 V_{cg} と電圧 V_s とを設定すれば良い。図2(C)では、例えば電圧 $V_{cg} = -15V$ 、電圧 $V_s = 0V$ とする。

【0038】

図2(C)に示すようにフローティングゲートに蓄積されている負の電荷を引き抜くことで、トランジスタ102のフローティングゲートに蓄積されている負の電荷量を減らし、結果的にトランジスタ102の閾値電圧をマイナス側にシフトさせることができる。

30

【0039】

なお本実施の形態は、トランジスタの閾値電圧をプラス側に補正した後に、必要があれば、トランジスタの閾値電圧をマイナス側に補正する場合について説明しているが、本発明はこの構成に限定されない。例えば、図2(C)に示すように、トランジスタの閾値電圧をマイナス側にだけ補正するようにしても良い。

【0040】

また、図1、図2では、ダイオードとして用いているトランジスタがnチャネル型トランジスタである場合について示しているが、本発明はこの構成に限定されない。本発明のリミッタは、ダイオードとして用いるトランジスタがpチャネル型トランジスタであっても良い。ただしトランジスタ102がpチャネル型トランジスタの場合、 $V_{cg} - V_s$ が補正後の閾値電圧と同じか、それ以下の場合に、トランジスタ102をオンにすることができる点において、nチャネル型トランジスタの場合とは異なっている。

40

【0041】

また図2(A)、図2(C)に示すようにトランジスタ102の閾値電圧を補正する場合、閾値電圧の変化量は、ゲート電圧のみならず補正する時間にも依存する。よってトランジスタ102の閾値電圧は、ゲート電圧だけではなく、補正する時間も制御しながら、補正することが望ましい。

【0042】

また図1、図2では、リミッタにダイオード接続されたトランジスタが1つだけ設けら

50

れている例を示したが、本発明はこの構成に限定されない。本発明のリミッタは、ダイオード接続されたトランジスタが、複数直列に接続され、該複数のトランジスタのうち最も端部に接続されたトランジスタと抵抗とが接続されていても良い。この場合リミット電圧は、各トランジスタの順方向降下電圧 V_f の和に相当する。

【0043】

なお電圧 V_{cg} と電圧 V_s の制御は、トランジスタ 102 のコントロールゲート、ソースまたはドレインに接続された接続端子を、半導体装置に設け、該接続端子の電圧を半導体装置の外部において制御することで行なうことができる。或いは、半導体装置の内部に、トランジスタ 102 のコントロールゲート、ソースまたはドレインの電圧を制御するための回路を、設けるようにしても良い。

10

【0044】

また図1、図2では、入力端子からの電圧 V_{in} の上限を制限するための、本発明のリミッタの一例について説明したが、本発明はこの構成に限定されない。本発明のリミッタは、入力端子からの電圧 V_{in} の下限を制限する機能を有していても良い。ただしこの場合、 n チャネル型トランジスタを用いていれば、そのソースを、抵抗が有する第2の端子に接続し、そのコントロールゲートとドレインには V_{dd} ($V_{dd} > GND$) などの一定の電圧を供給する。逆に p チャネル型トランジスタを用いていれば、そのコントロールゲートとドレインを、抵抗が有する第2の端子に接続し、そのソースには V_{dd} などの一定の電圧を供給する。

【0045】

20

そして入力端子からの電圧 V_{in} の下限を制限するリミッタの場合も、補正と読み出しの動作時における電圧 V_{cg} 、電圧 V_s と電圧 V_{we} 、電圧 V_{wh} の関係は、図2の場合と同様に設定すれば良い。

【0046】

なお、図2に示した補正と読み出しの操作は、半導体装置が完成した後に行なうことができる。図21に、半導体装置が完成した後に行なわれる、リミット電圧の補正と読み出しの操作手順を、フローチャートで示す。

【0047】

まず図21において、2101に示すように半導体装置が完成したら、2103に示すようにリミット電圧を読み出す。そして読み出したリミット電圧が許容範囲に収まっている場合、該半導体装置は合格と判断され、2104に示す良品に分類される。逆に、読み出したリミット電圧が許容範囲に収まっていない場合、該半導体装置は不合格と判断され、2105に示すように、フローティングゲートの電荷量の制御により、リミット電圧の補正が行なわれる。

30

【0048】

そして、リミット電圧の補正が行なわれた後、2107に示すようにリミット電圧を読み出す。そして読み出したリミット電圧が許容範囲に収まっている場合、該半導体装置は合格と判断され、2104に示す良品に分類される。逆に、読み出したリミット電圧が許容範囲に収まっていない場合、該半導体装置は不合格と判断される。

【0049】

40

そして不合格と判断された半導体装置は、2108に示すように、再びフローティングゲートの電荷量の制御により、リミット電圧の補正が行なわれる。なお、上記操作を繰り返しても半導体装置が不合格である場合、2109に示すように、該半導体装置は不良品に分類される。

【0050】

上記動作を繰り返すことで、歩留まりを高めることが可能である。なお、図21では、フローティングゲートの電荷量の制御を、2105、2108に示すように2回行なっているが、1回で済ませても良いし、3回以上行なっても良い。

【0051】

次に、上述したリミッタを集積回路に用いている、本発明の半導体装置について説明す

50

る。

【0052】

図3(A)に、本発明の半導体装置の一つであるIDチップの一形態を、斜視図で示す。201は集積回路、202はアンテナに相当し、アンテナ202は集積回路201に接続されている。203は基板、204はカバー材に相当する。集積回路201及びアンテナ202は、基板203上に形成されており、カバー材204は集積回路201及びアンテナ202を覆うように基板203と重なっている。なおカバー材204は必ずしも用いる必要はないが、集積回路201及びアンテナ202をカバー材204で覆うことで、IDチップの機械的強度を高めることができる。

【0053】

図3(B)に、本発明の半導体装置の一つであるICカードの一形態を、斜視図で示す。205は集積回路、206はアンテナに相当し、アンテナ206は集積回路205に接続されている。208はインレットシートとして機能する基板、207、209はカバー材に相当する。集積回路205及びアンテナ206は基板208上に形成されており、基板208は2つのカバー材207、209の間に挟まれている。なお本発明のICカードは、集積回路205に接続された表示装置を有していても良い。

【0054】

次に、本発明の半導体装置が有する集積回路の、具体的な構成について説明する。図4(A)に、本発明の半導体装置の、機能的な構成の一形態をブロック図で示す。

【0055】

図4(A)において、301は集積回路、302はアンテナに相当する。集積回路301は、整流回路303、クロック生成回路304、変調回路306、復調回路305、リミッタ307、論理回路部308とを有している。論理回路部308には各種演算回路、メモリなどが含まれていても良い。メモリには、例えばSRAM、フラッシュメモリ、ROMまたはFeRAM(Ferroelectric RAM)などを用いることができる。

【0056】

リーダ/ライタから電波として送られてきた信号は、アンテナ302において電磁誘導により交流電圧に変換される。復調回路305では該交流電圧を復調して信号を生成し、後段の論理回路部308に入力する。また整流回路303では、交流電圧を用いて電源電圧を生成する。該電源電圧は、整流回路303の後段に設けられたリミッタ307においてリミット電圧以下に補正された後、論理回路部308に供給される。

【0057】

論理回路部308では、復調回路305から入力された信号、リミッタ307から供給された電源電圧を用いて、動作を行なう。そして論理回路部308が動作することで、論理回路部308から変調回路306に信号が送られる。変調回路306は論理回路部308からの信号に従って、アンテナ302に負荷変調を加えることができる。リーダ/ライタは、アンテナ302に加えられた負荷変調を電波で受け取ることで、結果的に論理回路部308からの信号を受信することができる。

【0058】

なお図4(A)では、リミッタ307を整流回路303の後段に設けているが、本発明はこの構成に限定されない。リミッタ307は整流回路303の前段に設けても良い。或いは、クロック生成回路304の前段または後段、変調回路306の前段または後段、復調回路305の前段または後段、論理回路部308の内部などに設けていても良い。

【0059】

図4(B)に、リミッタ307を整流回路303の前段に設けた場合の、本発明の半導体装置の、機能的な構成の一形態をブロック図で示す。なお図4(B)では、図4(A)において既に示したものに対し、同じ符号を付している。図4(B)の場合、アンテナ302からの交流電圧を、リミッタ307においてリミット電圧以下に補正している。そして整流回路303ではリミット電圧以下に補正された交流電圧を用いて、電源電圧を生成している。

【 0 0 6 0 】

なお本発明の半導体装置における信号の伝送方式は、電磁結合方式、電磁誘導方式、マイクロ波方式やその他の伝送方式を用いることができる。特に、電磁結合方式や電磁誘導方式の場合、強い電波に半導体装置がさらされることで、アンテナに過度に大きい交流電圧が生じてしまう恐れがある。またマイクロ波方式やその他の伝送方式であっても、半導体装置内で信号のノイズが生じる場合がある。本発明のリミッタを設けることは、過度に大きい交流電圧や信号のノイズによって、集積回路において絶縁破壊が生じるのを防止することができ、非常に有効である。

【 0 0 6 1 】

また本実施の形態では、アンテナが円状または螺旋状に巻かれた導線を有している場合について説明したが、本発明はこの構成に限定されない。導電体で形成された膜（導電膜）をアンテナとして用いていても良い。

【実施例 1】

【 0 0 6 2 】

本実施例では、複数のダイオード接続されたトランジスタを用いた、本発明のリミッタについて説明する。

【 0 0 6 3 】

図 5 (A) に、本実施例のリミッタの回路図を示す。図 5 (A) において、4 0 1 は抵抗、4 0 2、4 0 3 はダイオード接続されたトランジスタに相当する。トランジスタ 4 0 2、4 0 3 は、それぞれフローティングゲート (F G) とコントロールゲート (C G) の 2 つのゲートを有している。図 5 (A) では、トランジスタ 4 0 2 とトランジスタ 4 0 3 が n チャネル型トランジスタの場合を示しているが、どちらか一方が p チャネル型トランジスタ、或いは両方が p チャネル型トランジスタであっても良い。ただしダイオード接続された全てのトランジスタは、順方向電流の向きが同じになるように、直列に接続する。

【 0 0 6 4 】

抵抗 4 0 1 が有する 2 つの端子のうち、第 1 の端子には入力端子からの電圧 V_{in} が供給されている。また、トランジスタ 4 0 2 とトランジスタ 4 0 3 は、順方向電流の向きが同じになるように、直列に接続されている。図 5 (A) の場合、具体的には、トランジスタ 4 0 2 のコントロールゲートとドレイン (D) が、抵抗 4 0 1 の第 2 の端子に接続され、トランジスタ 4 0 3 のコントロールゲートとドレインが、トランジスタ 4 0 2 のソース (S) に接続され、トランジスタ 4 0 3 のソースにはグラウンド (GND) などの一定の電圧が供給されている。そして抵抗 4 0 1 が有する 2 つの端子のうち、第 2 の端子の電圧は、リミッタの出力端子の電圧 V_{out} に相当する。

【 0 0 6 5 】

図 5 (A) のように、複数のダイオード接続されたトランジスタを、直列に接続して用いる場合、リミット電圧は各トランジスタの順方向降下電圧 V_f の和に相当する。

【 0 0 6 6 】

なお図 5 (A) に示すリミッタは、必ずしも抵抗 4 0 1 を有していなくとも良い。この場合、トランジスタ 4 0 2 のコントロールゲートとドレインに入力端子からの電圧 V_{in} が直接供給され、トランジスタ 4 0 2 によって降下したコントロールゲートとドレインの電圧が、リミッタの出力端子の電圧 V_{out} として、後段の回路に供給される。

【 0 0 6 7 】

図 5 (B) に、図 5 (A) とは異なる、本実施例のリミッタの回路図を示す。図 5 (B) において、4 1 1 は抵抗、4 1 2、4 1 3 はダイオード接続されたトランジスタに相当する。トランジスタ 4 1 2 は、フローティングゲートを有しておらず、ゲート (G) のみを有している。トランジスタ 4 1 3 は、フローティングゲート (F G) とコントロールゲート (C G) の 2 つのゲートを有している。図 5 (B) では、トランジスタ 4 1 2 とトランジスタ 4 1 3 が n チャネル型トランジスタの場合を示しているが、どちらか一方が p チャネル型トランジスタ、或いは両方が p チャネル型トランジスタであっても良い。ただしダイオード接続された全てのトランジスタは、順方向電流の向きが同じになるように、直

列に接続する。

【0068】

抵抗411が有する2つの端子のうち、第1の端子には入力端子からの電圧 V_{in} が供給されている。また、トランジスタ412とトランジスタ413は、順方向電流の向きが同じになるように、直列に接続されている。図5(B)の場合、具体的には、トランジスタ412のゲートとドレイン(D)が、抵抗411の第2の端子に接続され、トランジスタ413のコントロールゲートとドレインが、トランジスタ412のソース(S)に接続され、トランジスタ413のソースにはグラウンド(GND)などの一定の電圧が供給されている。そして抵抗411が有する2つの端子のうち、第2の端子の電圧は、リミッタの出力端子の電圧 V_{out} に相当する。

10

【0069】

図5(B)に示すリミッタも、図5(A)と同様に、複数のダイオード接続されたトランジスタを、直列に接続して用いているため、リミット電圧は各トランジスタの順方向降下電圧 V_f の和に相当する。

【0070】

なお図5(B)に示すリミッタは、必ずしも抵抗411を有していなくとも良い。この場合、トランジスタ412のゲートとドレインに入力端子からの電圧 V_{in} が直接供給され、トランジスタ412によって降下したゲートとドレインの電圧が、リミッタの出力端子の電圧 V_{out} として、後段の回路に供給される。

【0071】

20

図5(C)に、図5(A)、図5(B)とは異なる、本実施例のリミッタの回路図を示す。図5(C)において、421は抵抗、422、423はダイオード接続されたトランジスタに相当する。トランジスタ422は、フローティングゲート(FG)とコントロールゲート(CG)の2つのゲートを有している。トランジスタ423は、フローティングゲートを有しておらず、ゲート(G)のみを有している。図5(C)では、トランジスタ422とトランジスタ423がnチャネル型トランジスタの場合を示しているが、どちらか一方がpチャネル型トランジスタ、或いは両方がpチャネル型トランジスタであっても良い。ただしダイオード接続された全てのトランジスタは、順方向電流の向きが同じになるように、直列に接続する。

【0072】

30

抵抗421が有する2つの端子のうち、第1の端子には入力端子からの電圧 V_{in} が供給されている。また、トランジスタ422とトランジスタ423は、順方向電流の向きが同じになるように、直列に接続されている。図5(C)の場合、具体的には、トランジスタ422のコントロールゲートとドレイン(D)が、抵抗421の第2の端子に接続され、トランジスタ423のゲートとドレインが、トランジスタ422のソース(S)に接続され、トランジスタ423のソースにはグラウンド(GND)などの一定の電圧が供給されている。そして抵抗421が有する2つの端子のうち、第2の端子の電圧は、リミッタの出力端子の電圧 V_{out} に相当する。

【0073】

図5(C)に示すリミッタも、図5(A)、図5(B)と同様に、複数のダイオード接続されたトランジスタを、直列に接続して用いているため、リミット電圧は各トランジスタの順方向降下電圧 V_f の和に相当する。

40

【0074】

なお図5(C)に示すリミッタは、必ずしも抵抗421を有していなくとも良い。この場合、トランジスタ422のコントロールゲートとドレインに入力端子からの電圧 V_{in} が直接供給され、トランジスタ422によって降下したコントロールゲートとドレインの電圧が、リミッタの出力端子の電圧 V_{out} として、後段の回路に供給される。

【0075】

なお本実施例では、入力端子からの電圧 V_{in} の上限を制限するためのリミッタについて説明したが、電圧 V_{in} の下限を制限するためのリミッタであっても良い。

50

【0076】

また本発明では、ダイオード接続されたトランジスタの数は2つに限定されず、3つ以上のダイオード接続されたトランジスタが直列に接続されていても良い。

【0077】

本実施例で示したような、ダイオード接続されたトランジスタもしくはダイオード（以下本実施例では、共にダイオードと呼ぶ）を、複数直列に接続した構成は、以下の点で好ましい。

【0078】

チップ内において、通常リミッタは、電源線と接地線を介して論理回路と並列に接続されている。しかしリミッタは、フローティングゲートに蓄積されている電荷を制御する際、ダイオードに高電圧を供給する必要がある、該高電圧は論理回路にとって過剰に高い値を有している。

10

【0079】

本実施例のリミッタの場合、ダイオードの一つに高電圧を印加しても、該高電圧が他のダイオードにとって逆方向電圧であるときは、実質的に論理回路へは高電圧が印加されない。また、該高電圧が他のダイオードにとって順方向電圧であっても、当該他のダイオードのしきい値だけ、論理回路に直接印加される電圧は低減される。

【0080】

このようにダイオードを複数直列に接続することで、1つのダイオードで構成されたりリミッタに比べて、リミット電圧を補正する際に、論理回路への高電圧の印加を緩和することができる。

20

【実施例2】

【0081】

本発明では、トランジスタのコントロールゲートとドレインの間に、他の半導体素子が設けられていても、該トランジスタがダイオードとして機能するのであれば、ダイオード接続されていると見なすことができる。本実施例では、リミッタに用いられているトランジスタの、コントロールゲートとドレインの間に、他の半導体素子が設けられている例について説明する。

【0082】

図6(A)に本実施例のリミッタの一例を、回路図で示す。図6(A)において、431、433は抵抗、432はトランジスタに相当する。トランジスタ432は、フローティングゲート(FG)とコントロールゲート(CG)の2つのゲートを有している。図6(A)では、トランジスタ432がnチャネル型トランジスタの場合を示している。

30

【0083】

抵抗431が有する2つの端子のうち、第1の端子には入力端子からの電圧 V_{in} が供給されている。またトランジスタ432のコントロールゲートとドレイン(D)の間には、抵抗433が接続されている。そしてトランジスタ432のドレインは、抵抗431が有する2つの端子のうち、第2の端子に接続されている。またトランジスタ432のソースには、グラウンド(GND)などの一定の電圧が供給されている。そして抵抗431が有する2つの端子のうち、第2の端子の電圧は、リミッタの出力端子の電圧 V_{out} に相当する。

40

【0084】

なお図6(A)では、トランジスタ432がnチャネル型トランジスタの場合を示しているが、トランジスタ432はpチャネル型トランジスタであっても良い。ただしトランジスタ432がpチャネル型トランジスタの場合でも、nチャネル型トランジスタの場合と順方向電流の向きが同じになるようにする。

【0085】

なお図6(A)に示すリミッタは、必ずしも抵抗431を有していなくとも良い。この場合、トランジスタ432のドレインに入力端子からの電圧 V_{in} が直接供給され、トランジスタ432によって降下したドレインの電圧が、リミッタの出力端子の電圧 V_{out}

50

として、後段の回路に供給される。

【0086】

図6(B)に本実施例のリミッタの一例を、回路図で示す。図6(B)において、441は抵抗、442はトランジスタ、443、444はダイオードに相当する。トランジスタ442は、フローティングゲート(FG)とコントロールゲート(CG)の2つのゲートを有している。図6(B)では、トランジスタ442がnチャネル型トランジスタの場合を示している。

【0087】

抵抗441が有する2つの端子のうち、第1の端子には入力端子からの電圧 V_{in} が供給されている。またトランジスタ442のコントロールゲートとドレイン(D)の間には、ダイオード443とダイオード444が並列に接続されている。そして、ダイオード443とダイオード444は、順方向電流の向きが互いに逆になるように、接続されている。またトランジスタ442のドレインは、抵抗441が有する2つの端子のうち、第2の端子に接続されている。トランジスタ442のソースには、グラウンド(GND)などの一定の電圧が供給されている。そして抵抗441が有する2つの端子のうち、第2の端子の電圧は、リミッタの出力端子の電圧 V_{out} に相当する。

【0088】

なお図6(B)では、トランジスタ442がnチャネル型トランジスタの場合を示しているが、トランジスタ442はpチャネル型トランジスタであっても良い。ただしトランジスタ442がpチャネル型トランジスタの場合でも、nチャネル型トランジスタの場合と順方向電流の向きが同じになるようにする。

【0089】

なお図6(B)に示すリミッタは、必ずしも抵抗441を有していなくとも良い。この場合、トランジスタ442のドレインに入力端子からの電圧 V_{in} が直接供給され、トランジスタ442によって降下したドレインの電圧が、リミッタの出力端子の電圧 V_{out} として、後段の回路に供給される。

【0090】

なお本実施例では、入力端子からの電圧 V_{in} の上限を制限するためのリミッタについて説明したが、電圧 V_{in} の下限を制限するためのリミッタであっても良い。本実施例のリミッタは、実施の形態、実施例1に示したリミッタのいずれの構成を有していてもよい。

【実施例3】

【0091】

本実施例では、オペアンプを用いた本発明のリミッタについて説明する。

【0092】

図7に本実施例のリミッタの一例を、回路図で示す。図7において、451は抵抗、452はダイオード接続されたトランジスタ、453はオペアンプに相当する。トランジスタ452は、フローティングゲート(FG)とコントロールゲート(CG)の2つのゲートを有している。なお図7では、トランジスタ452がnチャネル型トランジスタの場合を示している。

【0093】

抵抗451が有する2つの端子のうち、第1の端子には入力端子からの電圧 V_{in} が供給されている。またトランジスタ452のコントロールゲートとドレイン(D)は、抵抗451が有する2つの端子のうち、第2の端子に接続されている。トランジスタ452のソース(S)には、グラウンド(GND)などの一定の電圧が供給されている。

【0094】

また抵抗451の第2の端子は、オペアンプ453の非反転入力端子に接続されている。オペアンプ453の反転入力端子は出力端子に接続されており、該出力端子の電圧は、リミッタの出力端子の電圧 V_{out} に相当する。

【0095】

本実施例のように、リミッタの出力側にオペアンプなどのアナログバッファを設けることで、出力インピーダンスを抑えることができる。なお本実施例では、アナログバッファとしてオペアンプを用いた例を示しているが、オペアンプ以外のアナログバッファも同様に用いることができる。

【0096】

なお図7では、トランジスタ452がnチャネル型トランジスタの場合を示しているが、トランジスタ452はpチャネル型トランジスタであっても良い。ただしトランジスタ452がpチャネル型トランジスタの場合でも、nチャネル型トランジスタの場合と順方向電流の向きが同じになるようにする。

【0097】

なお図7に示すリミッタは、必ずしも抵抗451を有していなくとも良い。この場合、トランジスタ452のコントロールゲートとドレインに入力端子からの電圧 V_{in} が直接供給され、トランジスタ452によって降下したコントロールゲートとドレインの電圧が、オペアンプ453の非反転入力端子に供給される。

【0098】

なお本実施例では、入力端子からの電圧 V_{in} の上限を制限するためのリミッタについて説明したが、電圧 V_{in} の下限を制限するためのリミッタであっても良い。また、本実施例のリミッタは、実施の形態、実施例1及び実施例2に示したリミッタのいずれの構成を有していてもよい。

【実施例4】

【0099】

本実施例では、フローティングゲートの電荷量を制御するための制御回路を、リミッタと共に半導体装置内に設ける例について説明する。

【0100】

図8に、リミッタ460と、制御回路に相当するパルス生成回路463及び昇圧回路464のブロック図を示す。なお図8では、リミッタ460が、実施例1に示した図5(B)と同じ構成を有している例を示しているが、本実施例はこの構成に限定されない。本実施例のリミッタ460は、実施の形態、実施例1～実施例3に示したリミッタのいずれの構成を有していても良い。

【0101】

図8においてリミッタ460は、抵抗465、ダイオード接続されたトランジスタ466、467を有している。トランジスタ467は、フローティングゲートを有しておらず、ゲート(G)のみを有している。トランジスタ466は、フローティングゲート(FG)とコントロールゲート(CG)の2つのゲートを有している。図8では、トランジスタ467とトランジスタ466がnチャネル型トランジスタの場合を示しているが、どちらか一方がpチャネル型トランジスタ、或いは両方がpチャネル型トランジスタであっても良い。

【0102】

抵抗465が有する2つの端子のうち、第1の端子には入力端子からの電圧 V_{in} が供給されている。また、トランジスタ467とトランジスタ466は、順方向電流の向きが同じになるように、直列に接続されている。図8の場合、具体的には、トランジスタ467のゲートとドレイン(D)が、抵抗465の第2の端子に接続され、トランジスタ466のドレインがトランジスタ467のソース(S)に接続され、トランジスタ466のソースにはグラウンド(GND)などの一定の電圧が供給されている。そして抵抗465が有する2つの端子のうち、第2の端子の電圧は、リミッタの出力端子の電圧 V_{out} に相当する。

【0103】

図8に示すリミッタは、複数のダイオード接続されたトランジスタを、直列に接続して用いているため、リミット電圧は各トランジスタの順方向降下電圧 V_f の和に相当する。

【0104】

なお本実施例のリミッタでは、トランジスタ466のコントロールゲートを、トランジスタ466のドレインに接続するのではなく、パルス生成回路463に接続する。またトランジスタ466のドレインとソースも、それぞれパルス生成回路463に接続する。

【0105】

昇圧回路464は、トランジスタ466の閾値電圧の補正時に用いられる電圧 V_{cg} 、電圧 V_d 、電圧 V_s を生成し、パルス生成回路463に供給する。パルス生成回路463は、動作に合わせて適切な電圧を選択して、パルス幅が制御された信号を生成し、トランジスタ466のコントロールゲート、ソース、ドレインの各端子に、該信号の電圧を印加する。

【0106】

本実施例では、半導体装置の外部において接続端子を介してトランジスタ466のコントロールゲート、ドレイン及びソースの電圧を制御するのではなく、半導体装置の内部においてパルス生成回路463を用いて制御する。

【0107】

次に図8に示したリミッタ460の、具体的な動作について説明する。IDチップの通常の動作時には、本来の機能を果たすようにリミッタ460を動作させる。つまり、パルス生成回路463を用いて、トランジスタ466のドレインとコントロールゲートを接続し、また、トランジスタ466のソースをハイインピーダンス状態にする。

【0108】

そしてリミット電圧の読み出しは、リーダ/ライタからの出力振幅や周波数を変化させて、IDチップの応答を見ることで行なうことができる。

【0109】

具体的に、リミット電圧が低い場合、IDチップ内に十分な電源電圧が得られず、IDチップの周波数特性が仕様を満たさなくなる。よって、例えばリーダ/ライタの出力や通信距離を仕様値に設定しても、IDチップの周波数特性が仕様を満たさない場合には、リミット電圧が低いと判断することができる。この場合、リミット電圧が高まるように、トランジスタ466の閾値電圧を補正すれば良い。

【0110】

逆にリミット電圧が高い場合、IDチップ内に過剰な電源電圧が発生して、場合によっては集積回路が破壊される恐れが有る。よって、例えばリーダ/ライタからの出力振幅や通信距離を仕様値に設定して、IDチップの周波数特性が仕様を十分満たす場合には、リミット電圧が高いと判断することができる。この場合、動作マージンを確保したうえでリミット電圧が低くなるように、トランジスタ466の閾値電圧を補正すれば良い。

【0111】

そして、トランジスタ466の閾値電圧の補正は、リーダ/ライタからの補正命令に基づいて行なう。

【0112】

閾値電圧を高めるための補正は、例えば $V_d = V_{cg} = 1.2\text{ V}$ 、 $V_s = 0\text{ V}$ の短いパルス（例えば、 $1\text{ }\mu\text{s} \sim 10\text{ }\mu\text{s}$ ）をトランジスタ466に印加して、ホットエレクトロン注入またはトンネル電流により行なうことができる。逆に閾値電圧を低くするための補正は、例えば $V_{cg} = -1.5\text{ V}$ 、 $V_d = V_s = 0\text{ V}$ の短いパルス（例えば、 $100\text{ }\mu\text{s} \sim 1\text{ ms}$ ）をトランジスタ466に印加して、トンネル電流により行なうことができる。

【0113】

なお閾値電圧の補正は、リミッタ460に順方向電流を流さないように、IDチップ内部の電源電圧がリミット電圧以下となるような環境で行なう必要が有る。

【0114】

以上のように、制御回路をIDチップ内部に設けることで、リーダ/ライタを用いたりリミット電圧の設定を行なうことができる。よって、例えば出荷後に、ユーザがリミット電圧の設定を変更することも可能となる。

【0115】

10

20

30

40

50

また本実施例のように、制御回路をリミッタと共に半導体装置内に設けることで、半導体装置に設けられる接続端子の数を減少させることができる。

【0116】

なお図8に示すリミッタは、必ずしも抵抗465を有していなくとも良い。この場合、トランジスタ467のゲートとドレインに入力端子からの電圧 V_{in} が直接供給され、トランジスタ467によって降下したゲートとドレインの電圧が、リミッタの出力端子の電圧 V_{out} として、後段の回路に供給される。

【0117】

なお本実施例では、入力端子からの電圧 V_{in} の上限を制限するためのリミッタについて説明したが、電圧 V_{in} の下限を制限するためのリミッタであっても良い。

10

【実施例5】

【0118】

次に、本発明の半導体装置の1つである、IDチップの詳しい作製方法について説明する。なお本実施例では、TFTを半導体素子の一例として示すが、集積回路に用いられる半導体素子はこれに限定されない。例えばTFTの他に、記憶素子、ダイオード、光電変換素子、抵抗素子などを用いることができる。また、その他の素子として、コイル、容量素子、インダクタなどを用いることができる。

【0119】

まず図9(A)に示すように、耐熱性を有する第1の基板500上に剥離層501を形成する。第1の基板500として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレス基板を含む金属基板または半導体基板を用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

20

【0120】

剥離層501は、非晶質珪素、多結晶珪素、単結晶珪素、微結晶珪素(セミアモルファスシリコンを含む)等、珪素を主成分とする層を用いることができる。剥離層501は、スパッタ法、減圧CVD法、プラズマCVD法等を用いて形成することができる。本実施例では、膜厚50nm程度の非晶質珪素をプラズマCVD法で形成し、剥離層501として用いる。剥離層501は、スパッタ法で形成するよりもプラズマCVD法を用いて形成する方が、剥離層501に塵埃が含まれてしまうのを防ぐことができ、また剥離層501に含まれるArの量を抑えることができる。従って、後の作製工程においてレーザ結晶化などを含む熱処理が剥離層501に加えられても、塵埃やAr起因により、剥離層501が後に形成される下地膜502から剥離するのを抑えることができる。なお剥離層501は珪素に限定されず、エッチングにより選択的に除去できる材料で形成すれば良い。剥離層501の膜厚は、10~100nmとするのが望ましい。

30

【0121】

次に、剥離層501上に、下地膜502を形成する。下地膜502は第1の基板500中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、TFTなどの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。また下地膜502は、後の半導体素子を剥離する工程において、半導体素子を保護する役目も有している。下地膜502には、例えば酸化珪素、酸化窒化珪素、窒化珪素、窒化酸化珪素などの絶縁膜を用いることができる。

40

【0122】

下地膜502は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。本実施例では、膜厚100nmの酸化窒化珪素膜、膜厚50nmの窒化酸化珪素膜、膜厚100nmの酸化窒化珪素膜を順に積層して下地膜502を形成するが、各膜の材質、膜厚、積層数は、これに限定されるものではない。例えば、下層の酸化窒化珪素膜に代えて、膜厚0.5~3μmのシロキサン系樹脂をスピンコート法、スリットコーター法、液滴吐出法、印刷法などによって形成しても良い。また、中層の窒化

50

酸化珪素膜に代えて、窒化珪素膜 (SiN_x 、 Si_3N_4 等)を用いてもよい。また、上層の酸化窒化珪素膜に代えて、酸化珪素膜を用いてもよい。また、それぞれの膜厚は、 $0.05 \sim 3 \mu\text{m}$ とするのが望ましく、その範囲から自由に選択することができる。

【0123】

或いは、剥離層501に最も近い、下地膜502の下層を酸化窒化珪素膜または酸化珪素膜で形成し、中層をシロキサン系樹脂で形成し、上層を酸化珪素膜で形成してもよい。

【0124】

なおシロキサン系樹脂とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む樹脂に相当する。シロキサンは、シリコン (Si)と酸素 (O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0125】

酸化珪素膜は、 SiH_4 と O_2 、TEOS (テトラエトキシシラン) と O_2 等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、 SiH_4 と NH_3 の混合ガスを用い、プラズマCVDによって形成することができる。また、酸化窒化珪素膜、窒化酸化珪素膜は、代表的には、 SiH_4 と N_2O の混合ガスを用い、プラズマCVDによって形成することができる。

【0126】

次に、下地膜502上に半導体膜503を形成する。半導体膜503は、下地膜502を形成した後、大気に曝さずに形成することが望ましい。半導体膜503の膜厚は $20 \sim 200 \text{ nm}$ (望ましくは $40 \sim 170 \text{ nm}$ 、好ましくは $50 \sim 150 \text{ nm}$)とする。なお半導体膜503は、非晶質半導体であっても良いし、セミアモルファス半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は $0.01 \sim 4.5 \text{ atomic\%}$ 程度であることが好ましい。

【0127】

なお半導体膜503は、公知の技術により結晶化してもよい。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、第1の基板500として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法と、 950 程度の高温アニールを組み合わせた結晶法を用いてもよい。

【0128】

例えばレーザ結晶化を用いる場合、レーザ結晶化の前に、レーザに対する半導体膜503の耐性を高めるために、 550 、4時間の加熱処理を該半導体膜503に対して行う。そして連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄レーザ (基本波 1064 nm) の第2高調波 (532 nm) や第3高調波 (355 nm) を用いるのが望ましい。具体的には、連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力 10 W のレーザ光を得る。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体膜503に照射する。このときのエネルギー密度は $0.01 \sim 100 \text{ MJ/cm}^2$ 程度 (好ましくは $0.1 \sim 10 \text{ MJ/cm}^2$) が必要である。そして、走査速度を $10 \sim 2000 \text{ cm/sec}$ 程度とし、照射する。

【0129】

また、パルス発振のレーザ光の発振周波数を 10 MHz 以上とし、通常用いられている数十 Hz ～数百 Hz の周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行ってもよい。パルス発振でレーザ光を半導体膜に照射してから半導体膜が完全に固化するま

10

20

30

40

50

での時間は数十 nsec ~ 数百 nsec と言われている。よって上記周波数を用いることで、半導体膜がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。したがって、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が $10 \sim 30 \mu\text{m}$ 、走査方向に対して垂直な方向における幅が $1 \sim 5 \mu\text{m}$ 程度の結晶粒の集合を形成することができる。該走査方向に沿って長く延びた単結晶の結晶粒を形成することで、少なくとも T F T のチャネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

【0130】

なおレーザ結晶化は、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを並行して照射するようにしても良いし、連続発振の基本波のレーザ光とパルス発振の高調波のレーザ光とを並行して照射するようにしても良い。

10

【0131】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じるゲート電圧の閾値のばらつきを抑えることができる。

【0132】

上述したレーザ光の照射により、結晶性がより高められた半導体膜 503 が形成される。なお、予め半導体膜 503 に、スパッタ法、プラズマ C V D 法、熱 C V D 法などで形成した多結晶半導体を用いるようにしても良い。

20

【0133】

また本実施例では半導体膜 503 を結晶化しているが、結晶化せずに非晶質珪素膜または微結晶半導体膜のまま、後述のプロセスに進んでも良い。非晶質半導体、微結晶半導体を用いた T F T は、多結晶半導体を用いた T F T よりも作製工程が少ない分、コストを抑え、歩留まりを高くすることができるというメリットを有している。

【0134】

非晶質半導体は、珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 SiH_4 、 Si_2H_6 が挙げられる。この珪化物気体を、水素、又は水素とヘリウムの混合ガスで希釈して用いても良い。

【0135】

30

なおセミアモルファス半導体とは、非晶質半導体と結晶構造を有する半導体（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。このセミアモルファス半導体は、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を $0.5 \sim 20 \text{nm}$ として非単結晶半導体中に分散させて存在せしめることが可能である。セミアモルファス半導体は、そのラマンスペクトルが 520cm^{-1} よりも低波数側にシフトしており、また X 線回折では Si 結晶格子に由来するとされる (111) 、 (220) の回折ピークが観測される。また、未結合手（ダングリングボンド）の終端化として水素またはハロゲンを少なくとも 1 原子%またはそれ以上含ませている。ここでは便宜上、このような半導体をセミアモルファス半導体（S A S）と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なセミアモルファス半導体を得られる。

40

【0136】

また S A S は珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。また水素や、水素にヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素を加えたガスで、この珪化物気体を希釈して用いることで、S A S の形成を容易なものとすることができる。希釈率は 2 倍 ~ 1000 倍の範囲で珪化物気体を希釈することが好ましい。またさらに、珪化物気体中に、 CH_4 、 C_2H_6 などの炭化物気体、 GeH_4 、 GeF_4 などのゲルマニウ

50

ム化合物気体、 F_2 などを混入させて、エネルギーバンド幅を $1.5 \sim 2.4 \text{ eV}$ 、若しくは $0.9 \sim 1.1 \text{ eV}$ に調節しても良い。

【0137】

例えば、 SiH_4 に H_2 を添加したガスを用いる場合、或いは SiH_4 に F_2 を添加したガスを用いる場合、形成したセミアモルファス半導体を用いてTFTを作製すると、該TFTのサブスレッシュOLD係数(S値)を 0.35 V/dec 以下、代表的には $0.09 \sim 0.25 \text{ V/dec}$ とし、移動度を $10 \text{ cm}^2/\text{Vsec}$ とすることができる。そして上記セミアモルファス半導体を用いたTFTで、例えば19段リングオシレータを形成した場合、電源電圧 $3 \sim 5 \text{ V}$ において、その発振周波数は 1 MHz 以上、好ましくは 100 MHz 以上の特性を得ることができる。また電源電圧 $3 \sim 5 \text{ V}$ において、インバータ1段あたりの遅延時間は 26 ns 、好ましくは 0.26 ns 以下とすることができる。

10

【0138】

次に、図9(B)に示すように、結晶化された半導体膜503をパターニングし、島状の半導体膜504~506を形成する。そして、島状の半導体膜504~506を覆うように、第1のゲート絶縁膜507を形成する。第1のゲート絶縁膜507は、プラズマCVD法又はスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することができる。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのが好ましい。

【0139】

20

なお第1のゲート絶縁膜507の膜厚は、薄い方が、ダイオードとして用いるTFT 542において、ホットエレクトロン注入、或いはトンネル電流によるフローティングゲートの電荷の制御を、高速に行なうことができる。従って、高耐圧化よりも電荷の制御の高速化に重点を置くならば、第1のゲート絶縁膜507は薄ければ薄い方が望ましい。本実施例では、第1のゲート絶縁膜507の膜厚は $1 \sim 100 \text{ nm}$ 、好ましくは $1 \sim 10 \text{ nm}$ とする。

【0140】

次に図9(C)に示すように、第1のゲート絶縁膜507上に第1の導電膜508を形成する。本実施例では第1の導電膜508として、窒化タンタル(TaN)膜またはタンタル(Ta)膜を用いる。勿論、第1の導電膜508の材料は、これに限定されるものではなく、適宜選択することができる。ただし第1の導電膜508として、後のエッチング工程において、第1のゲート絶縁膜507との選択比を十分確保できる材料を用いることが望ましい。例えば第1の導電膜508をTa₂N₅もしくはTaとし、第1のゲート絶縁膜507を酸化珪素膜とした場合、エッチングガスとして Cl_2 を用いることで、第1の導電膜508の第1のゲート絶縁膜507に対する選択比を10以上とすることができる。選択比を確保することで、露出される第1のゲート絶縁膜507のオーバーエッチングを防ぐことができる。

30

【0141】

また、第1の導電膜508の膜厚が薄いほど、第1の導電膜508のエッチングにかかる時間を短くすることができる。そのため、第1の導電膜508をエッチングする際に、第1のゲート絶縁膜507のオーバーエッチングを抑えることができる。よって、第1の導電膜508の膜厚は $5 \sim 100 \text{ nm}$ 、好ましくは $5 \sim 20 \text{ nm}$ が良い。

40

【0142】

次に、第1の導電膜508上に第2のゲート絶縁膜509を形成する。第2のゲート絶縁膜509は、第1のゲート絶縁膜507に用いることができる材料と、同じ材料を用いることができる。本実施例では酸化珪素膜を用いる。

【0143】

次に図9(D)に示すように、島状の半導体膜506を覆うようにマスク510を形成する。そして、第2のゲート絶縁膜509のうち、島状の半導体膜504、505と重なっている部分をエッチングにより除去し、第1の導電膜508を部分的に露出させる。第

50

2のゲート絶縁膜509のエッチングは、 CHF_3 ガスを用いたプラズマエッチング法を用いることができる。上記エッチングにより、第1の導電膜508の窒化タンタルまたはタンタルと第2のゲート絶縁膜509の酸化珪素膜との選択比を10以上にすることができる。また、フッ酸を用いたウェットエッチングであっても、窒化タンタルまたはタンタルとの選択比を十分に確保することができる。

【0144】

次に図9(E)に示すように、部分的にエッチングされた第2のゲート絶縁膜509及び第1の導電膜508を覆うように、第2の導電膜511を形成する。第2の導電膜511は、第1の導電膜508と同様、導電性を有する膜であれば良く、本実施例ではタンゲステン(W)膜を用いる。

10

【0145】

なお、第1の導電膜508の材料と、第2の導電膜511の材料の組み合わせは、本実施例に示した構成に限定されない。例えば、第1の導電膜508としてn型を付与する不純物がドーピングされた珪素を用い、第2の導電膜511としてNiSi(ニッケルシリサイド)を用いても良い。或いは、第1の導電膜508としてn型を付与する不純物がドーピングされたSi、第2の導電膜511としてWSixを用いても良い。

【0146】

次に図10(A)に示すように、第2の導電膜511上にマスク512を形成し、第2の導電膜511をエッチングする。上記エッチングにより、第2の導電膜511から、島状の半導体膜504~506とそれぞれ重なるように、電極513~515が形成される。タンゲステンをを用いた第2の導電膜511のエッチングは、 CF_4 、 Cl_2 、 O_2 または SF_6 、 Cl_2 、 O_2 の混合ガスを用いて行なうことができる。上記エッチングでは、第1の導電膜508と第2の導電膜511との選択比を5以上にすることができる。

20

【0147】

次に図10(B)に示すように、マスク512を用いて第2のゲート絶縁膜509を再びエッチングする。このエッチングを、 CHF_3 を用いたドライエッチングで行なうことで、窒化タンタルまたはタンタルを用いた第1の導電膜508に対して、酸化珪素を用いた第2のゲート絶縁膜509のエッチングレートを、10倍以上にすることができる。また、フッ酸を用いたウェットエッチングでも、同様のエッチングレートは得られる。

【0148】

30

次に図10(C)に示すように、マスク512を用いて第1の導電膜508をエッチングすることで、島状の半導体膜504~506とそれぞれ重なるように、電極516~518を形成する。第1の導電膜508として窒化タンタルまたはタンタルを用いている場合、エッチングガスとして Cl_2 を用いれば、酸化珪素を用いた第1のゲート絶縁膜507と第1の導電膜508の選択比を10以上にすることができる。

【0149】

なお電極513と電極516は、互いに接するように重なっており、ゲート電極として機能する。電極514と電極517は、互いに接するように重なっており、ゲート電極として機能する。また電極515と電極518は、第2のゲート絶縁膜509を間に挟んで重なっており、電極515はフローティングゲートとして機能し、電極518はコントロールゲートとして機能する。

40

【0150】

なおマスク512として、酸化珪素等のマスクを用いてもよい。この場合、パターンニングして酸化珪素、酸化窒化珪素等のマスク(ハードマスクと呼ばれる。)を形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅を有する電極513~518を形成することができる。またマスク512を用いずに、液滴吐出法を用いて選択的に電極513~518を形成しても良い。この場合、第2のゲート絶縁膜509のエッチングには、電極515をマスクとして用いることができる。

【0151】

なお第1の導電膜508と第2の導電膜511に用いる材料は、その機能に応じて種々

50

の材料を選択することができる。例えば、第1の導電膜508と第2の導電膜511から、電極513～518の他に、アンテナとして用いる導線を形成する場合には、それらの機能を考慮して、第1の導電膜508と第2の導電膜511に用いる材料を選択すればよい。

【0152】

次に図10(D)に示すように、マスク512を除去した後、pチャネル型TFTとなる島状の半導体膜505をマスク520で覆い、電極513、515、516、518をマスクとして、島状の半導体膜504、506に、n型を付与する不純物元素(代表的にはP(リン)又はAs(砒素))を低濃度にドーピングする(第1のドーピング工程)。第1のドーピング工程の条件は、ドーピング量： $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧：50～70kVとしたが、これに限定されるものではない。この第1のドーピング工程によって、第1のゲート絶縁膜507を介してドーピングがなされ、島状の半導体膜504、506に、一対の低濃度不純物領域521、522がそれぞれ形成される。なお、第1のドーピング工程は、pチャネル型TFTとなる島状の半導体膜505をマスク520で覆わずに行っても良い。

10

【0153】

次に図10(E)に示すように、マスク520をアッシング等により除去した後、nチャネル型TFTとなる島状の半導体膜504、506を覆うように、マスク523を新たに形成し、電極514、517をマスクとして、島状の半導体膜505に、p型を付与する不純物元素(代表的にはB(ホウ素))を高濃度にドーピングする(第2のドーピング工程)。第2のドーピング工程の条件は、ドーピング量： $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧：20～40kVとして行なう。この第2のドーピング工程によって、第1のゲート絶縁膜507を介してドーピングがなされ、島状の半導体膜505に、一対のp型の高濃度不純物領域524が形成される。

20

【0154】

次に図11(A)に示すように、マスク523をアッシング等により除去した後、第1のゲート絶縁膜507及び電極513～518を覆うように、絶縁膜530を形成する。本実施例では、膜厚100nmの酸化珪素膜をプラズマCVD法によって形成する。その後、エッチバック法により、絶縁膜530、第1のゲート絶縁膜507を部分的にエッチングし、図11(B)に示すように、電極513～518の側壁に接するように、サイドウォール531～533を自己整合的(セルフアライン)に形成する。エッチングガスとしては、 CHF_3 とHeの混合ガスを用いる。なお、サイドウォールを形成する工程は、これらに限定されるものではない。

30

【0155】

なお、絶縁膜530を形成した時に、第1の基板500の裏面にも絶縁膜が形成された場合には、レジストを用い、裏面に形成された絶縁膜を選択的にエッチングし、除去するようにしても良い。この場合、用いられるレジストは、サイドウォール531～533をエッチバック法で形成する際に、絶縁膜530、第1のゲート絶縁膜507と共にエッチングして、除去するようにしても良い。

【0156】

40

次に図11(C)に示すように、pチャネル型TFTとなる島状の半導体膜505を覆うように、マスク534を新たに形成し、ゲート電極513、516及びサイドウォール531と、ゲート電極515、518及びサイドウォール533をマスクとして、n型を付与する不純物元素(代表的にはP又はAs)を高濃度にドーピングする(第3のドーピング工程)。第3のドーピング工程の条件は、ドーピング量： $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧：60～100keVとして行なう。この第3のドーピング工程によって、島状の半導体膜504、506に、一対のn型の高濃度不純物領域536、537がそれぞれ形成される。

【0157】

なおサイドウォール531、533は、後に高濃度のn型を付与する不純物をドーピン

50

グし、サイドウォール531、533の下部に低濃度不純物領域又はノンドープのオフセット領域を形成する際のマスクとして機能するものである。よって、低濃度不純物領域又はオフセット領域の幅を制御するには、サイドウォール531、533を形成する際のエッチバック法の条件または絶縁膜530の膜厚を適宜変更し、サイドウォール531、533のサイズを調整すればよい。

【0158】

次に、マスク534をアッシング等により除去した後、不純物領域の加熱処理による活性化を行っても良い。例えば、50nmの酸化窒化珪素膜を成膜した後、550、4時間、窒素雰囲気下において、加熱処理を行なえばよい。

【0159】

また、水素を含む窒化珪素膜を、100nmの膜厚に形成した後、410、1時間、窒素雰囲気下において、加熱処理を行ない、島状の半導体膜504~506を水素化する工程を行なっても良い。或いは、水素を含む雰囲気中で、300~450で1~12時間の熱処理を行ない、島状の半導体膜504~506を水素化する工程を行なっても良い。また、水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。この水素化の工程により、熱的に励起された水素によりダングリングボンドを終端することができる。また、後の工程において可撓性を有する第2の基板559上に半導体素子を貼り合わせた後、第2の基板559を曲げることにより半導体膜中に欠陥が形成されたとしても、水素化により半導体膜中の水素の濃度を、 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ atoms/cm}^3$ 好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ とすることで、半導体膜に含まれている水素によって該欠陥を終端させることができる。また該欠陥を終端させるために、半導体膜中にハロゲンを含ませておいても良い。

【0160】

上述した一連の工程により、nチャネル型TF T 540、pチャネル型TF T 541、nチャネル型TF T 542が形成される。上記作製工程において、エッチバック法の条件または絶縁膜530の膜厚を適宜変更し、サイドウォールのサイズを調整することで、チャネル長0.2 μm ~2 μm のTF Tを形成することができる。

【0161】

さらに、この後、TF T 540~542を保護するためのパッシベーション膜を形成しても良い。パッシベーション膜は、アルカリ金属やアルカリ土類金属のTF T 540~542への侵入を防ぐことができる、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。具体的には、例えば膜厚600nm程度の酸化窒化珪素膜を、パッシベーション膜として用いることができる。この場合、水素化処理工程は、該酸化窒化珪素膜形成後に行っても良い。このように、TF T 540~542上には、酸化窒化珪素、窒化珪素、酸化窒化珪素の順に3層が積層された絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。上記構成を用いることで、TF T 540~542が下地膜502とパッシベーション膜とで覆われるため、Naなどのアルカリ金属やアルカリ土類金属が、半導体素子に用いられている半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのをより防ぐことができる。

【0162】

次に図11(D)に示すように、TF T 540~542を覆うように、第1の層間絶縁膜543を形成する。第1の層間絶縁膜543は、ポリイミド、アクリル、ポリアミド等の、耐熱性を有する有機樹脂を用いることができる。また上記有機樹脂の他に、低誘電率材料(low-k材料)、シロキサン系材料等を用いることができる。シロキサン樹脂は、置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。第1の層間絶縁膜543の形成には、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、無機材料を用いてもよく

10

20

30

40

50

、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、第1の層間絶縁膜543を形成しても良い。

【0163】

さらに本実施例では、第1の層間絶縁膜543上に、第2の層間絶縁膜544を形成する。第2の層間絶縁膜544としては、DLC（ダイヤモンドライクカーボン）或いは窒化炭素（CN）等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。作製方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン系樹脂等を用いても

10

【0164】

なお、第1の層間絶縁膜543又は第2の層間絶縁膜544と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、第1の層間絶縁膜543又は第2の層間絶縁膜544の膜剥がれや割れが生じるのを防ぐために、第1の層間絶縁膜543又は第2の層間絶縁膜544中にフィラーを混入させておいても良い。

【0165】

次に、第1の層間絶縁膜543及び第2の層間絶縁膜544にコンタクトホールを形成し、TF T 5 4 0 ~ 5 4 2 に接続する配線545 ~ 5 5 0 を形成する。コンタクトホール開孔時のエッチングに用いられるガスは、 CHF_3 とHeの混合ガスを用いたが、これに

20

【0166】

なお、Alにおいて、Siを混入させることにより、配線パターニング時のレジストバークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターニング時には、酸化窒化珪素等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、作製方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用しても良い

30

【0167】

なお、配線545、546はnチャネル型TF T 5 4 0の高濃度不純物領域536に、配線547、548はpチャネル型TF T 5 4 1の高濃度不純物領域524に、配線549、550はnチャネル型TF T 5 4 2の高濃度不純物領域537にそれぞれ接続されている。さらに配線550は、nチャネル型TF T 5 4 2の電極515に接続されている。

【0168】

次に図11(E)に示すように、配線545 ~ 5 5 0 を覆うように、第2の層間絶縁膜544上に第3の層間絶縁膜552を形成する。第3の層間絶縁膜552は、配線545の一部が露出するような開口部を有する。また第3の層間絶縁膜552は、有機樹脂膜、無機絶縁膜またはシロキサン系絶縁膜を用いて形成することができる。有機樹脂膜ならば、例えばアクリル、ポリイミド、ポリアミドなど、無機絶縁膜ならば酸化珪素、窒化酸化珪素などを用いることができる。なおフォトリソグラフィ法で開口部を形成するのに用いるマスクを、液滴吐出法または印刷法で形成することができる。また第3の層間絶縁膜552自体を、液滴吐出法または印刷法で形成することもできる。

40

【0169】

次に、アンテナ553を第3の層間絶縁膜552上に形成する。アンテナ553は、Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W、Al、Fe、Co、Zn、Sn、Niなどの金属、金属化合物を1つまたは複数有する導電材料を用いることができる。そしてアンテナ553は、配線545と接続されている。なお図11(E)では、アンテナ

50

５５３が配線５４５と直接接続されているが、本発明のＩＤチップはこの構成に限定されない。例えば別途形成した配線を用いて、アンテナ５５３と配線５４５とを電氣的に接続するようにしても良い。

【０１７０】

アンテナ５５３は印刷法、フォトリソグラフィ法、めっき法、蒸着法または液滴吐出法などを用いて形成することができる。本実施例では、アンテナ５５３が単層の導電膜で形成されているが、複数の導電膜が積層されたアンテナ５５３を形成することも可能である。

【０１７１】

印刷法、液滴吐出法を用いることで、露光用のマスクを用いずとも、アンテナ５５３を形成することが可能になる。また、液滴吐出法、印刷法だと、フォトリソグラフィ法と異なり、エッチングにより除去されてしまうような材料の無駄がない。また高価な露光用のマスクを用いなくとも良いので、ＩＤチップの作製に費やされるコストを抑えることができる。

【０１７２】

液滴吐出法または各種印刷法を用いる場合、例えば、ＣｕをＡｇでコートした導電粒子なども用いることが可能である。なお液滴吐出法を用いてアンテナ５５３を形成する場合、該アンテナ５５３の密着性が高まるような処理を、第３の層間絶縁膜５５２の表面に施すことが望ましい。

【０１７３】

密着性を高めるための処理として、具体的には、例えば触媒作用により導電膜または絶縁膜の密着性を高めることができる金属または金属化合物を第３の層間絶縁膜５５２の表面に付着させる方法、形成される導電膜または絶縁膜との密着性が高い有機系の絶縁膜、金属、金属化合物を第３の層間絶縁膜５５２の表面に付着させる方法、第３の層間絶縁膜５５２の表面に大気圧下または減圧下においてプラズマ処理を施し、表面改質を行なう方法などが挙げられる。また、上記導電膜または絶縁膜との密着性が高い金属として、チタン、チタン酸化物の他、３ｄ遷移元素であるＳｃ、Ｔｉ、Ｖ、Ｃｒ、Ｍｎ、Ｆｅ、Ｃｏ、Ｎｉ、Ｃｕ、Ｚｎなどが挙げられる。また金属化合物として、上述した金属の酸化物、窒化物、酸窒化物などが挙げられる。上記有機系の絶縁膜として、例えばポリイミド、シロキサン系樹脂等が挙げられる。

【０１７４】

第３の層間絶縁膜５５２に付着させる金属または金属化合物が導電性を有する場合、アンテナ５５３の正常な動作が妨げられないように、そのシート抵抗を制御する。具体的には、導電性を有する金属または金属化合物の平均の厚さを、例えば１～１０ｎｍとなるように制御したり、該金属または金属化合物を酸化により部分的に、または全体的に絶縁化したりすれば良い。或いは、密着性を高めたい領域以外は、付着した金属または金属化合物をエッチングにより選択的に除去しても良い。また金属または金属化合物を、予め基板の全面に付着させるのではなく、液滴吐出法、印刷法、ゾル－ゲル法などを用いて特定の領域にのみ選択的に付着させても良い。なお金属または金属化合物は、第３の層間絶縁膜５５２の表面において完全に連続した膜状である必要はなく、ある程度分散した状態であっても良い。

【０１７５】

次に図１２（Ａ）に示すように、アンテナ５５３を覆うように、第３の層間絶縁膜５５２上に保護層５５５を形成する。保護層５５５は、後に剥離層５０１をエッチングにより除去する際に、ＴＦＴ５４０～５４２及び配線５４５～５５０を保護することができる材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布することで保護層５５５を形成することができる。

【０１７６】

本実施例では、スピンコート法で水溶性樹脂（東亜合成製：ＶＬ－ＷＳＨＬ１０）を膜厚３０μｍとなるように塗布し、仮硬化させるために２分間の露光を行ったあと、紫外線

10

20

30

40

50

を裏面から 2.5 分、表面から 10 分、合計 12.5 分の露光を行って本硬化させて、保護層 555 を形成する。なお、複数の有機樹脂を積層する場合、有機樹脂同士では使用している溶媒によって塗布または焼成時に一部溶解したり、密着性が高くなりすぎたりする恐れがある。従って、第 3 の層間絶縁膜 552 と保護層 555 を共に同じ溶媒に可溶な有機樹脂を用いる場合、後の工程において保護層 555 の除去がスムーズに行なわれるように、第 3 の層間絶縁膜 552 を覆うように、無機絶縁膜（窒化珪素膜、窒化酸化珪素膜、 AlN_x 膜、または AlN_xO_y 膜）を形成しておくことが好ましい。

【0177】

次に図 12 (B) に示すように、ID チップどうしを分離するために溝 556 を形成する。溝 556 は、剥離層 501 が露出する程度の深さを有していれば良い。溝 556 の形成は、ダイシング、スクライピング、フォトリソグラフィ法などを用いることができる。なお、第 1 の基板 500 上に形成されている ID チップを分離する必要がある場合、必ずしも溝 556 を形成する必要はない。

【0178】

次に図 12 (C) に示すように、剥離層 501 をエッチングにより除去する。本実施例では、エッチングガスとしてフッ化ハロゲンを用い、該ガスを溝 556 から導入する。本実施例では、例えば CF_3 （三フッ化塩素）を用い、温度：350、流量：300 sccm、気圧：800 Pa、時間：3 h の条件で行なう。また、 CF_3 ガスに窒素を混ぜたガスを用いても良い。 CF_3 等のフッ化ハロゲンを用いることで、剥離層 501 が選択的にエッチングされ、第 1 の基板 500 を TFT 540 ~ 542 から剥離することができる。なおフッ化ハロゲンは、気体であっても液体であってもどちらでも良い。

【0179】

次に図 13 (A) に示すように、剥離された TFT 540 ~ 542 を、接着剤 558 を用いて第 2 の基板 559 に貼り合わせ、保護層 555 を除去する。接着剤 558 は、第 2 の基板 559 と下地膜 502 とを貼り合わせることができる材料を用いる。接着剤 558 は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【0180】

第 2 の基板 559 として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、可撓性を有する紙またはプラスチックなどの有機材料を用いることができる。または第 2 の基板 559 として、フレキシブルな無機材料を用いていても良い。プラスチック基板は、極性基のついたポリノルボルネンからなる ARTON (JSR 製) を用いることができる。また、ポリエチレンテレフタレート (PET) に代表されるポリエステル、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネート (PC)、ナイロン、ポリエーテルエーテルケトン (PEEK)、ポリスルホン (PSF)、ポリエーテルイミド (PEI)、ポリアリレート (PAR)、ポリブチレンテレフタレート (PBT)、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。第 2 の基板 559 は集積回路において発生した熱を拡散させるために、2 ~ 30 W / mK 程度の高い熱伝導率を有する方が望ましい。

【0181】

次に図 13 (B) に示すように、接着剤 560 をアンテナ 553 及び第 3 の層間絶縁膜 552 上に塗布し、カバー材 561 を貼り合わせる。カバー材 561 は第 2 の基板 559 と同様の材料を用いることができる。接着剤 560 の厚さは、例えば 10 ~ 200 μm とすれば良い。

【0182】

また接着剤 560 は、カバー材 561 とアンテナ 553 及び第 3 の層間絶縁膜 552 とを貼り合わせることができる材料を用いる。接着剤 560 は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【 0 1 8 3 】

なお本実施例では、接着剤 5 6 0 を用いて、カバー材 5 6 1 をアンテナ 5 5 3 及び第 3 の層間絶縁膜 5 5 2 に貼り合わせているが、本発明はこの構成に限定されず、I D チップは必ずしもカバー材 5 6 1 を用いる必要はない。例えば、アンテナ 5 5 3 及び第 3 の層間絶縁膜 5 5 2 を樹脂等で覆うことで、I D チップの機械的強度を高めるようにしても良い。或いはカバー材 5 6 1 を用いずに、図 1 3 (A) に示した工程までで終了としても良い。

【 0 1 8 4 】

上述した各工程を経て、I D チップが完成する。上記作製方法によって、トータルの膜厚 $0.3 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下、代表的には $2 \mu\text{m}$ 程度の飛躍的に薄い集積回路を第 2 の基板 5 5 9 とカバー材 5 6 1 との間に形成することができる。なお集積回路の厚さは、半導体素子自体の厚さのみならず、接着剤 5 5 8 と接着剤 5 6 0 間に形成された各種絶縁膜及び層間絶縁膜の厚さを含め、アンテナは含まないものとする。また I D チップが有する集積回路の占める面積を、 5 mm 四方 (25 mm^2) 以下、より望ましくは 0.3 mm 四方 (0.09 mm^2) ~ 4 mm 四方 (16 mm^2) 程度とすることができる。

【 0 1 8 5 】

なお集積回路を、第 2 の基板 5 5 9 とカバー材 5 6 1 の間のより中央に位置させることで、I D チップの機械的強度を高めることができる。具体的には、第 2 の基板 5 5 9 とカバー材 5 6 1 の間の距離を d とすると、集積回路の厚さ方向における中心と第 2 の基板 5 5 9 との間の距離 x が、以下の数 1 に示す式を満たすように、接着剤 5 5 8、接着剤 5 6 0 の厚さを制御することが望ましい。

【 0 1 8 6 】

【 数 1 】

$$\frac{1}{2}d - 30\mu\text{m} < x < \frac{1}{2}d + 30\mu\text{m}$$

【 0 1 8 7 】

また好ましくは、以下の数 2 に示す式を満たすように、接着剤 5 5 8、接着剤 5 6 0 の厚さを制御する。

【 0 1 8 8 】

【 数 2 】

$$\frac{1}{2}d - 10\mu\text{m} < x < \frac{1}{2}d + 10\mu\text{m}$$

【 0 1 8 9 】

また、図 1 4 に示すように、集積回路における T F T の島状の半導体膜から下地膜 5 0 2 の下部までの距離 (t_{under}) と、島状の半導体膜から第 3 の層間絶縁膜 5 5 2 の上部までの距離 (t_{over}) が、等しく又は概略等しくなるように、下地膜 5 0 2、第 1 の層間絶縁膜 5 4 3、第 2 の層間絶縁膜 5 4 4 または第 3 の層間絶縁膜 5 5 2 の厚さを調整しても良い。このようにして、島状の半導体膜を集積回路の中央に配置せしめることで、半導体層への応力を緩和することができ、クラックの発生を防止することができる。

【 0 1 9 0 】

また I D チップの可撓性を確保するために、下地膜 5 0 2 に接する接着剤 5 5 8 に有機樹脂を用いる場合、下地膜 5 0 2 として窒化珪素膜または窒化酸化珪素膜を用いることで、有機樹脂から Na などのアルカリ金属やアルカリ土類金属が半導体膜中に拡散するのを防ぐことができる。

【0191】

また対象物の表面が曲面を有しており、それにより該曲面貼り合わされたＩＤチップの第２の基板５５９が、錐面、柱面など母線の移動によって描かれる曲面を有するように曲がってしまう場合、該母線の方角とＴＦＴ５４０～５４２のキャリアが移動する方角とを揃えておくことが望ましい。上記構成により、第２の基板５５９が曲がっても、それによってＴＦＴ５４０～５４２の特性に影響が出るのを抑えることができる。また、島状の半導体膜が集積回路内において占める面積の割合を、１～３０％とすることで、第２の基板５５９が曲がっても、それによってＴＦＴ５４０～５４２の特性に影響が出るのをより抑えることができる。

【0192】

なお一般的にＩＤチップで用いられている電波の周波数は、１３．５６ＭＨｚ、２．４５ＧＨｚが多く、該周波数の電波を検波できるようにＩＤチップを形成することが、汎用性を高める上で非常に重要である。

【0193】

また本実施例のように、ガラス基板を用いてＩＤチップを形成した場合には、半導体基板を用いて形成されたＩＤチップよりも電波が遮蔽されにくく、電波の遮蔽により信号が減衰するのを防ぐことができるというメリットを有している。よって、半導体基板を用いた場合よりもＩＤチップのコストを大幅に低くすることができる。例えば、直径１２インチの半導体基板を用いた場合と、 $730 \times 920 \text{ mm}^2$ のガラス基板を用いた場合とを比較する。前者の半導体基板の面積は約 73000 mm^2 であるが、後者のガラス基板の面積は約 672000 mm^2 であり、ガラス基板は半導体基板の約９．２倍に相当する。後者のガラス基板の面積は約 672000 mm^2 では、基板の分断により消費される面積を無視すると、 1 mm 四方のＩＤチップが約 672000 個形成できる計算になり、該個数は半導体基板の約９．２倍の数に相当する。そしてＩＤチップの量産化を行なうための設備投資は、 $730 \times 920 \text{ mm}^2$ のガラス基板を用いた場合の方が直径１２インチの半導体基板を用いた場合よりも工程数が少なくて済むため、額を３分の１で済ませることができる。さらに本実施例では、集積回路を剥離した後、ガラス基板を再び利用できる。よって、破損したガラス基板を補填したり、ガラス基板の表面を清浄化したりする費用を踏まえても、半導体基板を用いる場合よりも大幅にコストを抑えることができる。またガラス基板を再利用せずに廃棄していったとしても、 $730 \times 920 \text{ mm}^2$ のガラス基板の値段は、直径１２インチの半導体基板の半分程度で済むので、ＩＤチップのコストを大幅に低くすることができることがわかる。

【0194】

従って、 $730 \times 920 \text{ mm}^2$ のガラス基板を用いた場合、直径１２インチの半導体基板を用いた場合よりも、ＩＤチップの値段を約３０分の１程度に抑えることができることがわかる。ＩＤチップは、使い捨てを前提とした用途も期待されているので、コストを大幅に低くすることができる本実施例のＩＤチップは上記用途に非常に有用である。

【0195】

本実施例は、実施の形態及び実施例１～４と組み合わせて実施することが可能である。

【実施例６】

【0196】

図１５（Ａ）を用いて、導電膜のパターニングにより、ＴＦＴに接続されている配線とアンテナとを共に形成する場合の、ＩＤチップ（無線チップともよぶ。）の構成について説明する。図１５（Ａ）に、本実施例のＩＤチップの断面図を示す。

【0197】

図１５（Ａ）において、ＴＦＴ１４０１は、島状の半導体膜１４０２と、島状の半導体膜１４０２に接している第１のゲート絶縁膜１４０３と、第１のゲート絶縁膜１４０３を間に挟んで島状の半導体膜１４０２と重なっている電極１４０４とを有している。さらにＴＦＴ１４０１は、電極１４０４上に第２のゲート絶縁膜１４０５と、電極１４０６とを有しており、電極１４０４と電極１４０６とは、第２のゲート絶縁膜１４０５を間に挟ん

で重なっている。

【0198】

またTFT1401は、第1の層間絶縁膜1407及び第2の層間絶縁膜1408に覆われている。なお、本実施例では、TFT1401が、第1の層間絶縁膜1407、第2の層間絶縁膜1408の、2つの層間絶縁膜に覆われているが、本実施例はこの構成に限定されない。TFT1401は、単層の層間絶縁膜で覆われていても良いし、3層以上の層間絶縁膜で覆われていても良い。

【0199】

そして第2の層間絶縁膜1408の上に形成された配線1409は、第1の層間絶縁膜1407及び第2の層間絶縁膜1408に形成されたコンタクトホールを介して、島状の半導体膜1402に接続されている。

10

【0200】

また第2の層間絶縁膜1408上には、アンテナ1410が形成されている。配線1409とアンテナ1410は、第2の層間絶縁膜1408上に導電膜を形成し、該導電膜をパターニングすることで、共に形成することができる。アンテナ1410を配線1409と共に形成することで、IDチップの作製工程数を抑えることができる。

【0201】

次に図15(B)を用いて、導電膜のパターニングにより、TFTのゲート電極とアンテナとを共に形成する場合の、IDチップの構成について説明する。図15(B)に、本実施例のIDチップの断面図を示す。

20

【0202】

図15(B)において、TFT1421は、島状の半導体膜1422と、島状の半導体膜1422に接している第1のゲート絶縁膜1423と、第1のゲート絶縁膜1423を間に挟んで島状の半導体膜1422と重なっている電極1424とを有している。さらにTFT1421は、電極1424上に第2のゲート絶縁膜1425と、電極1426とを有しており、電極1424と電極1426とは、第2のゲート絶縁膜1425を間に挟んで重なっている。

【0203】

また第1のゲート絶縁膜1423上には、アンテナ1430が形成されている。電極1424、1426とアンテナ1430は、第1のゲート絶縁膜1423上に導電膜を2層形成し、該2層の導電膜をパターニングすることで共に形成することができる。アンテナ1430を電極1424、1426と共に形成することで、IDチップの作製工程数を抑えることができる。

30

【0204】

なお本実施例では、集積回路を剥離して、別途用意した基板に貼り合わせる例について説明したが、本発明はこの構成に限定されない。例えばガラス基板のように、集積回路の作製工程における熱処理に耐えうるような、耐熱温度を有している基板を用いる場合、必ずしも集積回路を剥離する必要はない。

【0205】

本実施例は、実施の形態及び実施例1～5と組み合わせて実施することが可能である。

40

【実施例7】

【0206】

本実施例では、別の基板上に形成したアンテナと集積回路とを電氣的に接続する、IDチップの構成について説明する。

【0207】

図16(A)に、本実施例のIDチップの断面図を示す。図16(A)では、TFT1201に電氣的に接続された配線1202を覆うように、接着剤1203が第3の層間絶縁膜1204上に塗布されている。そして、接着剤1203により、カバー材1205が第3の層間絶縁膜1204に貼り合わされている。

【0208】

50

カバー材 1205 には、アンテナ 1206 が予め形成されている。そして本実施例では、接着剤 1203 に異方導電性樹脂を用いることで、アンテナ 1206 と配線 1202 とが電氣的に接続されている。

【0209】

異方導電性樹脂は、樹脂中に導電材料 1207 を分散させた材料である。樹脂として、例えばエポキシ系、ウレタン系、アクリル系などの熱硬化性を有するもの、ポリエチレン系、ポリプロピレン系などの熱可塑性を有するもの、シロキサン系樹脂などを用いることができる。また導電材料 1207 として、例えばポリスチレン、エポキシなどのプラスチック製の粒子に Ni、Auなどをめっきしたもの、Ni、Au、Ag、はんだなどの金属粒子、粒子状または繊維状のカーボン、繊維状の Ni に Au をめっきしたものなどを用いることができる。導電材料のサイズは、アンテナ 1206 と配線 1202 のピッチに合わせて決めることが望ましい。

10

【0210】

またアンテナ 1206 と配線 1202 の間において、異方導電性樹脂に超音波を加えながら圧着させても良いし、紫外線の照射で硬化させながら圧着させても良い。

【0211】

なお本実施例では、異方導電性樹脂を用いた接着剤 1203 でアンテナ 1206 と配線 1202 とを電氣的に接続する例を示しているが、本発明はこの構成に限定されない。接着剤 1203 の代わりに、異方導電性フィルムを用い、該異方導電性フィルムを圧着することで、アンテナ 1206 と配線 1202 とを電氣的に接続しても良い。

20

【0212】

また本実施例では、剥離された集積回路を、別途用意した基板に貼り合わせることで形成された ID チップを、例に挙げて説明したが、本発明はこの構成に限定されない。例えばガラス基板のように、集積回路の作製工程における熱処理に耐えうるような、耐熱温度を有している基板を用いる場合、必ずしも集積回路を剥離する必要はない。図 16 (B) に、ガラス基板を用いて形成された、ID チップの一形態を、断面図で示す。

【0213】

図 16 (B) に示す ID チップでは、基板 1210 としてガラス基板を用いており、集積回路に用いられる TFT 1211 ~ 1213 と基板 1210 との間に、接着剤を間に挟まずに、下地膜 1214 が接するように形成されている。

30

【0214】

本実施例は、実施の形態及び実施例 1 ~ 6 と組み合わせて実施することが可能である。

【実施例 8】

【0215】

本実施例では、大型の基板を用いて、複数の半導体装置を作製する方法について説明する。

【0216】

まず、耐熱性を有する基板上に集積回路 601 及びアンテナ 602 を形成した後、剥離し、図 17 (A) に示すように、別途用意した基板 603 上に、接着剤 604 を用いて貼り合わせる。なお図 17 (A) では、集積回路 601 及びアンテナ 602 を一組ずつ基板 603 上に貼り合わせている様子を示しているが、本発明はこの構成に限定されない。集積回路 601 及びアンテナ 602 の組を、互いに繋がった状態で剥離し、一度に基板 603 上に貼り合わせるようにしても良い。

40

【0217】

次に図 17 (B) に示すように、間に集積回路 601 及びアンテナ 602 を挟むように、基板 603 にカバー材 605 を貼り合わせる。このとき、集積回路 601 及びアンテナ 602 を覆うように、基板 603 上に接着剤 606 を塗布しておく。カバー材 605 を基板 603 に貼り合わせることで、図 17 (C) に示す状態が得られる。なお、図 17 (C) では、集積回路 601 及びアンテナ 602 の位置を明確にするために、カバー材 605 を通して透けて見えるように、集積回路 601 及びアンテナ 602 を図示している。

50

【 0 2 1 8 】

次に図 1 7 (D) に示すように、ダイシングまたはスクライブにより、集積回路 6 0 1 及びアンテナ 6 0 2 を互いに分離することで、I D チップ 6 0 7 を完成させる。

【 0 2 1 9 】

なお本実施例では、アンテナ 6 0 2 を集積回路 6 0 1 と共に剥離する例を示しているが、本実施例はこの構成に限定されない。予め基板 6 0 3 上にアンテナを形成しておき、集積回路 6 0 1 を貼り合わせる際に、集積回路 6 0 1 とアンテナを電氣的に接続しても良い。或いは、集積回路 6 0 1 を基板 6 0 3 に貼り合わせた後、集積回路 6 0 1 に電氣的に接続するようにアンテナを貼り合わせても良い。或いは、予めカバー材 6 0 5 上にアンテナを形成しておき、カバー材 6 0 5 を基板 6 0 3 に貼り合わせる際に、集積回路 6 0 1 とアンテナを電氣的に接続しても良い。

10

【 0 2 2 0 】

なお、ガラス基板を用いた I D チップを I D G チップ (Identification Glass Chip) 、可撓性を有する基板を用いた I D チップを I D F チップ (Identification Flexible Chip) と呼ぶことができる。

【 0 2 2 1 】

本実施例は、実施例 1 と組み合わせて実施することが可能である。

【 実施例 9 】

【 0 2 2 2 】

本発明の半導体装置の一つである I D チップは、可撓性を有する基板を用いている場合、可撓性を有する対象物、或いは曲面を有する対象物に、貼り合わせるのに好適である。また本発明の I D チップが有する集積回路の中に、データの書き換えができない R O M などのメモリを形成しておけば、I D チップが取り付けられた対象物の偽造を防止することができる。また例えば、産地、生産者などによって商品価値が大きく左右される食料品に、本発明の I D チップを用いることは、産地、生産者などの偽装を低いコストで防止するのに有用である。

20

【 0 2 2 3 】

具体的に本発明の I D チップは、例えば、荷札、値札、名札など、対象物の情報を有するタグに取り付けて用いることができる。或いは、本発明の I D チップ自体をタグとして用いても良い。また例えば、戸籍謄本、住民票、パスポート、免許証、身分証、会員証、鑑定書、クレジットカード、キャッシュカード、プリペイドカード、診察券、定期券など、事実を証明する文書に相当する証書に取り付けても良い。また例えば、手形、小切手、貨物引換証、船貨証券、倉庫証券、株券、債券、商品券、抵当証券など、私法上の財産権を表示する証券に相当する有価証券に取り付けても良い。

30

【 0 2 2 4 】

図 1 8 (A) に、本発明の I D チップ 1 3 0 2 を取り付けた小切手 1 3 0 1 の一例を示す。図 1 8 (A) では、I D チップ 1 3 0 2 が小切手 1 3 0 1 の内部に取り付けられているが、表に露出させておいても良い。本発明の I D チップは、可撓性を有する基板を用いている場合、可撓性を有する小切手 1 3 0 1 に取り付けられても、応力により破壊されにくいというメリットを有している。

40

【 0 2 2 5 】

図 1 8 (B) に、本発明の I D チップ 1 3 0 3 を取り付けたパスポート 1 3 0 4 の一例を示す。図 1 8 (B) では、I D チップ 1 3 0 3 がパスポート 1 3 0 4 の表紙に取り付けられているが、パスポート 1 3 0 4 が有する他のページに取り付けられていても良い。本発明の I D チップは、可撓性を有する基板を用いている場合、可撓性を有するパスポート 1 3 0 4 の表紙に取り付けられても、応力により破壊されにくいというメリットを有している。

【 0 2 2 6 】

図 1 8 (C) に、本発明の I D チップ 1 3 0 5 を取り付けた、商品券 1 3 0 6 の一例を示す。なお I D チップ 1 3 0 5 は商品券 1 3 0 6 の内部に形成しても良いし、商品券 1 3

50

06の表面に露出させるように形成しても良い。本発明のIDチップは、可撓性を有する基板を用いている場合、可撓性を有する商品券1306に取り付けられても、応力により破壊されにくいというメリットを有している。

【0227】

またTFTを有する集積回路を用いたIDチップは、安価、かつ薄型である。そのため本発明のIDチップは、最終的に消費者によって使い捨てられるような用途に向いている。特に、数円、数十円単位の値段の差が売り上げに大きく影響する商品に用いる場合、本発明の安価でかつ薄型のIDチップを有する包装材は、非常に有用である。包装材とは、ラップ、ペットボトル、トレイ、カプセルなど、対象物を包装するために成形が可能な、或いは成形された支持体に相当する。

10

【0228】

図19(A)に、本発明のIDチップ1307が取り付けられた包装材1308で、販売用のお弁当1309を包装している様子を示す。IDチップ1307内に商品の価格などを記録しておくことで、リーダ/ライタとしての機能を有するレジスターでお弁当1309の代金を清算することができる。さらに、商品の在庫管理、商品の消費期限の管理なども、簡便に行なうことが可能である。

【0229】

また例えば、商品のラベルに本発明のIDチップを付けておき、該IDチップを用いて商品の流通を管理するような利用の仕方も可能である。

【0230】

20

図19(B)に示すように、裏面が粘着性を有する商品のラベル1310などの支持体に、本発明のIDチップ1311を取り付ける。そして、IDチップ1311が取り付けられたラベル1310を、商品1312に装着する。商品1312に関する識別情報は、ラベル1310に貼り合わされたIDチップ1311から、無線で読み取ることが可能である。よってIDチップ1311により、流通の過程において、商品の管理が容易になる。本発明のIDチップは、可撓性を有する基板を用いている場合、可撓性を有するラベル1310に取り付けられても、応力により破壊されにくいというメリットを有している。よって、本発明のIDチップを用いたラベル1310は、曲面を有する対象物に貼り合わせるのに好適である。

【0231】

30

例えば、IDチップ1311内の集積回路が有するメモリとして、書き込みが可能な不揮発性メモリを用いている場合、商品1312の流通のプロセスを記録することができる。また商品の生産段階におけるプロセスを記録しておくことで、卸売業者、小売業者、消費者が、産地、生産者、製造年月日、加工方法などを把握することが容易になる。

【0232】

本実施例は、実施の形態及び実施例1～実施例8の構成と組み合わせて実施することが可能である。

【図面の簡単な説明】

【0233】

【図1】本発明のリミッタの回路図及びトランジスタ102のドレインとソース間の電圧 V_{ds} と、ドレイン電流 I_d の関係を示す図。

40

【図2】トランジスタ102の回路図を用いてゲート電圧と電荷量の関係について説明する図。

【図3】本発明のIDチップの斜視図と、本発明のICカードの斜視図。

【図4】本発明の半導体装置の、機能的な構成を示すブロック図。

【図5】本発明のリミッタの回路図。

【図6】本発明のリミッタの回路図。

【図7】本発明のリミッタの回路図。

【図8】本発明の半導体装置が有するリミッタと、パルス生成回路と、昇圧回路のブロック図。

50

【図 9】本発明の半導体装置の作製方法を示す図。

【図 10】本発明の半導体装置の作製方法を示す図。

【図 11】本発明の半導体装置の作製方法を示す図。

【図 12】本発明の半導体装置の作製方法を示す図。

【図 13】本発明の半導体装置の作製方法を示す図。

【図 14】本発明の半導体装置の作製方法を示す図。

【図 15】本発明の半導体装置の断面図。

【図 16】本発明の半導体装置の断面図。

【図 17】大型の基板を用いて、本発明の半導体装置を複数作製する方法を示す図。

【図 18】本発明の I D チップの利用方法について示す図。

10

【図 19】本発明の I D チップの利用方法について示す図。

【図 20】一般的ナリミッタの回路図及びトランジスタ 1902 のドレインとソース間の電圧 V_{ds} と、ドレイン電流 I_d の関係を示す図。

【図 21】リミット電圧の補正と読み出しの操作手順を示すフローチャート。

【符号の説明】

【0234】

101 抵抗

102 トランジスタ

103 グラフ

104 グラフ

20

201 集積回路

202 アンテナ

203 基板

204 カバー材

205 集積回路

206 アンテナ

207 カバー材

208 基板

301 集積回路

302 アンテナ

30

303 整流回路

304 クロック生成回路

305 変調回路

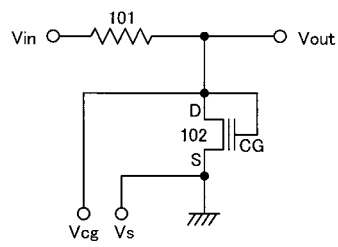
306 復調回路

307 リミッタ

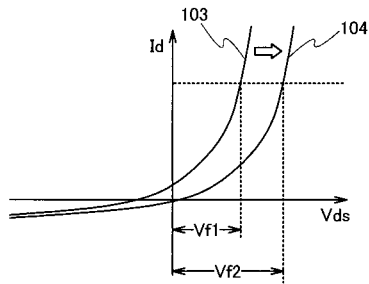
308 論理回路部

【図 1】

(A)



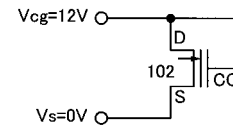
(B)



【図 2】

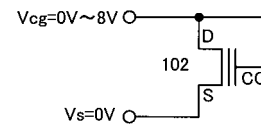
(A) 補正

$$V_{cg} - V_s \geq V_{we}$$



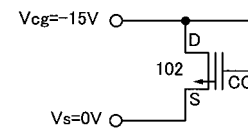
(B) 読み出し

$$V_{wh} < V_{cg} - V_s < V_{we}$$



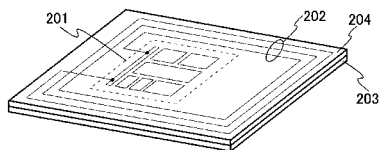
(C) 補正

$$V_{cg} - V_s \leq V_{wh}$$

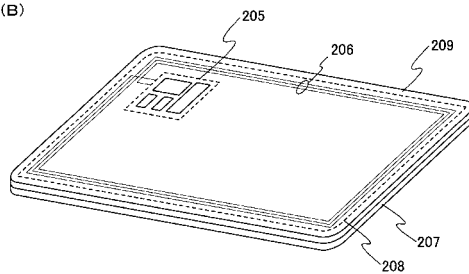


【図 3】

(A)

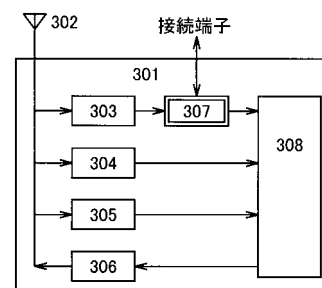


(B)

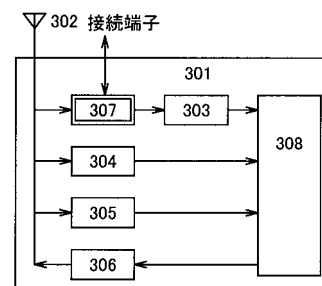


【図 4】

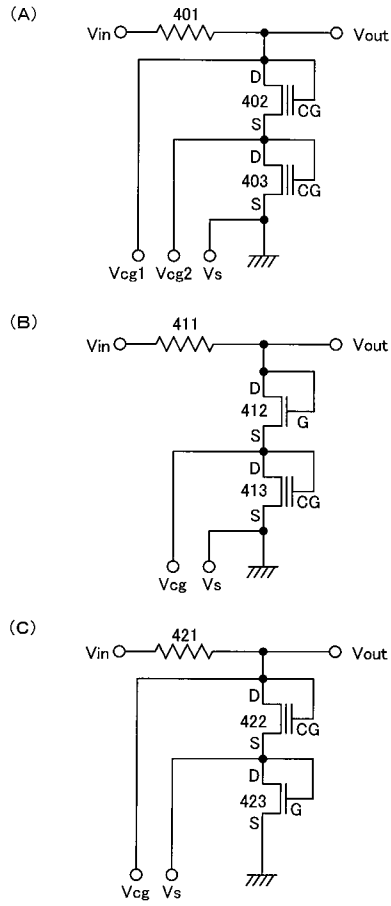
(A)



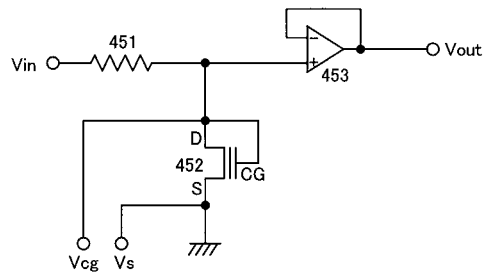
(B)



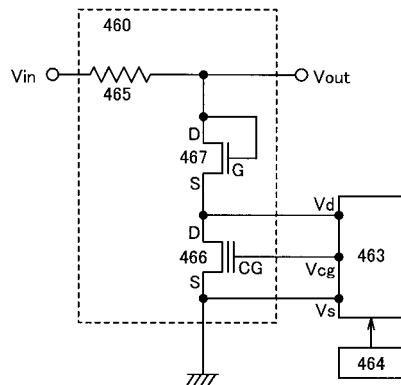
【図 5】



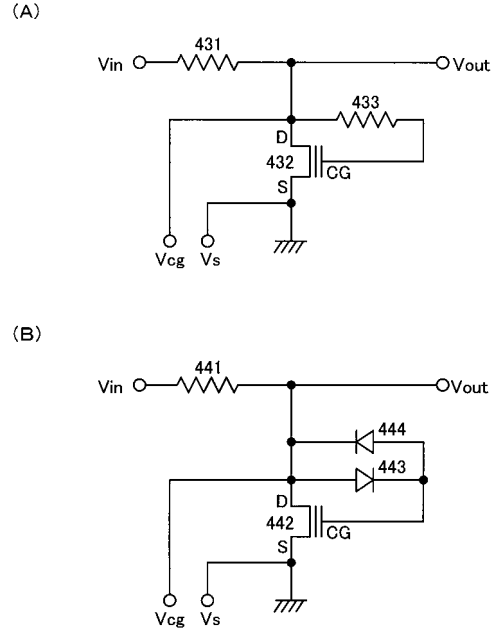
【図 7】



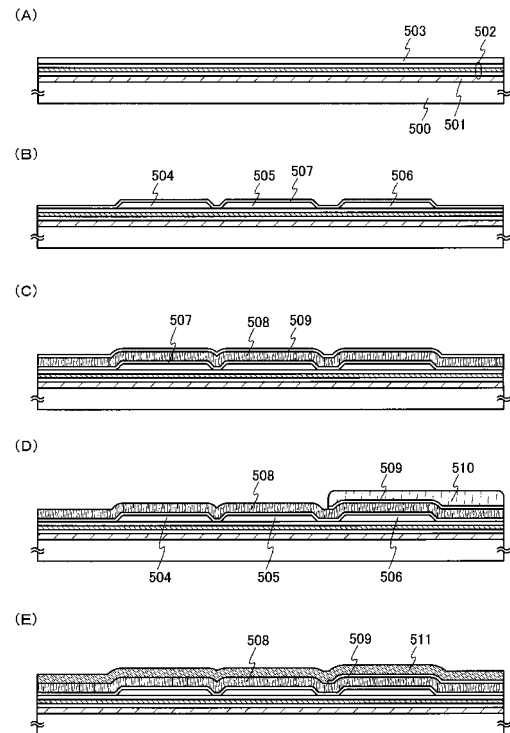
【図 8】



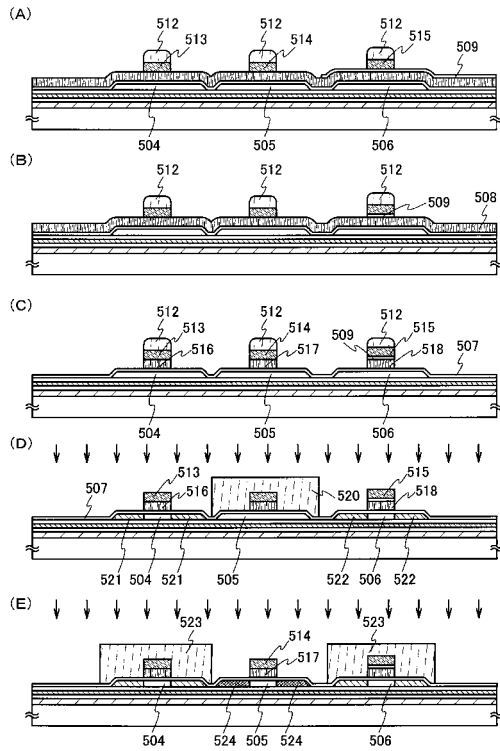
【図 6】



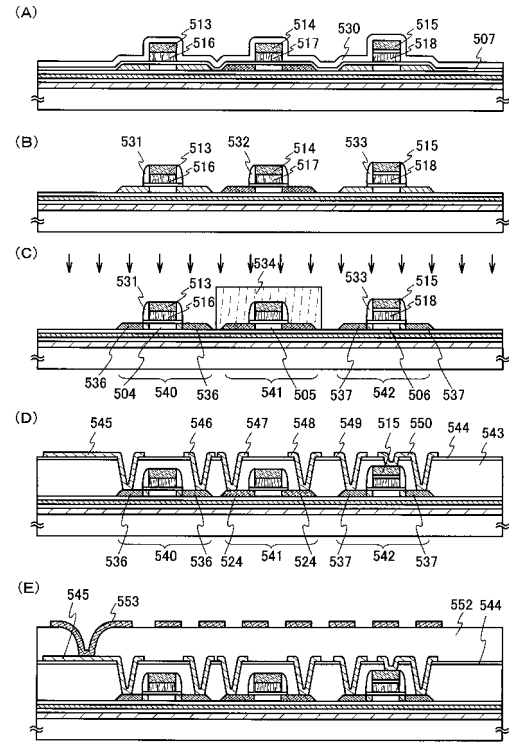
【図 9】



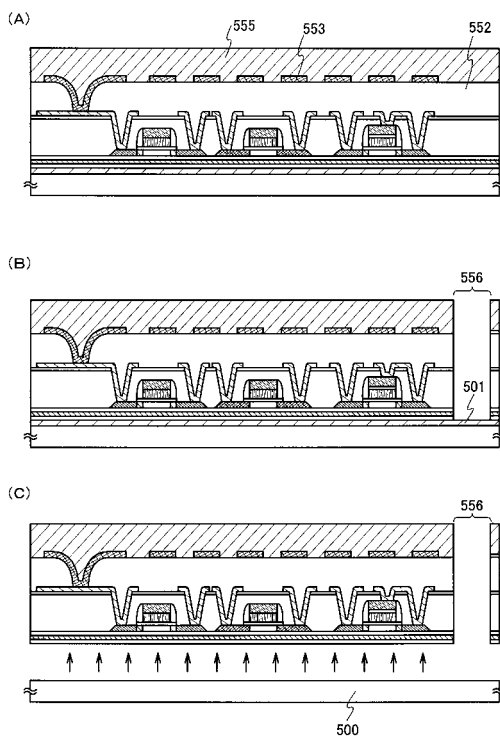
【図 10】



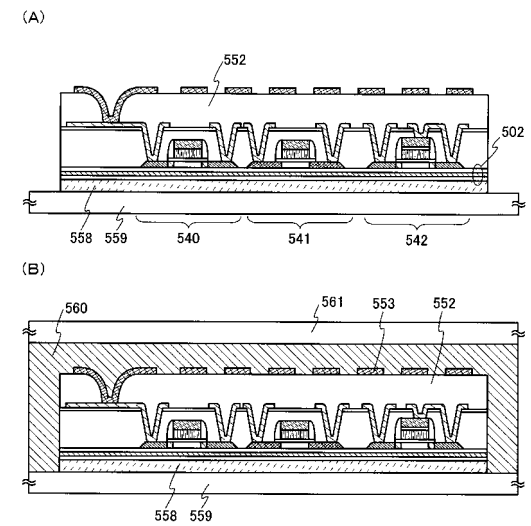
【図 11】



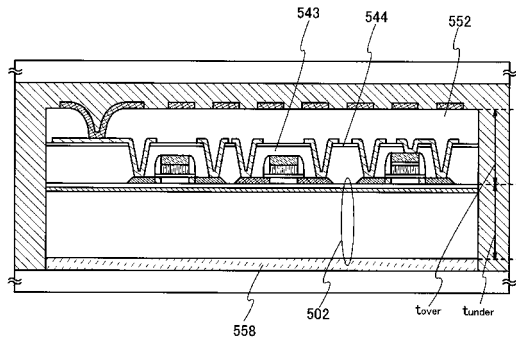
【図 12】



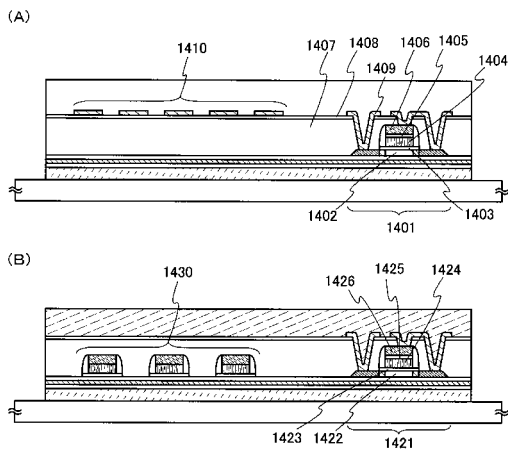
【図 13】



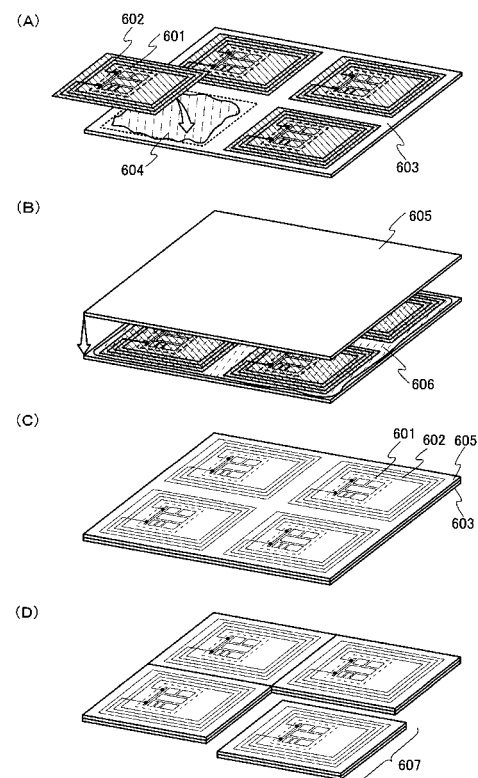
【図 14】



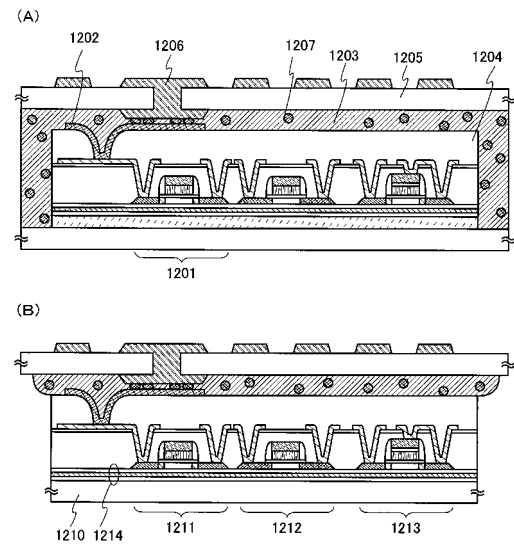
【図 15】



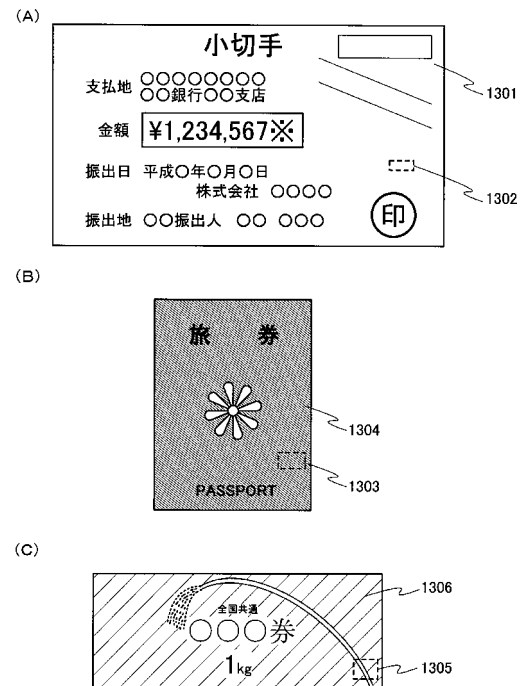
【図 17】



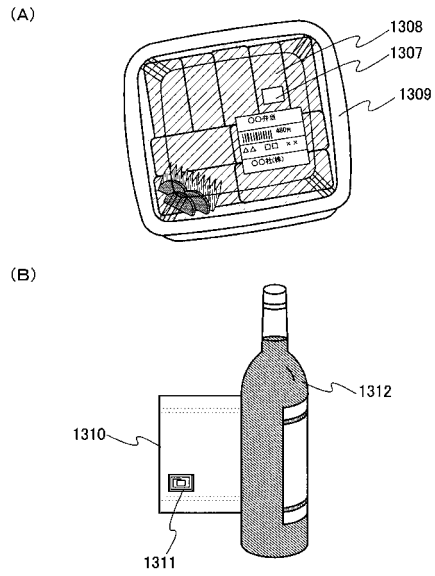
【図 16】



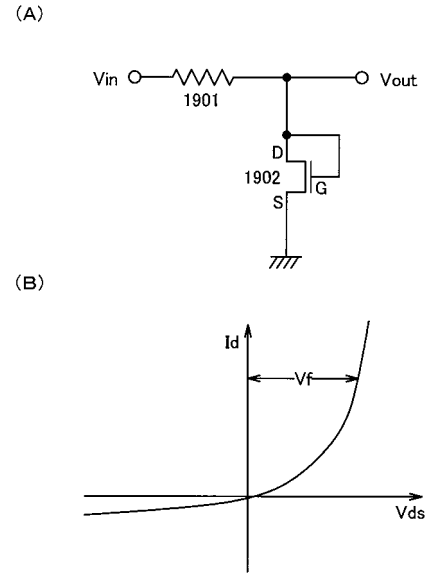
【図 18】



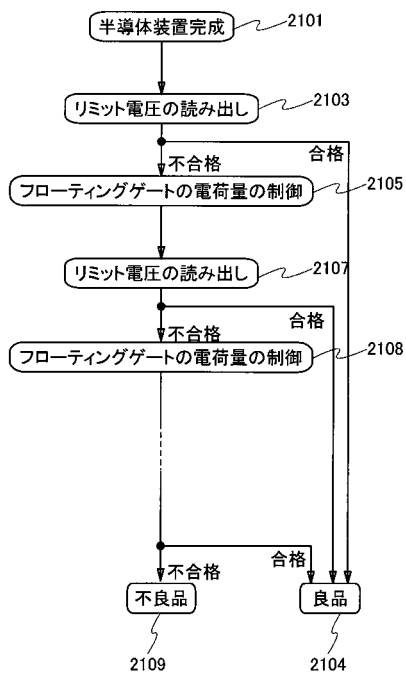
【図 19】



【図 20】



【図 21】



フロントページの続き

(56)参考文献 実開昭53-126567(JP, U)
国際公開第00/044049(WO, A1)
特開平06-051346(JP, A)
特開昭61-087373(JP, A)
特開平09-293835(JP, A)
特開平06-120494(JP, A)

(58)調査した分野(Int.Cl., DB名)
G06K 19/07
G06K 19/077
H01L 21/02
H01L 21/336
H01L 21/822
H01L 27/04
H01L 27/12
H01L 29/786