



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98120719.7

[45] 授权公告日 2003 年 10 月 15 日

[11] 授权公告号 CN 1124610C

[22] 申请日 1998.9.25 [21] 申请号 98120719.7

[30] 优先权

[32] 1997. 9. 30 [33] US [31] 942275

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 格哈德·米勒

海因茨·霍尼格施密德

审查员 邓 茜

[74] 专利代理机构 北京市柳沈律师事务所

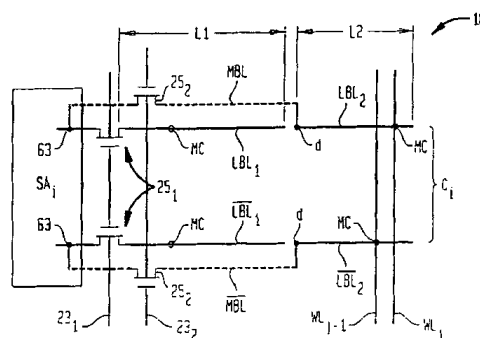
代理人 黄 敏

权利要求书 3 页 说明书 9 页 附图 6 页

[54] 发明名称 具有不均匀局部位线的分级位线结构的半导体存储器

[57] 摘要

一种有分级位线结构的半导体存储器，包括在较低制造层上并耦合到存储单元的局部位线，和在较高层上且其中的每一个耦合到相关读出放大器上的主位线。设在任一给定列中的局部位线耦合到不同数量的存储单元上，即局部位线在存储单元上有不同长度。最好用混合结构，其中一列中的一局部位线经过开关直接耦合到相关读出放大器上，同时，该列中的其它局部位线经过主位线可操作地耦合到读出放大器上。最好选择不同的局部位线长度，使任何存储单元的总位线电容基本均衡，以改善存储器的时间保存时间。



1. 一种具有多个行和列的半导体存储器，包括：
在每个列中的至少一个读出放大器；
- 5 可操作地耦合到所述读出放大器上的一个主位线；
 设置在每个列中的多个局部位线，其中的每一个都被耦合到多个存储单元上并与所述列中的主位线垂直隔开和可选择地耦合到所述读出放大器上，从而至少有一个局部位线正在被选择性地经过所述主位线连接到所述读出放大器上；
- 10 其中，至少是第一个局部位线被耦合到与至少是第二个局部位线不同数量的所述存储单元上；
 并且其中每列的局部位线包括经过第一开关选择性地直接耦合到所述读出放大器上的一近侧局部位线，和经过所述主位线和第二开关选择性地耦合到所述读出放大器上的一远侧局部位线；并且所述的第二开关被耦合在至少
- 15 部分主位线和所述读出放大器之间。
2. 根据权利要求 1 所述的半导体存储器，
 其中，所述近侧局部位线被耦合到与远侧局部位线不同数量的存储单元上，并在相应存储单元上的所述列方向中具有与所述远侧局部位线不同的长度。
- 20 3. 根据权利要求 2 所述的半导体存储器，其中所述近侧局部位线被耦合到比远侧局部位线更多的存储单元上，并具有在相应存储单元上的所述列方向上比远侧局部位线更长的长度。
4. 根据权利要求 2 所述的半导体存储器，其中每个列中的所述多个局部位线包括一个近侧局部位线和一个远侧局部位线，其中的每一个都可操作地
- 25 耦合到在其一侧上的相关读出放大器上。
5. 根据权利要求 1 所述的半导体存储器，其中每个读出放大器以共享结构的形式安置。
6. 根据权利要求 1 所述的半导体存储器，其中每个列包括耦合到至少
- 30 一个真局部位线上的真主位线，和耦合到至少一个互补局部位线上的互补主位线。

7. 根据权利要求6所述的半导体存储器, 其中真和互补主位线和局部位线以折合位线结构的形式安置。

8. 根据权利要求6所述的半导体存储器, 其中真和互补主位线和局部位线以开放位线结构的形式安置。

5 9. 根据权利要求1所述的半导体存储器, 其中选择所述不同数量的存储单元, 以使存储器中所有储存单元的总位线电容基本均衡。

10 10. 根据权利要求1所述的半导体存储器, 其中每个列中的局部位线包括经过第一开关选择性地直接耦合到所述读出放大器上的一个近侧局部位线, 和经过所述主位线和多个辅助开关选择性地耦合到所述读出放大器上的多个远侧局部位线。

11. 根据权利要求10所述的半导体存储器, 其中所述多个辅助开关包括在所述主位线和所述读出放大器之间耦合的第二开关, 和多个局部位线开关, 其中的每一个局部位线开关耦合在相关远侧局部位线和所述主位线之间。

12. 一种具有多个行和列的半导体存储器, 包括:

15 在每个列中的至少一个读出放大器;

可操作的耦合到该读出放大器的一主位线;

20 设置在每个列中的多个局部位线, 其中的每一个被耦合到多个存储单元上并与所述列中的主位线垂直间隔和可选择地耦合到所述读出放大器上, 所述多个局部位线包括经过在其间耦合的第一开关选择性地耦合到所述读出放大器上的一个近侧局部位线, 以及经过所述主位线和在所述主位线和所述读出放大器之间耦合的第二开关选择性地耦合到所述读出放大器上的至少一个远侧局部位线;

其中, 所述近侧局部位线被耦合到比所述的至少一个远侧局部位线中的任何一个都多的存储单元上。

25 13. 根据权利要求12所述的半导体存储器, 其中所述的至少一个读出放大器以共享结构形式安置在它每一侧上的存储单元子阵列之间, 和具有在其每一侧上以折合结构的位线对主和多个局部位线对。

30 14. 根据权利要求12所述的半导体存储器, 其中所述的至少一个读出放大器被以共享结构形式安置在其每一侧上的存储单元子阵列之间, 并且, 具有在其每一侧上以开放位线结构的主和局部位线。

15. 根据权利要求12所述的半导体存储器, 其中每个主位线被直接耦合

到一个单个的远侧局部位线上。

16. 根据权利要求 12 所述的半导体存储器, 其中选择所述多个存储单元, 以使所述存储器中所有存储单元的总位线电容基本均衡。

5 17. 一种具有多个行和列的半导体存储器, 包括:
在每个列中的至少一个读出放大器;

可操作地耦合到所述读出放大器上的一个主位线;

10 设置在每个列中的多个局部位线, 其中的每一个都被耦合到多个存储单元上并与所述列中的主位线垂直间隔, 和可选择地耦合到所述读出放大器, 所述多个局部位线包括可选择地经过在其间耦合的第一开关耦合到所述读出放大器上的一个近侧局部位线, 和多个远侧局部位线, 其中的每一个可选择地经过所述主位线和多个辅助开关耦合到所述读出放大器上;

所述多个辅助开关包括在所述主位线和所述读出放大器之间耦合的第二开关和在每个远侧局部位线和所述读出放大器之间耦合的一局部位线开关;

15 其中, 所述近侧局部位线被耦合到比所述多个远侧局部位线中的每一个更多的存储单元上。

18. 根据权利要求 17 所述的半导体存储器, 其中选择所述多个存储单元以使所述存储器中所有存储单元的总位线电容均衡。

19. 根据权利要求 17 所述的半导体存储器, 其中包括的主和局部位线以开放或折合位线结构的形式安置。

20 20. 一种具有多个行和列的半导体存储器, 所述存储器包括:

在一个列中的一个主位线, 所述主位线包括在其中设置的多个局部位线, 其中, 所述多个局部位线中的至少两个具有不同的长度。

具有不均匀局部位线的分级
位线结构的半导体存储器

5

本发明涉及诸如动态随机存取存储器(DRAM)的一种半导体存储器, 特别涉及一种具有主位线和局部位线的分级位线结构的半导体存储器。

近年来开发了分级或“分段”位线结构以便增加存储器芯片的集成密度。这种结构允许减少用于给定数量存储单元的消耗空间的读出放大器的数量, 并由此减小芯片尺寸或增加用于给定尺寸芯片的存储器容量。

在传统的分级位线结构中, 存储单元阵列的每个列包括一定数量直接连接到存储单元上的等长局部位线(LBL)和由设置在比局部位线较高制造层上的高导电率金属组成的主位线(MBL)。例如, 每个局部位线可以被连接到数百个存储单元上。每个主位线可以被直接连接到读出放大器上并可选择地经过一定数量的开关耦合到一个公共列中的一定数量的局部位线上。为了访问(读、写或刷新)连接到特定局部位线上的存储单元, 闭合将所述位线连接到主位线上的开关, 同时打开在所述列中的其它开关。

图 1 示出了现有技术中利用分级位线结构的半导体存储器的存储体(memory bank)10。所述存储体被分成例如是从 MAa 到 MAd 的存储单元子阵列和一定数量的诸如是 12_j 、 12_{j+1} 、 12_{j+2} 的读出放大器存储单元。在所示的结构中, 每个读出放大器存储体内的读出放大器 SA_i 被设置在共享结构中, 从而使得每个读出放大器以时分复用的方式放大来自存储单元两侧的信号。每个子阵列具有 N 列 C_1 - C_N , 但是, 由于读出放大器被共享, 所以, 每个 SA 存储体具有 $N/2$ 个读出放大器。每个读出放大器, 例如是存储体 12_{j+1} 的 SA_2 被连接到由真主位线 MBL 和互补主位线 MBL(非)组成的主位线对的每侧上。在这个例子中, 每个真主位线 MBL 被连接到 4 个等长 L 的真局部位线 LBL_1 - LBL_4 上, 和每个互补主位线 MBL(非)被连接到 4 个互补局部位线 LBL_1 (非)到 LBL_4 (非)上。读出放大器放大主位线对之间的电压差 -- 一个主位线被用于携带基准电压, 而另一个主位线携带通过激活所选择的存储单元 MC 而传输给它的单元信号。根据所述行地址激活第 j 行的字线 WL_j 以对所选择的存储单元进行访问。作为折合位线结构, 所示的结构是已知的, 其中,

真和互补位线彼此靠近并排运行。如果使用一个开放位线结构,则互补主位线将驻留在读出放大器的相对侧作为真主位线。

多个 FET 开关 S 中的每一个被耦合在相应局部位线的端部和用于耦合对应主位线的接点 P 之间。通过利用控制线 23₁-23₄ 上的适当控制电压闭合相应的开关 S 和打开相应列中其它开关以寻址耦合到特定局部位线上的存储单元。

通常,位线电容与位线长度成正比。但是,位线长度受到可以被接受的最大位线电容的限制。最大电容是由可允许的传感裕度和功耗确定的。利用分级位线结构,由于局部位线被直接耦合到有效分布给局部位线电容的存储单元而主位线没有被直接耦合到所述单元上,所以,每单元长度的主位线电容小于每单元长度局部位线的电容。由此,对于一个给定列长度,总电容可能明显小于不分级的布局(即只有一层位线的布局,其中的每个位线延伸到整个列长度并直接耦合到存储单元)。因此,通过使用分级结构,对于具有规定数量存储单元的芯片,只需要少量的消耗空间的读出放大器。即,这种结构允许耦合到多个局部位线和一个长主位线上的每个读出放大器可以被用于多个单元,借此以减少每个芯片的读出放大器数量。如果分配给开关 S 和附加控制电路的区域没有超过由于减少读出放大器的数量而节省的区域,那么,可以实现更小的芯片尺寸。

图 2 示出了上述分级位线结构的一个变化。所示结构在后面将被称之为“混合”型分级结构。图 2 示出了只有两个局部位线对(LBL₁, LBL₁(非))和(LBL₂, LBL₂(非))被设置在相关读出放大器 SA_i 每一端上的情况。在存储单元子阵列的每个列 C_i 中,最接近所述读出放大器的局部位线、即 LBL₁ 和 LBL₁(非)被连接到相应开关 25₁ 的漏极和源极,所述开关的其它端在电路节点 63 处被直接连接到读出放大器电路。这个电路节点 63 通常与将读出放大器电连接到相应主位线 MBL 或 MBL(非)上的电路节点相同。开关 25₂ 被耦合在每个远侧局部位线 LBL₂ 或 LBL₂(非)和在节点 d 处的相应主位线之间。间隙 g 使 LBL₁ 和 LBL₂、LBL₁(非)和 LBL₂(非)彼此分开。为了对耦合到 LBL₁ 或 LBL₁(非)上的存储单元 MC 进行访问,开关 25₁ 导通,开关 25₂ 截止,或相反以访问耦合到远侧局部位线 LBL₂ 或 LBL₂(非)。由此,耦合到远侧局部位线上的存储单元被可操作地经过所述远侧局部位线和主位线耦合到读出放大器上,同时,耦合到近侧局部位线上的这些单元只经过近侧局部位线

耦合到所述读出放大器上。此后，图2所示的结构被称之为混合结构。假如在读出放大器的每侧使用两个以上的局部位线对，那么，连接耦合到近侧局部位线 LBL_1 和 LBL_1 (非)的存储单元的路径只由局部位线组成，同时将这些读出放大器连接到所述列中的其它存储单元的路径由和相应局部位线串联的主位线组成。

本发明的目的就是要提供一种具有分级位线结构的半导体存储器，在该分级位线结构中，设置在任一给定列中的局部位线被耦合到不同数量的存储单元上，以便就任一存储单元来讲使总位线电容均衡，由此改进与所述存储器相关的数据保存时间。

10 在一个解释性的实施例中，根据本发明的半导体存储器包括多个行和列，其中，每个列具有一个可操作地与主位线耦合的读出放大器。在每个列中设置有多个局部位线，其中的每一个局部位线都被耦合到多个存储单元上，并且与主位线垂直间隔开和可选择地耦合到所述读出放大器。在所述列中至少有一个局部位线被可选择地经过主位线耦合到读出放大器。至少是在这个列中的第一个局部位线被耦合到至少是与该列中的第二个局部位线不同数量的存储单元上。

最好使用混合型分级位线结构，在这种结构中，近侧局部位线经过一个开关被直接耦合到所述读出放大器上，在这个列中的一个或多个远侧局部位线被可操作地经过主位线耦合到所述读出放大器。对于这个实施例，近侧局部位线被耦合到比所述列中其它局部位线更多的存储单元上。

图1简要地示出了使用分级位线结构的现有技术半导体存储器的一部分；

图2简要地示出了具有使用混合结构的分级位线结构的现有技术半导体存储器的一部分；

25 图3描述了根据本发明半导体存储器的一部分；

图4示出了根据本发明使用共享读出放大器和折合位线的半导体存储器的存储体；

图5示出了可以在这里所披露的半导体存储体内可使用的读出放大器电路；

30 图6示出了本发明在读出放大器的单一侧上使用两个以上局部位线对的另一个实施例；和

图 7 示出了本发明使用共享读出放大器和开放位线的一个实施例。

本发明涉及一种用于半导体存储器的经过改进的分级位线结构。本发明提供一种途径去均衡总位线电容，借此改进与在所述阵列中存储单元相关的保存时间。为了讨论的目的，将从一 DRAM 芯片的角度描述本发明的范例性实施例。但是，本发明具有广泛的应用。仅仅通过举例的方式，本发明可以被应用于诸如EDO-DRAM、SDRAM、RAMBUS-DRAM、SLDRAM、MDRAM、SRAM、闪速 RAM、EPROM、EEPROM、屏蔽 ROM 或归并 DRAM 逻辑(嵌入式 DRAM)。

为了提供本发明技术的基本原理，再次参看图 2 所示现有技术的混合型存储器。耦合到 LBL_1 的多个单元的总位线电容就是 LBL_1 的局部位线电容，即“ C_{LBL_1} ”。耦合到 LBL_2 的多个单元的总位线电容是 LBL_2 的局部位线电容加上所述主位线电容，即“ C_{LBL_2+MBL} ”。因此，在读出期间的平均功率损耗低于标准的分级结构(如图 1 所示的非混合型结构)。但是，现有技术混合结构具有如下问题：对一阶来说，存储单元的数据保存时间“ t^{ret} ”与 $1/C_{BL}$ 成正比，其中， C_{BL} 是总位线电容。由此，由于总位线电容 C_{LBL_2+MBL} 大于 C_{LBL_1} ，所以，耦合到 LBL_2 的所述单元的数据保存时间、即“ $t^{ret}_{LBL_2+MBL}$ ”小于耦合到 LBL_1 的单元的数据保存时间 $t^{ret}_{LBL_1}$ 。芯片的保存时间没有被限定为这两个保存时间之和的 1/2，而是被限定得小于这两个保持时间、即 $t^{ret}_{LBL_2+MBL}$ 。因此，用于耦合到 LBL_2 的单元的较小的保持时间降低了用于芯片的整个保存时间。根据本发明，在主位线内至少提供了不同长度的两个局部位线。如所述，局部位线的电容是受主位线影响的。通过主位线的电容分布是根据所述主位线内一局部位线的分配变化的。提供至少两个具有不同长度的局部位线来抵消由所述主位线分布给不同局部位线的电容差。结果是局部位线之间电容的变化被减少，从而导致在不同局部位线的单元中更加均匀的保持时间。

参看图 3，该图示出了本发明的一个实施例。如图所示，远侧局部位线 LBL_2 包括长度短于近侧局部位线 LBL_1 的长度 L_1 的长度 L_2 。即，近侧局部位线 LBL_1 被耦合到比远侧局部位线 LBL_2 更多的存储单元 MC 上。(如这里所使用的，术语局部位线的“长度”涉及被耦合到存储单元上的局部位线在列方向上的距离，并不涉及从最后一个存储单元到内部连接点的附加写长度。因此，这里限定，具有比另一个 LBL 更长长度的 LBL 将被耦合到更多

相同尺寸的存储单元上)。

通过举例,估计与位线结构 18 相关的保存时间的改进,假设长度 L_1 和 L_2 被指定用于均衡耦合到 LBL_1 和 LBL_2 的单元的总位线电容。对于这种情况,如果每个单元的 LBL 电容是 $C_{LBL}/\text{单元}=0.23\text{fF}$, 和如果每个单元的 MBL 电容是 $C_{MBL}/\text{单元}=0.11\text{fF}$, 那么,用于优化 C_{LBL_1} 等于 C_{LBL_2+MBL} 情况下最佳保存时间的 LBL 长度关系由下式确定:

$$0.23 * L_1 = 0.11 * L_1 + 0.23 * L_2 \quad (1)$$

从中导出:

$$L_1 = 1.9 L_2 \quad (2)$$

10 所以, LBL_1 所耦合的存储单元数量是 LBL_2 所耦合存储单元数量的 1.9 倍。

在数据保存时间方面的估计改进是:

$$\begin{aligned} & t^{\text{ret}}(\text{新途径}) / t^{\text{ret}}(\text{标准途径}) \\ &= C_{LBL_2+MBL}(\text{标准途径}) / C_{LBL_2+MBL}(\text{新途径}) \\ 15 &= (0.23 + 0.11) * 0.5(L_1+L_2) / (0.23 * 0.66(L_1+L_2)) \\ &= 1.12 \end{aligned} \quad (3)$$

因此,在这个例子中,和图 2 所示的现有技术混合途径比较,图 3 所示的位线结构 18 在数据保存时间方面的改进是增强了 12%。

20 位线结构 18 在远侧位线开关 25_2 向接近读出放大器 SA_i 运动方面不同于图 2 所示的结构。开关 25_2 中的每一个被设置在相关主位线 MBL 或 MBL(非)和读出放大器内的连接节点之间。开关 25_2 的打开使主位线对与读出放大器脱离连接,允许通过闭合的开关 25_1 访问耦合到 LBL_1 或 LBL_1 (非)的单元。将开关 25_2 置于读出放大器附近的这种设置去除了来自存储单元阵列区域的所有开关(在如图 3 所示每个主位线两个局部位线的情况下)。

25 参看图 4,这里示出了本发明一个使用折合位线和共享读出放大器的实施例。这里所披露的发明主题的这个和其它实施例例如可以是 DRAM 芯片的一部分。存储体 20 包括读出放大器(SA)存储体,例如 27_{i-1} , 27_i , 27_{i+1} , 具有设置在交错结构中的读出放大器和具有不相等长局部位线以便如上所述改善数据保存时间。在相关读出放大器近侧上的每个局部位线 LBL_{1L} 或 LBL_{1R} 的长度 L_1 都长于在相关读出放大器远侧上局部位线 LBL_{2L} 或 LBL_{2R} 的长度 L_2 , 以便均衡总位线电容和数据保存时间。(在图 4 中,下标“L”

30

被用于涉及相关读出放大器的左手侧，而下标“R”被用于涉及右手侧)。

在所示的结构中，读出放大器在两侧中任一侧上的存储器子阵列之间被逐列插入和共享以便保存芯片上的空间。例如，SA存储体 27_i 的读出放大器 SA_2 放大和刷新分别经过局部位线对 LBL_{1L} 和 $LBL_{1L}(\text{非})$ 直接来自存储器子阵列 MAb 中存储单元或经过 LBL_L 和 $LBL_L(\text{非})$ 来自局部位线对 LBL_{2L} 和 $LBL_{2L}(\text{非})$ 的单元信号。 LBL_{1L} 其它侧上开关 25_1 的源极或漏极连接到 SA_2 内公共电路节点63处的开关 25_2 的源极或漏极上(其中，开关 25_2 的其它侧连接到 MBL_L)。耦合到 LBL_{1R} 的开关 25_1 和耦合到 MBL_R 的开关 25_2 还连接到公共电路节点63。开关 25_1 闭合以访问耦合到 LBL_{1L} 的单元，而开关 25_2 打开，并与上述相反地访问耦合到 LBL_{2L} 的单元。利用现有技术中公知的控制电路根据行地址选择性地激活控制线 23_1 到 23_4 以打开或闭合所希望的开关 25_1 和 25_2 。字线如在第 i 行中字线 WL_i 被以传统方式选择的激活以便激活需要被访问的特定存储单元MC。 SA_2 相对侧上、即存储器子阵列MAc中的存储单元以相同方式或者直接经过局部位线 LBL_{1R} 、 $LBL_{1R}(\text{非})$ 和开关 25_1 被访问，或者分别经过 MBL_R 和 $MBL_R(\text{非})$ 通过 LBL_{2R} 、 $LBL_{2R}(\text{非})$ 和开关 25_2 被访问。读出放大器被以逐列方式插入，所以，例如，子阵列MAa和MAb奇数列 C_1 、 C_3 等中的存储单元被经过SA存储体 27_{i-1} 进行访问；SA存储体 27_i 被用于访问MAa和MAb的偶数列，SA存储体 27_{i+1} 被用于访问MAc和MAd的奇数列，等等。

图5简要地示出了在列 C_i 的共享的多个读出放大器 SA_i 中的一个读出放大器内的范例电路。在锁存电路54的每一侧，都驻留有一对多路转换开关 53_{1L} 、 53_{2L} 或 53_{1R} 、 53_{2R} ，用于分别响应控制信号 MUX_L 或 MUX_R 选择所述读出放大器相应左侧或右侧上的存储器子阵列MAa或MAb。控制信号 CTL_P 控制锁存电路54的P-锁存部分，而控制信号 CTL_N 控制N-锁存部分。均衡电路 55_L 和 55_R 分别被耦合在MUX开关53和存储器子阵列MAa和MAb之间。控制线56以传统方式传输给每个均衡电路 55_L 、 55_R 予充电和控制电压。列选择开关(未示出)也是读出放大器电路的一部分，用于以传统方式根据所述列地址选择所希望被访问的列。LBL选择开关 25_1 和 25_2 中的每一个被如图所示靠近每一个均衡电路 55_L 和 55_R 被连接到电路点63上。每个开关 25_2 的其它侧(源极或漏极)经过孔连接 V_1 连接到相应的主位线上。类似的，每个开关 25_1 的相对侧经过孔连接 V_2 连接到相关的局部位线上。(开关 25_1

和 25_2 被设置在园片级处而局部位线和主位线被设置在较高制造级上, --需要经过孔连接的级间连接以便将所述开关连接到位线上)。

图 6 示出了本发明另一个被指定为 100 的实施例, 它在读出放大器 SA_i 的单一侧上使用两个以上的局部位线对。在这个例子中, 使用了 4 个局部位线对 LBL₁、 LBL₁(非)到 LBL₄、 LBL₄(非)。最靠近读出放大器的局部位线、即 LBL₁、 LBL₁(非)的长度为 L1, 而其它局部位线中的每一个的长度为 L2。可以指定 L1 和 L2 之间的关系, 以使所有存储单元的总位线电容相同。用于连接到 LBL₁ 的单元的总位线电容就是 LBL₁ 的局部位线电容, 而用于连接到 LBL₂ 到 LBL₄ 中任何一个的单元的总位线电容是那个局部位线的电容加上主位线的电容, 这对于所有这样的存储单元都是一阶相同的。另外, 与上述每个主位线两个局部位线情况下的保存时间相比, 通过使 LBL₁ 和 LBL₁(非)的长度长于其它的局部位线, 可以使数据保存时间大量增加。

在图 6 所示的实施例 100 中, 局部位线 25_1 到 25_4 分别控制对耦合到局部位线对 LBL₁、 LBL₁(非)到 LBL₄、 LBL₄(非)的存储单元的访问。一对附加开关 35 被加入在每个主位线和读出放大器中相应连接点 63 之间。当开关 25_1 闭合时这些开关被打开以对耦合到 LBL₁ 或 LBL₁(非)的单元进行访问, 这些开关被闭合以对耦合到其它 LBL 的单元进行访问。蕴含的开关 35 受控制线 36 上的控制电压控制。开关 35 用于在访问耦合到 LBL₁ 或 LBL₁(非)的单元时消除主位线电容的影响。

现在参看图 7, 这里示出了本发明的再一个实施例, 该实施例使用分级混合型开放位线结构。在这个实施例中, 与上述实施例相同, 在任一给定列中的局部位线具有不等的长度。在开放位线结构中, 真/补位线对并不在每个读出放大器的相同侧上彼此并排排列。而是一个位线对的真位线在相关读出放大器的一侧上运行, 而该位线对的互补位线在该相关读出放大器的相对侧上运行。当试图访问耦合到真位线上的单元时, 相对侧上的互补位线被用于向所述读出放大器提供予充电基准电压, 借此, 该读出放大器执行真和互补线之间电压差的差动放大。类似的, 当试图访问耦合到互补位线上的单元时, 所述真位线被用于向所述读出放大器提供予充电基准电压。

在图 7 所示的实施例中, 可以是 DRAM 芯片一部分的存储体 200 例如包括诸如其中的每一个都安置在两个存储器子阵列 MAa-MAb 之间的 42_{j-1} 到 42_{j+1} 的读出放大器存储体。诸如 SA 存储体 42_j 的 SA_2 的读出放大器在其

左侧上连接到开关对 25_1 和 25_2 上, 其中, 开关 25_1 与局部位线 LBL_{1L} 串联连接和开关 25_2 与在节点 d 处直接连接到局部位线 LBL_2 上的主位线 MBL 串联连接。开关 25_1 和 25_2 在读出放大器内的电路节点 63 处被连接。类似的, 在 SA_2 的右侧上, 局部位线 $LBL_1(\text{非})$ 经过开关 25_1 被直接连接到读出放大器, 和 $LBL_2(\text{非})$ 被经过主位线 MBL(非)和开关 25_2 可操作地连接到所述读出放大器。例如, 为了对耦合到子阵列 MAb 的 LBL_1 上的列 C_2 中的存储单元进行访问, 激活用于那个单元的字线, 闭合在 SA_2 两侧上的开关 25_1 , 打开在 SA_2 两侧上的开关 25_2 。实现两种相反的开关状态以对耦合到 LBL_2 或 $LBL_2(\text{非})$ 上的单元进行访问。 LBL_1 和 $LBL_1(\text{非})$ 的长度 L_1 长于 LBL_2 和 $LBL_2(\text{非})$ 的长度 L_2 , 以便类似于上述折合位线结构实现存储器数据保存时间的增加。除了省略了多路转换开关和只需要一个均衡电路以外, 所述读出放大器电路与上述参考图 5 所述类似。

与上面结合图 6 所讨论的折合位线实施例类似, 通过在读出放大器的每侧上使用每个主位线两个以上局部位线、例如每个 MBL 四个 LBL 可以对图 7 所示的开放位线结构进行修改。

本发明还可以被应用于诸如闪速 RAM 中具有使用基准单元读出放大器的存储单元阵列。在这种情况下, 所述位线不以真/补对的形式配置。而是读出放大器内的基准单元提供一个均衡(基准)电压, (当访问耦合到真单元的单元时)互补线将按另一种方式提供所述均衡电压或(当访问耦合到互补位线时)所述真位线将按另一种方式提供所述均衡电压。因此, 对于这种情况, 除公共读出放大器相对侧上的 MBL 和 LBL 不是以对的形式工作而是单独工作以外, 所述存储器阵列可以被看成基本与图 7 所示相同。另外, 对于所设计使用的基准单元来讲, 在读出放大器电路内使用了多路转换开关以选择与存储单元访问相关的读出放大器的左侧或右侧。当这种情况被用于上述讨论的折合或开放位线结构时, 对于使用基准单元的存储器, 耦合到任一给定读出放大器上的局部位线具有不等的长度, 即远侧局部位线短于近侧局部位线, 以便改善数据保存时间。

在本发明利用上述可应用于混合型分级结构的实施例进行描述的情况下, 本发明还可以应用于类似图 1 所示的非混合型分级结构。再次参看图 1, 所示的现有技术结构可以根据本发明使用用于比用于其它局部位线距离所述读出放大器最远的局部位线 LBL_4 和 $LBL_4(\text{非})$ 的不同长度进行修改。由于

在一个列中的主位线 MBL 没有直接在 LBL₄ 的顶部运行, 所以, 最后局部位线 LBL₄ 比在相同列中其它局部位线具有每个单元长度不同的位线电容。因此, 通过改变 LBL₄ 的长度, 耦合到 LBL₄ 的存储单元的总电容相对于其它存储单元可以基本均衡, 借此改善了整个存储器的保存时间。

- 5 根据前面的描述, 这里披露了一种用于半导体存储器并且和现有技术相比较提供了数据保存时间改进的新分级位线结构。这种改进是利用不等长局部位线相对所有存储单元提供更加均匀的总位线电容实现的。上面的描述具有很多细节, 这些细节不构成对本发明范围的限制, 而仅仅是作为对最佳实施例的解释。本专业技术领域内的普通技术人员可以预见包括在权利要求书
- 10 所限定的本发明精神和范围内的很多其它可能的变化。

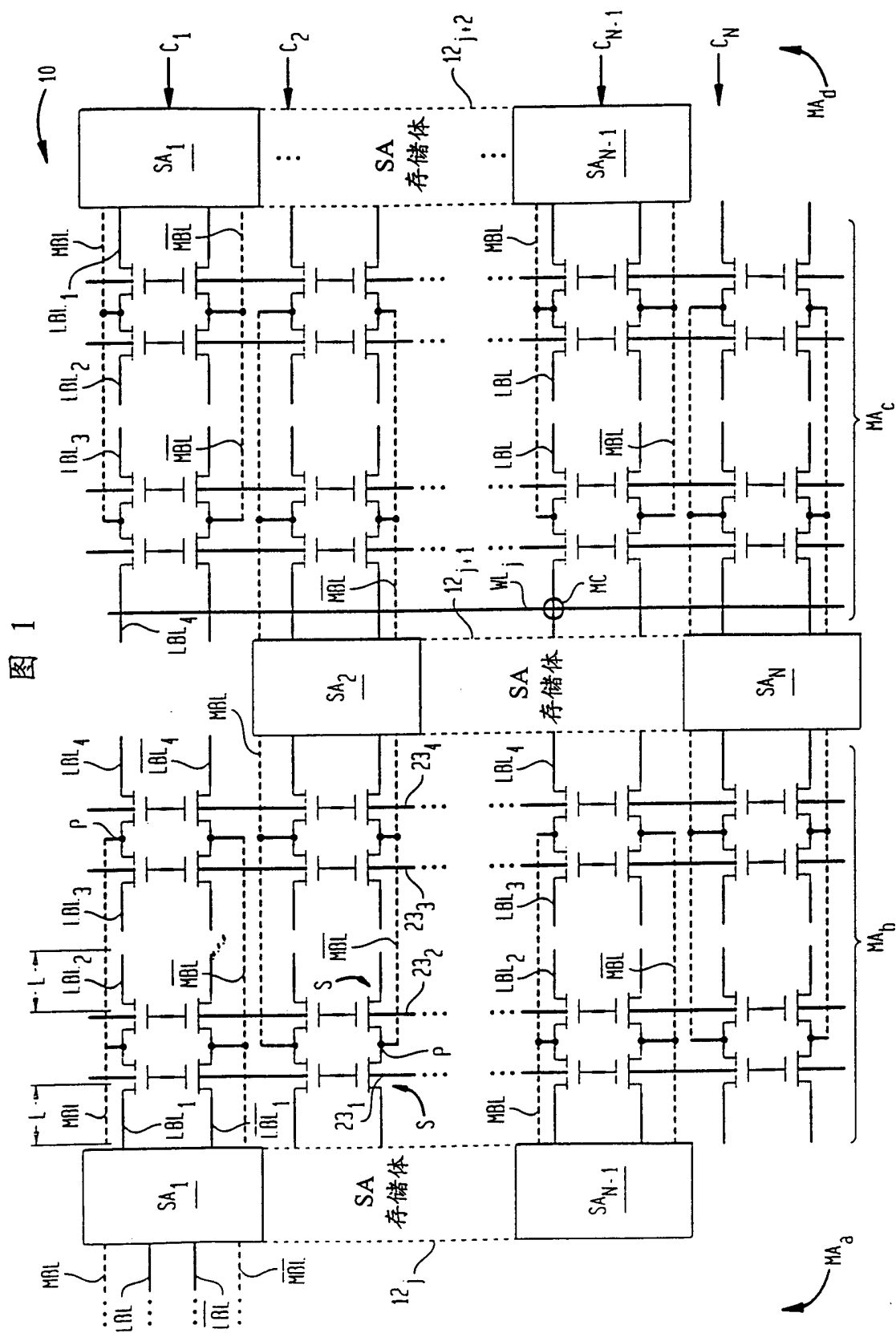


图 2

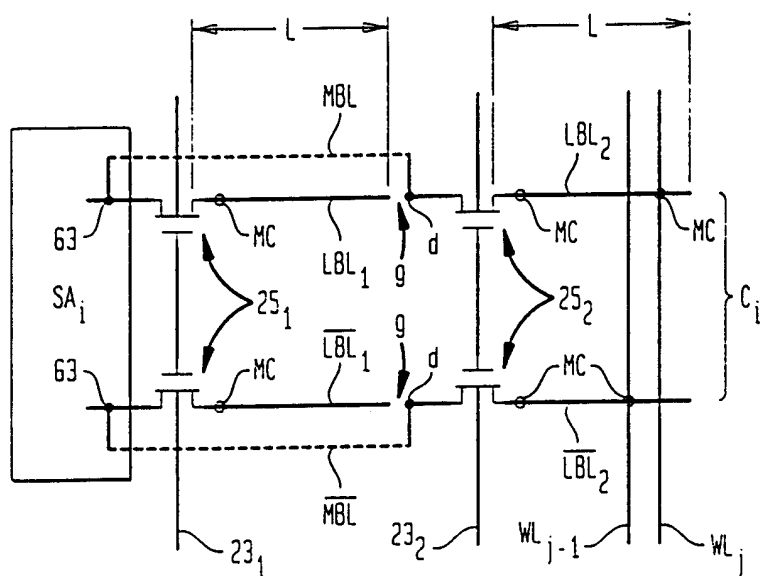
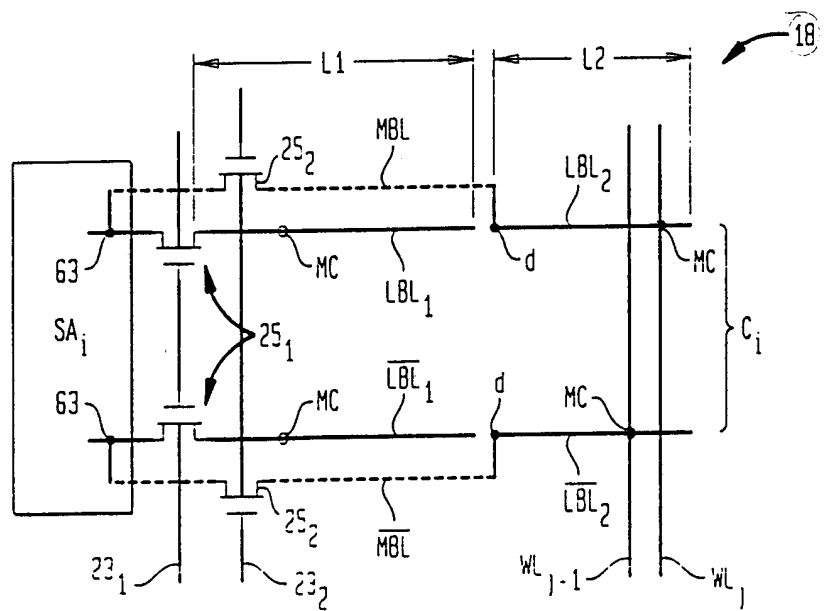
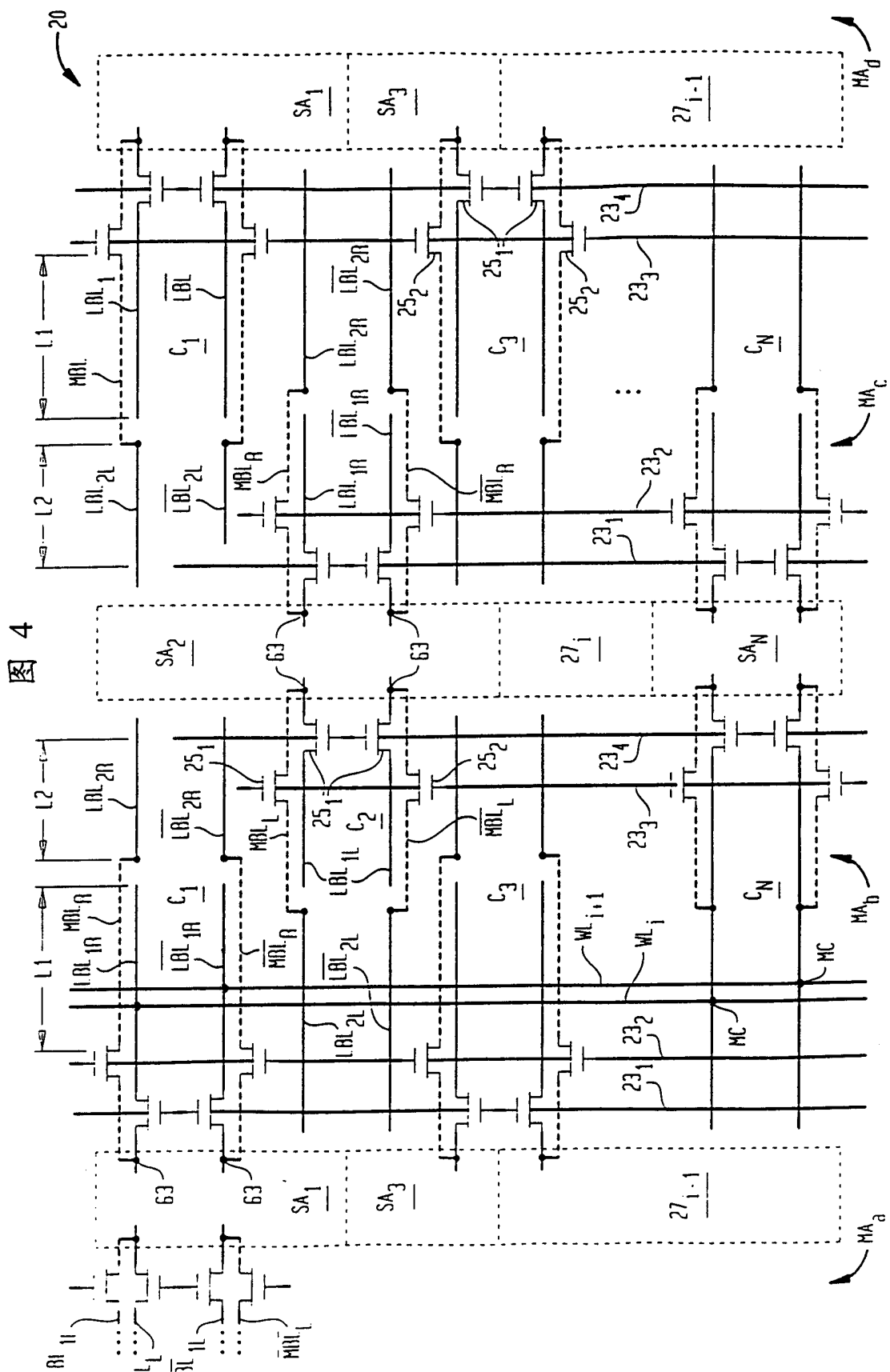
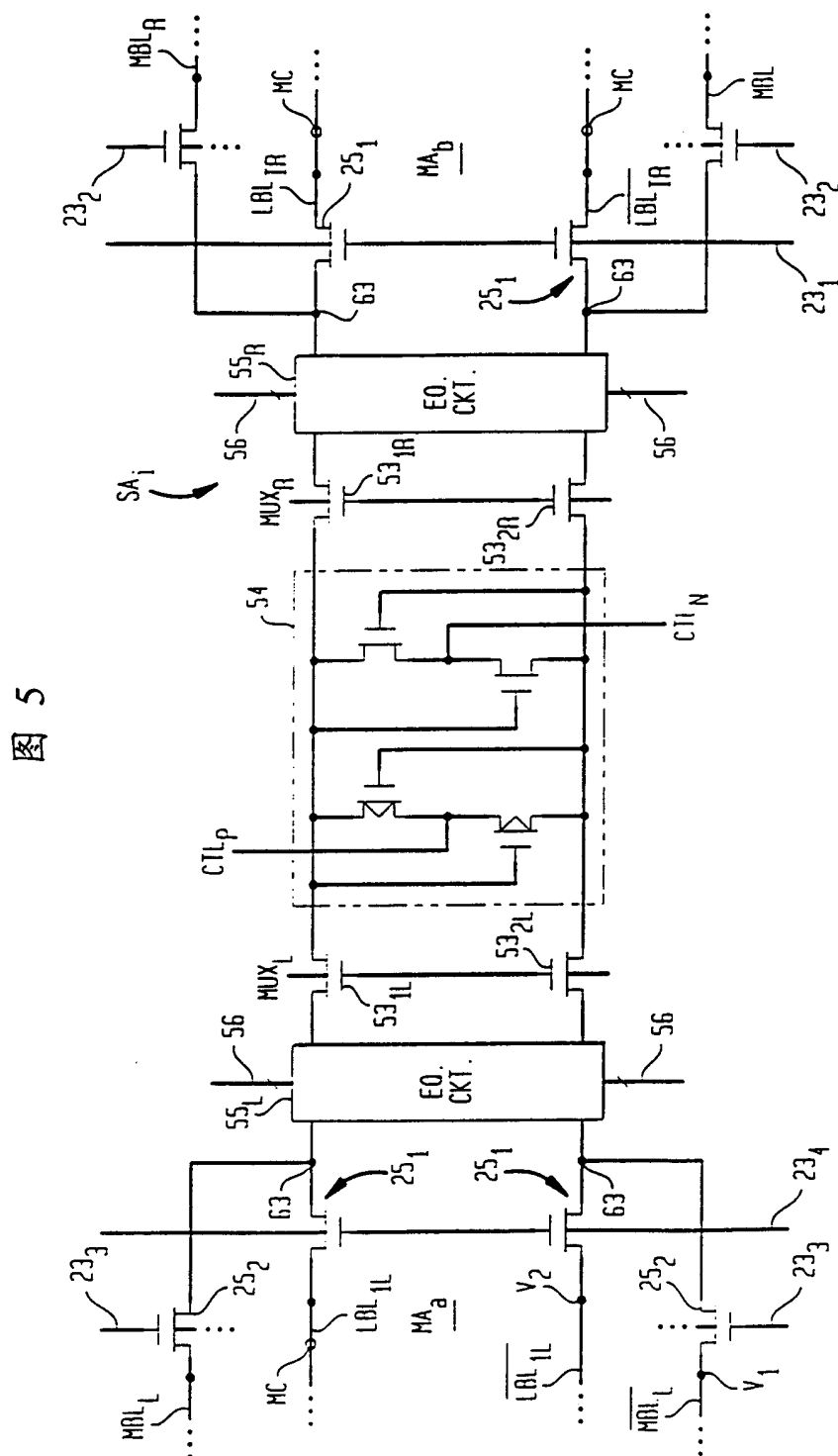


图 3







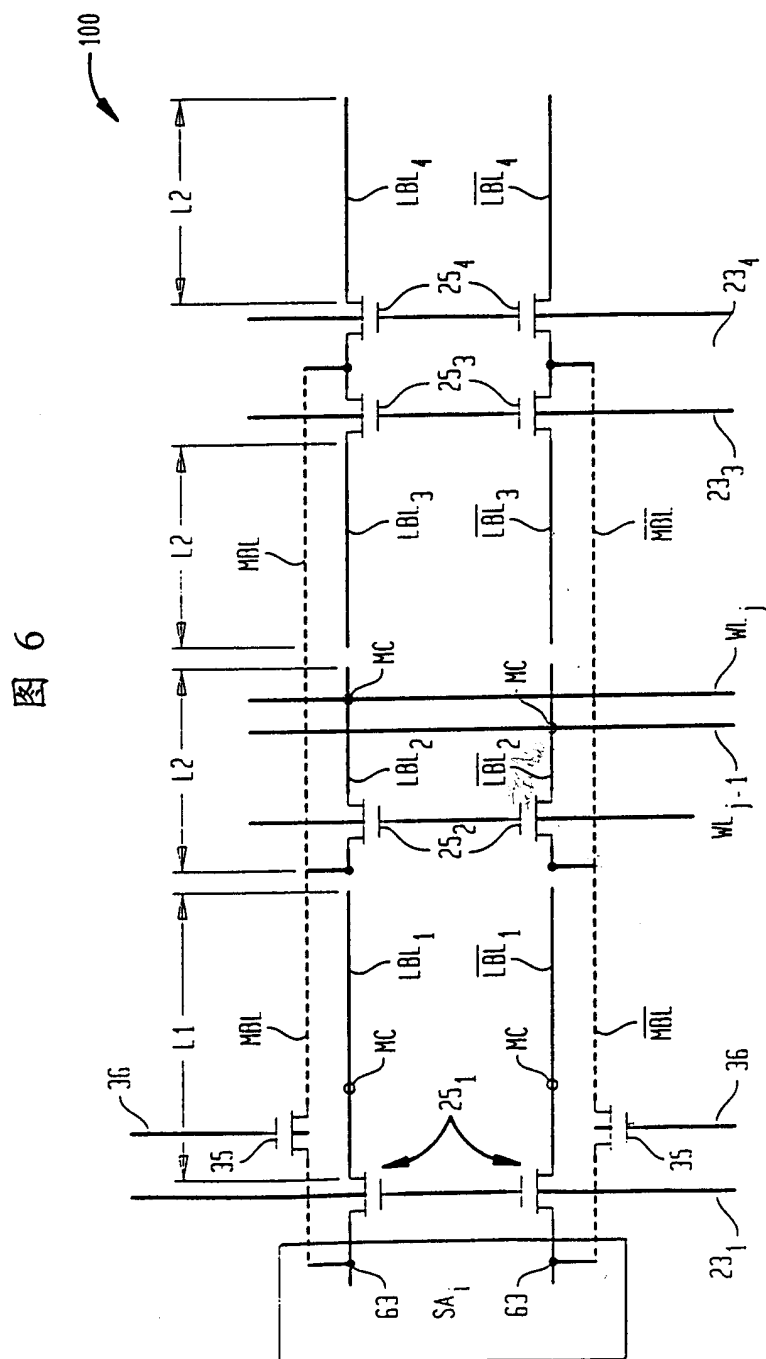


图 7

