

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 18 年 3 月 16 日 (2006.3.16)

【公開番号】特開 2002-124681 (P2002-124681A)
 【公開日】平成 14 年 4 月 26 日 (2002.4.26)
 【出願番号】特願 2000-317991 (P2000-317991)
 【国際特許分類】

H 0 1 L 29/786 (2006.01)
H 0 1 L 27/08 (2006.01)
H 0 1 L 21/76 (2006.01)
H 0 1 L 27/092 (2006.01)
H 0 1 L 21/8238 (2006.01)

【F I】

H 0 1 L 29/78 6 2 1
 H 0 1 L 27/08 3 3 1 E
 H 0 1 L 21/76 L
 H 0 1 L 21/76 S
 H 0 1 L 27/08 3 2 1 A
 H 0 1 L 29/78 6 1 3 Z
 H 0 1 L 29/78 6 1 6 T
 H 0 1 L 29/78 6 1 7 K

【手続補正書】
 【提出日】平成 18 年 2 月 1 日 (2006.2.1)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 6 0
 【補正方法】変更
 【補正の内容】
 【0 0 6 0】

また、フィールド酸化膜 F L X の端部に係合するようにゲート電極 1 0 a および 1 1 a が配設されているが、ゲート電極 1 0 a は第 1 ゲート電極 1 0 とは電氣的には接続されず、ソース電極 9 に接続されるか、フローティング状態となり、ゲート電極 1 1 a は第 2 ゲート電極 1 1 とは電氣的には接続されず、第 1 ドレイン電極 1 2 に接続されるか、フローティング状態となっている。

【手続補正 2】
 【補正対象書類名】明細書
 【補正対象項目名】0 1 1 0
 【補正方法】変更
 【補正の内容】
 【0 1 1 0】

ソース配線 S L 1 および第 1 ゲート配線 G 1 は、例えば第 2 層アルミ配線で構成され、ソース配線 S L 1 は第 1 ゲート電極 1 0 A および第 2 ドレイン電極 1 3 A 上をオーバーラップし、第 1 ゲート配線 G 1 は第 2 ドレイン電極 1 3 A 上をオーバーラップし、さらにトレンチ分離壁 6 2 0 および 6 4 0 上をオーバーラップしてハイサイド領域 H R にまで延在している。

【手続補正 3】
 【補正対象書類名】明細書
 【補正対象項目名】0 1 6 8

【補正方法】変更

【補正の内容】

【0168】

PチャネルMOSトランジスタPTは、ハイサイド領域HRの内部側から順に平行に配設された、直線状のソース電極91C、第1ゲート電極10Cおよび第2ドレイン電極13Cで構成されている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0169

【補正方法】変更

【補正の内容】

【0169】

そして、ソース電極91C、第1ゲート電極10Cおよび第2ドレイン電極13Cの各々の両端部にはトレンチ分離壁690が配設され、ソース電極91Cよりもハイサイド領域HRの内部側にはトレンチ分離壁691が配設され、第2ドレイン電極13Cよりも外部側にはトレンチ分離壁681が配設されている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0188

【補正方法】変更

【補正の内容】

【0188】

なお、P型ウエル領域322とN型ウエル領域611との間のSOI層102の表面上にはフィールド酸化膜が配設され、当該フィールド酸化膜は、P型ドレイン領域7およびP型ウエル領域322の表面上にも配設され、それらの上部にはマルチフィールドプレートが配設されているが、図示は省略する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0189

【補正方法】変更

【補正の内容】

【0189】

また、トレンチ分離壁691、681および670は、SOI層102を貫通して埋め込み酸化膜101に達するトレンチの内壁を内壁酸化膜601で覆い、内壁酸化膜601で囲まれる領域にドーフトポリシリコン等の導電体602が埋め込まれた構成となっている。そして、トレンチ分離壁691、681および670の上部にはフィールド酸化膜FLXが配設されている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0190

【補正方法】変更

【補正の内容】

【0190】

なお、トレンチ分離壁691の両側面は、埋め込み酸化膜101に達するP型ウエル領域324で覆われ、トレンチ分離壁681の両側面は、埋め込み酸化膜101に達するP型ウエル領域321および323で覆われ、トレンチ分離壁670の両側面は、埋め込み酸化膜101に達するP型ウエル領域322および323で覆われているが、これは、トレンチ近傍で発生する結晶欠陥を覆い、デバイス内に結晶欠陥に起因するリーク電流が流れないようにするための構成である。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0194

【補正方法】変更

【補正の内容】

【0194】

また、PチャネルMOSトランジスタPTにおける第1ゲート電極10Cと、第2ドレイン電極13Cとの間のSOI層102の上部には、マルチフィールドプレートMF P Zが配設されている。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0195

【補正方法】変更

【補正の内容】

【0195】

そして、マルチフィールドプレートMF P Zの配列方向に沿ったプレート幅（ライン）およびプレート間隔（スペース）は、マルチトレンチ構造のトレンチ幅（ライン）およびトレンチ間隔（スペース）と一致するように構成されている。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0198

【補正方法】変更

【補正の内容】

【0198】

図23に示すように、各トレンチ22のそれぞれは、内壁酸化膜221によって壁面が覆われ、内壁酸化膜221で囲まれた領域にドーフトポリシリコン等の導電体222が埋め込まれた構成となっている。なお、充填された各導電体は他の特定の部位と電氣的に接続されることなく形成されている。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0204

【補正方法】変更

【補正の内容】

【0204】

また、マルチフィールドプレートMF P Zのラインおよびスペースは、マルチトレンチ構造のラインおよびスペースと一致しているので、PチャネルMOSトランジスタPTのソース電極91Cと第2ドレイン電極13Cとの間の領域の電界分布を整えることができる。

【手続補正12】

【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

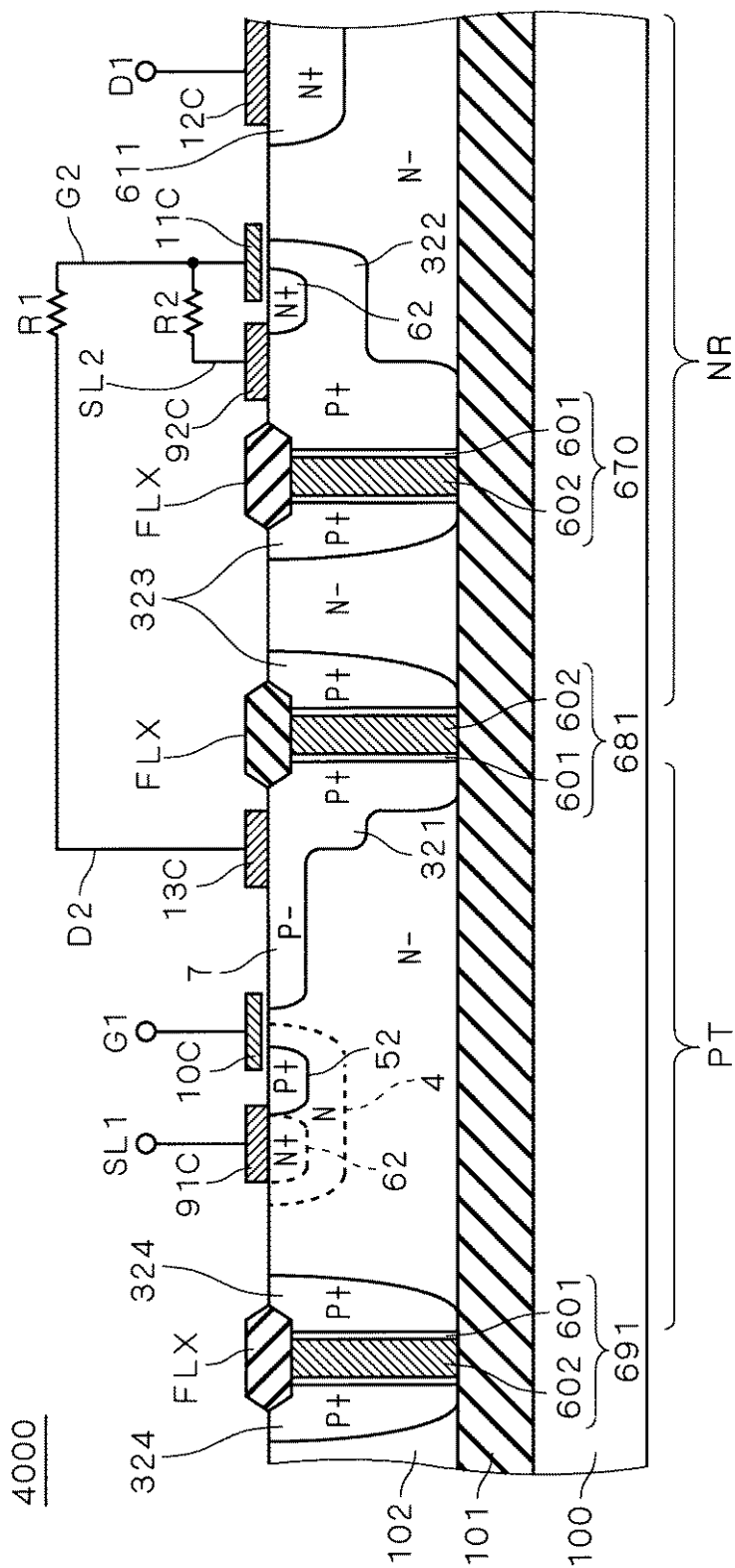
【補正の内容】

[illegible]

MFP1 : マルチフィールドプレート

【補正の内容】

【図 2 1】



【手続補正 1 4】

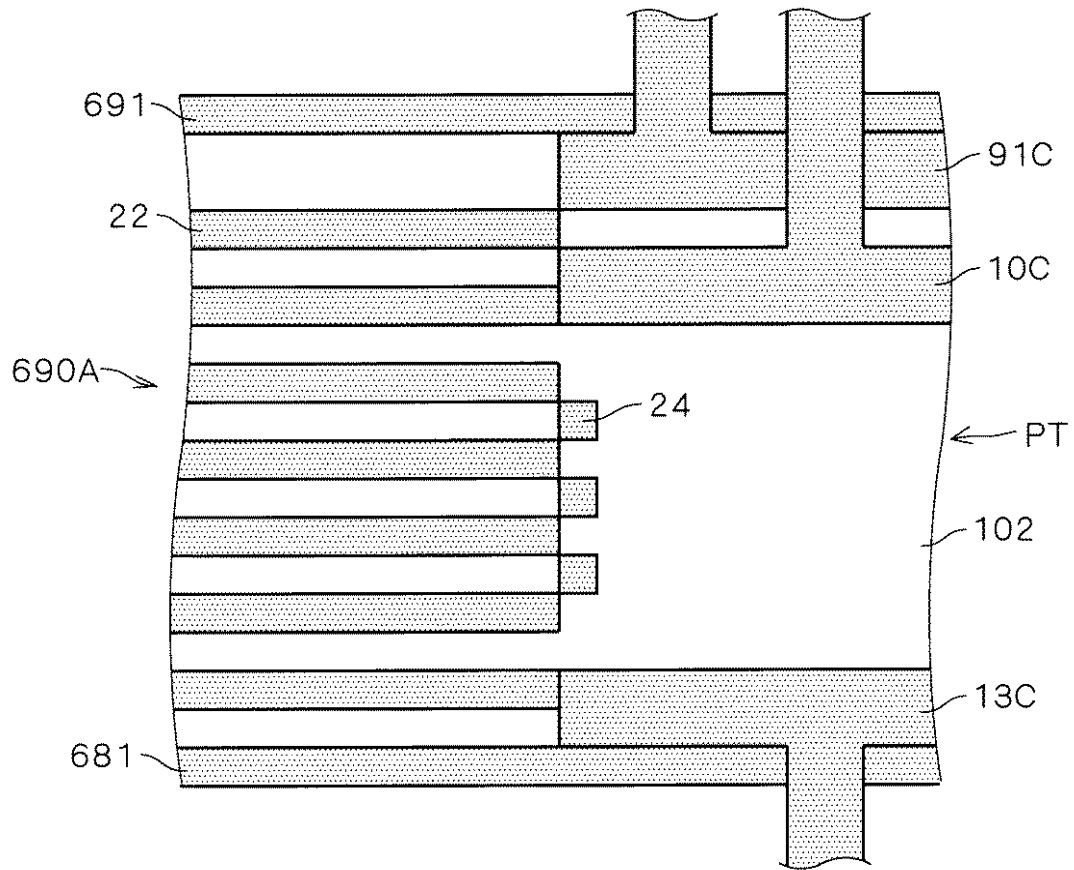
【補正対象書類名】図面

【補正対象項目名】図 2 6

【補正方法】変更

【補正の内容】

【図 26】



22 : トレンチ