

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-235064

(P2007-235064A)

(43) 公開日 平成19年9月13日(2007.9.13)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/47 (2006.01)	HO 1 L 29/48	4M104
HO 1 L 29/872 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号	特願2006-58246 (P2006-58246)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成18年3月3日(2006.3.3)	(74) 代理人	100098291 弁理士 小笠原 史朗
		(72) 発明者	土居 弥寿彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	山田 康寛 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		Fターム(参考)	4M104 AA01 BB02 BB05 BB08 BB09 BB14 BB16 CC03 DD34 FF35 GG03

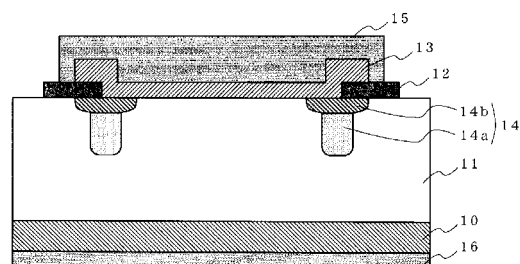
(54) 【発明の名称】 ショットキーバリア半導体装置及びその製造方法

## (57) 【要約】

【課題】素子特性及び耐圧性能を確保しつつ、静電気サージ耐量を向上させたショットキーバリア半導体装置及びその製造方法を提供する。

【解決手段】高濃度N型半導体基板10の上に、低濃度N型エピタキシャル層11を積層する。次に、イオン注入法等を用いて、低濃度N型エピタキシャル層11の上にボロンを注入し、低濃度P型ガードリング領域14aを形成する。次に、イオン注入法及びアニール処理等を用いて、低濃度P型ガードリング領域14aの表面部分に、低濃度P型ガードリング領域14aを完全に被覆する状態で高濃度P型ガードリング領域14bを形成する。その後、シリコン酸化膜12、バリア金属層13、電極15及び電極16を、順に形成する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

ショットキーバリアが形成された半導体装置であって、  
 高濃度 N 型半導体基板と、  
 前記高濃度 N 型半導体基板の上に積層された低濃度 N 型エピタキシャル層と、  
 前記低濃度 N 型エピタキシャル層の中に形成された低濃度 P 型ガードリング領域と、  
 前記低濃度 N 型エピタキシャル層の表面部分に、前記低濃度 P 型ガードリング領域を被覆しかつ前記低濃度 P 型ガードリング領域よりも浅く形成された高濃度 P 型ガードリング領域と、  
 前記低濃度 N 型エピタキシャル層の表面と前記高濃度 P 型ガードリング領域とに接する金属層と、  
 前記低濃度 N 型エピタキシャル層と前記高濃度 P 型ガードリング領域の一部とを被覆し、かつ前記金属層に接する絶縁層とで構成される、ショットキーバリア半導体装置。

## 【請求項 2】

前記低濃度 P 型ガードリング領域が軸となり、前記高濃度 P 型ガードリング領域が傘となる、キノコ形状を有することを特徴とする、請求項 1 に記載のショットキーバリア半導体装置。

## 【請求項 3】

前記低濃度 P 型ガードリング領域の不純物濃度が、 $1 \times 10^{16} / \text{cm}^3 \sim 6 \times 10^{17} / \text{cm}^3$  であり、前記高濃度 P 型ガードリング領域の不純物濃度が、 $1 \times 10^{18} / \text{cm}^3 \sim 6 \times 10^{21} / \text{cm}^3$  であることを特徴とする、請求項 1 又は 2 に記載のショットキーバリア半導体装置。

## 【請求項 4】

ショットキーバリア半導体装置の製造方法であって、  
 高濃度 N 型半導体基板の上に、低濃度 N 型エピタキシャル層を積層する工程と、  
 前記低濃度 N 型エピタキシャル層の中に、低濃度 P 型ガードリング領域を形成する工程と、  
 前記低濃度 N 型エピタキシャル層の表面部分に、前記低濃度 P 型ガードリング領域を被覆しかつ前記低濃度 P 型ガードリング領域よりも浅い形状で、高濃度 P 型ガードリング領域を形成する工程と、  
 前記低濃度 N 型エピタキシャル層の上に、前記高濃度 P 型ガードリング領域の一部と接する酸化膜を形成する工程と、  
 前記酸化膜の一部を覆うように、バリア金属層を前記低濃度 N 型エピタキシャル層の表面に蒸着させて、前記低濃度 N 型エピタキシャル層と当該バリア金属層とでショットキー接合を形成する工程とを含む、ショットキーバリア半導体装置の製造方法。

## 【請求項 5】

ショットキーバリア半導体装置の製造方法であって、  
 高濃度 N 型半導体基板の上に、低濃度 N 型エピタキシャル層を積層する工程と、  
 前記低濃度 N 型エピタキシャル層の中に、低濃度 P 型ガードリング領域を形成する工程と、  
 前記低濃度 P 型ガードリング領域の表面部分に、前記低濃度 P 型ガードリング領域よりも浅い形状で、高濃度 P 型ガードリング領域を形成して熱処理する工程と、  
 前記低濃度 N 型エピタキシャル層の上に、前記高濃度 P 型ガードリング領域の一部と接する酸化膜を形成する工程と、  
 前記酸化膜の一部を覆うように、バリア金属層を前記低濃度 N 型エピタキシャル層の表面に蒸着させて、前記低濃度 N 型エピタキシャル層と当該バリア金属層とでショットキー接合を形成する工程とを含む、ショットキーバリア半導体装置の製造方法。

## 【請求項 6】

前記低濃度 P 型ガードリング領域及び前記高濃度 P 型ガードリング領域が、イオン注入法で形成されることを特徴とする、請求項 4 又は 5 に記載のショットキーバリア半導体装

10

20

30

40

50

置の製造方法。

【請求項 7】

前記低濃度 P 型ガードリング領域及び前記高濃度 P 型ガードリング領域が、蒸着法で形成されることを特徴とする、請求項 4 又は 5 に記載のショットキーバリア半導体装置の製造方法。

【請求項 8】

前記低濃度 P 型ガードリング領域及び前記高濃度 P 型ガードリング領域が、スパッタリング法で形成されることを特徴とする、請求項 4 又は 5 に記載のショットキーバリア半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ショットキーバリア半導体装置及びその製造方法に関し、より特定的には、高濃度第一導電型（N 型）半導体であるシリコン基板上において、金属膜がショットキー接合を形成しているショットキーバリア半導体装置の耐圧性能及び静電気サージ耐量を改善する技術に関する。

【背景技術】

【0002】

ショットキーバリア半導体装置の 1 つであるショットキーバリアダイオード（SBD）は、高速スイッチングが可能であり、かつ順方向損失が小さいことから、高周波整流回路等に使用されている。このショットキーバリアダイオードの構成は、次のようなものである。

20

【0003】

まず、高濃度 N 型半導体基板の上に、低濃度 N 型エピタキシャル層を形成する。次に、この低濃度 N 型エピタキシャル層の上に、所定面積の開口部を有した酸化膜を形成する。次に、開口部から露出する低濃度 N 型エピタキシャル層の表面に、バリア金属を形成し、さらにエピタキシャル層の表面領域に、高濃度第二導電型（P 型）半導体で形成した環状のガードリング領域を形成する。そして、バリア金属上に引き出し電極を形成したショットキーバリアダイオードのガードリング領域を低濃度とし、かつ表面の一部を高濃度として、耐静電気サージ性能と共に耐圧性能を向上させているものがあつた（例えば、特許文献 1 を参照）。

30

【0004】

図 3 は、特許文献 1 に記載された従来 of ショットキーバリアダイオードの断面図である。まず、エピタキシャル成長法を用いて、シリコンからなる高濃度 N 型半導体基板 20 の上に低濃度 N 型エピタキシャル層 21 を形成する。次に、酸化膜の開口部からのイオン注入法を用いて、低濃度 N 型エピタキシャル層 21 の表面に、例えばボロンイオンを注入及び拡散させて不純物濃度の高いガードリング領域 24 a を形成し、その後リンイオンを注入及び拡散させて不純物濃度の低いガードリング領域 24 b を形成する。これにより、不純物濃度が異なる二層のガードリング領域 24 a 及び 24 b からなるガードリング 24 を形成できる。そして、ガードリング 24 の外側を覆うように、絶縁膜及び保護膜となるシリコン酸化膜 22 を形成する。電極 25 はアノード側電極、電極 26 はカソード電極であり、電極 25 と低濃度 N 型エピタキシャル層 21 との間においてショットキー接合を形成している。

40

【特許文献 1】特開 2002 - 203955 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来 of ショットキーバリアダイオードの構成では、耐圧を高くするためにガードリング 24 を高濃度に形成している。このため、ショットキーバリアダイオ

50

ードにパルス状の逆方向高電圧を印加した場合、ショットキー接合を形成している電極 25 とガードリング 24 との間のコンタクト抵抗が上昇し、素子破壊を生じさせ易くなるという問題がある。

【0006】

それ故に、本発明の目的は、素子特性及び耐圧性能を確保しつつ、静電気サージ耐量を向上させたショットキーバリア半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0007】

本発明は、ショットキーバリアが形成された半導体装置及びその製造方法に向けられている。そして、上記目的を達成するために、本発明のショットキーバリア半導体装置は、高濃度 N 型半導体基板と、高濃度 N 型半導体基板の上に積層された低濃度 N 型エピタキシャル層と、低濃度 N 型エピタキシャル層の中に形成された低濃度 P 型ガードリング領域と、低濃度 N 型エピタキシャル層の表面部分に低濃度 P 型ガードリング領域を被覆しかつ低濃度 P 型ガードリング領域よりも浅く形成された高濃度 P 型ガードリング領域と、低濃度 N 型エピタキシャル層の表面と高濃度 P 型ガードリング領域とに接する金属層と、低濃度 N 型エピタキシャル層と高濃度 P 型ガードリング領域の一部とを被覆しかつ金属層に接する絶縁層とで構成される。

10

【0008】

好ましくは、低濃度 P 型ガードリング領域が軸となり、高濃度 P 型ガードリング領域が傘となる、キノコ形状を有する。また、低濃度 P 型ガードリング領域の不純物濃度が、 $1 \times 10^{16} / \text{cm}^3 \sim 6 \times 10^{17} / \text{cm}^3$  であり、高濃度 P 型ガードリング領域の不純物濃度が、 $1 \times 10^{18} / \text{cm}^3 \sim 6 \times 10^{21} / \text{cm}^3$  であることが望ましい。

20

【0009】

このショットキーバリア半導体装置は、高濃度 N 型半導体基板の上に低濃度 N 型エピタキシャル層を積層する工程と、低濃度 N 型エピタキシャル層の中に低濃度 P 型ガードリング領域を形成する工程と、低濃度 N 型エピタキシャル層の表面部分に低濃度 P 型ガードリング領域を被覆しかつ低濃度 P 型ガードリング領域よりも浅い形状で高濃度 P 型ガードリング領域を形成する工程か又は低濃度 P 型ガードリング領域の表面部分に低濃度 P 型ガードリング領域よりも浅い形状で高濃度 P 型ガードリング領域を形成して熱処理する工程と、低濃度 N 型エピタキシャル層の上に高濃度 P 型ガードリング領域の一部と接する酸化膜を形成する工程と、酸化膜の一部を覆うようにバリア金属層を低濃度 N 型エピタキシャル層の表面に蒸着させて低濃度 N 型エピタキシャル層と当該バリア金属層とでショットキー接合を形成する工程とによって、製造される。

30

【0010】

低濃度 P 型ガードリング領域及び高濃度 P 型ガードリング領域は、イオン注入法、蒸着法、又はスパッタリング法のいずれかで形成されることが好ましい。

【発明の効果】

【0011】

上記本発明によれば、チップサイズを大きくすることなく、所定の耐圧性能を確保しつつ、低濃度 P 型ガードリング領域の表面のコンタクト抵抗を低下させて導電率を上げるため、静電気サージ耐量を向上させることができる。

40

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態について、図 1、図 2 A 及び図 2 B を用いて説明する。

図 1 は、本発明の一実施形態に係るショットキーバリアダイオードの断面図である。図 2 A 及び図 2 B は、本発明の一実施形態に係るショットキーバリアダイオードの製造方法を説明するための各製造工程におけるショットキーバリアダイオードの断面図である。

【0013】

図 1 において、本発明のショットキーバリアダイオードは、高濃度 N 型半導体基板 10、低濃度 N 型エピタキシャル層 11、低濃度 P 型ガードリング領域 14 a と高濃度 P 型ガ

50

ードリング領域 14 b とからなるガードリング 14、シリコン酸化膜 12、バリア金属層 13、電極 15、及び電極 16 で構成される。この構成によるショットキーバリアダイオードは、図 2 A 及び図 2 B に示す工程の順序で製造される。

#### 【0014】

まず、エピタキシャル成長法を用いて、シリコンからなる高濃度 N 型半導体基板 10 の上に低濃度 N 型エピタキシャル層 11 を積層する (図 2 A (a))。次に、ガードリング 14 の形成場所に対応した所定面積の開口部を持つ絶縁膜 (シリコン酸化膜) 17 を、低濃度 N 型エピタキシャル層 11 の上に形成する (図 2 A (b))。次に、絶縁膜 17 を介したイオン注入法等を用いて、低濃度 N 型エピタキシャル層 11 の中にボロンを注入し、低濃度 P 型ガードリング領域 14 a を形成する (図 2 A (c))。次に、絶縁膜 17 をオーバーエッチングして、低濃度 P 型ガードリング領域 14 a を形成したときよりも開口部の面積を大きくする (図 2 A (d))。次に、開口部の面積を拡大させた絶縁膜 17 を介したイオン注入法及びアニール処理 (熱処理) 等を用いて、低濃度 N 型エピタキシャル層 11 の表面部分に、低濃度 P 型ガードリング領域 14 a を被覆しかつ低濃度 P 型ガードリング領域 14 a よりも浅い形状で高濃度 P 型ガードリング領域 14 b を形成する (図 2 A (e))。すなわち、この工程によって、低濃度 P 型ガードリング領域 14 a が「軸」で高濃度 P 型ガードリング領域 14 b が「傘」となるキノコ形状のガードリング 14 を形成することができる。

10

#### 【0015】

例えば、低濃度 P 型ガードリング領域 14 a は、深さを  $1 \mu\text{m}$  程度及び不純物濃度を  $1 \times 10^{16} / \text{cm}^3 \sim 6 \times 10^{17} / \text{cm}^3$  とし、高濃度 P 型ガードリング領域 14 b は、深さを  $0.2 \mu\text{m}$  程度及び不純物濃度を  $1 \times 10^{18} / \text{cm}^3 \sim 6 \times 10^{21} / \text{cm}^3$  とすればよい。

20

#### 【0016】

次に、低濃度 N 型エピタキシャル層 11 の表面に、高濃度 P 型ガードリング領域 14 b の一部と接するシリコン酸化膜 12 を形成する (図 2 B (f))。次に、ニッケル、チタン、又はモリブデン等からなるバリア金属層 13 を、このシリコン酸化膜 12 の一部を覆うように低濃度 N 型エピタキシャル層 11 の表面に蒸着させ、低濃度 N 型エピタキシャル層 11 とバリア金属層 13 とでショットキー接合を形成する (図 2 B (g))。次に、バリア金属層 13 の上に、オーミック接続されたアルミニウム、金、又は銀等からなる電極 15 を形成する (図 2 B (h))。また、高濃度 N 型半導体基板 10 の低濃度 N 型エピタキシャル層 11 と相対する側に、オーミック接続されたアルミニウム、金、又は銀等からなる電極 16 を形成する (図 2 B (i))。

30

#### 【0017】

以上のように、本発明の一実施形態に係るショットキーバリア半導体装置及びその製造方法によれば、低濃度 P 型ガードリング領域 14 a を設ける。これにより、パルス状の逆方向高電圧を印加した時に、低濃度 N 型エピタキシャル層 11 と低濃度 P 型ガードリング領域 14 a との間の PN 接合部の空乏層、及び低濃度 P 型ガードリング領域 14 a への空乏層が伸びることから、耐圧性能を向上させることができる。

#### 【0018】

また、本発明の一実施形態に係るショットキーバリアダイオードによれば、低濃度 P 型ガードリング領域 14 a の表面に高濃度 P 型ガードリング領域 14 b を形成する。これにより、低濃度 P 型ガードリング領域 14 a の表面のコンタクト抵抗が低下して導電率が上がるため、静電気サージ耐量を向上させることができる。

40

#### 【0019】

なお、高濃度 P 型ガードリング領域 14 b の拡散深さは、低濃度 P 型ガードリング領域 14 a 側への空乏層の伸びを妨ぐことがない程度にすることが好ましい。

また、高濃度 P 型ガードリング領域 14 b を形成する手法は、イオン注入法以外にも、蒸着法、スパッタリング法、固層拡散法、又はガス拡散法等であってもよい。

#### 【0020】

50

以上、本発明の実施の形態はショットキーバリアダイオードについて説明したが、本発明に思想に逸脱しない限り適宜変更可能である。

【産業上の利用可能性】

【0021】

本発明は、高濃度N型半導体であるシリコン基板上において、金属膜がショットキー接合を形成しているショットキーバリア半導体装置及びその製造方法等に利用可能であり、特に耐圧性能及び静電気サージ耐量を改善する場合等に有用である。

【図面の簡単な説明】

【0022】

【図1】本発明の一実施形態に係るショットキーバリアダイオードの断面図

10

【図2A】本発明の一実施形態に係るショットキーバリアダイオードの製造方法を説明するための各製造工程におけるショットキーバリアダイオードの断面図

【図2B】本発明の一実施形態に係るショットキーバリアダイオードの製造方法を説明するための各製造工程におけるショットキーバリアダイオードの断面図

【図3】従来のショットキーバリアダイオードの断面図

【符号の説明】

【0023】

10、20 高濃度N型半導体基板

11、21 低濃度N型エピタキシャル層

12、22 シリコン酸化膜

20

13、23 バリア金属層

14、24 ガードリング

14a 低濃度P型ガードリング領域

14b 高濃度P型ガードリング領域

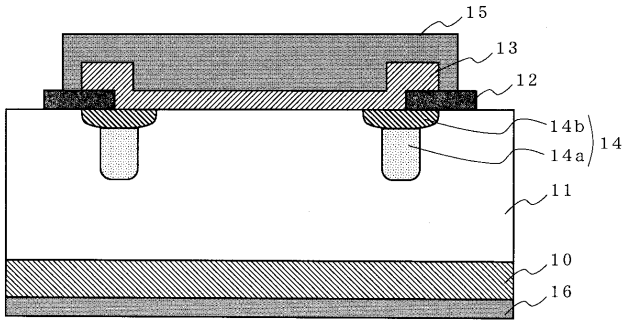
15、16、25、26 電極

17 絶縁膜

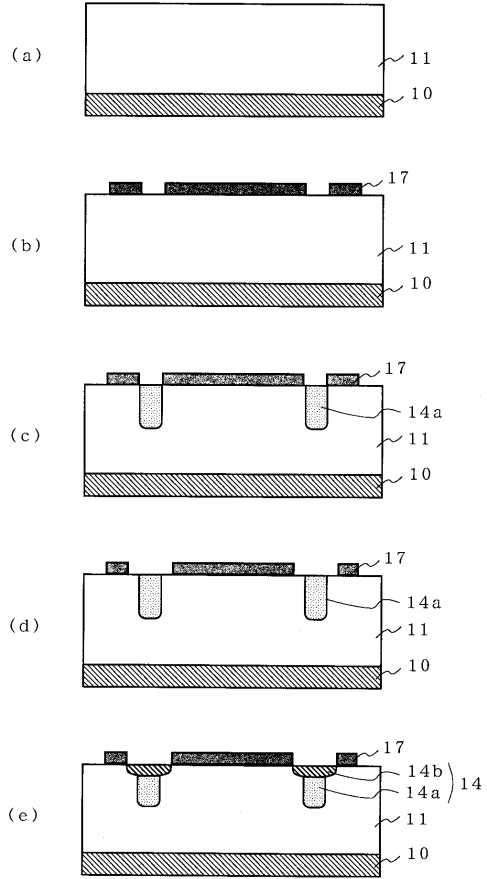
24a 不純物濃度の高いガードリング領域

24b 不純物濃度の低いガードリング領域

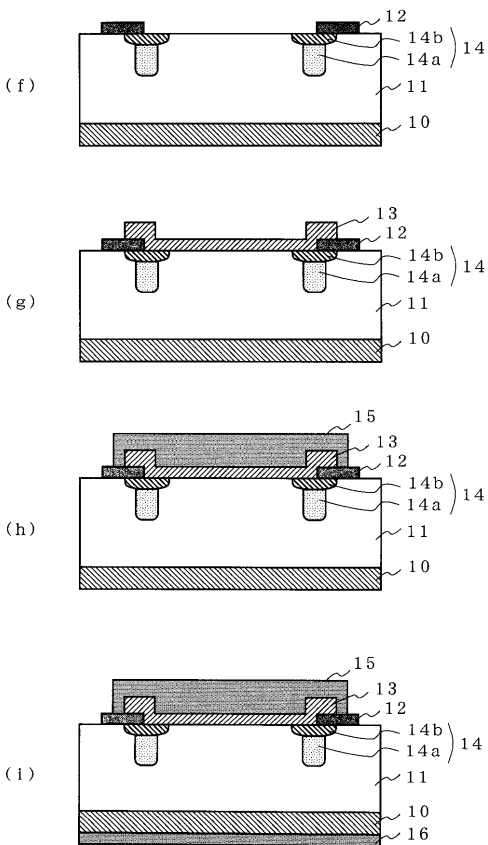
【図 1】



【図 2 A】



【図 2 B】



【図 3】

