



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0077852
(43) 공개일자 2011년07월07일

(51) Int. Cl.

H03H 17/00 (2006.01)

(21) 출원번호 10-2009-0134521

(22) 출원일자 2009년12월30일

심사청구일자 없음

(71) 출원인

한국전자통신연구원

대전 유성구 가정동 161번지

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

노예철

경기 성남시 분당구 구미동 까치마을 414-1901

박장현

서울특별시 서초구 반포4동 미도아파트 303-1408

(뒷면에 계속)

(74) 대리인

송윤호, 오세준, 권혁수

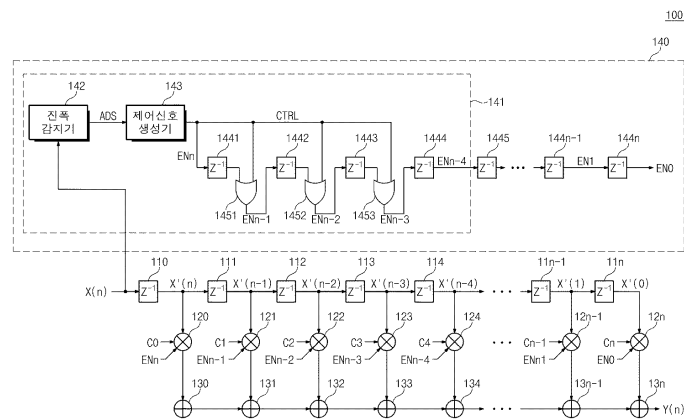
전체 청구항 수 : 총 1 항

(54) 유한 임펄스 응답 필터

(57) 요약

본 발명에 따른 유한 임펄스 응답 필터는, 입력 데이터를 지연시키기 위한 직렬로 연결된 복수의 지연기들, 상기 복수의 지연기들 각각의 출력 신호와 대응하는 필터 계수를 곱하는 복수의 곱셈기들, 상기 복수의 곱셈기들의 출력 신호들을 더하기 위한 적어도 하나의 덧셈기, 및 상기 입력 데이터 및 상기 필터 계수가 소정의 문턱 값보다 작을 때에 곱셈 차단 활성화 신호들을 생성하고, 상기 곱셈 차단 활성화 신호들에 응답하여 상기 복수의 곱셈기들 각각의 동작을 정지시키는 곱셈 차단 활성화 신호 생성기를 포함한다. 본 발명에 따른 유한 임펄스 응답 필터는, 입력 데이터 및 필터 계수가 소정의 문턱 값보다 작을 때에 곱셈기들의 동작을 정지시킴으로써, 필터 출력에 발생하는 왜곡을 줄이면서 전력 소모를 줄일 수 있다. 또한, 본 발명의 유한 임펄스 응답 필터는, 입력 데이터의 크기 및 입력 데이터의 경향성에 따라 필터의 차수가 조절되는 것과 동일한 효과를 얻게 된다.

대표도



(72) 발명자

최성훈

서울특별시 마포구 창전동 444 서강쌍용예가아파트
112-502

김창선

서울 강동구 길동 산1-1 삼익파크아파트 505동 40
6호

이석재

서울특별시 구로구 오류동 81 글로리아빌 301호

박중선

서울특별시 서초구 반포본동 반포 APT 97-206

이 발명을 지원한 국가연구개발사업

과제고유번호 C1200-0901-0002

부처명 지식경제부

연구관리전문기관

연구사업명 IT SoC핵심설계인력양성

연구과제명 IT SoC 핵심설계인력양성 사업

기여율

주관기관 한국전자통신연구원

연구기간 2006-03-01 ~ 2010-12-31

특허청구의 범위

청구항 1

입력 데이터를 지연시키기 위한 직렬로 연결된 복수의 지연기들;

상기 복수의 지연기들 각각의 출력 신호와 대응하는 필터 계수를 곱하는 복수의 곱셈기들;

상기 복수의 곱셈기들의 출력 신호들을 더하기 위한 적어도 하나의 덧셈기; 및

상기 입력 데이터 및 상기 필터 계수가 소정의 문턱 값보다 작을 때에 곱셈 차단 활성화 신호들을 생성하고, 상기 곱셈 차단 활성화 신호들에 응답하여 상기 복수의 곱셈기들 각각의 동작을 정지시키는 곱셈 차단 활성화 신호 생성기를 포함하는 유한 임펄스 응답 필터.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유한 임펄스 응답 필터에 관한 것이다.

[0002] 본 발명은 지식경제부의 IT SoC핵심설계인력양성사업의 일환으로 수행한 연구로부터 도출된 것이다[과제관리번호: C1200-0901-0002, 과제명: IT SoC 핵심설계인력양성 사업]

배경 기술

[0003] 디지털 필터는, 내부 신호 흐름의 방향에 따라 유한 임펄스 응답 필터(Finite Impulse Response, FIR) 및 무한 임펄스 응답 필터(Infinite Impulse Response, IIR)로 분류된다. 유한 임펄스 응답 필터는 출력 데이터가 현재와 과거에 입력된 데이터와 필터 계수 간의 컨볼루션 합으로만 이루어지는 디지털 필터를 의미한다. 반면에, 무한 임펄스 응답 필터는 현재의 출력데이터가 현재 및 과거에 입력된 데이터와 필터의 계수 및 과거의 출력 데이터 간의 컨볼루션 합으로 이루어지는 디지털 필터를 의미한다.

[0004] 일반적으로 무한 임펄스 응답 필터가 유한 임펄스 응답 필터에 비하여 성능이 좋은 것으로 알려져 있다. 그러나, 과거의 출력 신호를 되먹이는(feedback) 연산을 하는 무한 임펄스 응답 필터의 특성상, 동작이 불안정해질 우려가 있기 때문에 유한 임펄스 응답 필터가 널리 사용되고 있다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명의 목적은, 전력 소모를 줄이기 위한 유한 임펄스 응답 필터를 제공하는데 있다.

[0006] 본 발명의 목적은 하드웨어를 변경하지 않고 필터 계수를 가변시킬 수 있는 유한 임펄스 응답 필터를 제공하는 데 있다.

[0007] 본 발명의 목적은 저전력 유한 임펄스 응답 필터를 제공하는 데 있다.

과제 해결수단

[0008] 본 발명의 실시 예에 따른 유한 임펄스 응답 필터는, 입력 데이터를 지연시키기 위한 직렬로 연결된 복수의 지연기들, 상기 복수의 지연기들 각각의 출력 신호와 대응하는 필터 계수를 곱하는 복수의 곱셈기들, 상기 복수의 곱셈기들의 출력 신호들을 더하기 위한 적어도 하나의 덧셈기, 및 상기 입력 데이터 및 상기 필터 계수가 소정의 문턱 값보다 작을 때에 곱셈 차단 활성화 신호들을 생성하고, 상기 곱셈 차단 활성화 신호들에 응답하여 상기 복수의 곱셈기들 각각의 동작을 정지시키는 곱셈 차단 활성화 신호 생성기를 포함한다.

효 과

- [0009] 상술한 바와 같이 본 발명에 따른 유한 임펄스 응답 필터는, 입력 데이터 및 필터 계수가 소정의 문턱 값보다 작을 때에 곱셈기들의 동작을 정지시킴으로써, 필터 출력에 발생하는 왜곡을 줄이면서 전력 소모를 줄일 수 있다. 그 결과로써, 본 발명의 유한 임펄스 응답 필터는, 입력 데이터의 크기 및 입력 데이터의 경향성에 따라 필터의 차수가 조절되는 것과 동일한 효과를 얻게 된다.

발명의 실시를 위한 구체적인 내용

- [0010] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 본 발명의 실시 예를 첨부된 도면을 참조하여 설명할 것이다.
- [0011] 도 1은 본 발명에 따른 유한 임펄스 응답 필터에 대한 제 1 실시 예를 보여주는 도면이다. 도 1을 참조하면, 유한 임펄스 응답 필터(100)는 복수의 지연기들(110~11n), 복수의 곱셈기들(120~12n), 복수의 덧셈기들(130~13n), 및 곱셈 차단 활성화 신호 생성기(140)를 포함한다. 여기서, n은 1 이상의 정수이다. 곱셈 차단 활성화 신호 생성기(140)는 입력 데이터(X(n))의 진폭에 따라 복수의 곱셈기들(120~120n)의 정지 여부를 결정하기 위한 활성화 신호들(EN0~ENn)을 생성한다. 여기서, 입력 데이터(X(n))는 복수의 비트들로 구성된 디지털 신호이다.
- [0012] 유한 임펄스 응답 필터(100)는 복수의 필터 계수들(filter coefficients, C0~Cn)을 가지며, 입력 데이터(X(n))에 대하여, 다음의 수학식 1에 따라 출력 데이터(Y(n))을 생성한다.

수학식 1

- [0013]
$$Y(n) = C_0 \cdot X'(n) + C_1 \cdot X'(n-1) + \dots + C_{n-1} \cdot X'(1) + C_n \cdot X'(0)$$

- [0014] 여기서, X'(0)~X'(n)는 입력 데이터(X(n))의 지연 신호들이다.

- [0015] 아래에서는 설명의 편의를 위하여, 입력 데이터(X(n))가 16 비트의 디지털 신호라고 가정하겠다. 하지만, 본 발명의 입력 데이터(X(n))가 반드시 16 비트의 디지털 신호에 한정될 필요는 없다.

- [0016] 각각의 지연기들(110~11n)은 입력된 디지털 신호를 지연시켜 출력한다. 각각의 지연기들(110~11n)은 플립 플롭 혹은 레지스터로 구현될 수 있다. 각각의 지연기들(110~11n)로부터 출력된 신호들(X'(0)~X'(n))은 16 비트의 디지털 신호이다.

- [0017] 각각의 곱셈기들(120~12n)은 지연기들(110~11n)로부터 출력된 각각의 지연 신호들(X'(0)~X'(n))과 대응하는 각각의 필터 계수들(C0~Cn)을 곱한다. 여기서, 각각의 필터 계수들(C0~Cn)은 16 비트의 디지털 신호이다. 각각의 곱셈기들(120~12n)은, 곱셈 차단 활성화 신호들(EN0~ENn)에 응답하여 정지된다. 본 발명에 따른 곱셈기들(120~12n)의 출력 신호들은 16 비트의 디지털 신호일 수 있다. 하지만, 본 발명의 곱셈기들(120~12n)의 출력 신호들이 16 비트의 디지털 신호에 한정될 필요는 없다.

- [0018] 각각의 덧셈기들(130~13n)은 곱셈기들(120~12n)의 출력 신호들을 더한다. 예를 들어, 덧셈기(130)는 곱셈기(120)의 출력 신호를 입력받고, 덧셈기(131)는 덧셈기(130)의 출력 신호와 곱셈기(121)의 출력 신호를 더한다. 덧셈기(13n)는 덧셈기(13n-1)의 출력 신호와 곱셈기(12n)의 출력 신호를 더한다.

- [0019] 덧셈기들(130~13n)은 적어도 16 비트의 디지털 신호를 출력하도록 구현된다. 예를 들어, 각각의 덧셈기들(130~13n)이 24 비트의 디지털 신호를 출력하도록 구현된다. 즉, 최종적인 덧셈기(13n)의 출력 신호(Y(n))는 24 비트의 디지털 신호이다.

- [0020] 도 1에 도시된 덧셈기들(130~13n)의 개수는 필터의 차수(탭의 개수, n)이다. 그러나, 본 발명의 덧셈기의 개수가 반드시 필터의 차수일 필요는 없다. 본 발명은 곱셈기들(120~12n)의 출력 신호들을 더하기 위한 적어도 하나의 덧셈기를 포함할 수 있다.

- [0021] 곱셈 차단 활성화 신호 생성기(140)는 입력 데이터(X(n))의 진폭에 따라 곱셈기들(120~12n)의 정지시키기 위한 곱셈 차단 활성화 신호들(EN0~ENn)을 생성한다. 여기서, 입력 데이터(X(n))의 진폭은, 입력된 데이터의 크기이다. 곱셈 차단 활성화 신호 생성기(140)는 제어 신호 결정 회로(141)를 포함한다. 여기서, 제어 신호 결정 회로(141)는 곱셈 차단을 결정하기 위한 제어 신호(CTRL)를 생성한다.

- [0022] 제어 신호 결정 회로(141)는 진폭 감지기(142), 제어 신호 생성기(143), 복수의 지연기들(1441~1444) 및 복수의 논리합 연산기들(1451~1453)을 포함한다.

- [0023] 진폭 감지기(142)는 입력 데이터(X(n))의 진폭을 감지하고, 그 결과에 대응하는 감지 신호(ADS)를 출력한다. 예를 들어, 입력 데이터(X(n))의 크기가 문턱 값보다 작을 때, 진폭 감지기(142)는 감지 신호(ADS)를 출력한다.
- [0024] 제어 신호 생성기(143)는 진폭 감지기(142)의 출력 신호(ADS)를 입력받고, 연속적으로 입력되는 데이터가 문턱 값보다 작은 개수를 알아내고, 그 결과에 따라 곱셈기들(120~12n)을 제어하기 위한 제어 신호(CTRL)를 생성한다. 제어 신호 생성기(143)는 연속적인 두 개 이상 입력 데이터가 문턱 값보다 작을 때 제어 신호(CTRL)를 생성할 수 있다. 아래에서는 설명의 편의를 위하여, 제어 신호 생성기(143)이 연속적인 네 개의 입력 데이터가 문턱 값보다 작을 때 제어 신호(CTRL)를 생성한다고 가정하겠다.
- [0025] 지연기들(1441~1444) 및 논리합 연산기들(1451~1453)은 곱셈 차단 활성화 신호들(ENn-1, ENn-2, ENn-3)을 출력한다. 한편, 곱셈기(120)에 입력되는 곱셈 차단 활성화 신호(ENn)는 제어 신호 생성기(143)로부터 출력되는 제어 신호(CTRL)이다.
- [0026] 곱셈기(121)에 입력되는 곱셈 차단 활성화 신호(ENn-1)는 지연기(1441)의 출력 신호 및 제어 신호(CTRL)가 논리합 연산기(1451)에 의해 연산된 신호이다. 곱셈기(122)에 입력되는 곱셈 차단 활성화 신호(ENn-2)는 지연기(1442)의 출력 신호 및 제어 신호(CTRL)가 논리합 연산기(1452)에 의해 연산된 신호이다. 곱셈기(123)에 입력되는 곱셈 차단 활성화 신호(ENn-3)는 지연기(1443)의 출력 신호 및 제어 신호(CTRL)가 논리합 연산기(1453)에 의해 연산된 신호이다. 곱셈기(124)에 입력되는 곱셈 차단 활성화 신호(ENn-4)는 논리합 연산기(1453)의 출력 신호(ENn-3)를 지연시킨 신호이다.
- [0027] 각각의 지연기들(1445~144n)은 제어 신호 결정 회로(141)의 출력 신호(ENn-4)를 지연시켜, 곱셈 차단 활성화 신호들(EN0~ENn-5)을 출력한다. 즉, 지연기들(1445~144n) 각각은 제어 신호 결정 회로(141)에 의해 출력되는 곱셈 차단 활성화 신호를 유지한다.
- [0028] 일반적인 유한 임펄스 응답 필터는 곱셈기에서 많은 전력을 소모한다. 반면에, 본 발명의 유한 임펄스 응답 필터(100)는 입력 데이터의 진폭(혹은 크기)에 따라 곱셈기들(120~12n)의 정지 유무를 결정한다. 이로써, 본 발명에서는 입력 데이터에 따라 적절한 문턱 값이 사전에 결정됨으로써, 곱셈기들(120~12n)의 동작이 조절된다. 그 결과로써, 본 발명의 유한 임펄스 응답 필터(100)는 주파수 저지 대역에서 왜곡을 줄이면서도 전력 소모를 최소화시킬 수 있다.
- [0029] 또한, 본 발명의 유한 임펄스 응답 필터(100)는 입력 데이터의 크기 및 입력 데이터의 경향성을 파악할 수 있는 제어 신호 생성기(141)를 구비함으로써, 필터의 차수(탭의 개수)를 조절하는 것과 동일한 효과를 얻게 된다.
- [0030] 도 2는 도 1에 도시된 진폭 감지기에 대한 실시 예를 보여주는 도면이다. 도 2를 참조하면, 진폭 감지기(142)는 논리곱 연산기(1421), 논리합 연산기(1422), 엑스노어 연산기(1423)를 포함한다.
- [0031] 논리곱 연산기(1421)는 입력 데이터(X(n))의 최상위 비트(MSB)를 포함한 네 개의 비트들을 입력받아 앤드 연산한다.
- [0032] 논리합 연산기(1422)는 입력 데이터(X(n))의 최상위 비트(MSB)를 포함한 네 개의 비트들을 입력받아 오어 연산한다.
- [0033] 배타적 논리부정 연산기(1423)는 논리곱 연산기(1421)의 출력 신호와 논리합 연산기(1422)의 출력 신호를 엑스노어(XNOR) 연산하여, 감지 신호(ADS)를 출력한다.
- [0034] 도 2를 다시 참조하면, 최상위 비트(MSB)를 포함한 네 개의 비트들이 진폭 감지기(142, 도 1 참조)에 입력된다. 이는 진폭 감지기(142)의 문턱 값이 2^{-4} 이라는 의미이다. 진폭 감지기(142)는 문턱 값(2^{-4})보다 작으면, '1'의 감지 신호(ADS)를 출력하고, 문턱 값(2^{-4})보다 작지 않으면, '0'의 감지 신호(ADS)를 출력한다.
- [0035] 예를 들어, 최상위 비트(MSB)를 포함한 네 개의 비트들의 절대값이 '1111' 혹은 '0000'의 절대값보다 작을 때, 진폭 감지기(142)는 '1'의 감지 신호(ADS)를 출력한다. 반면에, 최상위 비트(MSB)를 포함한 네 개의 비트들의 절대값이 '1111' 혹은 '0000'의 절대값보다 작지 않을 때, 진폭 감지기(142)는 '0' 감지 신호(ADS)를 출력한다. 여기서, 입력 데이터(X(n))의 최상위 비트(MSB)는 입력 데이터(X(n))이 양수인지 음수인지를 알려주는 비트일 수 있다. 예를 들어, 최상위 비트(MSB)가 '0'이면 입력 데이터(X(n))는 양수이고, 최상위 비트(MSB)가 '1'이면 입력 데이터(X(n))는 음수이다.
- [0036] 본 발명에 따른 진폭 감지기(142)는 최상위 비트(MSB)를 포함한 네 개의 비트들을 이용하여 감지 신호(ADS)를

출력한다. 하지만, 본 발명의 진폭 감지기(142)가 반드시 여기에 한정될 필요는 없다. 본 발명의 진폭 감지기(142)는 최상위 비트(MSB)를 포함한 적어도 두 개 이상의 비트들을 입력받을 수 있다. 즉, 본 발명의 진폭 감지기(142)의 문턱 값은 변경가능하다.

- [0037] 도 3은 도 1에 도시된 제어 신호 생성기에 대한 실시 예를 보여주는 도면이다. 도 3을 참조하면, 제어 신호 생성기(143)는 논리합 연산기(1431), 플립플롭(1432), 논리곱 연산기(1433), 인버터(1434), 및 덧셈기(1435)를 포함한다. 제어 신호 생성기(143)는 문턱 값보다 작은 연속적인 입력 데이터의 개수를 카운트한다. 특히, 본 발명의 제어 신호 생성기(143)는 문턱 값보다 작은 연속적인 입력 데이터가 4개일 때, '1'의 제어 신호(CTRL)를 출력한다.
- [0038] 논리합 연산기(1431)는 진폭 감지기(132)의 감지 신호(ADS)의 인버팅 신호 및 리셋 신호(RST)를 오어 연산한다. 논리합 연산기(1431)의 출력 신호에 응답하여 플립플롭(1432)의 리셋 동작이 제어된다.
- [0039] 플립 플롭(1432)은 클록(CLK)에 동기하여 덧셈기(1435)의 출력 신호들을 래치한다. 플립 플롭(1432)은 3 비트 플립 플롭이다.
- [0040] 논리곱 연산기(1433)는 제어 신호(CTRL)를 생성하기 위하여 플립 플롭(1432)의 출력 신호들(CNT0, CNT1, CNT2)을 입력받아 앤드 연산한다. 문턱 값보다 작은 연속적인 데이터가 4개일 때, 즉, 출력 신호들(CNT0, CNT1, CNT2)이 '001'(즉, 4)를 가리키면, 논리곱 연산기(1433)는 '1'의 제어 신호(CTRL)를 생성한다.
- [0041] 인버터(1434)는 논리곱 연산기(1443)의 출력 신호를 인버팅하여 덧셈기(1435)에 출력한다. 만약, 논리곱 연산기(1443)의 출력 신호가 '1'이면, 덧셈기(1435)는 '0'을 더한다. 이에, 문턱 값보다 작은 연속적인 데이터가 4개 이상인 경우에, 제어 신호 생성기(143)는 더 이상 문턱 값보다 작은 연속적인 데이터를 카운트하지 않고, '1'의 제어 신호(CTRL)를 유지한다.
- [0042] 본 발명의 제어 신호 생성기(143)는 문턱 값보다 작은 네 개의 연속적인 데이터가 입력되면 '1'의 제어 신호(CTRL)를 생성한다. 하지만, 본 발명의 제어 신호 생성기가 반드시 여기에 한정될 필요는 없다. 본 발명의 제어 신호 생성기는 문턱 값보다 작은 적어도 두 개의 연속적인 데이터가 입력될 때 '1'의 제어 신호(CTRL)를 생성시킬 수 있다.
- [0043] 본 발명에 따른 제어 신호 생성기(143)는 문턱 값보다 작은 네 개의 연속적인 데이터가 입력될 때 곱셈기들(120~12n)의 정지를 결정하기 위한 제어 신호(CTRL)를 생성한다. 즉, 입력되는 데이터의 경향에 따라 곱셈기들(120~12n)의 동작 유무가 결정된다.
- [0044] 도 4는 도 1에 도시된 곱셈기의 입력부에 대한 실시 예를 보여주는 도면이다. 도 4를 참조하면, 곱셈기(120)는 풀업 네트워크(1201), 풀다운 네트워크(1202), 피모스 트랜지스터(1203), 및 엔모스 트랜지스터(1204)를 포함한다.
- [0045] 풀업 네트워크(1201)는 입력에 따라 전원 전압(VDD)을 출력시킨다.
- [0046] 풀다운 네트워크(1202)는 입력에 따라 접지 전압(GND)을 출력시킨다.
- [0047] 피모스 트랜지스터(1203)는 곱셈 차단 활성화 신호(ENn)에 응답하여 전원 전압(VDD)을 풀업 네트워크(1201)에 제공할지를 결정한다. 예를 들어, 피모스 트랜지스터(1203)는 '0'의 곱셈 차단 활성화 신호(ENn)가 입력되면 풀업 네트워크(1201)에 전원 전압(VDD)을 제공한다. 반면에, 피모스 트랜지스터(1203)는 '1'의 곱셈 차단 활성화 신호(ENn)가 입력되면 풀업 네트워크(1201)에 전원 전압(VDD)을 제공하지 않는다.
- [0048] 엔모스 트랜지스터(1204)는 곱셈 차단 활성화 신호(ENn)에 응답하여 출력단을 접지시킨다. 예를 들어, 엔모스 트랜지스터(1204)는 '1'의 곱셈 차단 활성화 신호(ENn)가 입력되면 출력단을 접지시킨다.
- [0049] 본 발명의 곱셈기(120)의 입력부는 '1'의 곱셈 차단 활성화 신호(ENn)에 응답하여 접지 전압(GND)을 출력한다. 이로써, 곱셈기(120)의 동작이 정지된다.
- [0050] 한편, 나머지 곱셈기들(121~12n)의 입력부들도, 도 4에 도시된 곱셈기(120)의 입력부와 동일하게 구현된다.
- [0051] 도 1 내지 도 4에서 상술된 유한 임펄스 응답 필터(100)는 입력 데이터(X(n))의 진폭에 따라 곱셈기들(120~12n)의 정지 유무를 결정한다. 하지만, 본 발명의 유한 임펄스 응답 필터가 반드시 여기에 한정될 필요는 없다. 본 발명의 유한 임펄스 응답 필터는 필터 계수의 진폭(혹은, 크기)에 따라 곱셈기들의 정지 유무를 결정할 수 있다.

[0072] 143: 제어 신호 생성기

1441~144n: 지연기

[0073] 1451~1453: 논리합 연산기

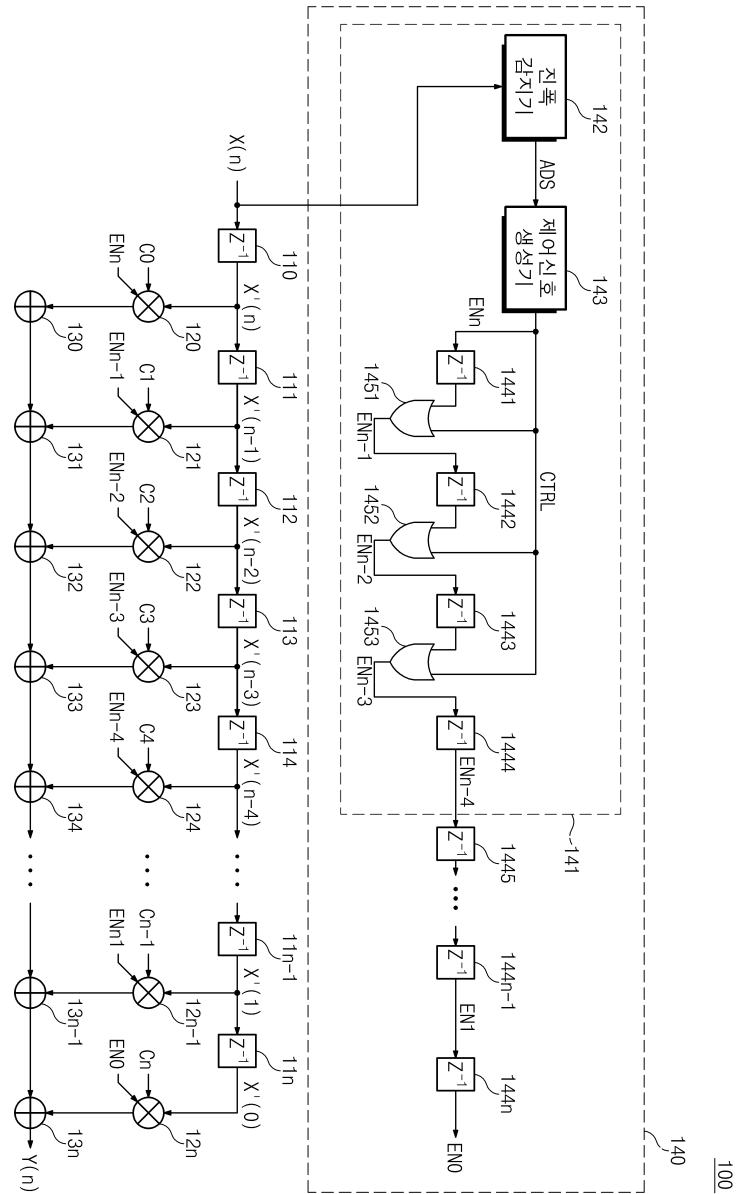
C0~Cn: 필터 계수

[0074] X(n): 입력 데이터

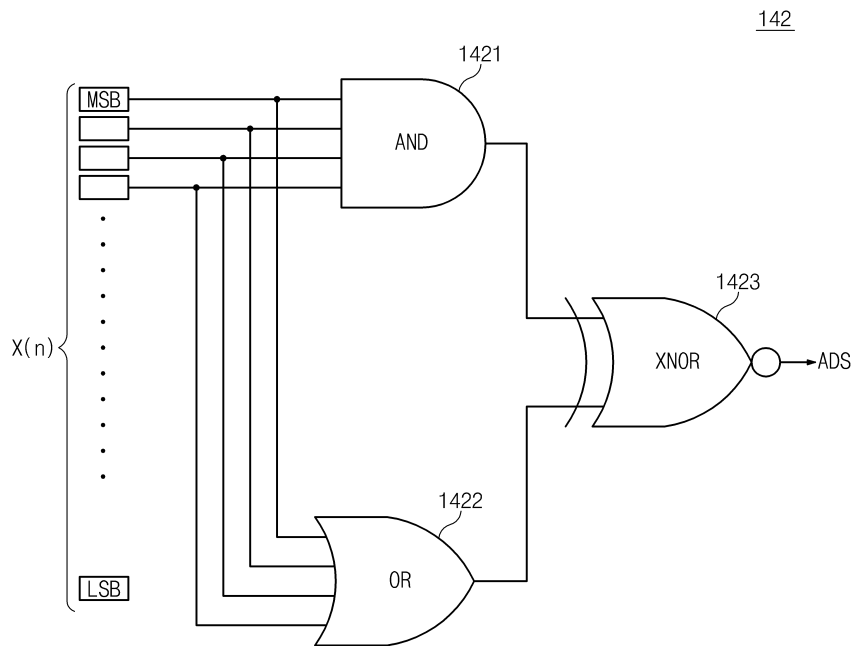
Y(n): 출력 데이터

도면

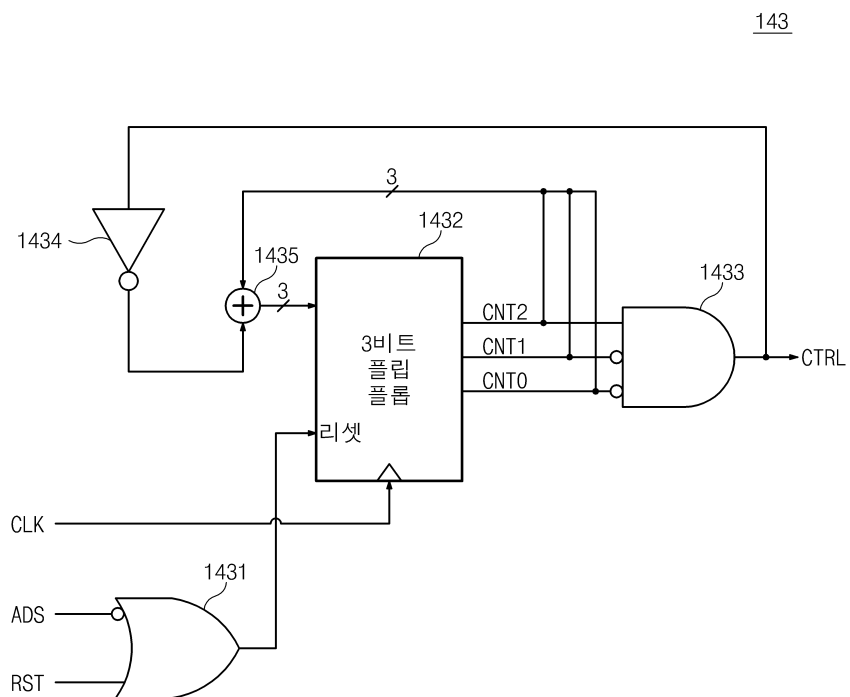
도면1



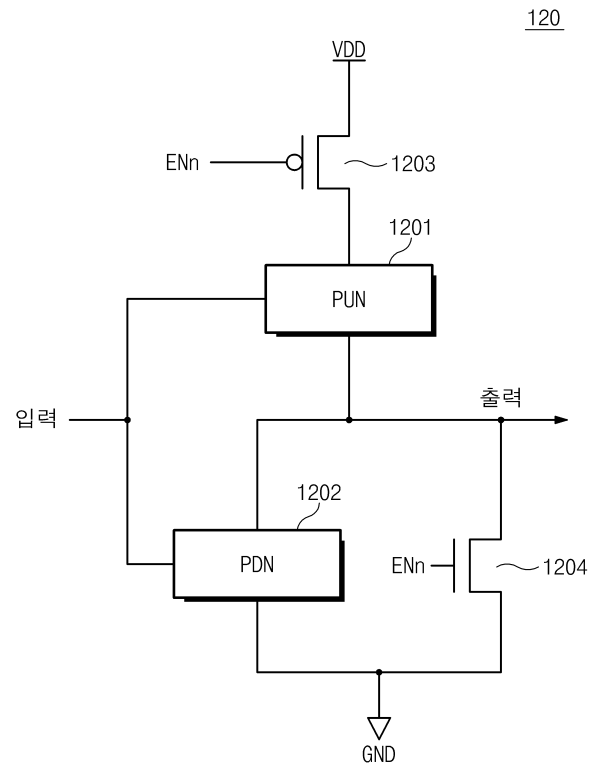
도면2



도면3



도면4



도면5

