

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 27 年 4 月 2 日 (2015.4.2)

【公開番号】特開 2014-150482 (P2014-150482A)

【公開日】平成 26 年 8 月 21 日 (2014.8.21)

【年通号数】公開・登録公報 2014-044

【出願番号】特願 2013-19290 (P2013-19290)

【国際特許分類】

H 0 3 K 5/08 (2006.01)

H 0 4 N 5/66 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/30 (2006.01)

【F I】

H 0 3 K 5/08 N

H 0 4 N 5/66 1 0 3

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 A

G 0 9 G 3/30 J

【手続補正書】

【提出日】平成 27 年 2 月 13 日 (2015.2.13)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 6

【補正方法】変更

【補正の内容】

【0 0 3 6】

発光部駆動用トランジスタ $T_{R_{DrV}}$ のゲート電極は、インバータ回路 30 の出力端に接続されている。また、発光部駆動用トランジスタ $T_{R_{DrV}}$ の一方のソース/ドレイン電極は、電流供給線 CSL を介して、表示装置に備えられた定電流供給部 101 に接続されている。更には、発光部駆動用トランジスタ $T_{R_{DrV}}$ の他方のソース/ドレイン電極は、発光部 10 に接続されている。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 8

【補正方法】変更

【補正の内容】

【0 0 3 8】

容量部 C_1 の他端は、インバータ回路 30 の入力端（入力ノード）に接続されている。また、発光部 10 は発光ダイオードから成る。尚、定電流供給部 101、走査回路 102、制御パルス生成回路 103、画像信号出力回路 104 等は、表示装置に配設されていてもよいし、外部に配設されていてもよい。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 9

【補正方法】変更

【補正の内容】

【0 0 5 9】

また、走査線 SCL を通して与えられる走査信号が高レベルになるときは、インバータ 14 を介した走査信号の反転信号に応答して、制御部 35 を構成する第 2 スイッチ回路 (p チャンネル型電界効果トランジスタ TR_{18}) がオン状態になる。これにより、1 段目の CMOS インバータ 31 が第 2 スイッチ回路 (p チャンネル型電界効果トランジスタ TR_{18}) を通して 高電位側 の電源 V_{dd} に接続されるため、コンパレータ装置 12 が作動状態となる。その結果、制御パルス LCP の高レベル区間であっても、コンパレータ装置 12 を作動させる必要があるときには、コンパレータ装置 12 を確実に作動状態とすることができる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正の内容】

【0067】

定電流源 42 は、例えば p チャンネル型電界効果トランジスタ TR_{27} によって構成されている。p チャンネル型電界効果トランジスタ TR_{27} のゲート電極に、定電圧回路 43 で生成される一定の電圧が印加されることで、定電流源 42 は差動回路 41 に対して定電流を供給する。定電圧回路 43 は、例えば、高電位側 の電源 V_{dd} と低電位側の電源 GND との間に直列に接続された、p チャンネル型電界効果トランジスタ TR_{31} 、 TR_{32} 、及び、n チャンネル型電界効果トランジスタ TR_{33} 、 TR_{34} から成る。尚、p チャンネル型電界効果トランジスタ TR_{32} 及び n チャンネル型電界効果トランジスタ TR_{33} 、 TR_{34} は、ゲート電極とドレイン電極とが共通に接続されたダイオード接続構成となっている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

【0068】

差動回路 41 において、p チャンネル型電界効果トランジスタ TR_{22} のドレイン電極と n チャンネル型電界効果トランジスタ TR_{24} のドレイン電極との共通接続点 (ノード) が、出力端 (出力ノード) となる。この出力端には、ソース接地回路 44 の入力端が接続されている。ソース接地回路 44 は、高電位側 の電源 V_{dd} と低電位側の電源 GND との間に直列に接続された、p チャンネル型電界効果トランジスタ TR_{25} と、n チャンネル型電界効果トランジスタ TR_{26} とから成り、電界効果トランジスタ TR_{25} のゲート電極には定電圧回路 43 から一定の電圧が印加され、電界効果トランジスタ TR_{26} のゲート電極が差動回路 41 の出力端に接続されている。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正の内容】

【0094】

図 10 に示した例において、信号電圧書込み期間にあっては、制御パルス LCP の電圧は、例えば、3 ボルト以上である。従って、信号電圧書込み期間にあっては、コンパレータ装置 12、12' は、出力部から第 2 の所定電圧 (H) を出力するので、発光部駆動用トランジスタ TR_{Drv} はオフ状態にある。画素ブロック発光期間において、制御パルス LCP の電圧が下降し始め、制御パルス LCP の鋸波形の電圧が信号電圧 V_{sig} に基づく電位以下になると、コンパレータ装置 12、12' は、出力部から第 1 の所定電圧 (L) を出力する。その結果、発光部駆動用トランジスタ TR_{Drv} はオン状態となり、電流供給線 CSL から発光部 10 に電流が供給され、発光部 10 が発光する。制御パルス LCP の電

圧は約 1 ボルトまで下降し、次いで、上昇に転じる。そして、制御パルス LCP の鋸波形の電圧が信号電圧 V_{sig} に基づく電位を超えると、コンパレータ装置 12, 12' は、出力部から第 2 の所定電圧 (H) を出力する。その結果、発光部駆動用トランジスタ TR_{Dr} はオフ状態となり、電流供給線 CSL から発光部 10 への電流の供給が遮断され、発光部 10 は発光を中止する。即ち、信号電圧 (発光強度信号) V_{sig} に基づく電位が制御パルス LCP の鋸波形を切り取る時間の間のみ、発光部 10 を発光させることができる。そして、このときの発光部 10 の輝度は、切り取られる時間の長短に依存する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0110

【補正方法】変更

【補正の内容】

【0110】

尚、本開示は以下のような構成を取ることでもある。

[A01] 《コンパレータ装置》

制御パルスと信号電圧に基づく電位とを比較する比較部、及び、
制御パルスによって比較部の作動 / 不作動を制御する制御部、
を備えるコンパレータ装置。

[A02] 《コンパレータ装置：第 1 の構成》

比較部は、
信号電圧が入力される信号書込みトランジスタ、
制御パルスが入力され、信号書込みトランジスタと逆相の信号でオン / オフ動作を行う
制御パルス用トランジスタ、
インバータ回路、並びに、
信号書込みトランジスタ及び制御パルス用トランジスタに一端が接続され、他端がイン
バータ回路に接続され、信号書込みトランジスタの作動に基づき、信号電圧に基づく電位
を保持する容量部、
を有する [A01] に記載のコンパレータ装置。

[A03] 制御パルスは、鋸波形の電圧変化を有し、

制御部は、インバータ回路に対して直列に接続され、制御パルスの鋸波形の電圧に応じ
てオン / オフ動作を行うスイッチ回路を有する [A02] に記載のコンパレータ装置。

[A04] 制御部は、スイッチ回路に対して並列に接続され、コンパレータ装置の作動期
間でオン状態になる第 2 スwitch回路を有する [A03] に記載のコンパレータ装置。

[A05] 制御部は、インバータ回路に対して直列に接続された抵抗要素を有する [A03]
又は [A04] に記載のコンパレータ装置。

[A06] 制御部は、インバータ回路に対して直列に接続され、インバータ回路に流れる
電流を抑える定電流源を有する [A03] 乃至 [A05] のいずれか 1 項に記載のコンパ
レータ装置。

[A07] インバータ回路は、インバータが、少なくとも 2 段縦続接続されて成り、
定電流源は、1 段目のインバータに対して高電位側 / 低電位側の電源の一方の側に接続
され、2 段目のインバータに対して高電位側 / 低電位側の電源の他方の側に接続されてい
る [A06] に記載のコンパレータ装置。

[A08] 《コンパレータ装置：第 2 の構成》

比較部は、
信号電圧と制御パルスとを２入力とする差動回路、及び、
差動回路に定電流を供給する定電流源、
を有する〔Ａ０１〕に記載のコンパレータ装置。

〔Ａ０９〕比較部は、更に、
信号電圧が入力される信号書込みトランジスタ、及び、
信号書込みトランジスタに接続され、信号書込みトランジスタの作動に基づき、信号電圧に基づく電位を保持する容量部、
を有する〔Ａ０８〕に記載のコンパレータ装置。

〔Ａ１０〕制御パルスは、鋸波形の電圧変化を有し、
制御部は、定電流源に対して直列に接続され、制御パルスの鋸波形の電圧に応じてオン／オフ動作を行うスイッチ回路を有する〔Ａ０８〕又は〔Ａ０９〕に記載のコンパレータ装置。

〔Ａ１１〕制御部は、定電流源を構成するトランジスタのゲート電極に定電圧を与える定電圧回路に対して直列に接続され、制御パルスの鋸波形の電圧に応じてオン／オフ動作を行う第２スイッチ回路を有する〔Ａ１０〕に記載のコンパレータ装置。

〔Ｂ０１〕《表示装置》
発光部、及び、発光部を駆動する駆動回路から構成された画素が、複数、２次元マトリクス状に配列されて成り、
各駆動回路は、
制御パルスと信号電圧に基づく電位とを比較し、比較結果に基づく所定電圧を出力するコンパレータ装置、並びに、
コンパレータ装置からの所定電圧に応じて発光部に電流を供給し、発光部を発光させる発光部駆動用トランジスタ、
を備えており、
コンパレータ装置は、
制御パルスと信号電圧に基づく電位とを比較する比較部、及び、
制御パルスによって比較部の作動／不作動を制御する制御部、
を備えている表示装置。

〔Ｂ０２〕複数の画素は、第１の方向及び第２の方向に２次元マトリクス状に配列され、画素群は第１の方向に沿ってＰ個の画素ブロックに分割されており、
第１番目の画素ブロックに属する画素を構成する発光部から、第Ｐ番目の画素ブロックに属する画素を構成する発光部まで、画素ブロック毎に、順次、一斉に発光させ、且つ、一部の画素ブロックに属する画素を構成する発光部を発光させているとき、残りの画素ブロックに属する画素を構成する発光部を発光させないように構成された〔Ｂ０１〕に記載の表示装置。

〔Ｂ０３〕複数の制御パルスに基づき、発光部が、複数回、発光する〔Ｂ０１〕又は〔Ｂ０２〕に記載の表示装置。

〔Ｂ０４〕複数の制御パルスの時間間隔は一定である〔Ｂ０３〕に記載の表示装置。

〔Ｂ０５〕１表示フレーム内における制御パルスの数よりも、１表示フレーム内における駆動回路に供給される制御パルスの数は少ない〔Ｂ０１〕乃至〔Ｂ０４〕のいずれか１項に記載の表示装置。

[B 0 6] 1 表示フレームにおいて、常に、いずれかの画素ブロックが発光している [B 0 1] 乃至 [B 0 5] のいずれか 1 項に記載の表示装置。

[B 0 7] 1 表示フレームにおいて、発光していない画素ブロックが存在する [B 0 1] 乃至 [B 0 5] のいずれか 1 項に記載の表示装置。

[B 0 8] 鋸波形の電圧変化を有する制御パルス生成回路を 1 つ備えている [B 0 1] 乃至 [B 0 7] のいずれか 1 項に記載の表示装置。

[B 0 9] 1 つの制御パルスの電圧の絶対値は、時間の経過と共に、増加し、次いで、減少する [B 0 1] 乃至 [B 0 8] のいずれか 1 項に記載の表示装置。

[B 1 0] 時間の経過と共に変化する制御パルスの電圧によってガンマ補正がなされる [B 0 9] に記載の表示装置。

[B 1 1] 時間を変数とした制御パルスの電圧の変化率の絶対値は、定数 2 . 2 に比例する [B 1 0] に記載の表示装置。

[B 1 2] 発光部は発光ダイオードから構成されている [B 0 1] 乃至 [B 1 1] のいずれか 1 項に記載の表示装置。

[B 1 3] 《表示装置：第 1 の構成》

比較部は、

信号電圧が入力される信号書込みトランジスタ、

制御パルスが入力され、信号書込みトランジスタと逆相の信号でオン / オフ動作を行う制御パルス用トランジスタ、

インバータ回路、並びに、

信号書込みトランジスタ及び制御パルス用トランジスタに一端が接続され、他端がインバータ回路に接続され、信号書込みトランジスタの作動に基づき、信号電圧に基づく電位を保持する容量部、

を有する [B 0 1] 乃至 [B 1 2] のいずれか 1 項に記載の表示装置。

[B 1 4] 制御パルスは、鋸波形の電圧変化を有し、

制御部は、インバータ回路に対して直列に接続され、制御パルスの鋸波形の電圧に応じてオン / オフ動作を行うスイッチ回路を有する [B 1 3] に記載の表示装置。

[B 1 5] 制御部は、スイッチ回路に対して並列に接続され、コンパレータ装置の作動期間でオン状態になる第 2 スイッチ回路を有する [B 1 4] に記載の表示装置。

[B 1 6] 制御部は、インバータ回路に対して直列に接続された抵抗要素を有する [B 1 4] 又は [B 1 5] に記載の表示装置。

[B 1 7] 制御部は、インバータ回路に対して直列に接続され、インバータ回路に流れる電流を抑える定電流源を有する [B 1 4] 乃至 [B 1 6] のいずれか 1 項に記載の表示装置。

[B 1 8] インバータ回路は、インバータが、少なくとも 2 段縦続接続されて成り、

定電流源は、1 段目のインバータに対して高電位側 / 低電位側の電源の一方の側に接続され、2 段目のインバータに対して高電位側 / 低電位側の電源の他方の側に接続されてい

る [B 1 7] に記載の表示装置。

[B 1 9] 《表示装置：第 2 の構成》

比較部は、

信号電圧と制御パルスとを 2 入力とする差動回路、及び、

差動回路に定電流を供給する定電流源、

を有する [B 0 1] 乃至 [B 1 2] のいずれか 1 項に記載の表示装置。

[B 2 0] 比較部は、更に、

信号電圧が入力される信号書込みトランジスタ、及び、

信号書込みトランジスタに接続され、信号書込みトランジスタの作動に基づき、信号電圧に基づく電位を保持する容量部、

を有する [B 1 9] に記載の表示装置。

[B 2 1] 制御パルスは、鋸波形の電圧変化を有し、

制御部は、定電流源に対して直列に接続され、制御パルスの鋸波形の電圧に応じてオン / オフ動作を行うスイッチ回路を有する [B 1 9] 又は [B 2 0] に記載の表示装置。

[B 2 2] 制御部は、定電流源を構成するトランジスタのゲート電極に定電圧を与える定電圧回路に対して直列に接続され、制御パルスの鋸波形の電圧に応じてオン / オフ動作を行う第 2 スイッチ回路を有する [B 2 1] に記載の表示装置。

[B 2 3] 各画素ブロックにおいて、第 2 の方向に配列された 1 列に属する全ての画素における信号書込みトランジスタは、一斉に作動状態となる [B 1 3] 乃至 [B 2 2] のいずれか 1 項に記載の表示装置。

[B 2 4] 各画素ブロックにおいて、第 2 の方向に配列された 1 列に属する全ての画素における信号書込みトランジスタが一斉に作動状態となる動作が、第 1 の方向に配列された第 1 行目に属する全ての画素における信号書込みトランジスタから最終行に属する全ての画素における信号書込みトランジスタまで、順次、行われる [B 2 3] に記載の表示装置。

[B 2 5] 各画素ブロックにおいて、第 2 の方向に配列された 1 列に属する全ての画素における信号書込みトランジスタが一斉に作動状態となる動作が、第 1 の方向に配列された第 1 行目に属する全ての画素における信号書込みトランジスタから最終行に属する全ての画素における信号書込みトランジスタまで、順次、行われた後、該画素ブロックに制御パルスが供給される [B 2 4] に記載の表示装置。

[B 2 6] 第 2 の方向に配列された 1 列に属する画素は、制御パルス線に接続されており、
制御パルス線には、所定の間隔で、ボルテージフォロワー回路（バッファ回路）が配設されている [B 0 1] 乃至 [B 2 5] のいずれか 1 項に記載の表示装置。

[C 0 1] 《表示装置の駆動方法》

発光部、及び、発光部を駆動する駆動回路から構成された画素が、複数、2 次元マトリクス状に配列されて成り、

各駆動回路は、

制御パルスと信号電圧に基づく電位とを比較し、比較結果に基づく所定電圧を出力するコンパレータ装置、並びに、

コンパレータ装置からの所定電圧に応じて発光部に電流を供給し、発光部を発光させる

発光部駆動用トランジスタ、
を備えている表示装置の駆動方法であって、
制御パルスによってコンパレータ装置の作動／不作動を制御する表示装置の駆動方法。

【手続補正 8】

【補正対象書類名】図面

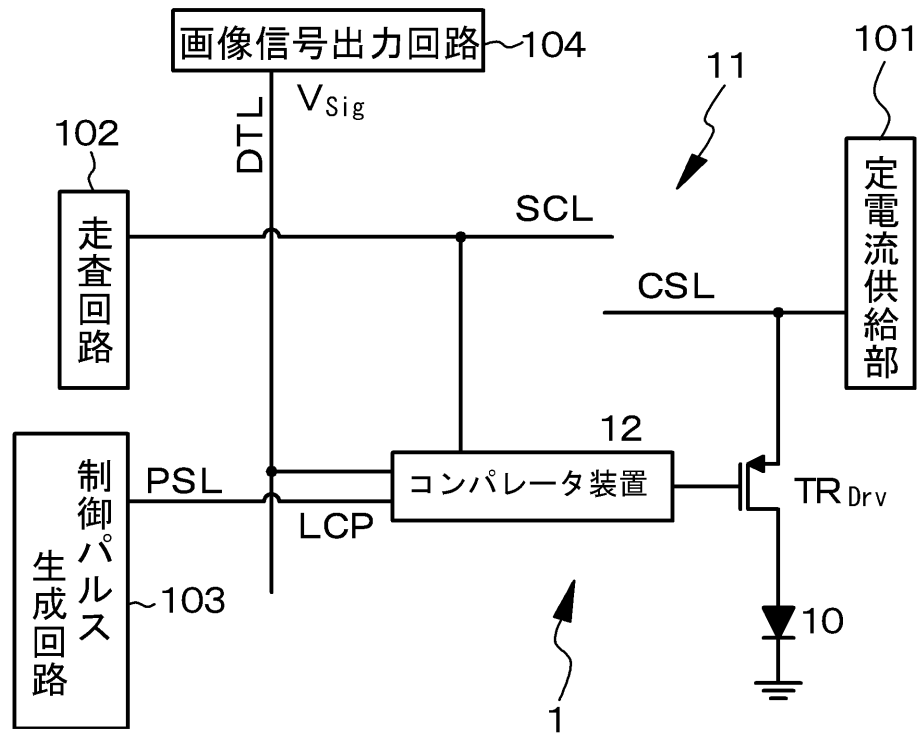
【補正対象項目名】図 2

【補正方法】変更

【補正の内容】

【図 2】

図 2



【手続補正 9】

【補正対象書類名】図面

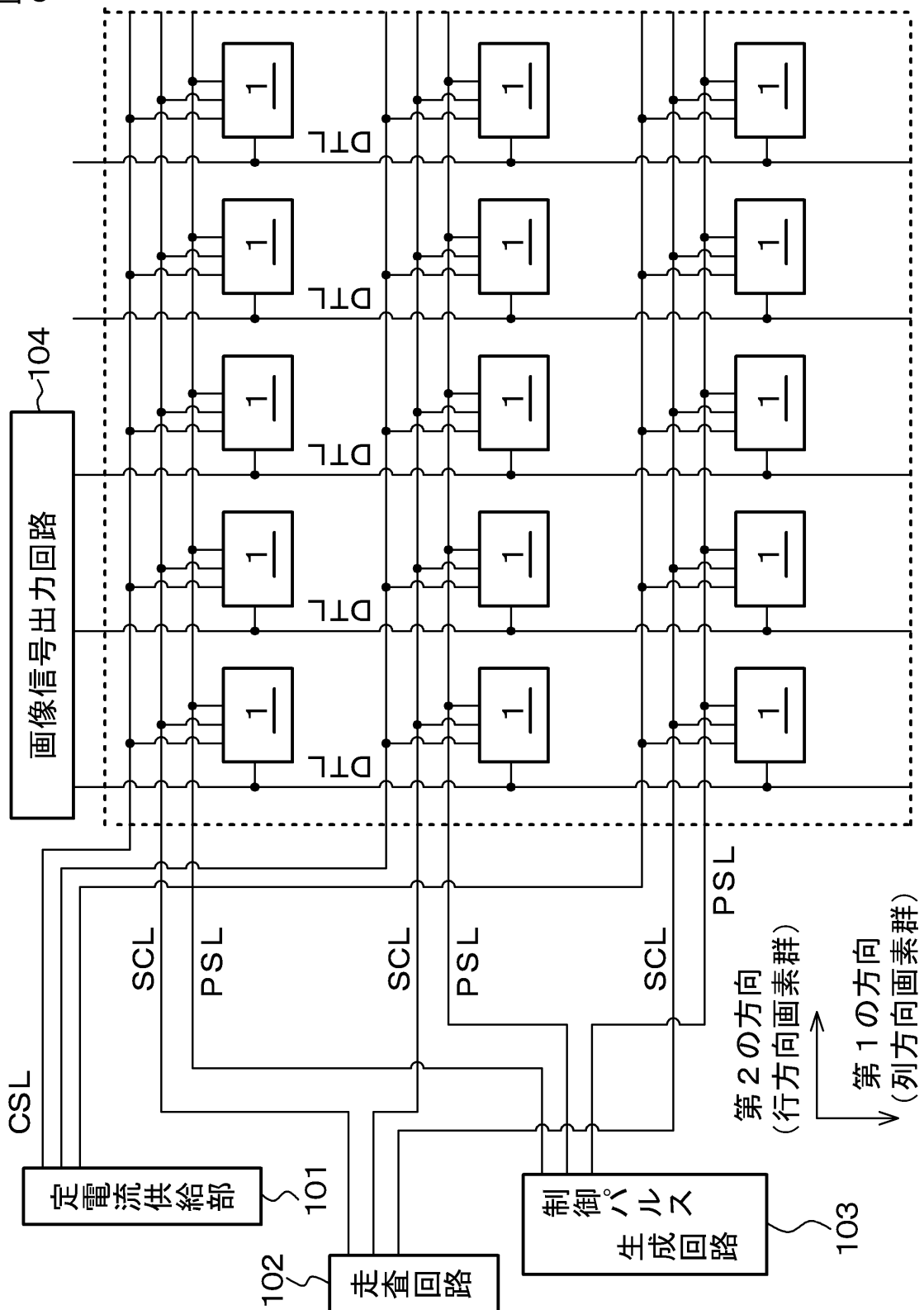
【補正対象項目名】図 3

【補正方法】変更

【補正の内容】

【図 3】

図 3



【手続補正 10】

【補正対象書類名】図面
【補正対象項目名】図 1 3
【補正方法】変更
【補正の内容】

图 13

