

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 7 月 27 日 (27.07.2017)



(10) 国际公布号
WO 2017/124594 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2016/074066
- (22) 国际申请日: 2016 年 2 月 18 日 (18.02.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610046347.9 2016 年 1 月 22 日 (22.01.2016) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 姚江波 (YAO, Jiangbo); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: THIN FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 薄膜晶体管阵列基板及薄膜晶体管阵列基板的制备方法

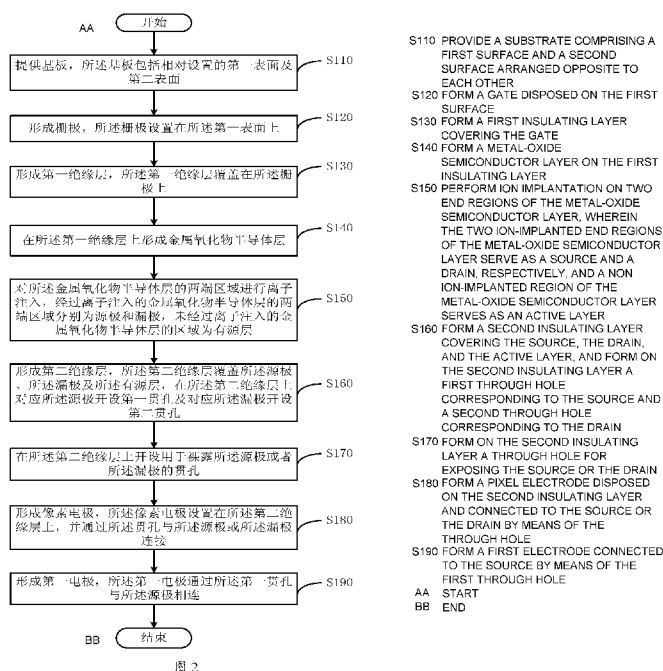


图 2

(57) Abstract: Provided are a thin film transistor array substrate (100) and a manufacturing method thereof. The method comprises: providing a substrate (110) comprising a first surface (110a) and a second surface (110b) arranged opposite to each other; forming a gate (120) disposed on the first surface (110a); forming a first insulating layer (130) covering the gate (120); forming a metal-oxide semiconductor layer (210) on the first insulating layer (130); performing ion implantation on two end regions of the metal-oxide semiconductor layer (210), wherein the two ion-implanted end regions of the metal-oxide semiconductor layer (210) serve as a source (150) and a drain (160), respectively, and a non ion-implanted region of the metal-oxide semiconductor layer (210) serves as an active layer (140); forming a second insulating layer (170) covering the source (150), the drain (160), and the active layer (140); forming on the second insulating layer (170) a through hole (171, 172) for exposing the source (150) or the drain (160); and forming a pixel electrode (190) disposed on the second insulating layer (170) and connected to the source (150) or the drain (160) by means of the through hole (171, 172).

(57) 摘要:

[见续页]



一种薄膜晶体管阵列基板(100)及其制备方法。该方法包括：提供基板(110)，基板(110)包括相对设置的第一表面(110a)及第二表面(110b)；形成栅极(120)，栅极(120)设置在第一表面(110a)上；形成第一绝缘层(130)，第一绝缘层(130)覆盖在栅极(120)上；在第一绝缘层(130)上形成金属氧化物半导体层(210)；对金属氧化物半导体层(210)的两端区域进行离子注入，经过离子注入的金属氧化物半导体层(210)的两端区域分别为源极(150)和漏极(160)，未经过离子注入的金属氧化物半导体层(210)的区域为有源层(140)；形成第二绝缘层(170)，第二绝缘层(170)覆盖源极(150)、漏极(160)及有源层(140)；在第二绝缘层(170)上开设用于裸露源极(150)或漏极(160)的贯孔(171,172)；形成像素电极(190)，像素电极(190)设置在第二绝缘层(170)上，并通过贯孔(171,172)与源极(150)或漏极(160)连接。

薄膜晶体管阵列基板及薄膜晶体管阵列基板的制备方法

5 本发明要求 2016 年 1 月 22 日递交的发明名称为“薄膜晶体管阵列基板及薄膜晶体管阵列基板的制备方法”的申请号 201610046347.9 的在先申请
5 优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及液晶显示领域，尤其涉及一种薄膜晶体管阵列基板及薄膜晶体管阵列基板的制备方法。

10

背景技术

在液晶显示领域，薄膜晶体管阵列基板（Thin Film Transistor Array）包括呈阵列分布的多个薄膜晶体管（Thin Film Transistor, TFT）。薄膜晶体管一般用作开关元件来控制像素电极的作业，或者用作驱动元件来驱动像素。薄膜晶体管阵列基板中的薄膜晶体管的有源层之上通常覆盖蚀刻保护层，目的是为了
15 在进行源极和栅极蚀刻时保护所述有源层不受破坏，在这种结构的薄膜晶体管中通常需要将蚀刻阻挡层图案化，从而增加了一道掩膜板工序来进行蚀刻阻挡层的图案化，从而增加了所述薄膜晶体管阵列基板的制备时间。

发明内容

20 本发明提供一种薄膜晶体管阵列基板，所述薄膜晶体管阵列基板包括：
基板，所述基板包括相对设置的第一表面及第二表面；

栅极，设置在所述第一表面上；

第一绝缘层，覆盖在所述栅极上；

25 有源层，设置在所述第一绝缘层远离所述基板的表面上；

源极和漏极，所述源极和所述漏极分别设置在所述第一绝缘层上且分别设置于所述有源层的相对的两端，并且所述源极和所述漏极分别与所述有源层的端面接触；

第二绝缘层，所述第二绝缘层覆盖所述有源层、所述源极及所述漏极，所

述第二绝缘层上设置用于裸露所述源极或所述漏极的贯孔；

像素电极，所述像素电极设置在所述第二绝缘层上，并通过所述贯孔与所述源极或所述漏极连接。

其中，所述薄膜晶体管阵列基板还包括：

- 5 所述第二绝缘层上开设有第一贯孔及第二贯孔，所述第一贯孔对应所述源极设置，所述第二贯孔对应所述漏极设置，所述像素电极通过所述第二贯孔与所述漏极连接；

所述薄膜晶体管阵列基板还包括第一电极，所述第一电极通过所述第一贯孔与所述源极相连。

- 10 其中，所述第一电极与所述像素电极在同一工序中制备。

其中，所述有源层包括金属氧化物半导体，所述源极和漏极包括经离子注入的金属氧化物半导体。

其中，所述有源层包括铟镓锌氧化物、铟锡氧化物、铟锌氧化物、氧化铟或者氧化锌等之一或者任意组合。

- 15 本发明还提供了一种薄膜晶体管阵列基板的制备方法，所述薄膜晶体管阵列基板的制备方法包括：

提供基板，所述基板包括相对设置的第一表面及第二表面；

形成栅极，所述栅极设置在所述第一表面上；

形成第一绝缘层，所述第一绝缘层覆盖在所述栅极上；

- 20 在所述第一绝缘层上形成金属氧化物半导体层；

对所述金属氧化物半导体层的两端区域进行离子注入，经过离子注入的金属氧化物半导体层的两端区域分别为源极和漏极，未经过离子注入的金属氧化物半导体层的区域为有源层；

形成第二绝缘层，所述第二绝缘层覆盖所述源极、所述漏极及所述有源层；

- 25 在所述第二绝缘层上开设用于裸露所述源极或所述漏极的贯孔；

形成像素电极，所述像素电极设置在所述第二绝缘层上，并通过所述贯孔与所述源极或所述漏极连接。

其中，所述步骤“在所述第二绝缘层上开设用于裸露所述源极或所述漏极的贯孔”包括：

在所述第二绝缘层上开设第一贯孔及第二贯孔,所述第一贯孔对应所述源极设置,所述第二贯孔对应所述漏极设置;

相应地,所述步骤“形成像素电极,所述像素电极设置在所述第二绝缘层上,并通过所述贯孔与所述源极或所述漏极连接”包括:

- 5 形成像素电极,所述像素电极设置在所述第二绝缘层上,且所述像素电极通过所述第二贯孔与所述漏极连接;

所述薄膜晶体管阵列基板的制备方法还包括:

形成第一电极,所述第一电极通过所述第一贯孔与所述源极相连。

- 10 其中,所述步骤“对所述金属氧化物半导体层的两端区域进行离子注入,经过离子注入的金属氧化物半导体层的两端区域分别为源极和漏极,未经过离子注入的金属氧化物半导体层的区域形成有源层”包括:

在所述金属氧化物半导体层上覆盖第一光阻层;

图案化所述第一光阻层,以露出所述金属氧化物半导体层的两端区域;

- 15 以图案化的所述第一光阻层为掩膜对所述金属氧化物半导体层进行离子注入,经过离子注入的金属氧化物半导体层的两端区域分别为所述源极和所述漏极,未经过离子注入的金属氧化物半导体的区域为有源层;

剥离所述第一光阻层。

其中,所述步骤“在所述第二绝缘层上开设第一贯孔及第二贯孔,所述第一贯孔对应所述源极设置,所述第二贯孔对应所述漏极设置”包括:

- 20 在所述第二绝缘层上覆盖第二光阻层;

图案化所述第二光阻层,以移除对应所述源极及所述漏极正上方的第二光阻层,以漏出部分第二绝缘层;

以图案化的第二光阻层为掩膜,蚀刻所述第二绝缘层,以在所述第二绝缘层上开设所述第一贯孔及所述第二贯孔;

- 25 剥离所述第二光阻层。

其中,所述像素电极与所述第一电极在同一工序中制备:

形成透明导电层,所述透明导电层覆盖所述第二绝缘层、所述源极及所述漏极;

图案化所述透明导电层,保留设置在所述源极上及所述漏极上的透明导电

层, 以及与设置在所述漏极上的透明导电层相连的透明导电层, 其中, 设置在所述源极上的透明导电层为所述第一电极, 设置在所述漏极上的透明导电层为所述像素电极。

5 相较于现有技术, 本发明的薄膜晶体管阵列基板的制备方法在第一绝缘层(栅极绝缘层)上形成金属氧化物半导体层, 并对金属氧化物半导体层的两端区域进行离子注入, 经过离子注入的金属氧化物半导体层的两端区域分别形成源极和漏极, 未经过离子注入的金属氧化物半导体层的区域为有源层。由此可见, 所述源极和所述漏极的形成与所述有源层的形成可以在同一工序中制备, 不需要额外增加所述源极和所述漏极制备时的阻挡层图案化的工序, 从而节约了薄膜晶体管阵列基板的制备时间。

10

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案, 下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍, 显而易见地, 下面描述中的附图仅仅是本发明的一些实施例, 对于本领域普通技术人员来讲, 在不付出创造性劳动的前提下, 还可以根据这些附图获得其他的附图。

15

图 1 为本发明一较佳实施方式的薄膜晶体管阵列基板的剖面结构示意图。

图 2 为本发明一较佳实施方式的薄膜晶体管阵列基板的制备方法的流程图。

20 图 3 至图 17 为薄膜晶体管阵列基板的制备方法的各流程对应的结构示意图。

具体实施方式

下面将结合本发明实施例中的附图, 对本发明实施例中的技术方案进行清楚、完整地描述, 显然, 所描述的实施例仅仅是本发明一部分实施例, 而不是全部的实施例。基于本发明中的实施例, 本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例, 都属于本发明保护的范围。

25

请参阅图 1, 图 1 为本发明一较佳实施方式的薄膜晶体管阵列基板的剖面结构示意图。所述薄膜晶体管阵列基板 100 包括基板 110、栅极 120、第一绝

缘层 130、有源层 140、源极 150、漏极 160、第二绝缘层 170 及像素电极 190。所述基板 110 包括相对设置的第一表面 110a 及第二表面 110b，所述栅极 120 设置在所述第一表面 110a 上，所述第一绝缘层 130 覆盖在所述栅极 120 上。所述有源层 140 设置在所述第一绝缘层 130 远离所述基板 110 的表面上。所述源极 150 和所述漏极 160 分别设置在所述第一绝缘层 130 上且分别设置于所述有源层 140 的相对的两端，并且所述源极 150 和所述漏极 160 分别与所述有源层 140 的端面接触。所述源极 150 及所述漏极 160 与所述有源层 140 位于同一层。所述第二绝缘层 170 覆盖所述有源层 140、所述源极 150 及所述漏极 160，所述第二绝缘层 170 上设置有用以裸露所述源极 150 或所述漏极 160 的贯孔。所述像素电极 190 设置在所述第二绝缘层 170 上，并通过所述贯孔与所述源极 150 或者所述漏极 160 连接。

具体地，所述第二绝缘层 170 上开设有第一贯孔 171 及第二贯孔 172，所述第一贯孔 171 对应所述源极 150 设置，所述第二贯孔 172 对应所述漏极 160 设置。所述像素电极 190 通过所述第二贯孔 172 与所述漏极 160 连接。所述薄膜晶体管阵列基板 100 还包括第一电极 180，所述第一电极 180 通过所述第一贯孔 171 与所述源极 150 连接。所述第一电极 180a 用于改善所述源极 150 的导电性能。优选地，所述第一电极 180 与所述像素电极 190 在同一工序中制备。

所述基板 110 可以为玻璃基板，也可以为塑料基板或者是其他绝缘基板。

可以理解地，在本实施方式中所述薄膜晶体管阵列基板 100 除所述基板 110 以外的其他部件（即，所述栅极 120、所述第一绝缘层 130、所述有源层、所述源极 150、所述漏极 160、所述第二绝缘层 170、所述第一电极 180 及所述像素电极 190）直接或者间接设置在所述基板 110 的第一表面 110a 为例进行说明，在其他实施方式中，所述薄膜晶体管阵列基板 100 除所述基板 110 以外的其他部件也可以之间或间接设置在所述基板 110 的第二表面 110b。

在其他实施方式中，所述薄膜晶体管阵列基板 100 还包括一缓冲层（图未示），所述缓冲层设置在所述第一表面 110a 上。所述缓冲层用于缓冲在所述基板 110 上制作所述薄膜晶体管阵列基板 100 的其他结构的过程中受到的应力，以避免所述基板 110 的损坏或者破裂。此时，所述薄膜晶体管阵列基板 100 中的所述栅极 120、所述第一绝缘层 130、所述有源层 140、所述源极 150、所述

漏极 160、所述第二绝缘层 170、所述第一电极 180 及所述像素电极 190 通过所述缓冲层直接或者间接设置在所述基板 110 的第一表面 110a 上。或者所述缓冲层设置在所述第二表面 110b 上，所述薄膜晶体管阵列基板 100 中的所述栅极 120、所述第一绝缘层 130、所述有源层 140、所述源极 150、所述漏极 160、所述第二绝缘层 170、所述第一电极 180a 及所述像素电极 190 通过所述缓冲层直接或者间接设置在所述基板 110 的第二表面 110b 上。所述缓冲层的材质选自氧化硅层，氮化硅层，氮氧化硅层及其组合的其中之一。

所述栅极 120 设置在所述第一表面 110a 上，所述栅极 120 的材质为金属或者为金属合金。在一实施方式中，所述栅极 120 的材质选自铜、钨、铬、铝及其组合的其中之一。

所述第一绝缘层 130 为栅极绝缘层，所述第一绝缘层 130 的材质选择氧化硅、氮化硅层，氮氧化硅层及其组合的其中之一。

所述第二绝缘层 170 的材质选自氧化硅、氮化硅层，氮氧化硅层及其组合的其中之一。可以理解地，所述第二绝缘层 170 与所述第一绝缘层 130 的材质可以相同也可以不同。

在本实施方式中，所述有源层 140 包括金属氧化物半导体，在一实施方式中，所述有源层 140 包括铟镓锌氧化物（Indium Gallium Zinc Oxide, IGZO）、铟锡氧化物、铟锌氧化物、氧化铟或者氧化锌等之一或者任意组合。优选地，所述源极 150 和所述漏极 160 包括经离子注入的金属氧化物半导体。所述源极 150、所述漏极 160 及所述有源层 140 位于同一层。在一实施方式中，所述离子注入可以为氢离子注入。对金属氧化物半导体层进行离子注入可以使得进行离子注入的区域具有金属导电的特性。另外，因通过将金属氧化物半导体层进行离子注入而得到的所述源极 150 及所述漏极 160 导电性能均一性较差，因此，对应所述源极 150 形成第一电极 180 及对应所述漏极 160 形成像素电极 190 能够提升所述源极 150 及所述漏极 160 的导电性能。

下面结合图 1 及前述对薄膜晶体管阵列基板的相关描述对本发明的薄膜晶体管阵列基板的制备方法进行描述。请一并参阅图 2，图 2 为本发明一较佳实施方式的薄膜晶体管阵列基板的制备方法的流程图。所述薄膜晶体管阵列基板的制备方法包括如下步骤。

步骤 S110, 提供基板 110, 所述基板 110 包括相对设置的第一表面 110a 及第二表面 110b。请一并参阅图 3, 所述基板 110 可以为但不仅限于为玻璃基板、塑料基板或者是其他绝缘基板。

步骤 S120, 形成栅极 120, 所述栅极 120 设置在所述第一表面 110a 上。

5 请参阅图 4。所述栅极 120 可以通过如下步骤形成。首先, 在所述基板 110 的第一表面 110a 上形成一整层的金属层, 将一整层的金属层进行图案化以形成本实施方式中设置在所述第一表面 110a 上的栅极 120。

步骤 S130, 形成第一绝缘层 130, 所述第一绝缘层 130 覆盖在所述栅极 120 上。请参阅图 5。

10 步骤 S140, 在所述第一绝缘层 130 上形成金属氧化物半导体层 210。请参阅图 6。

步骤 S150, 对所述金属氧化物半导体层 210 的两端区域进行离子注入, 经过离子注入的金属氧化物半导体层 210 的两端区域分别为源极 150 和漏极 160, 未经过离子注入的金属氧化物半导体层的区域为有源层 140。对金属氧化物半导体层 210 进行离子注入可以使得进行离子注入的区域具有金属导电的特性。所述离子注入可以为氢离子注入。

具体地, 所述步骤 S150 包括如下步骤。

步骤 S151, 在所述金属氧化物半导体层 210 上覆盖第一光阻层 220。请参阅图 7。

20 步骤 S152, 图案化所述第一光阻层 220, 以漏出所述金属氧化物半导体层 210 的两端区域。请参阅图 8。

步骤 S153, 以图案化的所述第一光阻层 210 为掩膜对所述金属氧化物半导体层 210 进行离子注入 (在图 9 中以箭头表示), 经过离子注入的金属氧化物半导体层 210 的两端区域分别为所述源极 150 和所述漏极 160, 未经过离子注入的金属氧化物半导体层的区域为有源层 140。请参阅图 9。

步骤 S154, 剥离所述第一光阻层 220。请参阅图 10。

步骤 160, 形成第二绝缘层 170, 所述第二绝缘层 170 覆盖所述源极 150、所述漏极 160 及所述有源层 140。请参阅图 11。

步骤 S170, 在所述第二绝缘层 170 上开设用于裸露所述源极 150 或者所

述漏极 160 的贯孔。

具体地，所述步骤 S170 包括：步骤 S171，在所述第二绝缘层 170 上开设第一贯孔 171 及第二贯孔 172，所述第一贯孔 171 对应所述源极 150 设置，所述第二贯孔 172 对应所述漏极 160 设置。

5 所述步骤 S171 具体包括如下步骤。

步骤 S171a，在所述第二绝缘层 170 上覆盖第二光阻层 230。请参阅图 12。

步骤 S171b，图案化所述第二光阻层 230，以移除对应所述源极 150 和所述漏极 160 正上方的第二光阻层 230，以漏出部分第二绝缘层 170。请参阅图 13。

10 步骤 S171c，以图案化的第二光阻层 230 为掩膜蚀刻所述第二绝缘层 170，以在所述第二绝缘层 170 上开设所述第一贯孔 171 及所述第二贯孔 172。请参阅图 14。

步骤 S171d，剥离所述第二光阻层 230。请参阅图 15。

15 步骤 S180，形成像素电极 190，所述像素电极 190 设置在所述第二绝缘层 170 上，并通过所述贯孔与所述源极 150 或所述漏极 160 连接。

与所述步骤 S171 相应，所述步骤 S180 包括：步骤 S181，形成像素电极 190，所述像素电极 190 设置在所述第二绝缘层 170 上，且所述第二像素电极 190 通过所述第二贯孔 172 与所述漏极 160 连接。

相应地，所述薄膜晶体管阵列基板的制备方法还包括：

20 步骤 S190，形成第一电极 180，所述第一电极 180 通过所述第一贯孔 171 与所述源极 150 相连。

优选地，所述像素电极 190 和所述第一电极 180 在同一制备工序中制备。换句话说，所述步骤 S180 和所述步骤 S190 可以为同一制备工序。具体地，制备所述像素电极 190 及所述第一电极 180 包括如下步骤。

25 步骤 a，形成透明导电层 240，所述透明导电层 240 覆盖所述第二绝缘层 170、所述源极 150 及所述漏极 160。请参阅图 16。所述透明导电材料可以包括铟镓锌氧化物、铟锡氧化物、铟锌氧化物、氧化铟或者氧化锌等之一或者任意组合。

步骤 b，图案化所述透明导电层 240，保留设置在所述源极 150 及所述漏

极 160 上的透明导电层 240, 以及与设置在所述漏极 160 上的透明导电层相连的透明导电层, 其中, 设置在所述源极 150 上且与所述源极 150 相连的透明导电层 240 为所述第一电极 180, 与所述漏极 160 相连的透明导电层 240 为所述像素电极 190。请参阅图 17。

5 在其他实施方式中, 所述薄膜晶体管阵列基板的制备方法还包括: 形成缓冲层, 所述缓冲层设置在所述基板 110 的第一表面 110a 上。所述缓冲层用于缓冲在所述基板 110 上制作所述薄膜晶体管阵列基板 100 的其他结构的过程中受到的应力, 以避免所述基板 110 的损坏或者破裂。此时, 所述薄膜晶体管阵列基板的制备方法中的所述栅极 120、所述第一绝缘层 130、所述有源层、所述源极 150、所述漏极 160、所述第二绝缘层 170、所述第一电极 180 及所述像素电极 190 通过所述缓冲层直接或者间接制备在所述基板 110 的第一表面 110a 上。或者, 所述缓冲层设置在所述第二表面 110b 上, 所述薄膜晶体管阵列基板 100 中的所述栅极 120、所述第一绝缘层 130、所述有源层、所述源极 150、所述漏极 160、所述第二绝缘层 170、所述第一电极 180 及所述像素电极 190 通过所述缓冲层直接或者间接设置在所述基板 110 的第二表面 110b 上。所述缓冲层的材质选自氧化硅层, 氮化硅层, 氮氧化硅层及其组合的其中之一。

在本发明提供的实施例中, 像素电极通过第二贯孔与漏极连接, 第一电极通过第一贯孔与源极连接, 但可以理解的是, 像素电极也可以通过第一贯孔与源极连接, 第一电极通过第二贯孔与漏极连接以改善漏极的导电性能, 其结构和制作方法与本申请实施例类似, 在此不再赘述。

相较于现有技术, 本发明的薄膜晶体管阵列基板的制备方法在第一绝缘层 130 (栅极绝缘层) 上形成金属氧化物半导体层 210, 并对金属氧化物半导体层 210 的两端区域进行离子注入, 经过离子注入的金属氧化物半导体层 210 的两端区域分别形成源极 150 和漏极 160, 未经过离子注入的金属氧化物半导体层 210 的区域为有源层 140。由此可见, 所述源极 150 和所述漏极 160 的形成与所述有源层 140 的形成可以在同一工序中制备, 不需要额外增加所述源极 150 和所述漏极 160 制备时的阻挡层图案化的工序, 从而节约了薄膜晶体管阵列基板的制备时间。

以上所揭露的仅为本发明一种较佳实施例而已, 当然不能以此来限定本发

明之权利范围,本领域普通技术人员可以理解实现上述实施例的全部或部分流程,并依本发明权利要求所作的等同变化,仍属于发明所涵盖的范围。

权 利 要 求

- 1.一种薄膜晶体管阵列基板，其中，所述薄膜晶体管阵列基板包括：
基板，所述基板包括相对设置的第一表面及第二表面；
5 栅极，设置在所述第一表面上；
第一绝缘层，覆盖在所述栅极上；
有源层，设置在所述第一绝缘层远离所述基板的表面上；
源极和漏极，所述源极和所述漏极分别设置在所述第一绝缘层上且分别设置于所述有源层的相对的两端，并且所述源极和所述漏极分别与所述有源层的
10 端面接触；
第二绝缘层，所述第二绝缘层覆盖所述有源层、所述源极及所述漏极，所述第二绝缘层上设置有用以裸露所述源极或所述漏极的贯孔；
像素电极，所述像素电极设置在所述第二绝缘层上，并通过所述贯孔与所述源极或所述漏极连接。
- 15 2.如权利要求 1 所述的薄膜晶体管阵列基板，其中，
所述第二绝缘层上开设有第一贯孔及第二贯孔，所述第一贯孔对应所述源极设置，所述第二贯孔对应所述漏极设置，所述像素电极通过所述第二贯孔与所述漏极连接；
20 所述薄膜晶体管阵列基板还包括第一电极，所述第一电极通过所述第一贯孔与所述源极相连。
- 3.如权利要求 2 所述的薄膜晶体管阵列基板，其中，所述第一电极与所述像素电极在同一工序中制备。
- 25 4.如权利要求 1 所述的薄膜晶体管阵列基板，其中，所述有源层包括金属氧化物半导体；所述源极和漏极包括经离子注入的金属氧化物半导体。
- 5.如权利要求 3 所述的薄膜晶体管阵列基板，其中，所述有源层包括铟镓

锌氧化物、铟锡氧化物、铟锌氧化物、氧化铟或者氧化锌等之一或者任意组合。

6.一种薄膜晶体管阵列基板的制备方法，其中，所述薄膜晶体管阵列基板的制备方法包括：

- 5 提供基板，所述基板包括相对设置的第一表面及第二表面；
形成栅极，所述栅极设置在所述第一表面上；
形成第一绝缘层，所述第一绝缘层覆盖在所述栅极上；
在所述第一绝缘层上形成金属氧化物半导体层；
对所述金属氧化物半导体层的两端区域进行离子注入，经过离子注入的金属氧化物半导体层的两端区域分别为源极和漏极，未经过离子注入的金属氧化物半导体层的区域为有源层；
10 形成第二绝缘层，所述第二绝缘层覆盖所述源极、所述漏极及所述有源层；
在所述第二绝缘层上开设用于裸露所述源极或所述漏极的贯孔；
形成像素电极，所述像素电极设置在所述第二绝缘层上，并通过所述贯孔
15 与所述源极或所述漏极连接。

7.如权利要求 6 所述的薄膜晶体管阵列基板的制备方法，其中，所述步骤“在所述第二绝缘层上开设用于裸露所述源极或所述漏极的贯孔”包括：

- 在所述第二绝缘层上开设第一贯孔及第二贯孔，所述第一贯孔对应所述源
20 极设置，所述第二贯孔对应所述漏极设置；

相应地，所述步骤“形成像素电极，所述像素电极设置在所述第二绝缘层上，并通过所述贯孔与所述源极或所述漏极连接”包括：

形成像素电极，所述像素电极设置在所述第二绝缘层上，且所述像素电极通过所述第二贯孔与所述漏极连接；

- 25 所述薄膜晶体管阵列基板的制备方法还包括：

形成第一电极，所述第一电极通过所述第一贯孔与所述源极相连。

8.如权利要求 7 所述的薄膜晶体管阵列基板的制备方法，其中，所述步骤“对所述金属氧化物半导体层的两端区域进行离子注入，经过离子注入的金属

氧化物半导体层的两端区域分别为源极和漏极, 未经过离子注入的金属氧化物半导体层的区域形成有源层” 包括:

在所述金属氧化物半导体层上覆盖第一光阻层;

图案化所述第一光阻层, 以露出所述金属氧化物半导体层的两端区域;

- 5 以图案化的所述第一光阻层为掩膜对所述金属氧化物半导体层进行离子注入, 经过离子注入的金属氧化物半导体层的两端区域分别为所述源极和所述漏极, 未经过离子注入的金属氧化物半导体的区域为有源层;

剥离所述第一光阻层。

- 10 9.如权利要求 7 所述的薄膜晶体管的制备方法, 其中, 所述步骤“在所述第二绝缘层上开设第一贯孔及第二贯孔, 所述第一贯孔对应所述源极设置, 所述第二贯孔对应所述漏极设置” 包括:

在所述第二绝缘层上覆盖第二光阻层;

- 15 图案化所述第二光阻层, 以移除对应所述源极及所述漏极正上方的第二光阻层, 以漏出部分第二绝缘层;

以图案化的第二光阻层为掩膜, 蚀刻所述第二绝缘层, 以在所述第二绝缘层上开设所述第一贯孔及所述第二贯孔;

剥离所述第二光阻层。

- 20 10.如权利要求 9 所述的薄膜晶体管阵列基板的制备方法, 其中, 所述像素电极与所述第一电极在同一工序中制备:

形成透明导电层, 所述透明导电层覆盖所述第二绝缘层、所述源极及所述漏极;

- 25 图案化所述透明导电层, 保留设置在所述源极上及所述漏极上的透明导电层, 以及与设置在所述漏极上的透明导电层相连的透明导电层, 其中, 设置在所述源极上的透明导电层为所述第一电极, 设置在所述漏极上的透明导电层为所述像素电极。

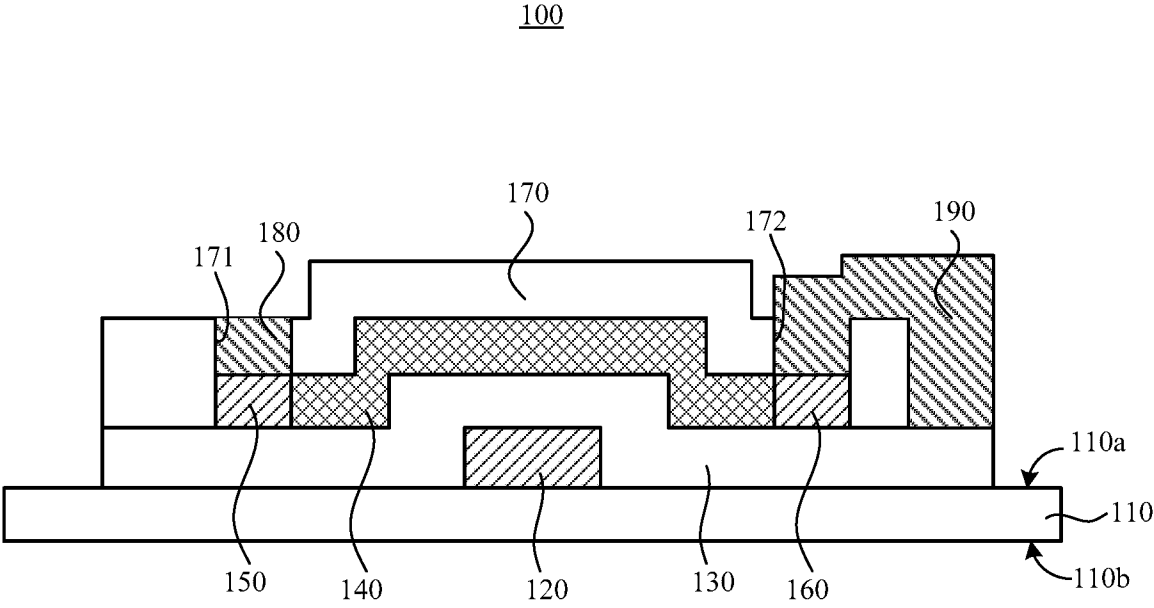


图 1

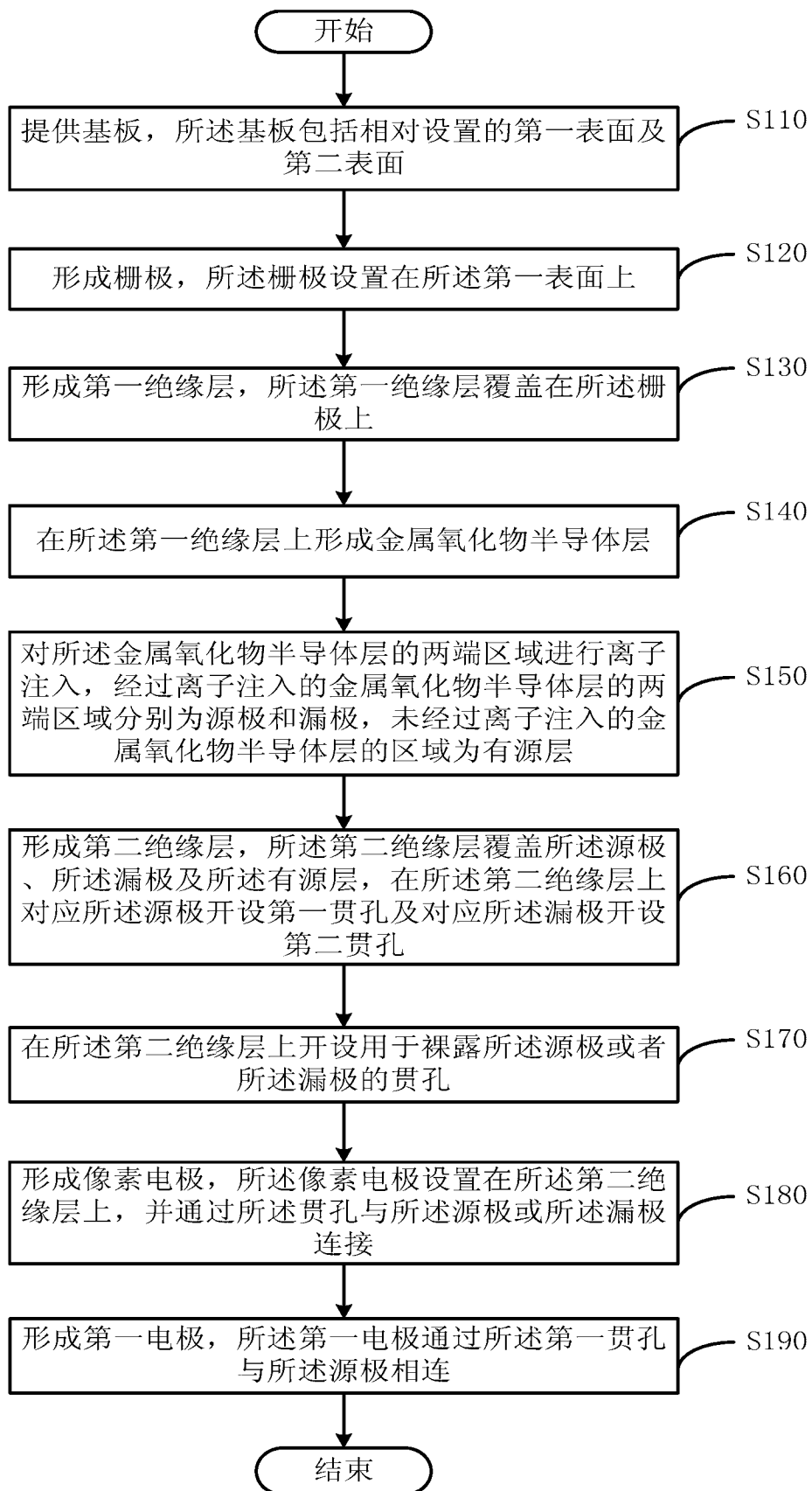


图 2

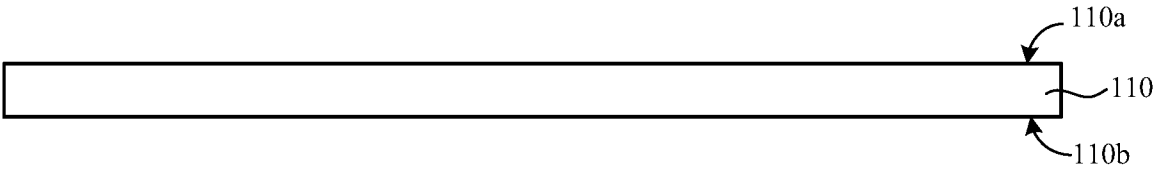


图 3

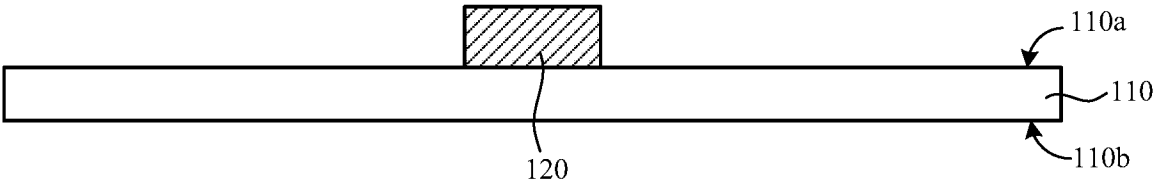


图 4

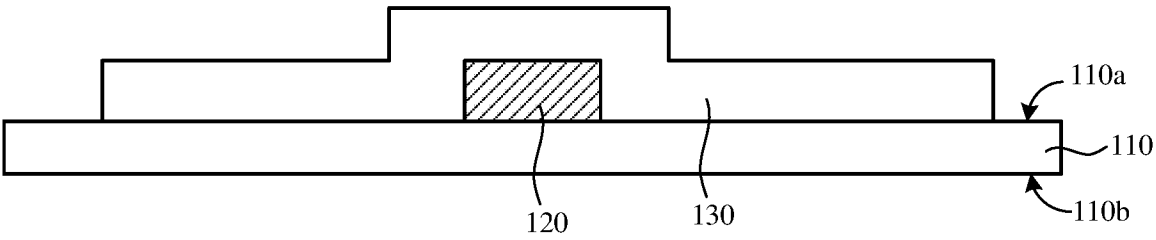


图 5

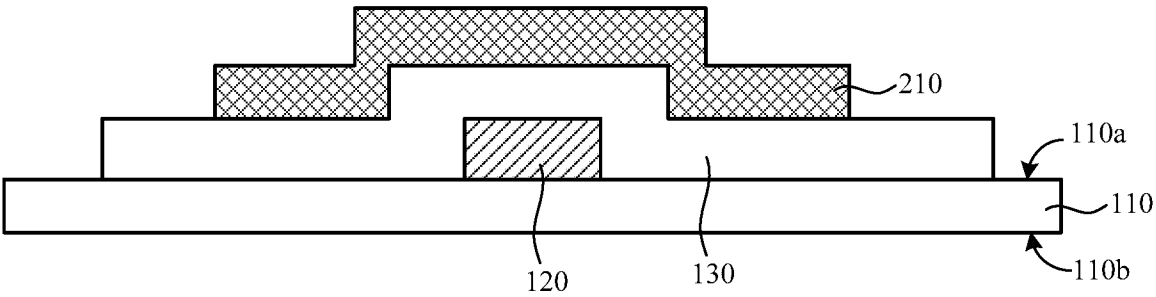


图 6

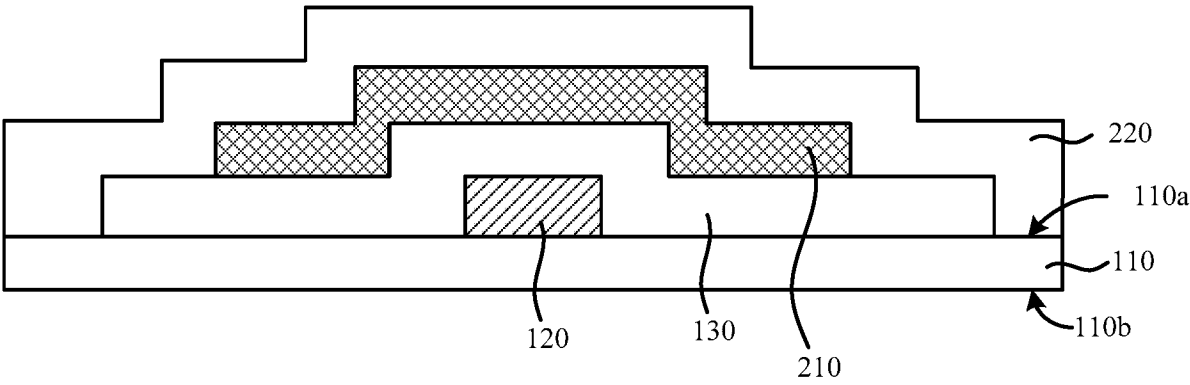


图 7

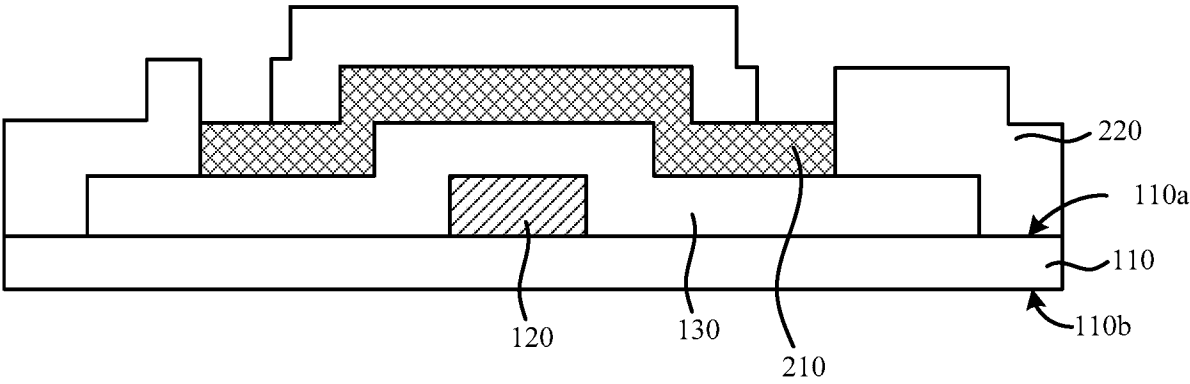


图 8

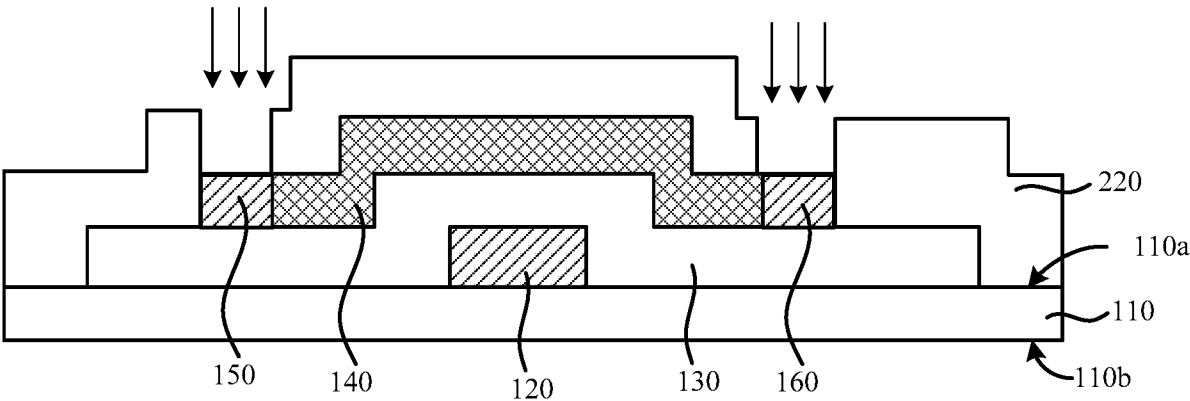


图 9

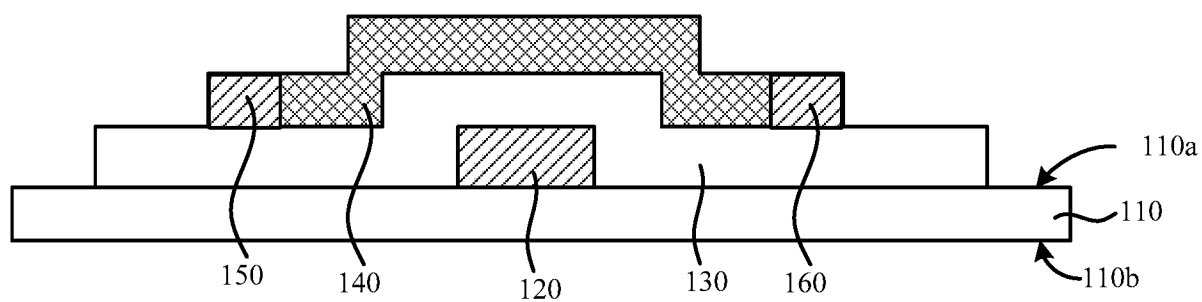


图 10

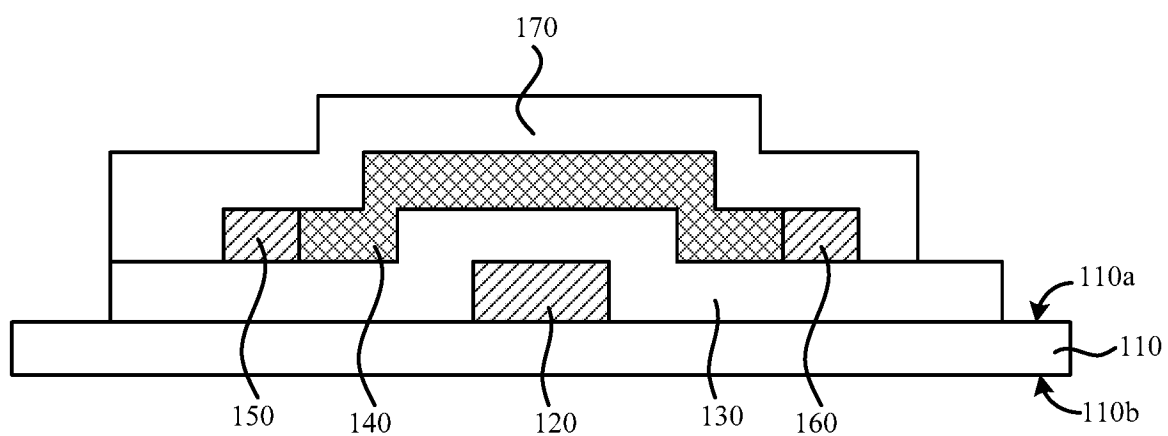


图 11

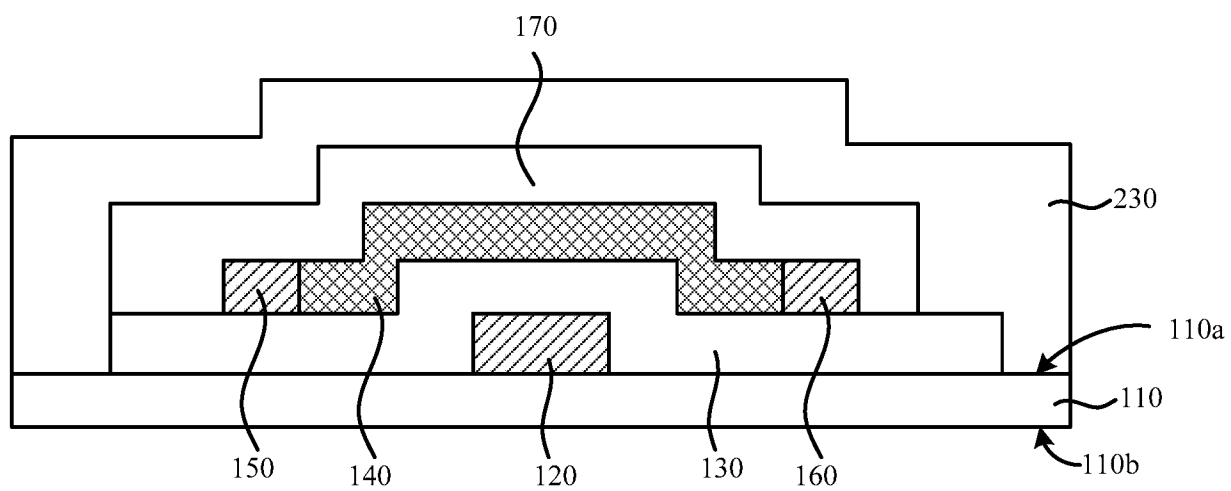


图 12

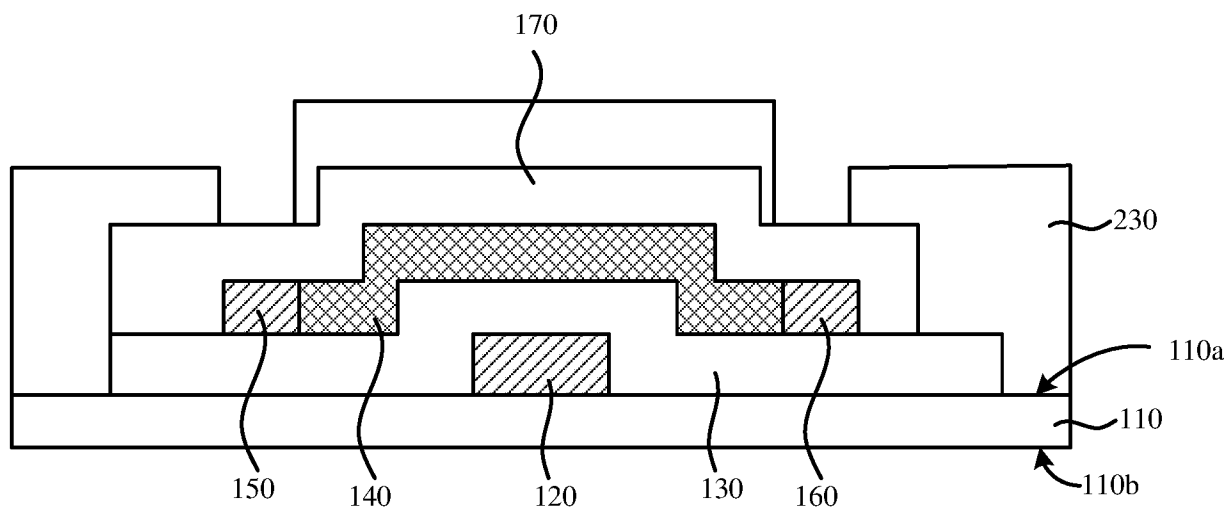


图 13

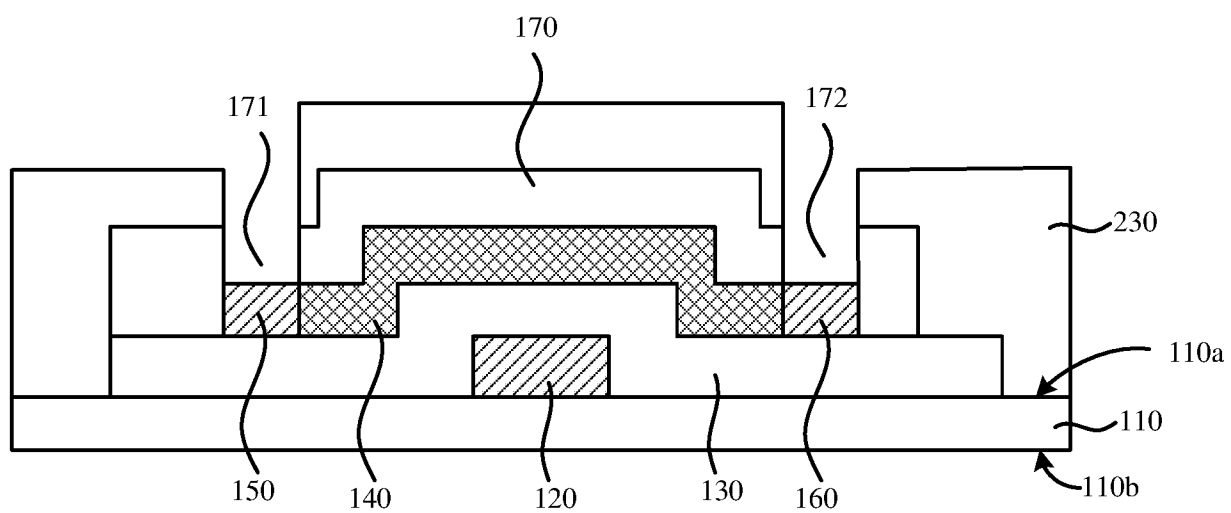


图 14

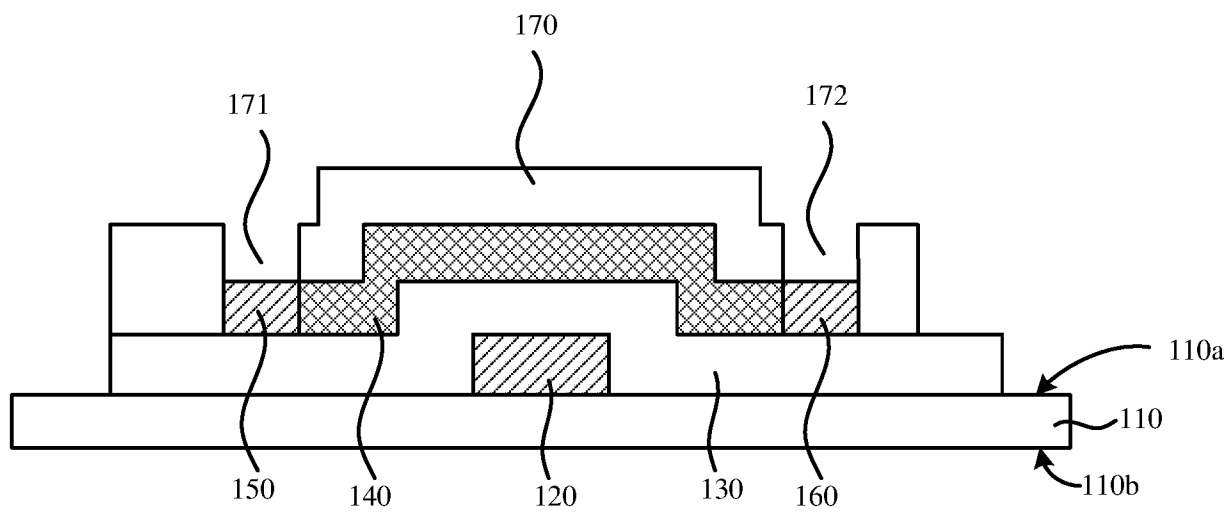


图 15

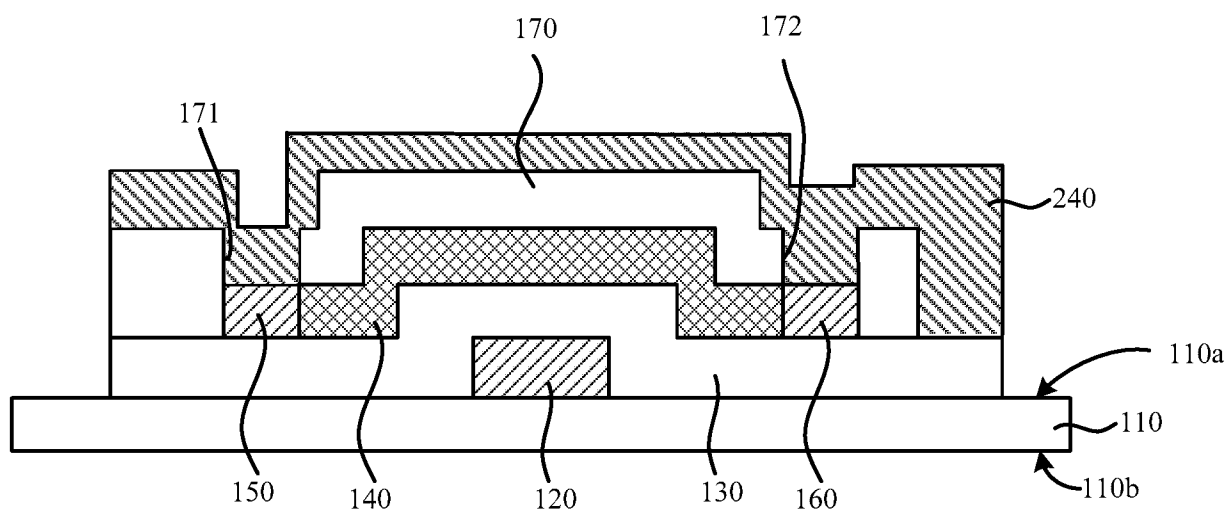


图 16

100

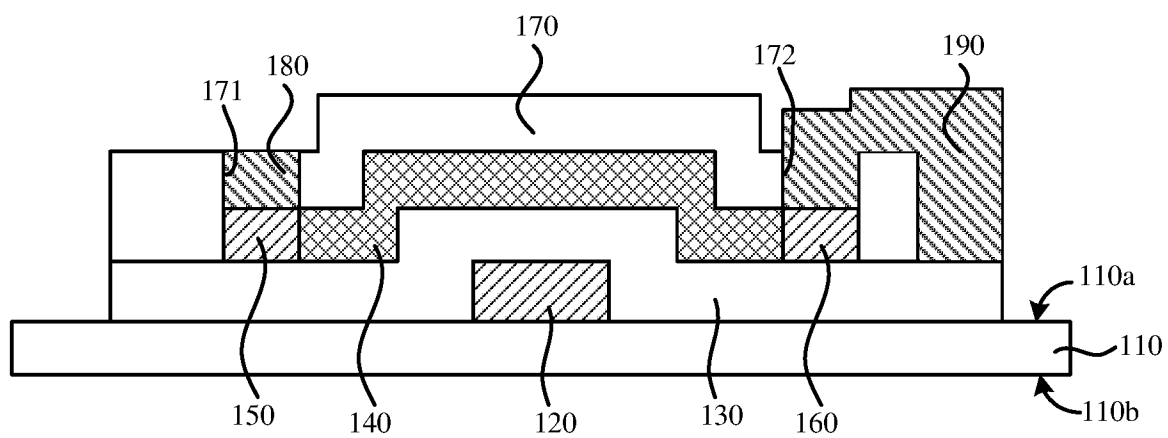


图 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/074066

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: first electrode, common electrode, thin film transistor, drain electrode, TFT, inject, dope, same layer, pixel electrode, source, drain, hole?, ion+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103915508 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD. et al.), 09 July 2014 (09.07.2014), description, paragraphs [0046], [0050] and [0062]-[0063], and figure 2	1-10
A	CN 103050410 A (KUNSHAN NEW FLAT PANEL DISPLAY TECHNOLOGY CENTER CO., LTD.), 17 April 2013 (17.04.2013), the whole document	1-10
A	CN 105140271 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 December 2015 (09.12.2015), the whole document	1-10
A	CN 104779139 A (CENTURY DISPLAY (SHENZHEN) CO., LTD.), 15 July 2015 (15.07.2015), the whole document	1-10
A	CN 105097841 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 November 2015 (25.11.2015), the whole document	1-10
A	US 6091465 A (LG ELECTRONICS INC.), 18 July 2000 (18.07.2000), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 28 September 2016 (28.09.2016)	Date of mailing of the international search report 14 October 2016 (14.10.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Suning Telephone No.: (86-10) 61648486

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/074066

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103915508 A	09 July 2014	None	
CN 103050410 A	17 April 2013	CN 103050410 B	16 September 2015
CN 105140271 A	09 December 2015	None	
CN 104779139 A	15 July 2015	None	
CN 105097841 A	25 November 2015	None	
US 6091465 A	18 July 2000	KR 100192347 B1	15 June 1999
		US 5751020 A	12 May 1998

A. 主题的分类 H01L 27/12(2006.01)i; H01L 21/77(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, WPI, EPDOC, CNKI: 第一电极, 公共电极, 薄膜晶体管, 漏极, 漏电极, 孔, 像素电极, TFT, 注, 源极, 掺杂, 离子, 同层, pixel electrode, source, drain, hole?, ion+																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103915508 A (上海天马微电子有限公司 等) 2014年 7月 9日 (2014 - 07 - 09) 说明书第[0046]、[0050]、[0062]-[0063]段, 附图2</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 103050410 A (昆山工研院新型平板显示技术中心有限公司) 2013年 4月 17日 (2013 - 04 - 17) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 105140271 A (深圳市华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 104779139 A (深超光电深圳有限公司) 2015年 7月 15日 (2015 - 07 - 15) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 105097841 A (深圳市华星光电技术有限公司) 2015年 11月 25日 (2015 - 11 - 25) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 6091465 A (LG ELECTRONICS INC.) 2000年 7月 18日 (2000 - 07 - 18) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103915508 A (上海天马微电子有限公司 等) 2014年 7月 9日 (2014 - 07 - 09) 说明书第[0046]、[0050]、[0062]-[0063]段, 附图2	1-10	A	CN 103050410 A (昆山工研院新型平板显示技术中心有限公司) 2013年 4月 17日 (2013 - 04 - 17) 全文	1-10	A	CN 105140271 A (深圳市华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-10	A	CN 104779139 A (深超光电深圳有限公司) 2015年 7月 15日 (2015 - 07 - 15) 全文	1-10	A	CN 105097841 A (深圳市华星光电技术有限公司) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-10	A	US 6091465 A (LG ELECTRONICS INC.) 2000年 7月 18日 (2000 - 07 - 18) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 103915508 A (上海天马微电子有限公司 等) 2014年 7月 9日 (2014 - 07 - 09) 说明书第[0046]、[0050]、[0062]-[0063]段, 附图2	1-10																					
A	CN 103050410 A (昆山工研院新型平板显示技术中心有限公司) 2013年 4月 17日 (2013 - 04 - 17) 全文	1-10																					
A	CN 105140271 A (深圳市华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-10																					
A	CN 104779139 A (深超光电深圳有限公司) 2015年 7月 15日 (2015 - 07 - 15) 全文	1-10																					
A	CN 105097841 A (深圳市华星光电技术有限公司) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-10																					
A	US 6091465 A (LG ELECTRONICS INC.) 2000年 7月 18日 (2000 - 07 - 18) 全文	1-10																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2016年 9月 28日		国际检索报告邮寄日期 2016年 10月 14日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 李苏宁 电话号码 (86-10)61648486																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/074066

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103915508	A	2014年 7月 9日	无			
CN	103050410	A	2013年 4月 17日	CN	103050410	B	2015年 9月 16日
CN	105140271	A	2015年 12月 9日	无			
CN	104779139	A	2015年 7月 15日	无			
CN	105097841	A	2015年 11月 25日	无			
US	6091465	A	2000年 7月 18日	KR	100192347	B1	1999年 6月 15日
				US	5751020	A	1998年 5月 12日