

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6207190号
(P6207190)

(45) 発行日 平成29年10月4日(2017. 10. 4)

(24) 登録日 平成29年9月15日(2017. 9. 15)

(51) Int.Cl.		F I		
H O 1 L 25/065	(2006. 01)	H O 1 L 25/08		Z
H O 1 L 25/07	(2006. 01)	H O 1 L 25/08		B
H O 1 L 25/18	(2006. 01)			

請求項の数 12 (全 51 頁)

(21) 出願番号	特願2013-61087 (P2013-61087)	(73) 特許権者	302062931
(22) 出願日	平成25年3月22日 (2013. 3. 22)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2014-187184 (P2014-187184A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成26年10月2日 (2014. 10. 2)	(74) 代理人	100080001
審査請求日	平成27年7月30日 (2015. 7. 30)		弁理士 筒井 大和
		(74) 代理人	100113642
			弁理士 菅田 篤志
		(74) 代理人	100117008
			弁理士 筒井 章子
		(74) 代理人	100147430
			弁理士 坂次 哲也
		(72) 発明者	木下 順弘
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

以下の工程を含む半導体装置の製造方法：

(a) 第1面、前記第1面に形成された複数のボンディングリード、前記第1面に形成された第1のアライメントマーク、前記第1面とは反対側の第2面、および前記第2面に形成され、かつ、前記複数のボンディングリードとそれぞれ電氣的に接続された複数のランドを有する配線基板を準備する工程；

(b) 前記(a)工程の後、第1主面、前記第1主面に形成された第1半導体素子、前記第1主面側に形成され、かつ、前記第1半導体素子と電氣的に接続された複数の第1主面側パッド、前記第1主面側に形成された第2のアライメントマーク、前記複数の第1主面側パッドにそれぞれ形成された複数の第1外部端子、前記第1主面とは反対側の第1裏面、前記第1裏面に形成され、かつ、前記複数の第1主面側パッドと電氣的に接続された複数の第1裏面側パッド、および前記第1裏面に形成された第3のアライメントマークを有する第1半導体チップを、前記第1半導体チップの前記第1主面が前記配線基板の前記第1面と対向するように、前記配線基板の前記第1面上に配置する工程；

(c) 前記(b)工程の後、前記第1半導体チップを前記配線基板上に配置した状態で、前記配線基板と前記第1半導体チップの間にマーク位置検出装置を配置し、前記配線基板の前記第1のアライメントマークと前記第1半導体チップの前記第2のアライメントマークを検出し、前記配線基板と前記第1半導体チップの位置合わせをする工程；

(d) 前記(c)工程の後、前記第1半導体チップを前記配線基板の前記第1面上に搭

10

20

載し、前記複数の第 1 外部端子を介して前記複数の第 1 主面側パッドと前記複数のボンディングリードをそれぞれ電氣的に接続する工程；

(e) 前記 (d) 工程の後、前記第 1 半導体チップの前記複数の第 1 裏面側パッドが覆われるように、かつ、前記第 1 半導体チップの前記第 3 のアライメントマークが露出するように、前記第 1 半導体チップの前記第 1 裏面に接着材を配置する工程；

(f) 前記 (e) 工程の後、前記第 1 半導体チップの平面サイズよりも大きい平面サイズから成り、第 2 主面、前記第 2 主面に形成された第 2 半導体素子、前記第 2 主面側に形成され、かつ、前記第 2 半導体素子と電氣的に接続された複数の第 2 主面側パッド、前記第 2 主面側に形成された第 4 のアライメントマーク、前記複数の第 2 主面側パッドにそれぞれ形成された複数の第 2 外部端子、および前記第 2 主面とは反対側の第 2 裏面を有する第 2 半導体チップを、前記第 2 半導体チップの前記第 2 主面が前記第 1 半導体チップの前記第 1 裏面と対向するように、前記第 1 半導体チップの前記第 1 裏面上に配置する工程；

(g) 前記 (f) 工程の後、前記第 2 半導体チップを前記第 1 半導体チップ上に配置した状態で、前記第 2 半導体チップと前記第 1 半導体チップの間に前記マーク位置検出装置を配置し、前記第 1 半導体チップの前記第 3 のアライメントマークと前記第 2 半導体チップの前記第 4 のアライメントマークを検出し、前記第 1 半導体チップと前記第 2 半導体チップの位置合わせをする工程；

(h) 前記 (g) 工程の後、前記接着材を介して前記第 2 半導体チップを前記第 1 半導体チップの前記第 1 裏面上に搭載し、前記複数の第 2 外部端子を介して前記複数の第 2 主面側パッドと前記複数の第 1 裏面側パッドをそれぞれ電氣的に接続する工程。

【請求項 2】

請求項 1 において、

前記 (g) 工程では、前記第 1 半導体チップの前記第 1 裏面に形成された複数の前記第 3 のアライメントマークと、前記第 2 半導体チップの前記第 2 主面側に形成された複数の前記第 4 のアライメントマークを検出する半導体装置の製造方法。

【請求項 3】

請求項 2 において、

前記第 1 半導体チップの前記複数の第 1 裏面側パッドは、前記第 1 裏面の中央部に配置されており、

前記第 1 半導体チップの前記第 3 のアライメントマークは、前記第 1 裏面の周縁部に配置されており、

前記第 2 半導体チップの前記第 4 のアライメントマークは、前記第 2 主面側の周縁部に配置されている半導体装置の製造方法。

【請求項 4】

請求項 3 において、

前記第 1 半導体チップの前記第 3 のアライメントマークは、平面視において四角形を成す前記第 1 裏面の第 1 の角部と、前記第 1 の角部の対角に位置する第 2 の角部にそれぞれ配置されており、

前記第 2 半導体チップの前記第 4 のアライメントマークは、平面視において四角形を成す前記第 2 主面の第 3 の角部と前記第 3 の角部の対角に位置する第 4 の角部に配置されている半導体装置の製造方法。

【請求項 5】

請求項 4 において、

前記第 2 半導体チップには、第 1 回路が形成され、

前記第 1 半導体チップには、前記第 1 回路の駆動を制御する制御回路が形成されている半導体装置の製造方法。

【請求項 6】

請求項 1 において、

前記第 2 半導体チップには、主記憶回路が形成され、

前記第 1 半導体チップには、前記主記憶回路の駆動を制御する制御回路、および前記第

10

20

30

40

50

2 半導体チップまたは外部機器との間で入出力する信号データに対して演算処理を施す演算処理回路が形成されている半導体装置の製造方法。

【請求項 7】

請求項 6 において、

前記第 1 半導体チップの前記第 3 のアライメントマークは、前記第 1 裏面において、前記複数の第 1 裏面側パッドよりも周縁部側に配置されており、

前記第 2 半導体チップの前記第 4 のアライメントマークは、前記第 2 主面側において、前記複数の第 2 主面側パッドよりも周縁部側に配置されている半導体装置の製造方法。

【請求項 8】

請求項 6 において、

前記第 2 半導体チップの前記第 2 主面には、前記主記憶回路が形成される複数の回路領域が設けられ、

前記第 2 半導体チップの前記第 4 のアライメントマークは、前記第 2 主面側において、前記複数の回路領域よりも周縁部側に配置されている半導体装置の製造方法。

【請求項 9】

請求項 1 において、

前記第 1 半導体チップは、前記第 1 主面および前記第 1 裏面のうちの一方の面から他方の面に向かって貫通し、かつ、前記複数の第 1 主面側パッドと前記複数の第 1 裏面側パッドを電氣的に接続する複数の貫通電極を有していることを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 2 において、

前記第 2 のアライメントマークおよび第 4 のアライメントマークは、

平面視において、多角形を成し、かつ、前記多角形の外接円の中心に対して非対称である半導体装置の製造方法。

【請求項 11】

請求項 1 において、

前記第 1、第 2、第 3、および第 4 のアライメントマークは、

平面視において、多角形を成し、かつ、前記多角形の外接円の中心に対して非対称である半導体装置の製造方法。

【請求項 12】

請求項 2 において、

前記第 1、第 2、第 3、または第 4 のアライメントマークは、

平面視において、円形を成す半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造技術に関し、例えば、半導体チップ上に別の半導体チップを搭載する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

特開 2001 - 217387 号公報（特許文献 1）には、親チップ（固体装置）の表面と子チップ（半導体チップ）の表面にそれぞれアライメント用マークが形成され、アライメント用マークの検出結果に基づいて、各アライメント用マークが対向するように、親チップと子チップを積層する半導体チップの積層方法が記載されている。

【0003】

また、特開 2011 - 187574 号公報（特許文献 2）には、複数のメモリチップの積層体と配線基板の間に、貫通電極を備える半導体チップが配置された半導体装置が記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-217387号公報

【特許文献2】特開2011-187574号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本願発明者は、配線基板上に複数の半導体チップを積層した半導体装置の性能を向上させる技術を検討している。この一環として、複数の半導体チップ（例えば、メモリチップと、このメモリチップを制御する制御チップ）を1つの半導体装置内に搭載することで、この1つの半導体装置でシステムを構築する、所謂、SiP（System In Package）型の半導体装置について検討した。

10

【0006】

複数の半導体チップの積層方法として、積層される一方（上段側）の半導体チップの電極を他方（下段側）の半導体チップの電極に対向させて配置し、半田材などの導電性部材を介して各電極を互いに、かつ電氣的に接続する方法がある。この方法は、積層される複数の半導体チップ間を、ワイヤを介さずに接続するので、半導体チップ間の伝送距離を低減できる。

【0007】

ところが、各電極同士を電氣的に接続するためには、半導体装置の信頼性向上の観点から、上段側の半導体チップの下段側の半導体チップに対する位置合わせ精度を向上させる必要がある。

20

【0008】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

一実施の形態による半導体装置の製造方法は、（a）配線基板上に第1半導体チップの第1主面が上記配線基板と対向するように上記第1半導体チップを搭載する工程を有している。また、半導体装置の製造方法は、（b）上記第1半導体チップ上に第2半導体チップの第2主面が上記第1半導体チップの第1裏面と対向するように上記第2半導体チップを搭載する工程を有している。また、上記（a）工程では、上記配線基板に形成された第1のアライメントマークと、上記第1半導体チップの上記第1主面側に形成された第2のアライメントマークを検出して位置合わせを行った後、上記第1半導体チップを搭載する。また、上記（b）工程では、上記第1半導体チップの上記第1裏面側に形成された第3のアライメントマークと上記第2半導体チップの上記第2主面側に形成された第4のアライメントマークを検出して位置合わせを行った後、上記第2半導体チップを搭載する。また、上記第1裏面には複数の第1裏面側パッドが、上記第2主面には複数の第2主面側パッドが形成され、上記（b）工程では、上記複数の第1裏面側パッドと上記複数の第2主面側パッドを、第2主面側パッドにそれぞれ形成された複数の外部端子を介して電氣的に接続するものである。

30

40

【発明の効果】

【0010】

上記一実施の形態によれば、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【0011】

【図1】一実施の形態である半導体装置の斜視図である。

【図2】図1に示す半導体装置の下面図である。

【図3】図1に示す封止体を取り除いた状態で配線基板上の半導体装置の内部構造を示す透視平面図である。

50

- 【図 4】図 1 の A - A 線に沿った断面図である。
- 【図 5】図 1 ~ 図 4 に示す半導体装置の回路構成例を模式的に示す説明図である。
- 【図 6】図 4 に示す A 部の拡大断面図である。
- 【図 7】図 4 に示すメモリチップの表面側を示す平面図である。
- 【図 8】図 7 に示すメモリチップの裏面側の一例を示す平面図である。
- 【図 9】図 4 に示すロジックチップの表面側を示す平面図である。
- 【図 10】図 9 に示すロジックチップの裏面側の一例を示す平面図である。
- 【図 11】図 4 に示す半導体装置を組み立てる際に使用する位置合わせ手段（アライメントマーク）を模式的に示す説明図である。
- 【図 12】図 11 に対応する検討例を示す説明図である。 10
- 【図 13】図 1 ~ 図 11 を用いて説明した半導体装置の製造工程の概要を示す説明図である。
- 【図 14】図 13 に示す基板準備工程で準備する配線基板の全体構造を示す平面図である。
- 【図 15】図 14 に示すデバイス領域 1 個分の拡大平面図である。
- 【図 16】図 15 の A - A 線に沿った拡大断面図である。
- 【図 17】図 15 の反対側の面を示す拡大平面図である。
- 【図 18】図 15 の B - B 線に沿った拡大断面図である。
- 【図 19】図 15 に示すチップ搭載領域に接着材を配置した状態を示す拡大平面図である。 20
- 【図 20】図 19 の A - A 線に沿った拡大断面図である。
- 【図 21】図 6 に示す貫通電極を備えた半導体チップの製造工程の概要を模式的に示す説明図である。
- 【図 22】図 21 に続く半導体チップの製造工程の概要を模式的に示す説明図である。
- 【図 23】図 19 に示す配線基板のチップ搭載領域上にロジックチップ LC を搭載した状態を示す拡大平面図である。
- 【図 24】図 23 の A - A 線に沿った拡大断面図である。
- 【図 25】図 13 に示す第 1 チップ搬送工程の要部を模式的に示す説明図である。
- 【図 26】図 13 に示す第 1 マーク検出工程の要部を模式的に示す説明図である。
- 【図 27】図 26 に示すロジックチップのアライメントマークの断面構造の要部を示す要部拡大断面図である。 30
- 【図 28】図 13 に示す第 1 位置合わせ工程の要部を模式的に示す説明図である。
- 【図 29】図 28 に示す第 1 位置合わせ工程の後、ロジックチップを配線基板に向かって移動させた状態を模式的に示す説明図である。
- 【図 30】図 29 に示す保持治具を取り外し、加熱治具を半導体チップの裏面側に押し当てた状態を示す説明図である。
- 【図 31】図 20 に示す半導体チップの裏面およびその周囲に接着材を配置した状態を示す拡大平面図である。
- 【図 32】図 31 の A - A 線に沿った拡大断面図である。
- 【図 33】図 4 に示すメモリチップの積層体の組立工程の概要を模式的に示す説明図である。 40
- 【図 34】図 33 に続くメモリチップの積層体の組立工程の概要を模式的に示す説明図である。
- 【図 35】図 31 に示すロジックチップの裏面上に積層体を搭載した状態を示す拡大平面図である。
- 【図 36】図 35 の A - A 線に沿った拡大断面図である。
- 【図 37】図 13 に示す第 2 チップ搬送工程の要部を模式的に示す説明図である。
- 【図 38】図 13 に示す第 2 マーク検出工程の要部を模式的に示す説明図である。
- 【図 39】図 13 に示す第 2 位置合わせ工程の要部を模式的に示す説明図である。
- 【図 40】図 39 に示す第 2 位置合わせ工程の後、ロジックチップを配線基板に向かって 50

移動させた状態を模式的に示す説明図である。

【図４１】図４０に示す保持治具を取り外し、加熱治具を半導体チップの裏面側に押し当てた状態を示す説明図である。

【図４２】図３６に示す配線基板上に封止体を形成し、積層された複数の半導体チップを封止した状態を示す拡大断面図である。

【図４３】図４２に示す封止体の全体構造を示す平面図である。

【図４４】図３７に示す配線基板の複数のランド上に半田ボールを接合した状態を示す拡大断面図である。

【図４５】図４４に示す多数個取りの配線基板を個片化した状態を示す断面図である。

【図４６】図３、図７、図９および図１０に示すアライメントマークを拡大して示す拡大平面図である。

【図４７】図４６に対する第１の変形例を示す拡大平面図である。

【図４８】図４６に対する第２の変形例を示す拡大平面図である。

【図４９】図４６に対する第３の変形例を示す拡大平面図である。

【図５０】図８に対する変形例を示す平面図である。

【図５１】図３に対する変形例を示す透視平面図である。

【発明を実施するための形態】

【００１２】

（本願における記載形式・基本的用語・用法の説明）

本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクション等に分けて記載するが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、記載の前後を問わず、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しの説明を省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【００１３】

同様に実施の態様等の記載において、材料、組成等について、「ＡからなるＸ」等であっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、Ａ以外の要素を含むものを排除するものではない。たとえば、成分についていえば、「Ａを主要な成分として含むＸ」等の意味である。たとえば、「シリコン部材」等であっても、純粋なシリコンに限定されるものではなく、ＳｉＧｅ（シリコン・ゲルマニウム）合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。また、金めっき、Ｃｕ層、ニッケル・めっき等であっても、そうでない旨、特に明示した場合を除き、純粋なものだけでなく、それぞれ金、Ｃｕ、ニッケル等を主要な成分とする部材を含むものとする。

【００１４】

さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【００１５】

また、実施の形態の各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【００１６】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するため、あるいは領域の境界を明示するために、ハッチングやドットパターンを付すことがある。

【００１７】

10

20

30

40

50

以下で説明する実施の形態では、S i P型の半導体装置の例として、一つのパッケージ内に、メモリ回路が形成された半導体チップ（メモリチップ）とメモリ回路の動作を制御する制御回路が形成された半導体チップ（制御チップ）が搭載された半導体パッケージを取り上げて説明する。

【0018】

（実施の形態）

本実施の形態では、複数の半導体チップを積層した半導体装置の例として、演算処理回路が形成された半導体チップ上にメモリ回路が形成された複数の半導体チップを積層した実施態様を取り上げて説明する。図1は本実施の形態の半導体装置の斜視図、図2は、図1に示す半導体装置の下面図である。また、図3は、図1に示す封止体を取り除いた状態で配線基板上の半導体装置の内部構造を示す透視平面図である。また、図4は図1のA-A線に沿った断面図である。なお、図1～図4では、見易さのため、端子数を少なくして示しているが、端子（ボンディングリード2f、ランド2g、半田ボール5）の数は、図1～図4に示す態様には限定されない。また、図3では、ロジックチップLCとメモリチップMC4の平面視における位置関係や平面サイズの違いを見易くするため、ロジックチップLCの輪郭を、点線により示している。

【0019】

<半導体装置>

図4に示すように、配線基板2は、複数の半導体チップ3が搭載された上面（面、チップ搭載面）2a、上面2aとは反対側の下面（面、実装面）2b、および上面2aと下面2bの間に配置された側面2cを有し、図2および図3に示すように平面視において四角形の外形形状を成す。図2および図3に示す例では、配線基板2の平面サイズ（平面視における寸法、上面2aおよび下面2bの寸法、外形サイズ）は、例えば一辺の長さが14mm程度の正方形を成す。また、配線基板2の厚さ（高さ）、すなわち、図4に示す上面2aから下面2bまでの距離は、例えば0.3mm～0.5mm程度である。

【0020】

配線基板2は、上面2a側に搭載された半導体チップ3と図示しない実装基板を電氣的に接続するためのインタポーザであって、上面2a側と下面2b側を電氣的に接続する複数の配線層（図4に示す例では4層）を有する。各配線層には、複数の配線2dおよび複数の配線2d間、および隣り合う配線層間を絶縁する絶縁層2eが形成されている。ここで、本実施の形態の配線基板2は、3つの絶縁層2eを有しており、真ん中の絶縁層2eがコア層（コア材）であるが、コアとなる絶縁層2eを有していない、所謂、コアレス基板を用いても良い。また、配線2dには、絶縁層2eの上面または下面に形成される配線2d1、および絶縁層2eを厚さ方向に貫通するように形成されている層間導電路であるビア配線2d2が含まれる。

【0021】

また、配線基板2の上面2aには、半導体チップ3と電氣的に接続される端子である、複数のボンディングリード（端子、チップ搭載面側端子、電極）2fが形成されている。一方、配線基板2の下面2bには、図示しない実装基板と電氣的に接続するための端子、すなわち、半導体装置1の外部接続端子である複数の半田ボール5が接合された、複数のランド2gが形成されている。複数のボンディングリード2fと複数のランド2gは、複数の配線2dを介して、それぞれ電氣的に接続されている。なお、ボンディングリード2fやランド2gに接続される配線2dは、ボンディングリード2fやランド2gと一体に形成されるので、図4では、ボンディングリード2fおよびランド2gを、配線2dの一部として示している。

【0022】

また、配線基板2の上面2aおよび下面2bは、絶縁膜（ソルダレジスト膜）2h、2kにより覆われている。配線基板2の上面2aに形成された配線2dは絶縁膜2hに覆われている。絶縁膜2hには開口部が形成され、この開口部において、複数のボンディングリード2fの少なくとも一部（半導体チップ3との接合部、ボンディング領域）が絶縁膜

2 h から露出している。また、配線基板 2 の下面 2 b に形成された配線 2 d は絶縁膜 2 k に覆われている。絶縁膜 2 k には開口部が形成され、この開口部において、複数のランド 2 g の少なくとも一部（半田ボール 5 との接合部）が絶縁膜 2 k から露出している。

【0023】

また、図 4 に示すように、配線基板 2 の下面 2 b の複数のランド 2 g に接合される複数の半田ボール（外部端子、電極、外部電極）5 は、図 2 に示すように行列状（アレイ状、マトリクス状）に配置されている。また、図 2 では図示を省略するが、複数の半田ボール 5 が接合される複数のランド 2 g（図 4 参照）も行列状（マトリクス状）に配置されている。このように、配線基板 2 の実装面側に、複数の外部端子（半田ボール 5、ランド 2 g）を行列状に配置する半導体装置を、エリアアレイ型の半導体装置と呼ぶ。エリアアレイ型の半導体装置は、配線基板 2 の実装面（下面 2 b）側を、外部端子の配置スペースとして有効活用することができるので、外部端子数が増大しても半導体装置の実装面積の増大を抑制することが出来る点で好ましい。つまり、高機能化、高集積化に伴って、外部端子数が増大する半導体装置を省スペースで実装することができる。

10

【0024】

また、半導体装置 1 は、配線基板 2 上に搭載される複数の半導体チップ 3 を備えている。複数の半導体チップ 3 は、配線基板 2 の上面 2 a 上に積層されている。また、複数の半導体チップ 3 のそれぞれは、表面（主面、上面）3 a、表面 3 a とは反対側の裏面（主面、下面）3 b、および、表面 3 a と裏面 3 b との間に位置する側面 3 c を有し、図 3 に示すように平面視において四角形の外形形状を成す。このように、複数の半導体チップを積層することにより、半導体装置 1 を高機能化させた場合であっても、実装面積を低減することができる。

20

【0025】

図 3 および図 4 に示す例では、最下段（配線基板 2 に最も近い位置）に搭載される半導体チップ 3 は、演算処理回路 P U（図 5 参照）が形成されたロジックチップ（半導体チップ）L C である。一方、ロジックチップ L C の上段に搭載される半導体チップ 3 は、ロジックチップ L C との間で通信するデータを記憶する主記憶回路（記憶回路）M M（図 5 参照）が形成された、メモリチップ（半導体チップ）M C 1、M C 2、M C 3、M C 4 である。なお、ロジックチップ L C には、上記した演算処理回路の他、メモリチップ M C 1、M C 2、M C 3、M C 4 の主記憶回路の動作を制御する制御回路が形成されている。半導体装置 1 の回路構成例については、後述する。

30

【0026】

また、図 4 に示すように複数の半導体チップ 3 の間には、接着材 N C L（絶縁性接着材）が配置される。接着材 N C L は、上段側の半導体チップ 3 の表面 3 a と下段側の半導体チップ 3 の裏面 3 b（または、配線基板 2 の上面 2 a）の間の空間を塞ぐように配置される。詳しくは、この接着材 N C L は、配線基板 2 上にロジックチップ L C を接着固定する接着材（絶縁性接着材）N C L 1、およびロジックチップ上にメモリチップ M C 1、M C 2、M C 3、M C 4 の積層体 M C S を接着固定する接着材（絶縁性接着材）N C L 2 を含む。また、接着材 N C L 1、N C L 2 は、それぞれ絶縁性（非導電性）の材料（例えば樹脂材料）から成り、ロジックチップ L C と配線基板 2 の接合部、およびロジックチップ L C と積層体 M C S の接合部に接着材 N C L を配置することで、各接合部に設けられている複数の電極間を電氣的に絶縁することができる。

40

【0027】

また、図 4 に示す例では、複数のメモリチップ M C 1、M C 2、M C 3、M C 4 の間には、封止体 4 とは異なる封止体（チップ積層体用封止体、チップ積層体用樹脂体）6 が配置され、メモリチップ M C 1、M C 2、M C 3、M C 4 の積層体 M C S は封止体 6 により封止されている。封止体 6 は、複数のメモリチップ M C 1、M C 2、M C 3、M C 4 の表面 3 a および裏面 3 b に密着するように埋め込まれ、メモリチップ M C 1、M C 2、M C 3、M C 4 の積層体 M C S は、各半導体チップ 3 間の接合部および封止体 6 により一体化される。また、封止体 6 は、絶縁性（非導電性）の材料（例えば樹脂材料）から成り、メ

50

メモリチップMC1、MC2、MC3、MC4の各接合部に封止体6を配置することで、各接合部に設けられている複数の電極間を電氣的に絶縁することができる。ただし、図4に示すようにメモリチップMC1、MC2、MC3、MC4の積層体MCSのうち、最下段（最もロジックチップLCに近い位置）に搭載されるメモリチップMC1の表面3aは、封止体6から露出している。また、図3および図4に示すように、メモリチップMC1、MC2、MC3、MC4の積層体MCSのうち、最上段に配置されるメモリチップMC4の裏面3bは封止体6から露出している。

【0028】

また、半導体装置1は、複数の半導体チップ3を封止する封止体4を備える。封止体4は、上面（面、表面）4a、上面4aとは反対側に位置する下面（面、裏面、実装面）4b（図4参照）、および上面4aと下面4bの間に位置する側面4cを有し、平面視において四角形の外形形状を成す。図1に示す例では、封止体4の平面サイズ（上面4a側から平面視した時の寸法、上面4aの外形サイズ）は配線基板2の平面サイズと同じであって、封止体4の側面4cは配線基板2の側面2cと連なっている。また、図1に示す例では、封止体4の平面寸法（平面視における寸法）は、例えば一辺の長さが14mm程度の正方形を成す。

【0029】

封止体4は、複数の半導体チップ3を保護する樹脂体であって、複数の半導体チップ3間、および半導体チップ3と配線基板2に密着させて封止体4を形成することで、薄い半導体チップ3の損傷を抑制することができる。また、封止体4は、保護部材としての機能を向上させる観点から例えば以下のような材料で構成される。封止体4には、複数の半導体チップ3間および半導体チップ3および配線基板2に密着させ易く、かつ、封止後には、有る程度の硬さが要求されるので、例えばエポキシ系樹脂などの熱硬化性樹脂が含まれることが好ましい。また、硬化後の封止体4の機能を向上させるため、例えば、シリカ（二酸化珪素； SiO_2 ）粒子などのフィラー粒子が樹脂材料中に混合されていることが好ましい。例えば、封止体4を形成した後の熱変形による半導体チップ3の損傷を抑制する観点からは、フィラー粒子の混合割合を調整して、半導体チップ3と封止体4の線膨張係数を近づけることが好ましい。

【0030】

<半導体装置の回路構成>

次に、半導体装置1の回路構成例について説明する。図5に示すように、ロジックチップLCには、上記した演算処理回路PUの他、メモリチップMC1、MC2、MC3、MC4の主記憶回路MMの動作を制御する制御回路CUが形成されている。また、ロジックチップLCには、例えば一次的にデータを記憶するキャッシュメモリなど、上記した主記憶回路MMよりも記憶容量が小さい補助記憶回路（記憶回路）SMが形成されている。図5では、一例として演算処理回路PU、制御回路CU、補助記憶回路SMを総称して、コア回路（主回路）CR1として示している。ただし、コア回路CR1に含まれる回路は、上記以外の回路が含まれていても良い。

【0031】

また、ロジックチップLCには、図示しない外部機器との間で信号の入出力を行う外部インタフェース回路（外部入出力回路）GIFが形成されている。外部インタフェース回路GIFには、ロジックチップLCと図示しない外部機器との間で信号を送受する信号線SGが接続される。また、外部インタフェース回路GIFは、コア回路CR1とも電氣的に接続され、コア回路CR1は、外部インタフェース回路GIFを介して外部機器と信号を送受することができる。

【0032】

また、ロジックチップLCには、内部機器（例えば、メモリチップMC1、MC2、MC3、MC4）との間で信号の入出力を行う内部インタフェース回路（内部入出力回路）NIFが形成されている。内部インタフェース回路NIFには、データ信号を送受するデータ線（信号線）DS、アドレス信号を送受するアドレス線（信号線）AS、およびその

他の信号を伝送する信号線 O S が接続されている。これらの、データ線 D S、アドレス線 A S、および信号線 O S は、それぞれメモリチップ M C 1、M C 2、M C 3、M C 4 の内部インタフェース回路 N I F に接続されている。図 5 では、外部インタフェース回路 G I F や内部インタフェース回路 N I F など、ロジックチップ L C 以外の電子部品との間で信号の入出力を行う回路を、入出力回路 N S 1 として示している。

【 0 0 3 3 】

また、ロジックチップ L C には、コア回路 C R 1 や入出力回路 N S 1 を駆動するための電位を供給する電源回路 D R を備えている。電源回路 D R には、ロジックチップ L C の入出力回路 N S 1 を駆動する電圧を供給する、電源回路（入出力用電源回路）D R 1 と、ロジックチップ L C のコア回路 C R 1 を駆動する電圧を供給する、電源回路（コア用電源回路）D R 2 が含まれる。電源回路 D R には、例えば異なる複数の電位（第 1 電源電位と第 2 電源電位）が供給され、その電位差によりコア回路 C R 1 や入出力回路 N S 1 に印加される電圧が規定される。

10

【 0 0 3 4 】

ロジックチップ L C のように、ある装置やシステムの動作に必要な回路が一つの半導体チップ 3 に集約して形成されたものを、S o C（System on a Chip）と呼ぶ。ところで、ロジックチップ L C に図 5 に示す主記憶回路 M M を形成すれば、ロジックチップ L C、1 枚でシステムを構成することができる。しかし、動作させる装置やシステムに応じて、必要な主記憶回路 M M（図 5 参照）の容量は異なる。そこで、ロジックチップ L C とは別の半導体チップ 3 に主記憶回路 M M を形成することで、ロジックチップ L C の汎用性を向上させることができる。

20

【 0 0 3 5 】

また、要求される主記憶回路 M M の記憶容量に応じて、複数枚のメモリチップ M C 1、M C 2、M C 3、M C 4 を接続することで、システムが備える記憶回路の容量の設計上の自由度が向上する。図 5 に示す例では、メモリチップ M C 1、M C 2、M C 3、M C 4 には、それぞれ主記憶回路 M M が形成されている。図 5 では主記憶回路 M M をメモリチップ M C 1、M C 2、M C 3、M C 4 のコア回路（主回路）C R 2 として示している。ただし、コア回路 C R 2 に含まれる回路は、主記憶回路 M M 以外の回路が含まれていても良い。

【 0 0 3 6 】

また、メモリチップ M C 1、M C 2、M C 3、M C 4 には、それぞれ内部機器（例えば、ロジックチップ L C）との間で信号の入出力を行う内部インタフェース回路（内部入出力回路）N I F が形成されている。図 5 では、各メモリチップ M C 1、M C 2、M C 3、M C 4 以外の電子部品との間で信号の入出力を行う内部インタフェース回路 N I F を、入出力回路 N S 2 として示している。

30

【 0 0 3 7 】

また、メモリチップ M C 1、M C 2、M C 3、M C 4 には、コア回路 C R 2 や入出力回路 N S 2 を駆動するための電位を供給する電源回路（駆動回路）D R を備えている。電源回路 D R には、メモリチップ M C 1、M C 2、M C 3、M C 4 の入出力回路 N S 2 を駆動する電圧を供給する、電源回路（入出力用電源回路）D R 3 と、メモリチップ M C 1、M C 2、M C 3、M C 4 のコア回路 C R 2 を駆動する電圧を供給する、電源回路（コア用電源回路）D R 4 が含まれる。電源回路 D R には、例えば異なる複数の電位（例えば第 1 電源電位と第 2 電源電位）が供給され、その電位差によりコア回路 C R 2 や入出力回路 N S 2 に印加される電圧が規定される。

40

【 0 0 3 8 】

なお、図 5 に示す例では、ロジックチップ L C の電源回路 D R 1 と、メモリチップ M C 1、M C 2、M C 3、M C 4 の電源回路 D R 3 を兼用化している。言い換えれば、ロジックチップ L C の入出力回路 N S 1 とメモリチップ M C 1、M C 2、M C 3、M C 4 の入出力回路 N S 2 は、電源線 V 2 から供給される同じ電圧が印加されて駆動するようになっている。このように、電源回路 D R の一部または全部を兼用化することで、電源回路に電位（駆動電圧）を供給する電源線 V 1、V 2、V 3 の数を低減することができる。また、電

50

源線 V 1、V 2、V 3 の数を低減すれば、ロジックチップ L C に形成される電極数を低減することができる。

【 0 0 3 9 】

半導体装置 1 のように、ある装置やシステムの動作に必要な回路が一つの半導体装置 1 に集約して形成されたものを、S i P (System in Package) と呼ぶ。なお、図 4 では、一つのロジックチップ L C 上に、四つのメモリチップ M C 1、M C 2、M C 3、M C 4 を積層した例を示しているが、上記の通り、半導体チップ 3 の積層数には種々の変形例がある。図示は省略するが、例えば、最小限の構成としては、一つのロジックチップ L C 上に一つのメモリチップ M C 1 を搭載する変形例に適用することができる。

【 0 0 4 0 】

また、ロジックチップ L C およびメモリチップ M C 1、M C 2、M C 3、M C 4 の汎用性を向上させる観点からは、ロジックチップ L C およびメモリチップ M C 1、M C 2、M C 3、M C 4 の平面サイズ (平面視における寸法、表面 3 a および裏面 3 b の寸法、外形サイズ) は、各半導体チップ 3 の機能を達成可能な範囲内で最小化することが好ましい。ロジックチップ L C は、回路素子の集積度を向上させることにより平面サイズを低減することができる。一方、メモリチップ M C 1、M C 2、M C 3、M C 4 は、平面サイズに応じて、主記憶回路 M M の容量や伝送速度 (例えばデータバスの幅によるデータ転送量) が変化するので、平面サイズの小型化には限界がある。

【 0 0 4 1 】

このため、図 4 に示す例では、メモリチップ M C 4 の平面サイズは、ロジックチップ L C の平面サイズよりも大きい。例えば、メモリチップ M C 4 の平面サイズは、一辺の長さが 8 mm ~ 1 0 mm 程度の四角形であるのに対し、ロジックチップ L C の平面サイズは、一辺の長さが 5 mm ~ 6 mm 程度の四角形である。また、図示は省略するが、図 4 に示すメモリチップ M C 1、M C 2、M C 3 の平面サイズは、メモリチップ M C 4 の平面サイズと同じである。

【 0 0 4 2 】

また、上記したように、ロジックチップ L C には、図示しない外部機器との間で信号の入出力を行う外部インタフェース回路 G I F が形成されるので、外部機器との伝送距離を短縮する観点から、複数の半導体チップ 3 の積層順は、ロジックチップ L C を最下段、すなわち、配線基板 2 に最も近い位置に搭載することが好ましい。つまり、半導体装置 1 のように平面サイズの小さい半導体チップ 3 (ロジックチップ L C) 上に、平面サイズが大きい半導体チップ 3 (メモリチップ M C 1、M C 2、M C 3、M C 4) を積層する構成が好ましい。

【 0 0 4 3 】

< 半導体チップの構造例 >

次に、図 4 に示すロジックチップ L C およびメモリチップ M C 1、M C 2、M C 3、M C 4 の詳細および各半導体チップ 3 の電気的な接続方法について説明する。図 6 は図 4 に示す A 部の拡大断面図である。また、図 7 は、図 4 に示すメモリチップの表面側を示す平面図、図 8 は、図 7 に示すメモリチップの裏面側の一例を示す平面図である。また、図 9 は、図 4 に示すロジックチップの表面側を示す平面図、図 1 0 は、図 9 に示すロジックチップの裏面側の一例を示す平面図である。なお、図 6 ~ 図 1 0 では、見易さのため、電極数を少なくして示しているが、電極 (表面電極 3 a p、裏面電極 3 b p、貫通電極 3 t s v) の数は、図 6 ~ 図 1 0 に示す態様には限定されない。また、図 8 では、メモリチップ M C 1、M C 2、M C 3 の裏面図を示すが、裏面電極 3 b p が形成されないメモリチップ M C 4 (図 4 参照) の裏面の構造は、図 3 に示されているので、図示は省略する。

【 0 0 4 4 】

本願発明者は、S i P 型の半導体装置の性能を向上させる技術を検討しているが、この一環として、S i P に搭載される複数の半導体チップ間の信号伝送速度を、例えば 1 2 G b p s (毎秒 1 2 ギガビット) 以上に向上させる技術について検討した。S i P に搭載される複数の半導体チップ間の伝送速度を向上させる方法として、内部インタフェースのデ

10

20

30

40

50

ータバスの幅を大きくして1回に伝送するデータ量を増加させる方法がある(以下、バス幅拡大化と記載する)。また、別の方法として、単位時間当たりの伝送回数を増やす方法がある(以下、高クロック化と記載する)。また、上記したバス幅拡大法とクロック数増加法を組み合わせる方法がある。図1~図5を用いて説明した半導体装置1は、バス幅拡大化と高クロック化を組み合わせる適用することにより、内部インタフェースの伝送速度を12Gbps以上に向上させた半導体装置である。

【0045】

例えば図4に示すメモリチップMC1、MC2、MC3、MC4は、それぞれ512bitのデータバスの幅を持つ、所謂、ワイドI/Oメモリである。詳しくは、メモリチップMC1、MC2、MC3、MC4は、データバスの幅が128bitのチャンネルを、それぞれ4つ備えており、この4チャンネルのバス幅を合計すると、512bitとなる。また、各チャンネルの単位時間当たりの伝送回数は高クロック化され、例えばそれぞれ3Gbps以上になっている。

10

【0046】

このように、高クロック化とバス幅拡大化を組み合わせる適用する場合には、多数のデータ線を高速で動作させる必要があるため、ノイズの影響を低減する観点から、データの伝送距離を短縮する必要がある。そこで、図4に示すように、ロジックチップLCとメモリチップMC1は、ロジックチップLCとメモリチップMC1の間に配置される導電性部材を介して電氣的に接続されている。また、複数のメモリチップMC1、MC2、MC3、MC4は、それぞれ、複数のメモリチップMC1、MC2、MC3、MC4の間に配置される導電性部材を介して電氣的に接続される。言い換えれば、半導体装置1では、ロジックチップLCとメモリチップMC1の間の伝送経路に、配線基板2や図示しないワイヤ(ボンディングワイヤ)が含まれない。また、半導体装置1では、複数のメモリチップMC1、MC2、MC3、MC4間の伝送経路に、配線基板2や図示しないワイヤ(ボンディングワイヤ)が含まれない。

20

【0047】

本実施の形態では複数の半導体チップ3同士を直接的に接続する方法として、半導体チップ3を厚さ方向に貫通する貫通電極を形成し、この貫通電極を介して積層された半導体チップ3同士を接続する技術を適用している。詳しくは、図6に示すようにロジックチップLCは、表面3aに形成された複数の表面電極(電極、パッド、表面側パッド)3ap、および裏面3bに形成された複数の裏面電極(電極、パッド、裏面側パッド)3bpを有している。また、ロジックチップLCは、表面3aおよび裏面3bのうちの一方から他方に向かって貫通するように形成され、かつ、複数の表面電極3apと複数の裏面電極3bpを電氣的に接続する複数の貫通電極3tsvを有している。

30

【0048】

半導体チップ3が備える各種回路(半導体素子およびこれに接続される配線)は、半導体チップ3の表面3a側に形成される。詳しくは、半導体チップ3は、例えばシリコン(Si)からなる半導体基板(図示は省略)を備え、半導体基板の主面(素子形成面)に、例えばトランジスタなどの複数の半導体素子(図示は省略)が形成される。半導体基板の主面上(表面3a側)には、複数の配線と複数の配線間を絶縁する絶縁膜を備える配線層(図示は省略)が積層される。配線層の複数の配線は複数の半導体素子とそれぞれ電氣的に接続されて、回路を構成する。半導体チップ3の表面3a(図4参照)に形成される複数の表面電極3apは、半導体基板と表面3aの間に設けられている配線層を介して半導体素子と電氣的に接続され、回路の一部を構成する。

40

【0049】

したがって、図6に示すように、半導体チップ3を厚さ方向に貫通する貫通電極3tsvを形成し、貫通電極3tsvを介して表面電極3apと裏面電極3bpを電氣的に接続することで、裏面電極3bpと表面3a側に形成された半導体チップ3の回路を電氣的に接続することができる。つまり、図6に示すように、メモリチップMC1の表面電極3apとロジックチップLCの裏面電極3bpを、外部端子(突起電極、導電性部材、パンプ

50

電極) 7などの導電性部材を介して電氣的に接続すれば、メモリチップMC 1の回路とロジックチップLCの回路は貫通電極3 t s vを介して電氣的に接続される。

【0050】

また、本実施の形態では、メモリチップMC 1と配線基板2の間に搭載されるロジックチップLCが、複数の貫通電極3 t s vを有している。このため、メモリチップMC 1とロジックチップLCを、貫通電極3 t s vを介して電氣的に接続することで、ロジックチップLCとメモリチップMC 1の間の伝送経路から、配線基板2や図示しないワイヤ(ボンディングワイヤ)を排除することができる。この結果、ロジックチップLCとメモリチップMC 1の間の伝送経路中のインピーダンス成分を低減し、高クロック化させたことによるノイズの影響を低減することができる。言い換えれば、ロジックチップLCとメモリチップMC 1の間の信号伝送速度を向上させた場合でも、伝送信頼性を向上させることができる。

10

【0051】

また、図6に示す例では、ロジックチップLC上には、複数のメモリチップMC 1、MC 2、MC 3、MC 4が積層されるので、この複数のメモリチップMC 1、MC 2、MC 3、MC 4間でも、信号伝送速度を向上させることが好ましい。そこで、複数のメモリチップMC 1、MC 2、MC 3、MC 4のうち、上下にそれぞれ半導体チップ3が配置されるメモリチップMC 1、MC 2、MC 3は、ロジックチップLCと同様に複数の貫通電極3 t s vを有している。詳しくは、メモリチップMC 1、MC 2、MC 3のそれぞれは、表面3 aに形成された複数の表面電極(電極、パッド)3 a p、および裏面3 bに形成された複数の裏面電極(電極、パッド)3 b pを有している。また、メモリチップMC 1、MC 2、MC 3のそれぞれは、表面3 aおよび裏面3 bのうち的一方から他方に向かって貫通するように形成され、かつ、複数の表面電極3 a pと複数の裏面電極3 b pを電氣的に接続する複数の貫通電極3 t s vを有している。

20

【0052】

したがって、上記したロジックチップLCの場合と同様に、メモリチップMC 1、MC 2、MC 3、MC 4のうち、上段側の半導体チップ3の表面電極3 a pと下段側の半導体チップ3の裏面電極3 b pを、外部端子7などの導電性部材を介して電氣的に接続すれば、積層された複数の半導体チップ3の回路は、貫通電極3 t s vを介して電氣的に接続される。

30

【0053】

このため、各半導体チップ3間を、外部端子7(半田材7 a)を介して接続することで、メモリチップMC 1、MC 2、MC 3、MC 4の間の伝送経路から、配線基板2や図示しないワイヤ(ボンディングワイヤ)を排除することができる。この結果、積層された複数のメモリチップMC 1、MC 2、MC 3、MC 4の間の伝送経路中のインピーダンス成分を低減し、高クロック化させたことによるノイズの影響を低減することができる。言い換えれば、複数のメモリチップMC 1、MC 2、MC 3、MC 4の間の信号伝送速度を向上させた場合でも、伝送信頼性を向上させることができる。

【0054】

なお、図6に示す例では、最上段に搭載されるメモリチップMC 4は、メモリチップMC 3と接続されれば良いので、複数の表面電極3 a pは形成されるが、複数の裏面電極3 b pおよび複数の貫通電極3 t s vは形成されていない。このように、最上段に搭載されるメモリチップMC 4は、複数の裏面電極3 b pおよび複数の貫通電極3 t s vを備えない構造を採用することで、メモリチップMC 4の製造工程を簡略化することができる。ただし、図示は省略するが、変形例としては、メモリチップMC 4についても、メモリチップMC 1、MC 2、MC 3と同様に、複数の裏面電極3 b pおよび複数の貫通電極3 t s vを備えた構造にすることもできる。この場合、積層される複数のメモリチップMC 1、MC 2、MC 3、MC 4を同一の構造にすることで、製造効率を向上させることができる。

40

【0055】

50

また、積層された半導体チップ3の間に配置され、上段側の半導体チップ3の表面電極3apと下段側の半導体チップ3の3bpを電氣的に接続する外部端子7は、図6に示す例では、例えば以下の材料を用いている。すなわち、ロジックチップLCと配線基板2を電氣的に接続する外部端子7は、柱状(例えば円柱形)に形成した銅(Cu)を主成分とする部材(突起電極7b)の先端に、ニッケル(Ni)膜、半田(例えばSnAg)膜(半田材7a)を積層した金属部材であって、先端の半田膜を裏面電極3bpに接合させることで、電氣的に接続される。

【0056】

また、ロジックチップLCと配線基板2の接合部以外では、突起電極7bを介さずに、半田材7aを介して接合する例を示している。この場合、表面電極3apの露出面に半田材7aを接合し、半田材7aを外部端子(所謂マイクロバンプと呼ばれるバンプ電極)として用いることができる。

【0057】

ただし、外部端子7を構成する材料は、電氣的特性上の要求、あるいは接合強度上の要求を満たす範囲内で種々の変形例を適用することができる。例えば、メモリチップMC1、MC2、MC3、MC4の表面電極3apのそれぞれに、突起電極7bを形成し、突起電極7bおよび半田材7aを介して電氣的に接続することができる。あるいは、ロジックチップLCの表面電極3apの露出面に半田材7aを直接接合し、この半田材7aを介して配線基板2と電氣的に接続することができる。

【0058】

また、図6に示すロジックチップLCやメモリチップMC1、MC2、MC3のように、貫通電極3tsvを備える半導体チップ3は、厚さ、すなわち、表面3aと裏面3bの離間距離は薄く(小さく)することが好ましい。半導体チップ3の厚さを薄くすれば、貫通電極3tsvの伝送距離が短縮されるので、インピーダンス成分を低減できる点で好ましい。また、半導体基板の厚さ方向に開口部(貫通孔および貫通しない穴を含む)を形成する場合、孔の深さが深くなるほど加工精度が低下する。言い換えれば、半導体チップ3の厚さを薄くすれば、貫通電極3tsvを形成するための開口部の加工精度を向上させることができる。このため、複数の貫通電極3tsvの径(半導体チップ3の厚さ方向に対して直交方向の長さ、幅)を揃えることができるので、複数の伝送経路のインピーダンス成分を制御し易くなる。

【0059】

図6に示す例では、ロジックチップLCの厚さは、ロジックチップLC上に配置される複数のメモリチップMC1、MC2、MC3、MC4の積層体MCS(図4参照)の厚さよりも薄い。また、ロジックチップLCの厚さは、複数のメモリチップMC1、MC2、MC3、MC4のうち、最上段に搭載され、貫通電極3tsvが形成されていないメモリチップMC4の厚さよりも薄い。例えば、ロジックチップLCの厚さは50μmである。これに対し、メモリチップMC4の厚さは80μm~100μm程度である。また、複数のメモリチップMC1、MC2、MC3、MC4の積層体MCS(図4参照)の厚さは260μm程度である。

【0060】

上記のように、半導体チップ3を薄型化する場合、半導体チップ3を露出させた状態では、半導体チップ3が損傷する懸念がある。本実施の形態によれば、図4に示すように、複数の半導体チップ3に封止体4を密着させて封止する。このため、封止体4は半導体チップ3の保護部材として機能し、半導体チップ3の損傷を抑制することができる。つまり、本実施の形態によれば、複数の半導体チップ3を樹脂で封止することにより、半導体装置1の信頼性(耐久性)を向上させることができる。

【0061】

また、貫通電極3tsvを備える半導体チップ3を積層する半導体装置1の場合、伝送距離短縮の観点から、半導体チップ3と配線基板2の間隔も狭くする事が好ましい。例えば、図6に示す例では、ロジックチップLCの表面3aと配線基板2の上面2aの間隔は

10

20

30

40

50

例えば $10\ \mu\text{m} \sim 20\ \mu\text{m}$ 程度である。また、メモリチップ MC 1 の表面 3 a と配線基板 2 の上面 2 a の間隔は例えば $70\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度である。このように、貫通電極 3 t s v を備える半導体チップ 3 を積層する半導体装置 1 では、半導体チップ 3 の厚さおよび離間距離を小さくすることで、伝送距離の短縮を図ることが好ましい。

【0062】

また、本実施の形態では、表面電極 3 a p および裏面電極 3 b p の平面視におけるレイアウトにおいて、メモリチップ MC 1、MC 2、MC 3、MC 4 とロジックチップ LC の間の伝送距離を短縮することが可能な構成を適用している。

【0063】

図 7 に示すように、メモリチップ MC 1、MC 2、MC 3、MC 4 が備える複数の表面電極 3 a p は、表面 3 a において中央部に集約して配置されている。図 8 に示すように、メモリチップ MC 1、MC 2、MC 3 が備える複数の裏面電極 3 b p は、裏面 3 b において中央部に集約して配置されている。図 6 に示すように、メモリチップ MC 1、MC 2、MC 3、MC 4 の複数の表面電極 3 a p とメモリチップ MC 1、MC 2、MC 3 の複数の裏面電極 3 b p は、それぞれが厚さ方向に重なる位置に配置されている。

【0064】

また、図 9 に示すように、ロジックチップ LC が備える複数の表面電極 3 a p のうちの一部（複数の表面電極 3 a p 1）は、表面 3 a において中央部に集約して配置されている。また、ロジックチップ LC が備える複数の表面電極 3 a p のうちの一部（複数の表面電極 3 a p 2）は、表面 3 a の周縁部に表面 3 a の辺（側面 3 c）に沿って配置されている。図 9 に示す複数の表面電極 3 a p のうち、表面 3 a の中央部に配置される複数の表面電極 3 a p 1 は、図 6 に示す貫通電極 3 t s v を介して裏面電極 3 b p と電気的に接続されている。つまり複数の表面電極 3 a p 1 は、内部インタフェース用の電極である。一方、図 9 に示す複数の表面電極 3 a p のうち、表面 3 a の周縁部に配置される複数の表面電極 3 a p 2 は、図 4 に示す配線基板 2 を介して図示しない外部機器と電気的に接続されている。詳しくは、表面電極 3 a p 2 は、外部端子 7 を介してボンディングリード 2 f（図 4 参照）と電気的に接合されている。つまり複数の表面電極 3 a p 2 は、外部インタフェース用の電極である。

【0065】

複数の半導体チップ 3 の間の伝送距離を短くする観点からは、図 6 に示すように内部インタフェース用の表面電極 3 a p と裏面電極 3 b p を厚さ方向に重なる位置に配置して外部端子 7 を介して接続する方式が特に好ましい。

【0066】

また、上記したように、ロジックチップ LC の平面サイズは、メモリチップ MC 1、MC 2、MC 3、MC 4 の平面サイズよりも小さい。また、図 3 に示すように半導体装置 1 では、平面視において、ロジックチップ LC の裏面 3 b の中央部（中央領域）がメモリチップ MC 4 の中心部（中央領域）と重なるように配置されている。つまり、平面視において、メモリチップ MC 4 の四つの側面 3 c は、ロジックチップ LC の四つの側面 3 c よりも外側に配置される。言い換えれば、複数の半導体チップ 3 は、メモリチップ MC 4 の四つの側面 3 c が、ロジックチップ LC の四つの側面 3 c と配線基板 2 の四つの側面 2 c の間に位置するように、配線基板 2 上に積層して搭載される。また、図 4 に示すメモリチップ MC 1、MC 2、MC 3 は平面視において、メモリチップ MC 4 と重なる位置（同じ位置）に配置される。

【0067】

このため、平面視において、メモリチップ MC 1、MC 2、MC 3、MC 4 の周縁部（表面 3 a および裏面 3 b の周縁部）は、ロジックチップ LC の外側の周辺領域と重なる位置に配置される。言い換えれば、メモリチップ MC 1、MC 2、MC 3、MC 4 の周縁部と配線基板 2 の間には、ロジックチップ LC が存在しない（例えば図 4 を参照）。

【0068】

そこで、図 6 に示す各半導体チップ 3 の、内部インタフェース用の表面電極 3 a p と裏

10

20

30

40

50

面電極 3 b p を厚さ方向に重なる位置に配置するためには、少なくとも内部インタフェース用の表面電極 3 a p と裏面電極 3 b p は、ロジックチップ L C と厚さ方向に重なる位置に配置することが好ましい。また、ロジックチップ L C の周縁部には、図 9 に示すように、外部インタフェース用の複数の表面電極 3 a p 2 が配置される。したがって、ロジックチップ L C の表面 3 a において、内部インタフェース用の複数の表面電極 3 a p 1 は、表面 3 a の中央部に集約して配置することが好ましい。

【 0 0 6 9 】

また、図 7 に示すように、メモリチップ M C 1、M C 2、M C 3、M C 4 の表面 3 a 側（詳しくは、半導体基板の主面上）には、複数のメモリ領域（記憶回路素子配列領域）M R が形成されている。図 7 に示す例では、上記した 4 チャンネルに対応した四つのメモリ領域 M R が形成されている。各メモリ領域 M R には複数のメモリセル（記憶回路素子）がアレイ状に配置されている。ここで、図 7 に示すように、複数の表面電極 3 a p を表面 3 a の中央部に集約して配置すれば、表面電極群が配置された領域を囲むように、4 チャンネル分のメモリ領域 M R を配置することができる。この結果、各メモリ領域 M R から表面電極 3 a p までの距離を均等化することができる。つまり、複数のチャンネルそれぞれの伝送距離を等長化することができるので、チャンネル毎の伝送速度の誤差を低減することができる点で好ましい。

【 0 0 7 0 】

ところで、図 9 に示すロジックチップ L C の表面 3 a の中央部に集約される表面電極 3 a p 1 を内部インタフェース専用の電極として利用する場合には、表面電極 3 a p 1 を図 6 に示す配線基板 2 と電氣的に接続しなくても機能させることができる。しかし、図 6 に示すように、表面電極 3 a p 1 の一部を配線基板 2 のボンディングリード 2 f と電氣的に接続した場合には、表面電極 3 a p 1 の一部を外部インタフェース用の電極として利用できる点で好ましい。

【 0 0 7 1 】

例えば、メモリチップ M C 1、M C 2、M C 3、M C 4 には図 5 に示す主記憶回路 M M を駆動させるための電源回路 D R が形成されるが、この電源回路 D R に電源電位（第 1 基準電位）や基準電位（第 1 基準電位と異なる第 2 基準電位、例えば接地電位）を供給する端子として、図 9 に示す表面電極 3 a p 1 の一部を利用することが考えられる。言い換えれば、図 9 に示す例では、ロジックチップ L C の表面 3 a の中央部に配置される複数の表面電極 3 a p 1 には、第 1 基準電位（例えば電源電位）が供給される第 1 基準電位電極と、第 1 基準電位とは異なる第 2 基準電位（例えば接地電位）が供給される第 2 基準電位電極が含まれる。さらに言い換えれば、図 9 に示す例では、ロジックチップ L C の表面 3 a の中央部に配置される複数の表面電極 3 a p 1 には、メモリチップ M C 1 に形成された回路を駆動する電圧を供給する電源線 V 2、V 3（図 5 参照）が含まれる。

【 0 0 7 2 】

信号伝送速度を向上させる場合、瞬間的な電圧降下などによる動作の不安定化を抑制する観点から、電源の供給源と電源を消費する回路間の伝送距離を短くすることが好ましい。そこで、ロジックチップ L C の表面電極 3 a p 1 の一部を配線基板 2 と電氣的に接続し、第 1 基準電位（例えば電源電位）や第 2 基準電位（例えば接地電位）を供給すれば、電源を消費する回路が形成されたメモリチップ M C 1、M C 2、M C 3、M C 4 の駆動回路までの距離を短縮できる点で好ましい。また、第 1 基準電位（例えば電源電位）が供給される第 1 基準電位電極と、第 1 基準電位とは異なる第 2 基準電位（例えば接地電位）が供給される第 2 基準電位電極は、図 6 に示すように表面電極 3 a p と裏面電極 3 b p が厚さ方向に重なるように配置され、かつ貫通電極 3 t s v を介して電氣的に接続されていることが好ましい。

【 0 0 7 3 】

< 半導体チップの位置合わせ精度 >

本願発明者の検討によれば、下段側の半導体チップ 3 の裏面電極 3 b p と、上段側の半導体チップ 3 の表面電極 3 a p を対向配置させて、外部端子 7 を介して電氣的に接続する

10

20

30

40

50

場合、半導体チップ3を積層する際に、高い位置合わせ精度が要求されることが判った。

【0074】

図6に示すように、下段側の半導体チップ3の裏面電極3bpと上段側の半導体チップ3の表面電極3apを電氣的に接続するためには、裏面電極3bpの位置と表面電極3apの位置が厚さ方向に重なるように配置する必要がある。また、裏面電極3bpの位置と表面電極3apの位置が重なる面積が小さい場合、半田材7aと裏面電極3bp（または表面電極3ap）との接合面積が小さくなって、電氣的特性が低下する懸念が生じる。このため、下段側の半導体チップ3の裏面電極3bpと上段側の半導体チップ3の表面電極3apの位置合わせ精度を向上させる必要がある。

【0075】

特に、図10に示すように、ロジックチップLCの裏面電極3bpの数が増えると、位置合わせ精度が要求される対象物が増えるので、特に高精度での位置合わせが必要になる。また、ロジックチップLCの裏面電極3bpの電極間ピッチ（隣り合う電極の離間距離）が小さくなると、位置ズレにより、隣の電極に接触してしまう懸念が大きくなるので、特に高精度での位置合わせが必要になる。

【0076】

そこで、本願発明者は、配線基板2上に複数の半導体チップ3を積層する際に、位置合わせ精度を向上させる技術について検討を行った。図11は、図4に示す半導体装置を組み立てる際に使用する位置合わせ手段（アライメントマーク）を模式的に示す説明図である。また、図12は図11に対応する検討例を示す説明図である。

【0077】

まず、本願発明者は、図12に示すように、配線基板2と複数の半導体チップ3の表面3aに、それぞれアライメントマーク50を形成する方法について検討した。図12に示す位置合わせ方法では、まず、配線基板2に形成したアライメントマーク50aと、ロジックチップLCの表面3aに形成されたアライメントマーク50bを検出（認識）して位置合わせを行った後、配線基板2上にロジックチップLCを搭載する。次に、配線基板2に形成したアライメントマーク50aと、積層体MCSの表面3aに形成されたアライメントマーク50dを検出（認識）して位置合わせを行った後、ロジックチップLC上に積層体MCSを搭載する。

【0078】

図12に示す方法の場合、ロジックチップLCの配線基板2に対する位置合わせ精度は、主として、アライメントマーク50a、50bの位置を検出する検出精度と、ロジックチップLCを搭載する際の搬送精度により規定される。例えば、電極間ピッチ（隣り合う電極の離間距離）が60μmである場合に、ロジックチップLCの配線基板2に対する位置合わせ精度を±5μm～10μm程度の誤差範囲内に収めれば、ロジックチップLCと配線基板2の電氣的接続信頼性は十分に確保可能である。

【0079】

一方、積層体MCSの配線基板2に対する位置合わせ精度は、主として、アライメントマーク50a、50dの位置を検出する検出精度と、積層体MCSを搭載する際の搬送精度により規定される。したがって、上記したロジックチップLCを搭載する工程と同じ検出装置、同じ搭載装置を用いれば、積層体MCSの配線基板2に対する位置合わせ精度を±5μm～10μm程度の誤差範囲内に収めることができる。

【0080】

ところが、図12に示す方法の場合、積層体MCSのロジックチップLCに対する位置合わせ精度は、積層体MCSとロジックチップLCそれぞれの位置ズレを考慮する必要があるので、±10μm～20μmになってしまう。また、ロジックチップLCの裏面電極3bpと積層体MCSの表面電極3apの位置合わせ精度については、各電極の形成位置精度も考慮する必要がある。このように、図12に示す方法の場合、積層する半導体チップ3の数を増やす度に、位置合わせ精度が低下してしまう。また、図12に示すように2枚の半導体チップ3を積層する場合であっても、電極間ピッチによっては、電氣的信頼性

10

20

30

40

50

が低下する懸念が顕在化する。

【0081】

そこで、本願発明者はさらに検討を行い、図11に示す構成を見出した。すなわち、図12に示す構成に加え、ロジックチップLCの裏面3bにアライメントマーク50cを形成している。図11に示す位置合わせ方法では、まず、配線基板2に形成したアライメントマーク50aと、ロジックチップLCの表面3aに形成されたアライメントマーク50bを検出(認識)して位置合わせを行った後、配線基板2上にロジックチップLCを搭載する。この点は図12に示す位置合わせ方法と同様である。

【0082】

次に、ロジックチップLCに形成されたアライメントマーク50cと、積層体MCSの表面3aに形成されたアライメントマーク50dを検出(認識)して位置合わせを行った後、ロジックチップLC上に積層体MCSを搭載する。つまり、図11に示す位置合わせ方法は、ロジックチップLCに形成されたアライメントマーク50cに対して位置合わせを行う点で図12に示す位置合わせ方法とは異なる。

【0083】

図11に示す位置合わせ方法の場合、ロジックチップLCの裏面3bに形成されたアライメントマーク50cを位置合わせの基準として用いるので、積層体MCSのロジックチップLCに対する位置合わせ精度は、ロジックチップLCの位置ズレを考慮する必要がない。例えば上記した例と同じ検出装置、おなじ搭載装置を用いれば、 $\pm 5\mu\text{m} \sim 10\mu\text{m}$ 程度の誤差範囲内に収めることができる。また、図11に示す位置合わせ方法の場合、積層される半導体チップ3の数を増やした場合でも、位置合わせ精度の低下を防止することができる。

【0084】

つまり、下段側の半導体チップ3に対する上段側の半導体チップ3の位置合わせ精度は、半導体チップ3の積層数には影響されない。また、電極間ピッチが狭い場合であっても、検出装置や搭載装置が備える実力に応じた位置合わせ精度を確保できるので、半導体チップ3間の電氣的接続信頼性の低下を抑制することができる。

【0085】

図3および図7～図10には、本実施の形態1の半導体装置1が有するアライメントマーク50のレイアウト例を記載しているが、アライメントマークの詳細な構造、および好ましい実施態様については半導体装置1の製造方法を説明する際に、詳細に説明する。

【0086】

<半導体装置の製造方法>

次に、図1～図11を用いて説明した半導体装置1の製造工程について説明する。半導体装置1は、図13に示すフローに沿って製造される。図13は、図1～図11を用いて説明した半導体装置の製造工程の概要を示す説明図である。各工程の詳細については、図14～図45を用いて、以下に説明する。

【0087】

<基板準備工程>

まず、図13に示す基板準備工程では、図14～図18に示す配線基板20を準備する。図14は、図13に示す基板準備工程で準備する配線基板の全体構造を示す平面図である。また、図15は図14に示すデバイス領域1個分の拡大平面図である。また、図16は図15のA-A線に沿った拡大断面図である。また、図17は、図15の反対側の面を示す拡大平面図である。また、図18は、図15のB-B線に沿った拡大断面図である。なお、図14～図17では、見易さのため、端子数を少なくして示しているが、端子(ボンディングリード2f、ランド2g)の数は、図14～図17に示す態様には限定されない。

【0088】

図14に示すように、本工程で準備する配線基板20は、枠部(外枠)20bの内側に複数のデバイス領域20aを備えている。詳しくは、複数(図14では27個)のデバイ

10

20

30

40

50

ス領域 20a が行列状に配置されている。複数のデバイス領域 20a は、それぞれが、図 1 ~ 図 4 に示す配線基板 2 に相当する。配線基板 20 は、複数のデバイス領域 20a と、各デバイス領域 20a の間にダイシングライン（ダイシング領域）20c を有する、所謂、多数個取り基板である。このように、複数のデバイス領域 20a を備える多数個取り基板を用いることで、製造効率を向上させることができる。

【0089】

また、図 15 および図 16 に示すように各デバイス領域 20a には、図 4 を用いて説明した配線基板 2 の構成部材がそれぞれ形成されている。配線基板 20 は、上面 2a、上面 2a の反対側の下面 2b、および上面 2a 側と下面 2b 側を電氣的に接続する複数の配線層（図 4 に示す例では 4 層）を有する。各配線層には、複数の配線 2d および複数の配線 2d 間、および隣り合う配線層間を絶縁する絶縁層（コア層）2e が形成されている。また、配線 2d には、絶縁層 2e の上面または下面に形成される配線 2d1、および絶縁層 2e を厚さ方向に貫通するように形成されている層間導電路であるビア配線 2d2 が含まれる。

10

【0090】

また、図 15 に示すように、配線基板 20 の上面 2a は、図 13 に示す第 1 チップ搭載工程において、図 9 に示すロジックチップ LC を搭載する予定領域であるチップ搭載領域（チップ搭載部）2p1 を含む。チップ搭載領域 2p1 は上面 2a において、デバイス領域 20a の中央部に存在する。なお、図 15 ではチップ搭載領域 2p1、デバイス領域 20a、およびダイシングライン 20c の位置を示すため、チップ搭載領域 2p1、デバイス領域 20a、およびダイシングライン 20c の輪郭を 2 点鎖線で示す。しかし、チップ搭載領域 2p1 は、上記の通りロジックチップ LC を搭載する予定領域なので、実際に視認可能な境界線が存在する必要はない。また、デバイス領域 20a およびダイシングライン 20c についても、実際に視認可能な境界線が存在する必要はない。

20

【0091】

また、配線基板 20 の上面 2a は、複数のボンディングリード（端子、チップ搭載面側端子、電極）2f が形成されている。ボンディングリード 2f は、図 13 に示す第 1 チップ搭載工程において、図 9 に示すロジックチップ LC の表面 3a に形成された複数の表面電極 3ap と電氣的に接続される端子である。本実施の形態では、ロジックチップ LC の表面 3a 側を配線基板 20 の上面 2a と対向させる、所謂、フェイスダウン実装方式でロジックチップ LC を搭載するので、複数のボンディングリード 2f の接合部は、チップ搭載領域 2p1 の内側に形成される。

30

【0092】

また、配線基板 20 の上面 2a は、絶縁膜（ソルダレジスト膜）2h により覆われている。絶縁膜 2h には開口部 2hw が形成され、この開口部 2hw において、複数のボンディングリード 2f の少なくとも一部（半導体チップとの接合部、ボンディング領域）が絶縁膜 2h から露出している。また、図示しないが、本実施の形態では、ダイシングライン（ダイシング領域）20c の上面も絶縁膜 2h から露出している。これにより、後の個片化工程（図 13 参照）においてダイシングブレード（回転刃）を使用した際、このダイシングブレードに絶縁膜 2h が目詰まりすることを抑制できる。すなわち、切断性の低下を抑制できる。しかしながら、切断性を考慮しなければ、ダイシングライン 20c の上面は絶縁膜 2h で覆われていても良い。

40

【0093】

一方、図 17 に示すように、配線基板 20 の下面 2b には複数のランド 2g が形成されている。配線基板 20 の下面 2b は、絶縁膜（ソルダレジスト膜）2k により覆われている。絶縁膜 2k には開口部 2kw が形成され、この開口部 2kw において、複数のランド 2g の少なくとも一部（半田ボール 5 との接合部）が絶縁膜 2k から露出している。また、図示しないが、本実施の形態では、ダイシングライン（ダイシング領域）20c の下面も絶縁膜 2k から露出している。これにより、後の個片化工程（図 13 参照）においてダイシングブレード（回転刃）を使用した際、このダイシングブレードに絶縁膜 2k が目詰

50

まりすることを抑制できる。すなわち、切断性の低下を抑制できる。しかしながら、切断性を考慮しなければ、ダイシングライン 20c の上面は絶縁膜 2k で覆われていても良い。

【0094】

また、図 16 に示すように、複数のボンディングリード 2f と複数のランド 2g は、複数の配線 2d を介して、それぞれ電氣的に接続されている。これら複数の配線 2d、複数のボンディングリード 2f および複数のランド 2g などの導体パターンは、例えば、銅 (Cu) を主成分とする金属材料で形成される。また、複数の配線 2d、複数のボンディングリード 2f および複数のランド 2g は例えば、電解めっき法により形成することができる。また、図 16 に示すように、4 層以上 (図 16 では 4 層) の配線層を有する配線基板 20 は、例えばビルドアップ工法により、形成することができる。

10

【0095】

また、図 15 および図 18 に示すように、配線基板 20 の上面 2a には、アライメントマーク 50a が形成されている。アライメントマーク 50a は、図 13 に示す第 1 マーク検出工程で検出対象となるパターンであって、例えば、図 16 に示す配線 2d やボンディングリード 2f と同じ金属材料で形成されている。また、図 18 に示す例では、絶縁膜 2h に開口部 2hs が形成され、アライメントマーク 50a は、開口部 2hs において絶縁膜 2h から露出している。

【0096】

詳細は後述するが、図 13 に示す第 1 マーク検出工程では、カメラなどのイメージセンサを用いて、アライメントマーク 50a の位置を検出する。したがって、絶縁膜 2h から露出する金属パターンをアライメントマーク 50a とすることにより、光の反射効率が向上するので、位置検出精度を向上させられる点で好ましい。ただし、アライメントマーク 50a の輪郭形状が認識できれば良い。したがって、例えば絶縁膜 2h が可視光透過性を有する材料であれば、アライメントマーク 50a が絶縁膜 2h に覆われていても良い。

20

【0097】

アライメントマーク 50a は、例えば、複数のボンディングリード 2f および複数の配線 2d を形成する際に一括して形成することができる。

【0098】

また、図 15 に示すように、アライメントマーク 50a は、デバイス領域 20a 内に形成することが好ましい。変形例としては、アライメントマーク 50a をデバイス領域 20a の外、すなわち、ダイシングライン (ダイシング領域) 20c 内、または図 14 に示す枠部 20b に形成する実施態様も考えられる。しかし、上記したように、アライメントマーク 50a は、図 11 に示す配線基板 2 とロジックチップ LC の位置合わせを行う際に用いる。このため、チップ搭載領域 2p1 に近い、デバイス領域 20a 内に形成する方が、アライメントマーク 50a を形成する際の位置精度が向上する点で好ましい。また、変形例として、ダイシングライン (ダイシング領域) 20c 内にアライメントマーク 50a を配置する場合には、後述する第 1 接着材配置工程において、アライメントマーク 50a が接着材により覆われ難くなる。したがって、アライメントマーク 50a を確実に露出させる観点からは、ダイシングライン 20c 内にアライメントマーク 50a を配置することが

30

40

【0099】

また、図 15 に示すように、アライメントマーク 50a は、デバイス領域 20a の複数箇所に形成することが好ましい。アライメントマーク 50a が 1 個の場合であっても、上面 2a に沿った座表面において、アライメントマーク 50a の X 座標の位置と Y 座標の位置は特定できる。しかし、アライメントマーク 50a を少なくとも 2 箇所以上に形成することにより、デバイス領域 20a の 方向の位置を特定することができるので、位置検出精度を向上させることができる。

【0100】

また、 方向の位置を特定する精度を向上させる観点からは、2 つのアライメントマ

50

ク 5 0 a の離間距離を大きくする方が好ましい。したがって、図 1 5 に示すように、一つのアライメントマーク 5 0 a をデバイス領域 2 0 a の一つの角部に配置し、他のアライメントマーク 5 0 a をデバイス領域 2 0 a の上記一つの角部の対角に位置する角部に配置することが特に好ましい。言い換えれば、二つのアライメントマーク 5 0 a は、デバイス領域 2 0 a の一つの対角線上に配置されることが好ましい。

【 0 1 0 1 】

< 第 1 接着材配置工程 >

次に、図 1 3 に示す第 1 接着材配置工程では、図 1 9 および図 2 0 に示すように、配線基板 2 0 の上面 2 a のチップ搭載領域 2 p 1 上に接着材 N C L 1 を配置する。図 1 9 は、図 1 5 に示すチップ搭載領域に接着材を配置した状態を示す拡大平面図、図 2 0 は図 1 9 の A - A 線に沿った拡大断面図である。なお、図 1 9 ではチップ搭載領域 2 p 1、2 p 2、デバイス領域 2 0 a、およびダイシングライン 2 0 c の位置を示すため、チップ搭載領域 2 p 1、2 p 2、デバイス領域 2 0 a、およびダイシングライン 2 0 c の輪郭をそれぞれ 2 点鎖線で示す。しかし、チップ搭載領域 2 p 1、2 p 2 は、それぞれ、ロジックチップ L C および積層体 M C S を搭載する予定領域なので、実際に視認可能な境界線が存在する必要はない。また、デバイス領域 2 0 a およびダイシングライン 2 0 c についても、実際に視認可能な境界線が存在する必要はない。なお、以下、チップ搭載領域 2 p 1、2 p 2、デバイス領域 2 0 a およびダイシングライン 2 0 c を平面図において図示する場合には、同様に実際に視認可能な境界線が存在する必要はない。

【 0 1 0 2 】

一般に、半導体チップをフェイスダウン実装方式（フリップチップ接続方式）で配線基板上に搭載する場合、半導体チップと配線基板を電氣的に接続した後で接続部分を樹脂で封止する方式（後注入方式）が行われる。この場合、半導体チップと配線基板の隙間の近傍に配置したノズルから樹脂を供給し、毛細管現象を利用して樹脂を隙間に埋め込む。

【 0 1 0 3 】

一方、本実施の形態で説明する例では、後述する第 1 チップ搭載工程でロジックチップ L C（図 9 参照）を配線基板 2 0 上に搭載する前に、接着材 N C L 1 をチップ搭載領域 2 p 1 に配置し、接着材 N C L 1 上からロジックチップ L C を押し付けて配線基板 2 0 と電氣的に接続する方式（先塗布方式）で、ロジックチップ L C を搭載する。

【 0 1 0 4 】

上記した後注入方式の場合、毛細管現象を利用して樹脂を隙間に埋め込むので、一つのデバイス領域 2 0 a に対する処理時間（樹脂を注入する時間）が長くなる。一方、上記した先塗布方式の場合、ロジックチップ L C の先端（例えば、図 6 に示す突起電極 7 b の先端に形成された半田材 7 a）とボンディングリード 2 f の接合部が接触した時点で、既に配線基板 2 0 とロジックチップ L C の間には、接着材 N C L 1 が埋め込まれている。したがって、上記した後注入方式と比較して、一つのデバイス領域 2 0 a に対する処理時間を短縮し、製造効率を向上させることができる点で好ましい。

【 0 1 0 5 】

ただし、本実施の形態に対する変形例としては図 1 3 に示す第 1 チップ搭載工程と第 1 接着材配置工程の順番を前後させて、後注入方式を適用することができる。例えば、一括して形成する製品形成領域が少ない場合には、処理時間の差は小さくなるので、後注入方式を用いた場合でも、製造効率の低下を抑制できる。

【 0 1 0 6 】

また、先塗布方式で使用する接着材 N C L 1 は、上記したように、絶縁性（非導電性）の材料（例えば樹脂材料）から成る。

【 0 1 0 7 】

また、接着材 N C L 1 はエネルギーを加えることで硬さ（硬度）が硬くなる（高くなる）樹脂材料で構成され、本実施の形態では、例えば熱硬化性樹脂を含んでいる。また、硬化前の接着材 N C L 1 は図 6 に示す外部端子 7 よりも柔らかく、ロジックチップ L C を押し付けることにより変形させられる。

【0108】

また、硬化前の接着材NCL1は、ハンドリング方法の違いから、以下の2通りに大別される。一つは、NCP (Non-Conductive Paste) と呼ばれるペースト状の樹脂 (絶縁材ペースト) から成り、図示しないノズルからチップ搭載領域2p1に塗布する方式がある。もう一つは、NCF (Non-Conductive Film) と呼ばれる、予めフィルム状に成形された樹脂 (絶縁材フィルム) から成り、フィルム状態のままチップ搭載領域2p1に搬送し、貼り付ける方法がある。絶縁材ペースト (NCP) を使用する場合、絶縁材フィルム (NCF) のように貼り付ける工程が不要なので、絶縁材フィルムを使用する場合よりも半導体チップ等と与えるストレスを小さくすることができる。一方、絶縁材フィルム (NCF) を使用する場合、絶縁材ペースト (NCP) よりも保形性が高いので、接着材NCL1を配置する範囲や厚さを制御し易い。

10

【0109】

図19および図20に示す例では、絶縁材フィルム (NCF) である接着材NCL1をチップ搭載領域2p1上に配置して、配線基板20の上面2aと密着するように貼り付けた例を示している。ただし、図示は省略するが、変形例としては、絶縁材ペースト (NCP) を用いることもできる。

【0110】

また、本工程では、図19に示すように、アライメントマーク50aの光反射効率向上の観点から、接着材NCL1でアライメントマーク50aを覆わないように配置することが好ましい。接着材NCL1が可視光透過性を有する材料であれば、アライメントマーク50aが接着材NCL1に覆われていても良いが、この場合、接着材NCL1の材料選択の自由度が低下する。そこで、アライメントマーク50aは接着材NCL1から露出させることが特に好ましい。

20

【0111】

また、アライメントマーク50aを、接着材NCL1から露出させるため、アライメントマーク50aの形成位置は、デバイス領域20aの周縁部に形成することが好ましい。

【0112】

< 第1チップ準備工程 >

また、図13に示す第1チップ準備工程では、図9および図10に示すロジックチップLCを準備する。図21は、図6に示す貫通電極を備えた半導体チップの製造工程の概要を模式的に示す説明図である。また、図22は図21に続く半導体チップの製造工程の概要を模式的に示す説明図である。なお、図21および図22では、貫通電極3tsvおよび貫通電極3tsvと電気的に接続される裏面電極3bpの製造方法を中心に説明し、貫通電極3tsv以外の各種回路の形成工程については図示および説明を省略する。また、図21および図22に示す半導体チップの製造方法は、図4に示すロジックチップLCの他、メモリチップMC1、MC2、MC3の製造方法にも適用することができる。

30

【0113】

まず、ウエハ準備工程として、図21に示すウエハ (半導体基板) WHを準備する。ウエハWHは、例えばシリコン (Si) から成る半導体基板であって、平面視において円形を成す。ウエハWHは、半導体素子形成面である表面 (主面、上面) WHsおよび表面WHsの反対側の裏面 (主面、下面) WHbを有する。また、ウエハWHの厚さは、図4に示すロジックチップLCやメモリチップMC1、MC2、MC3の厚さよりも厚く、例えば数百μm程度である。

40

【0114】

次に、孔形成工程として、図6に示す貫通電極3tsvを形成するための孔 (穴、開口部) 3tshを形成する。図21に示す例では、マスク25をウエハWHの表面WHs上に配置して、エッチング処理を施すことにより孔3tshを形成する。なお、図4に示すロジックチップLCやメモリチップMC1、MC2、MC3の半導体素子は、例えば本工程の後で、かつ、次の配線層形成工程の前に形成することができる。

【0115】

50

次に、孔 3 t s h 内に例えば銅 (C u) などの金属材料を埋め込んで貫通電極 3 t s v を形成する。次に、配線層形成工程として、ウエハ W H の表面 W H s 上に配線層 (チップ配線層) 3 d を形成する。本工程では、図 7 や図 9 に示す複数の表面電極 3 a p を形成し、複数の貫通電極 3 t s v と複数の表面電極 3 a p をそれぞれ電氣的に接続する。なお表面電極 3 a p や表面電極 3 a p と一体に形成される最上層の配線層 3 d は、例えばアルミニウム (A l) から成る金属膜で形成する。

【 0 1 1 6 】

また、本工程では、図 4 に示すロジックチップ L C やメモリチップ M C 1、M C 2、M C 3 の半導体素子と図 7 および図 9 に示す複数の表面電極 3 a p を、配線層 3 d を介して電氣的に接続する。これにより、ロジックチップ L C やメモリチップ M C 1、M C 2、M C 3 の半導体素子は配線層 3 d を介して電氣的に接続される。

10

【 0 1 1 7 】

また、本工程では、図 9 に示すアライメントマーク 5 0 b、または図 7 に示すアライメントマーク 5 0 d を形成する。アライメントマーク 5 0 b、5 0 d は、表面電極 3 a p や最上層の配線層 3 d と同じ材料 (例えばアルミニウム) で形成できるので、表面電極 3 a p を形成する際に、一括して形成することができる。図 9 に示すアライメントマーク 5 0 b および図 7 に示すアライメントマーク 5 0 d の詳細については後述する。

【 0 1 1 8 】

次に、外部端子形成工程として、表面電極 3 a p (図 7、図 9 参照) 上に外部端子 7 を形成する。本工程では、図 6 に示すように、ロジックチップ L C の表面電極 3 a p 上に突起電極 7 b を形成する。突起電極 7 b の先端に半田材 7 a を形成する。あるいは、メモリチップ M C 1 の表面電極 3 a p 上に半田材 7 a を形成する。この半田材 7 a が、図 6 に示す半導体チップ 3 を配線基板 2、または下層の半導体チップ 3 上に搭載する際の接合材として機能する。

20

【 0 1 1 9 】

次に、図 2 2 に示す裏面研磨工程として、ウエハ W H の裏面 W H b (図 2 1 参照) 側を研磨し、ウエハ W H の厚さを薄くする。これにより、図 5 に示す半導体チップ 3 の裏面 3 b が露出する。言い換えると、貫通電極 3 t s v はウエハ W H を厚さ方向に貫通する。また、複数の貫通電極 3 t s v は、ウエハ W H の裏面 3 b においてウエハ W H から露出する。図 2 2 に示す例において、裏面研磨工程では、ガラス板などの支持基材 2 6 および表面 W H s 側を保護する外部端子 7 を保護する保護層 2 7 によりウエハ W H を支持した状態で、研磨治具 2 8 を用いて研磨する。

30

【 0 1 2 0 】

次に、裏面電極形成工程において、裏面 3 b に複数の裏面電極 3 b p を形成し、複数の貫通電極 3 t s v と電氣的に接続する。

【 0 1 2 1 】

また、本工程では、図 1 0 に示すアライメントマーク 5 0 c を形成する。アライメントマーク 5 0 c は、裏面電極 3 b p と同じ材料 (例えば銅) で形成できるので、裏面電極 3 b p を形成する際に、一括して形成することができる。図 1 0 に示すアライメントマーク 5 0 c の詳細については後述する。

40

【 0 1 2 2 】

次に個片化工程として、ウエハ W H をダイシングラインに沿って分割し、複数の半導体チップ 3 を取得する。その後、必要に応じて検査を行い、図 4 に示す半導体チップ 3 (ロジックチップ L C やメモリチップ M C 1、M C 2、M C 3) が得られる。

【 0 1 2 3 】

< 第 1 チップ搭載工程 >

次に、図 1 3 に示す第 1 チップ搭載工程では、図 2 3 や図 2 4 に示すように、ロジックチップ L C を配線基板 2 0 上に搭載する。なお、図 1 3 に記載される第 1 チップ搬送工程、第 1 マーク検出工程、および第 1 位置合わせ工程は、ロジックチップ L C を配線基板 2 0 上に搭載する工程に含まれるサブ工程として考えることができる。したがって、本実施

50

の形態では、第1チップ搬送工程、第1マーク検出工程、および第1位置合わせ工程は、第1チップ搭載工程に含まれるサブ工程として説明する。

【0124】

図23は図19に示す配線基板のチップ搭載領域上にロジックチップLCを搭載した状態を示す拡大平面図である。また、図24は、図23のA-A線に沿った拡大断面図である。また、図25は、図13に示す第1チップ搬送工程の要部を模式的に示す説明図である。図26は、図13に示す第1マーク検出工程の要部を模式的に示す説明図である。また、図27は、図26に示すロジックチップのアライメントマークの断面構造の要部を示す要部拡大断面図である。また、図28は、図13に示す第1位置合わせ工程の要部を模式的に示す説明図である。また、図29は、図28に示す第1位置合わせ工程の後、ロジックチップを配線基板に向かって移動させた状態を模式的に示す説明図である。また、図30は、図29に示す保持治具を取り外し、加熱治具を半導体チップの裏面側に押し当てた状態を示す説明図である。

10

【0125】

本工程では、図24に示すように、ロジックチップLCの表面3aが配線基板20の上面2aと対向するように、所謂フェイスダウン実装方式（フリップチップ接続方式）によりロジックチップLCを搭載する。また、本工程によりロジックチップLCと配線基板20は電氣的に接続される。詳しくは、ロジックチップLCの表面3aに形成された複数の表面電極3apと配線基板20の上面2aに形成された複数のボンディングリード2fは、外部端子7（図6に示す突起電極7bおよび半田材7a）を介して電氣的に接続される。以下、本工程の詳細なフローについて図25～図30を用いて説明する。

20

【0126】

第1チップ搭載工程には、まず、図25に示すように、配線基板20のチップ搭載領域2p1上にロジックチップLC（半導体チップ3）を配置する、第1チップ搬送工程が含まれる。ロジックチップLCは、裏面3b側が保持治具（コレット）30に保持された状態でチップ搭載領域2p1上に搬送され、素子形成面側に位置する表面3aが配線基板20の上面2aと対向するようにチップ搭載領域2p1上（または、接着材NCL1上）に配置される。保持治具30は、ロジックチップLCの裏面3bを吸着保持する保持面30aを有し、ロジックチップLCを保持面30aで保持した状態で搬送する。

30

【0127】

また、ロジックチップLCの表面3a側には突起電極7bが形成されており、突起電極7bの先端には半田材7aが形成されている。一方、配線基板20の上面2aに形成されたボンディングリード2fの接合部には、突起電極7bと電氣的に接続するための接合材である半田材7aが、予め形成されている。

【0128】

本実施の形態では、図13に示す第1位置合わせ工程で、ロジックチップLCと配線基板20の精密な位置合わせを行うので、第1チップ搬送工程の段階では、搬送位置の精度は低くても良い。ただし、第1位置合わせ工程での位置合わせ精度を向上させる観点からは、第1位置合わせ工程での移動距離を小さくする方が好ましい。したがって、例えば、第1チップ搬送工程では、チップ搭載領域2p1上にロジックチップLCが配置される程度の精度で、配線基板20の上面2a上にロジックチップLCを配置することが好ましい。

40

【0129】

次に、第1チップ搭載工程には、図26に示すように、配線基板20のアライメントマーク50aとロジックチップLCのアライメントマーク50bを検出（認識）する、第1マーク検出工程が含まれる。図26に示すように、第1マーク検出工程では、ロジックチップLCを配線基板20上に配置した状態で、配線基板20とロジックチップLCの間にカメラ（マーク位置検出装置、イメージセンサ、撮像装置）60を配置して、配線基板20のアライメントマーク50aとロジックチップLCのアライメントマーク50bを検出（認識）する。

50

【 0 1 3 0 】

カメラ 6 0 は、例えば、可視光を受光する受光部 6 0 a、受光部 6 0 a で受光した光を電気信号に変換する光電変換回路部 6 0 b、および光電変換部で変換された電気信号を外部に出力する出力回路部 6 0 c を備えている。また、カメラ 6 0 は、制御部 6 1 と電氣的に接続され、出力回路部 6 0 c から出力された電気信号は、制御部 6 1 が備える、画像処理回路（図示は省略）に伝送され、画像処理が施されると、アライメントマーク 5 0（アライメントマーク 5 0 a、5 0 b）の位置データ（座標データ）が出力される。また、アライメントマーク 5 0 a とボンディングリード 2 f の接合部の位置関係を規定する位置データを制御部 6 1 に入力することで、制御部 6 1 において、ボンディングリード 2 f の接合部や表面電極 3 a p の位置を算出することができる。

10

【 0 1 3 1 】

また、図 2 6 に示す例では、外部から入射された可視光を受光部 6 0 a に向けて反射する、可視光反射部（ミラー）6 0 d を備えている。また、カメラ 6 0 は、図示しない駆動装置に接続され、配線基板 2 0 上を自在に移動可能な状態で固定されている。したがって、可視光反射部 6 0 d の反射角度を変更し、かつ、カメラ 6 0 の位置を移動させることで、アライメントマーク 5 0 a、5 0 b の位置を同じカメラ 6 0 で検出（認識）することができる。

【 0 1 3 2 】

また、図 2 6 に示す例では、配線基板 2 0 上には複数のアライメントマーク 5 0 a が、ロジックチップ L C の表面 3 a 側には複数のアライメントマーク 5 0 b が、それぞれ形成されている。このように、配線基板 2 0 とロジックチップ L C の表面 3 a にそれぞれ複数のアライメントマーク 5 0 を形成し、この複数のアライメントマーク 5 0 の位置をそれぞれ検出することで、例えば、図 1 9 に示す X Y 平面における座標データに加え、座標軸の傾きを表す 方向のデータを取得することができる。また、アライメントマーク 5 0 の座標データと 方向のデータを取得すれば、複数のボンディングリード 2 f（図 1 5 参照）の位置、または、複数の表面電極 3 a p（図 9 参照）の位置を正確に算出することができる。

20

【 0 1 3 3 】

また、図 1 9 に示すように、複数のアライメントマーク 5 0 a は、平面視において、四角形を成すデバイス領域 2 0 a の一つの対角線上に配置されるように、対向する角部に配置されている。また、図 9 に示すように、複数のアライメントマーク 5 0 b は、平面視において、四角形を成す表面 3 a の一つの対角線上に配置されるように、対向する角部に配置されている。このように、アライメントマーク 5 0 を互いに対角に位置する角部に配置することで、上記した 方向のデータの精度を向上させることができる。この結果、複数のボンディングリード 2 f（図 1 5 参照）の位置、または、複数の表面電極 3 a p（図 9 参照）の位置を算出する精度を向上させることができる。

30

【 0 1 3 4 】

また、図 2 7 に示すように、ロジックチップ L C の表面 3 a に形成されるアライメントマーク 5 0 b は、ロジックチップ L C の最表面に形成された絶縁膜（保護膜、パッシベーション膜）3 p から露出させることが好ましい。図 2 7 に示す例では、ロジックチップ L C の最表面に形成された絶縁膜（保護膜、パッシベーション膜）3 p に開口部 3 p s が形成され、アライメントマーク 5 0 b は、開口部 3 p s において絶縁膜 3 p から露出している。なお、図 2 7 では、アライメントマーク 5 0 b の下層には、厳密には、半導体基板の半導体素子形成面（主面）、表面電極 3 a p（図 9 参照）を電氣的に接続する配線層が配置されている。図 2 7 では、この配線層の図示を省略し、半導体基板であるウエハ W H のみを示している。

40

【 0 1 3 5 】

図 1 8 を用いて説明したアライメントマーク 5 0 a と同様に、絶縁膜 3 p から露出する金属パターンをアライメントマーク 5 0 b とすることにより、光の反射効率が向上するの

50

で、位置検出精度を向上させられる点で好ましい。ただし、アライメントマーク50bの輪郭形状が認識できれば良い。したがって、例えば絶縁膜3pが可視光透過性を有する材料であれば、アライメントマーク50bが絶縁膜3pに覆われていても良い。

【0136】

なお、アライメントマーク50aについては、図18を用いて説明した通りなので、重複する説明は省略する。

【0137】

次に、第1チップ搭載工程には、図28に示すように、配線基板20とロジックチップLCの位置合わせを行う、第1位置合わせ工程が含まれる。図28に示すように、第1位置合わせ工程では、配線基板20の上面2aに沿って、ロジックチップLCと配線基板20の相対的位置を移動させて、複数のボンディングリード2fの接合部と、ロジックチップLCの表面3aに形成された複数の外部端子7が対向配置されるようにする。

10

【0138】

上記したように、本実施の形態によれば、複数のボンディングリード2fの位置、および複数の表面電極3apの位置を、それぞれ高精度で算出することができる。したがって、これらの算出データに基づいて、ロジックチップLCと配線基板20の相対的位置を移動させれば、高精度で位置合わせを行うことができる。

【0139】

図28に示す例では、ロジックチップLCと配線基板20の相対的位置を移動させる方法として、図28に矢印を付して示すようにロジックチップLCを保持する保持治具30を、配線基板20の上面2aに沿って移動させる。ただし、ロジックチップLCと配線基板20の相対的位置関係を移動させることが出来れば良いので、ロジックチップLC、配線基板20のいずれか一方、若しくは両方を移動させることができる。

20

【0140】

次に、図29に示すように、ロジックチップLCを配線基板20に向かって移動させる。この時、接着材NCL1は、加熱硬化前の柔らかい状態で配線基板20上に配置されている。したがって、ロジックチップLCの表面3a側は、接着材NCL1に埋め込まれる。また、図29に示す例では、ロジックチップLCの表面3a側に形成される、アライメントマーク50bは接着材NCL1に覆われる。しかし、アライメントマーク50bの位置を検出する工程(第1マーク検出工程)は、既に完了しているので、特に問題は生じない。

30

【0141】

また、上記した第1位置合わせ工程により、ロジックチップLCと配線基板20の相対的位置は高精度で位置合わせされている。したがって、配線基板20に向かって、ロジックチップLCを直線的に移動させれば、複数のボンディングリード2fの接合部と、ロジックチップLCの表面3aに形成された複数の外部端子7が対向配置された状態を維持することができる。

【0142】

次に、図30に示すように、加熱治具31をロジックチップLCの裏面3b側に押し当て、配線基板20に向かってロジックチップLCを押し付ける。上記したように、接着材NCL1は硬化前の柔らかい状態なので、加熱治具31によりロジックチップLCを押し込むと、ロジックチップLCは配線基板20に近づく。ロジックチップLCが配線基板20に近づく、ロジックチップLCの表面3aに形成された複数の外部端子7の先端(詳しくは、半田材7a)は、ボンディングリード2fのボンディング領域(詳しくは半田材7a)と接触する。

40

【0143】

また、接着材NCL1の厚さは、少なくとも外部端子7の高さ(突出高さ)、およびボンディングリード2fの厚さの合計よりも厚い。このため、加熱治具31に押し込まれると、ロジックチップLCの表面3a側の一部は、接着材NCL1に埋め込まれる。言い換えれば、ロジックチップLCの側面のうち、少なくとも表面3a側の一部は、接着材NCL1

50

L 1 に埋め込まれる。

【 0 1 4 4 】

ここで、ロジックチップ L C には、アライメントマーク 5 0 c および裏面電極 3 b p が形成されているので、接着材 N C L 1 が裏面 3 b 側に回り込んでアライメントマーク 5 0 c や裏面電極 3 b p が覆われることを防止する必要がある。そこで、図 3 0 に示すように、加熱治具 3 1 とロジックチップ L C の間に加熱治具 3 1 およびロジックチップ L C よりも柔らかい部材（低弾性部材）、例えば樹脂フィルム（フィルム）3 2 を介在させて、樹脂フィルム 3 2 でロジックチップ L C の裏面 3 b を覆うことが好ましい。樹脂フィルム 3 2 を介してロジックチップ L C を押し付ければ、樹脂フィルム 3 2 がロジックチップ L C の裏面 3 b に密着するので、接着材 N C L 1 の厚さを厚くしても、接着材 N C L 1 がロジックチップ L C の裏面 3 b に回り込むことを抑制できる。なお、本実施の形態の樹脂フィルム 3 2 は、例えばフッ素樹脂から成る。

10

【 0 1 4 5 】

次に、図 3 0 に示すように加熱治具 3 1 にロジックチップ L C が押し付けられた状態で、加熱治具（熱源）3 1 によりロジックチップ L C および接着材 N C L 1 を加熱する。ロジックチップ L C と配線基板 2 0 の接合部では、ボンディングリード 2 f 側の半田材 7 a と外部端子側の半田材 7 a がそれぞれ溶融し、一体化することで、外部端子 7 とボンディングリード 2 f を電氣的に接続する接合材になる。つまり、加熱治具（熱源）3 1 によりロジックチップ L C を加熱することで、突起電極 7 b とボンディングリード 2 f は、半田材 7 a を介して電氣的に接続される。

20

【 0 1 4 6 】

また、接着材 N C L 1 を加熱することで、接着材 N C L 1 は硬化する。これにより、ロジックチップ L C の一部が埋め込まれた状態で硬化した接着材 N C L 1 が得られる。また、ロジックチップ L C のアライメントマーク 5 0 c および裏面電極 3 b p は、樹脂フィルム 3 2 に覆われているので、硬化した接着材 N C L 1 から露出する。なお、加熱治具（熱源）3 1 からの熱によって接着材 N C L 1 を完全に硬化させる必要はなく、ロジックチップ L C を固定できる程度に接着材 N C L 1 に含まれる熱硬化性樹脂の一部を硬化（仮硬化）させた後、配線基板 2 0 を図示しない加熱炉に移し、残りの熱硬化性樹脂を硬化（本硬化）させる実施態様にすることができる。接着材 N C L 1 に含まれる熱硬化性樹脂成分全体が硬化する本硬化処理が完了するまでには、時間を要するが、本硬化処理を加熱炉で行うことで、製造効率を向上させることができる。

30

【 0 1 4 7 】

< 第 2 接着材配置工程 >

次に、図 1 3 に示す第 2 接着材配置工程では、図 3 1 に示すように、ロジックチップ L C （半導体チップ 3 ）の裏面 3 b 上に、接着材 N C L 2 を配置する。図 3 1 は図 2 0 に示す半導体チップの裏面およびその周囲に接着材を配置した状態を示す拡大平面図、図 3 2 は図 3 1 の A - A 線に沿った拡大断面図である。

【 0 1 4 8 】

図 6 に示すように、本実施の形態の半導体装置 1 は、積層される複数の半導体チップ 3 の内、最下段（例えば第 1 段目）に搭載されるロジックチップ L C 、および下段から数えて第 2 段目に搭載されるメモリチップ M C 1 は、いずれもフェイスダウン実装方式（フリップチップ接続方式）で搭載される。このため、上記した第 1 接着材配置工程で説明したように、一つのデバイス領域 2 0 a （図 3 1 、図 3 2 参照）に対する処理時間を短縮し、製造効率を向上させることができる点で、上記した先塗布方式を適用することが好ましい。

40

【 0 1 4 9 】

また、先塗布方式で使用する接着材 N C L 2 は、上記したように、絶縁性（非導電性）の材料（例えば樹脂材料）から成る。また、接着材 N C L 2 はエネルギーを加えることで硬さ（硬度）が硬くなる（高くなる）樹脂材料で構成され、本実施の形態では、例えば熱硬化性樹脂を含んでいる。また、硬化前の接着材 N C L 2 は図 6 に示す突起電極 7 b より

50

も柔らかく、ロジックチップＬＣを押し付けることにより変形させられる。

【０１５０】

また、硬化前の接着材ＮＣＬ２は、ハンドリング方法の違いから、ＮＣＰと呼ばれるペースト状の樹脂（絶縁材ペースト）と、ＮＣＦと呼ばれる、予めフィルム状に成形された樹脂（絶縁材フィルム）に大別される。本工程で使用する接着材ＮＣＬ２としては、ＮＣＰおよびＮＣＦのいずれか一方を用いることができる。図３１および図３２に示す例では、ＮＣＰをノズル３３（図３２参照）から吐出して、ロジックチップＬＣの裏面３ｂ上に、接着材ＮＣＬ２を配置する。

【０１５１】

なお、ノズル３３からペースト状の接着材ＮＣＬ２を吐出する点に関しては、上記第１接着材配置工程で説明した、後注入方式と共通する。しかし、本実施の形態では、図４に示すメモリチップＭＣ１を搭載する前に、予め接着材ＮＣＬ２を搭載する。したがって、毛細管現象を利用して樹脂を注入する後注入方式と比較すると、接着材ＮＣＬ２の塗布速度は大幅に向上させることができる。

【０１５２】

また、図３１に示すように、ロジックチップＬＣの裏面に形成された複数のアライメントマーク５０ｃは、図１３に示す第２マーク検出工程における検出対象物なので、アライメントマーク５０ｃが露出するように、接着材ＮＣＬ２を配置することが好ましい。接着材ＮＣＬ２を可視光に対して透明あるいは半透明な材料で形成すれば、アライメントマーク５０ｃが接着材ＮＣＬ２に覆われた場合でもアライメントマーク５０ｃの位置は検出できる。しかし、材料選択の自由度を向上させる観点からは、図３１に示すようにアライメントマーク５０ｃが露出するように、接着材ＮＣＬ２を配置することが好ましい。また、絶縁材ペースト（ＮＣＰ）は、絶縁材フィルム（ＮＣＦ）と比較して、接着材の配置領域を小さくできるので、アライメントマーク５０ｃを露出させ易い。

【０１５３】

接着材ＮＣＬ２は、図１３に示す第２チップ搭載工程でメモリチップＭＣ１（図４参照）とロジックチップＬＣ（図４参照）を接着固定する固定材機能を有する。また、接着材ＮＣＬ２は、メモリチップＭＣ１とロジックチップＬＣの接合部を封止することにより保護する封止材機能を有する。なお、上記封止機能には、メモリチップＭＣ１とロジックチップＬＣの接合部に伝達される応力を分散させて緩和することにより接合部を保護する、応力緩和機能が含まれる。

【０１５４】

上記封止材機能を満たす観点では、メモリチップＭＣ１とロジックチップＬＣの接合部の周囲を包むように接着材ＮＣＬ２を配置すれば良いので、少なくともメモリチップＭＣ１を搭載した時に、図６に示す複数の外部端子７が接着材ＮＣＬ２に封止されていれば良い。

【０１５５】

< 第２チップ準備工程 >

また、図１３に示す第２チップ準備工程では、図４に示すメモリチップＭＣ１、ＭＣ２、ＭＣ３、ＭＣ４の積層体ＭＣＳを準備する。本実施の形態に対する変形例としては、ロジックチップＬＣ上にメモリチップＭＣ１、ＭＣ２、ＭＣ３、ＭＣ４を順次積層することができる。しかし、本実施の形態では、メモリチップＭＣ１、ＭＣ２、ＭＣ３、ＭＣ４を予め積層して、図３４に示す積層体（メモリチップ積層体、半導体チップ積層体）ＭＣＳを形成する実施態様について説明する。以下で説明するように、メモリチップＭＣ１、ＭＣ２、ＭＣ３、ＭＣ４の積層体ＭＣＳを形成する場合、例えば、図１３に示す第２チップ準備工程以外の工程とは別の場所で、他の工程とは独立して行うことができる。例えば、積層体ＭＣＳは、購入部品として準備することも可能である。このため、図１３に示す組立工程を簡略化し、全体として製造効率を向上させることができる点で有利である。

【０１５６】

図３３は、図４に示すメモリチップの積層体の組立工程の概要を模式的に示す説明図で

ある。また、図 3 4 は図 3 3 に続くメモリチップの積層体の組立工程の概要を模式的に示す説明図である。なお、図 3 3 および図 3 4 に示す複数のメモリチップ M C 1、M C 2、M C 3、M C 4 のそれぞれの製造方法は、図 2 1 および図 2 2 を用いて説明した半導体チップの製造方法を適用して製造することができるので、説明を省略する。

【 0 1 5 7 】

まず、組立基材準備工程として、図 3 4 に示す積層体 M C S を組み立てるための基材（組立基材）3 4 を準備する。基材 3 4 は、複数のメモリチップ M C 1、M C 2、M C 3、M C 4 を積層する組立面 3 4 a を有し、組立面 3 4 a には、接着層 3 5 が設けられている。

【 0 1 5 8 】

次にチップ積層工程として、メモリチップ M C 1、M C 2、M C 3、M C 4 を基材 3 4 の組立面 3 4 a 上に積層する。図 3 3 に示す例では、積層される各半導体チップの裏面 3 b が基材 3 4 の組立面 3 4 a と対向するように、メモリチップ M C 4、M C 3、M C 2、M C 1 の順で、順次積層される。上段側の半導体チップ 3 の裏面電極 3 b p と下段側の半導体チップ 3 の表面電極 3 a p は、例えば外部端子 7（半田材 7 a）により接合される。また、最上段に配置されるメモリチップ M C 1 の表面電極 3 a p には、図 7 に示すように複数のアライメントマーク 5 0 d が形成されている。

【 0 1 5 9 】

次に、図 3 4 に示す積層体封止工程では、積層された複数の半導体チップ 3 の間に、樹脂（アンダフィル樹脂）を供給し、封止体（チップ積層体用封止体、チップ積層体用樹脂体）6 を形成する。この封止体 6 は、上記第 1 接着材配置工程で説明した、後注入方式により形成される。すなわち、予め複数の半導体チップ 3 を積層した後、ノズル 3 6 からアンダフィル樹脂 6 a を供給し、積層された複数の半導体チップ 3 の間に埋め込む。アンダフィル樹脂 6 a は図 1 3 に示す封止工程で使用する封止用の樹脂よりも粘度が低く、毛細管現象を利用して複数の半導体チップ 3 の間に埋め込むことができる。その後、半導体チップ 3 の間に埋め込まれたアンダフィル樹脂 6 a を硬化させて封止体 6 を得る。

【 0 1 6 0 】

この後注入方式で封止体 6 を形成する方法は、所謂、トランスファモールド方式と比較して隙間の埋め込み特性に優れているため、積層された半導体チップ 3 の間の隙間が狭い場合に適用して有効である。また、図 3 4 に示すようにアンダフィル樹脂 6 a を埋め込む隙間が複数段に形成されている場合、複数の隙間に対して一括してアンダフィル樹脂 6 a を埋め込むことができる。このため、全体としては処理時間を短縮できる。

【 0 1 6 1 】

次に、組立基材除去工程では、基材 3 4 および接着層 3 5 を、メモリチップ M C 4 の裏面 3 b から剥離させて取り除く。基材 3 4 と接着層 3 5 を取り除く方法としては、例えば接着層 3 5 に含まれる樹脂成分（例えば紫外線硬化樹脂）を硬化させる方法を適用することができる。以上の工程により、複数のメモリチップ M C 1、M C 2、M C 3、M C 4 が積層され、各メモリチップ M C 1、M C 2、M C 3、M C 4 の接続部が封止体 6 により封止された積層体 M C S が得られる。この積層体 M C S は、複数の表面電極 3 a p が形成された表面 3 a（メモリチップ M C 1 の表面 3 a）および表面 3 a の反対側に位置する裏面 3 b（メモリチップ M C 4 の裏面 3 b）を有する一つのメモリチップと見做すことができる。

【 0 1 6 2 】

< 第 2 チップ搭載工程 >

次に、図 1 3 に示す第 2 チップ搭載工程では、図 3 5 および図 3 6 に示すように、積層体 M C S をロジックチップ L C の裏面 3 b 上に搭載する。なお、図 1 3 に記載される第 2 チップ搬送工程、第 2 マーク検出工程、および第 2 位置合わせ工程は、積層体 M C S をロジックチップ L C 上に搭載する工程に含まれるサブ工程として考えることができる。したがって、本実施の形態では、第 2 チップ搬送工程、第 2 マーク検出工程、および第 2 位置合わせ工程は、第 2 チップ搭載工程に含まれるサブ工程として説明する。

【 0 1 6 3 】

図 3 5 は図 3 1 に示すロジックチップの裏面上に積層体を搭載した状態を示す拡大平面図である。また、図 3 6 は、図 3 5 の A - A 線に沿った拡大断面図である。また、図 3 7 は、図 1 3 に示す第 2 チップ搬送工程の要部を模式的に示す説明図である。図 3 8 は、図 1 3 に示す第 2 マーク検出工程の要部を模式的に示す説明図である。また、図 3 9 は、図 1 3 に示す第 2 位置合わせ工程の要部を模式的に示す説明図である。また、図 4 0 は、図 3 9 に示す第 2 位置合わせ工程の後、ロジックチップを配線基板に向かって移動させた状態を模式的に示す説明図である。また、図 4 1 は、図 4 0 に示す保持治具を取り外し、加熱治具を半導体チップの裏面側に押し当てた状態を示す説明図である。

【 0 1 6 4 】

本工程では、図 3 6 に示すように、積層体 M C S の表面 3 a (メモリチップ M C 1 の表面 3 a) がロジックチップ L C の裏面 3 b と対向するように、所謂フェイスダウン実装方式 (フリップチップ接続方式) により積層体 M C S を搭載する。また、本工程により複数のメモリチップ M C 1、M C 2、M C 3、M C 4 とロジックチップ L C は電氣的に接続される。詳しくは、図 6 に示すように、積層体 M C S (メモリチップ M C 1) の表面 3 a に形成された複数の表面電極 3 a p とロジックチップ L C の裏面 3 b に形成された複数の裏面電極 3 b p は、外部端子 7 (図 6 に示す半田材 7 a) を介して電氣的に接続される。以下、本工程の詳細なフローについて図 3 7 ~ 図 4 1 を用いて説明する。

【 0 1 6 5 】

第 2 チップ搭載工程には、まず、図 3 7 に示すように、配線基板 2 0 のチップ搭載領域 2 p 2 上に積層体 M C S (半導体チップ 3) を配置する、第 2 チップ搬送工程が含まれる。積層体 M C S は、裏面 3 b 側が保持治具 (コレット) 3 0 に保持された状態でチップ搭載領域 2 p 2 上に搬送され、素子形成面側に位置する表面 3 a が配線基板 2 0 の上面 2 a と対向するようにチップ搭載領域 2 p 2 上 (または、接合材 N C L 2 上) に配置される。保持治具 3 0 は、積層体 M C S の裏面 3 b を吸着保持する保持面 3 0 a を有し、積層体 M C S を保持面 3 0 a で保持した状態で搬送する。チップ搭載領域 2 p 2 は、本工程で積層体 M C S を搭載する予定領域であって、第 1 チップ搭載工程で説明したチップ搭載領域 2 p 1 と同様に実際に視認可能な境界線が存在する必要はない。

【 0 1 6 6 】

また、積層体 M C S の表面 3 a 側には外部端子 7 が形成されている。図 3 7 に示す例では、外部端子 7 として、半田材 7 a を接合した例を示している。ただし、図 2 5 に示すロジックチップ L C と同様に、突起電極 7 b を形成し、その先端に半田材 7 a を形成する変形例を適用することもできる。

【 0 1 6 7 】

また、図 3 7 に示す例では、ロジックチップ L C の裏面 3 b に形成された裏面電極 3 b p の上面には半田材などの接合材は、形成されていない。ただし、図 3 7 に対する変形例として、裏面電極 3 b p にも、図示しない半田材を形成しておく実施態様を適用することもできる。ただし、裏面電極 3 b p を覆う半田材を上記した第 1 チップ搭載工程よりも前に形成しておく場合、図 3 0 に示す加熱治具 3 1 で加熱した時に、溶融した半田が樹脂フィルム 3 2 に付着する懸念がある。したがって、ロジックチップ L C の裏面電極 3 b p に半田材を形成する場合には、上記第 1 チップ搭載工程の後、かつ、上記第 1 接着材配置工程の前に、半田材を塗布する方法が好ましい。

【 0 1 6 8 】

また、本実施の形態では、図 1 3 に示す第 2 位置合わせ工程で、積層体 M C S と配線基板 2 0 の精密な位置合わせを行うので、第 2 チップ搬送工程の段階では、搬送位置の精度は低くても良い。ただし、第 2 位置合わせ工程での位置合わせ精度を向上させる観点からは、第 2 位置合わせ工程での移動距離を小さくする方が好ましい。したがって、例えば、第 2 チップ搬送工程では、チップ搭載領域 2 p 2 上に積層体 M C S が配置される程度の精度で、配線基板 2 0 の上面 2 a 上に積層体 M C S を配置することが好ましい。

【 0 1 6 9 】

次に、第2チップ搭載工程には、図38に示すように、ロジックチップLCの裏面3bのアライメントマーク50cと積層体MCSのアライメントマーク50bを検出(認識)する、第2マーク検出工程が含まれる。

【0170】

図38に示すように、第2マーク検出工程では、積層体MCSを配線基板20上に配置した状態で、配線基板20と積層体MCSの間にカメラ60を配置して、ロジックチップLCのアライメントマーク50cと積層体MCSのアライメントマーク50dを検出(認識)する。カメラ60およびカメラ60に接続される制御部61や図示しない駆動装置等は、上記した第1マーク検出工程で説明したので、重複する説明は省略する。本工程では、カメラ60により、少なくとも1個以上のアライメントマーク50cと1個以上のアライメントマーク50dをそれぞれ検出する。

10

【0171】

ここで、図35に示すように、アライメントマーク50aをデバイス領域20aの周縁部に配置すれば、アライメントマーク50aを視認することが可能である。したがって、ロジックチップLCの裏面3bにはアライメントマーク50cを形成せず、配線基板20のアライメントマーク50aを利用して位置合わせを行う方法が考えられる。

【0172】

しかし、上記第1チップ搭載工程で、高精度の位置合わせを行ったとしても、複数の裏面電極3bpの位置(図23に示すXY平面の座標位置)や角度(図23に示す方向の角度)にズレが生じる。例えば、第1位置合わせ工程の後、ロジックチップLCを配線基板20に向かって移動させる工程、あるいは、図29に示す保持治具30から図30に示す加熱治具31に切り替える際などに、ズレが生じる場合がある。

20

【0173】

このため、本工程で配線基板20のアライメントマーク50aを利用して積層体MCSの位置合わせを行うと、積層体MCSの外部端子7とロジックチップLCの裏面電極3bpとの位置ズレ量は、配線基板20とロジックチップLCの位置ズレ量と、配線基板20と積層体MCSの位置ズレ量の和になる。つまり、積層体MCSの外部端子7とロジックチップLCの裏面電極3bpとの位置ズレ量は、半導体チップ3それぞれの位置ズレ量よりも大きくなる場合がある。

【0174】

30

このため、本実施の形態では、上記したように、ロジックチップLCの裏面3bにアライメントマーク50cを形成し、アライメントマーク50cを利用して積層体MCSとロジックチップLCの位置合わせを行う。これにより、積層体MCSの外部端子7とロジックチップLCの裏面電極3bpとの位置ズレ量は、積層体MCSとロジックチップLCの間の位置ズレ量の範囲内に収まる。

【0175】

また、上記した第1マーク検出工程で説明したように、アライメントマーク50cとロジックチップLCの裏面電極3bpの位置関係を規定する位置データ、または、アライメントマーク50dと積層体MCSの表面電極3apの位置関係を規定する位置データを制御部61に入力する。これにより、制御部61において、ロジックチップLCの複数の裏面電極3bpや積層体MCSの複数の表面電極3apの位置を算出することができる。

40

【0176】

また、図38に示す例では、ロジックチップLC上には複数のアライメントマーク50cが、積層体MCSの表面3a側には複数のアライメントマーク50dが、それぞれ形成されている。このように、ロジックチップLCの裏面3bと積層体MCSの表面3aにそれぞれ複数のアライメントマーク50を形成し、この複数のアライメントマーク50の位置をそれぞれ検出することで、例えば、図23に示すXY平面における座標データに加え、座標軸の傾きを表す方向のデータを取得することができる。また、アライメントマーク50の座標データと方向のデータを取得すれば、ロジックチップLCの複数の裏面電極3bp(図10参照)の位置、または、積層体MCSの複数の表面電極3ap(図7参

50

照)の位置を正確に算出することができる。

【0177】

また、図10に示すように、複数のアライメントマーク50cは、平面視において、四角形を成す裏面3bの一つの対角線上に配置されるように、対向する角部に配置されている。また、図7に示すように、複数のアライメントマーク50dは、平面視において、四角形を成す表面3aの一つの対角線上に配置されるように、対向する角部に配置されている。このように、アライメントマーク50を互いに対角に位置する角部に配置することで、上記した 方向のデータの精度を向上させることができる。この結果、複数の裏面電極3bp(図10参照)の位置、または、複数の表面電極3ap(図7参照)の位置を算出する精度を向上させることができる。

10

【0178】

ところで、本実施の形態では、上記した図7に示すようにメモリチップMC1、MC2、MC3、MC4の表面電極3apを表面3aの中央部に集約配置されている。したがって、表面電極3apの配置スペースを確保する観点から、図7に示すように、アライメントマーク50dは、複数の表面電極3apよりも外側(周縁部側)に配置することが好ましい。

【0179】

また、図6に示すようにロジックチップLCの複数の裏面電極3bpはメモリチップMC1の複数の表面電極3apと対向する位置に配置される。したがって、図10に示すようにロジックチップLCの裏面電極3bpはロジックチップLCの裏面3bの中央部に集約配置されている。したがって、ロジックチップLCの裏面電極3bpの配置スペースを確保する観点から、アライメントマーク50cは、複数の裏面電極3bpよりも外側(周縁部側)に配置することが好ましい。

20

【0180】

また、上記した図7に示すように、メモリチップMC1、MC2、MC3、MC4のそれぞれは、表面3aにおいて、表面電極群が配置された領域(中央部)を囲むように、4チャンネル分のメモリ領域MRが配置されている。これにより、各メモリ領域MRから表面電極3apまでの距離の均等化を図っている。このように、各メモリ領域MRから表面電極3apまでの距離の均等化を図る観点からは、メモリ領域MRと複数の表面電極3apの間にアライメントマーク50dを配置しないことが好ましい。したがって、図7に示すように、複数のアライメントマーク50dのそれぞれは、メモリチップMC1の表面3aにおいて、複数のメモリ領域MRよりも外側(周縁部側)に配置することが好ましい。

30

【0181】

メモリチップMC1、MC2、MC3、MC4の記憶容量は、メモリ領域MRの面積に比例して大きくなるので、上記のように、複数のアライメントマーク50dを、複数のメモリ領域MRよりも外側(周縁部側)に配置すれば、アライメントマーク50dは、表面3aの周縁部に配置されることになる。この結果、複数のアライメントマーク50d間の距離を大きくすることができるので、上記したように 方向の位置合わせ精度を向上させることができる。

【0182】

40

ただし、 方向の位置合わせ精度を向上させる観点からは、上記したように、アライメントマーク50dを互いに対角に位置する角部に配置することが特に好ましい。

【0183】

また、図27に示すように、積層体MCSの表面3aに形成されるアライメントマーク50dは、積層体MCSの最表面に形成された絶縁膜(保護膜、パッシベーション膜)3pから露出させることが好ましい。図27に示す例では、積層体MCSの最表面に形成された絶縁膜(保護膜、パッシベーション膜)3pに開口部3psが形成され、アライメントマーク50dは、開口部3psにおいて絶縁膜3pから露出している。

【0184】

なお、アライメントマーク50cは、例えば図38に示すようにロジックチップLCの

50

裏面 3 b 上に形成され、裏面 3 b を覆う絶縁膜や保護膜は形成されていない。このため、上記第 2 接着材配置工程において、アライメントマーク 5 0 c を避けるように接着材 N C L 2 を配置すれば、容易にアライメントマーク 5 0 c を露出させることができる。

【 0 1 8 5 】

次に、第 2 チップ搭載工程には、図 3 9 に示すように、ロジックチップ L C と積層体 M C S の位置合わせを行う、第 2 位置合わせ工程が含まれる。図 3 9 に示すように、第 2 位置合わせ工程では、配線基板 2 0 の上面 2 a に沿って、積層体 M C S とロジックチップ L C (言い換えれば配線基板 2 0) の相対的位置を移動させて、ロジックチップ L C の複数の裏面電極 3 b p と、積層体 M C S の表面 3 a に形成された複数の外部端子 7 が対向配置されるようにする。

10

【 0 1 8 6 】

上記したように、本実施の形態によれば、ロジックチップ L C の複数の裏面電極 3 b p の位置、および積層体 M C S の複数の表面電極 3 a p の位置を、それぞれ高精度で算出することができる。したがって、これらの算出データに基づいて、積層体 M C S とロジックチップ L C の相対的位置を移動させれば、高精度で位置合わせを行うことができる。

【 0 1 8 7 】

図 3 9 に示す例では、積層体 M C S とロジックチップ L C の相対的位置を移動させる方法として、図 3 9 に矢印を付して示すように積層体 M C S を保持する保持治具 3 0 を、配線基板 2 0 の上面 2 a に沿って移動させる。ただし、積層体 M C S とロジックチップ L C の相対的位置関係を移動させることが出来れば良いので、積層体 M C S 、ロジックチップ L C のいずれか一方、若しくは両方を移動させることができる。

20

【 0 1 8 8 】

次に、図 4 0 に示すように、積層体 M C S をロジックチップ L C に向かって移動させる。上記した第 2 位置合わせ工程により、積層体 M C S とロジックチップ L C の相対的位置は高精度で位置合わせされている。したがって、ロジックチップ L C に向かって、積層体 M C S を直線的に移動させれば、ロジックチップ L C の複数の裏面電極 3 b p と、積層体 M C S の表面 3 a に形成された複数の外部端子 7 が対向配置された状態を維持することができる。

【 0 1 8 9 】

次に、図 4 1 に示すように、加熱治具 3 1 を積層体 M C S の裏面 3 b 側に押し当て、ロジックチップ L C に向かって積層体 M C S を押し付ける。この時、接着材 N C L 2 は硬化前の柔らかい状態なので、加熱治具 3 1 により積層体 M C S を押し込むと、積層体 M C S はロジックチップ L C に近づく。積層体 M C S がロジックチップ L C に近づく、積層体 M C S の表面 3 a に形成された複数の外部端子 7 の先端 (詳しくは、半田材 7 a) は、裏面電極 3 b p のボンディング領域 (詳しくは半田材 7 a) と接触する。

30

【 0 1 9 0 】

また、積層体 M C S とロジックチップ L C の間に塗布された接着材 N C L 2 は、ロジックチップ L C の裏面 3 b に沿って広がる。図 4 1 に示す例では、接着材 N C L 2 の周縁部は、ロジックチップ L C の裏面 3 b の周縁部までは到達していない。ただし、変形例として、ロジックチップ L C の周縁部まで接着材 N C L 2 を広げ、ロジックチップ L C の側面、あるいは接着材 N C L 1 の側面を覆うようにしても良い。この場合、ロジックチップ L C の裏面 3 b のアライメントマーク 5 0 c が、接着材 N C L 2 に覆われる。しかし、アライメントマーク 5 0 c の位置は、既に検出済なので、特に問題は生じない。また、接着材 N C L 2 と半導体チップ 3 の密着面積を広げることにより、接着材 N C L 2 と半導体チップ 3 (積層体 M C S およびロジックチップ L C) の接着強度を向上させることができる。

40

【 0 1 9 1 】

なお、本実施の形態では、積層体 M C S の裏面 3 b にはアライメントマーク 5 0 や裏面電極 3 b p が形成されていない。このため、図 4 1 に示す樹脂フィルム 3 2 は省略することができる。ただし、樹脂フィルム 3 2 を配置すれば、加熱治具 3 1 で押し付ける際に積層体 M C S が受ける力を分散させることができる。また、樹脂フィルム 3 2 を配置すれば

50

、上記した第1チップ搭載工程と同じ機構で第2チップ搭載工程を行うことができるので、製造工程が単純化できる。したがって、第2チップ搭載工程においても、積層体MCSと加熱治具31の間に樹脂フィルム32を介在させることが好ましい。

【0192】

次に、図41に示すように加熱治具31に積層体MCSが押し付けられた状態で、加熱治具（熱源）31により積層体MCSおよび接着材NCL2を加熱する。積層体MCSとロジックチップLCの接合部では、外部端子側の半田材7aがそれぞれ溶融し、ロジックチップLCの裏面電極3bpと接合される。つまり、加熱治具（熱源）31により積層体MCSを加熱することで、積層体MCSの複数の表面電極3apとロジックチップLCの複数の裏面電極3bpは、複数の半田材7aを介してそれぞれ電氣的に接続される。

10

【0193】

また、接着材NCL2を加熱することで、接着材NCL2は硬化する。上記第1チップ搭載工程で説明したように、加熱治具（熱源）31からの熱によって接着材NCL1を完全に硬化させる必要はなく、積層体MCSを固定できる程度に接着材NCL1に含まれる熱硬化性樹脂の一部を硬化（仮硬化）させた後、ロジックチップLCを図示しない加熱炉に移し、残りの熱硬化性樹脂を硬化（本硬化）させる実施態様にすることができる。接着材NCL1に含まれる熱硬化性樹脂成分全体が硬化する本硬化処理が完了するまでには、時間を要するが、本硬化処理を加熱炉で行うことで、製造効率を向上させることができる。

【0194】

20

<封止工程>

次に、図13に示す封止工程では、図42に示すように、配線基板20の上面2a、ロジックチップLC、および複数のメモリチップMC1、MC2、MC3、MC4の積層体MCSを樹脂で封止して、封止体4を形成する。図42は図36に示す配線基板上に封止体を形成し、積層された複数の半導体チップを封止した状態を示す拡大断面図である。また、図43は、図42に示す封止体の全体構造を示す平面図である。

【0195】

本実施の形態では、図43に示すように、複数のデバイス領域20aを一括して封止する封止体4を形成する。このような封止体4の形成方法は、一括封止（Block Molding）方式と呼ばれ、この一括封止方式により製造された半導体パッケージをMAP（Multi Array Package）型の半導体装置と呼ぶ。一括封止方式では、各デバイス領域20aの間隔を小さくすることができるので、1枚の配線基板20における有効面積が大きくなる。つまり、1枚の配線基板20から取得できる製品個数が増加する。このように、1枚の配線基板20における有効面積を大きくすることで、製造工程を効率化することができる。

30

【0196】

また、本実施の形態では、図示しない成形金型内に加熱軟化させた樹脂を圧入して成形した後、樹脂を熱硬化させる、所謂、トランスファモールド方式により形成する。トランスファモールド方式により形成された封止体4は、例えば、図42に示す積層体MCSを封止する封止体6のように、液状の樹脂を硬化させたものと比較して、耐久性が高いので、保護部材として好適である。また、例えば、シリカ（二酸化珪素； SiO_2 ）粒子などのフィラー粒子を熱硬化性樹脂に混合することで、封止体4の機能（例えば、反り変形に対する耐性）を向上させることができる。

40

【0197】

なお、本実施の形態では、積層される複数の半導体チップ3の接合部（電氣的接続部）は、接着材NCL1、NCL2、および封止体6により封止されている。したがって、変形例としては、封止体4を形成しない実施態様に適用することができる。この場合、本封止体工程は省略することができる。

【0198】

<ボールマウント工程>

次に、図13に示すボールマウント工程では、図44に示すように、配線基板20の下

50

面 2 b に形成された複数のランド 2 g に、外部端子になる複数の半田ボール 5 を接合する。図 4 4 は、図 3 7 に示す配線基板の複数のランド上に半田ボールを接合した状態を示す拡大断面図である。

【 0 1 9 9 】

本工程では、図 4 4 に示すように配線基板 2 0 の上下を反転させた後、配線基板 2 0 の下面 2 b において露出する複数のランド 2 g のそれぞれの上に半田ボール 5 を配置した後、加熱することで複数の半田ボール 5 とランド 2 g を接合する。本工程により、複数の半田ボール 5 は、配線基板 2 0 を介して複数の半導体チップ 3 (ロジックチップ L C およびメモリチップ M C 1、M C 2、M C 3、M C 4) と電気的に接続される。ただし、本実施の形態で説明する技術は、アレイ状に半田ボール 5 を接合した、所謂 B G A (Ball Grid Array) 型の半導体装置に限って適用させるものではない。例えば、本実施の形態に対する変形例としては、半田ボール 5 を形成せず、ランド 2 g を露出させた状態、あるいはランド 2 g に半田ボール 5 よりも薄く半田ペーストを塗布した状態で出荷する、所謂 L G A (Land Grid Array) 型の半導体装置に適用することができる。L G A 型の半導体装置の場合には、ボールマウント工程は省略することができる。

10

【 0 2 0 0 】

< 個片化工程 >

次に、図 1 3 に示す個片化工程では、図 4 5 に示すように、配線基板 2 0 をデバイス領域 2 0 a 毎に分割する。図 4 5 は図 4 4 に示す多数個取りの配線基板を個片化した状態を示す断面図である。

20

【 0 2 0 1 】

本工程では、図 4 5 に示すように、ダイシングライン (ダイシング領域) 2 0 c に沿って配線基板 2 0 および封止体 4 を切断し、個片化された複数の半導体装置 1 (図 4 参照) を取得する。切断方法は特に限定されないが、図 4 5 に示す例では、ダイシングブレード (回転刃) 4 0 を用いてテープ材 (ダイシングテープ) 4 1 に接着固定された配線基板 2 0 および封止体 4 を、配線基板 2 0 の下面 2 b 側から切削加工して切断する実施態様を示している。ただし、本実施の形態で説明する技術は、複数のデバイス領域 2 0 a を備えた、多数個取り基板である配線基板 2 0 を用いる場合に限って適用させるものではない。例えば、半導体装置 1 個分に相当する配線基板 2 (図 4 参照) の上に複数の半導体チップ 3 を積層した半導体装置に適用することができる。この場合、個片化工程は省略することができる。

30

【 0 2 0 2 】

以上の各工程により、図 1 ~ 図 1 1 を用いて説明した半導体装置 1 が得られる。その後、外観検査や電氣的試験など、必要な検査、試験を行い、出荷、あるいは、図示しない実装基板に実装する。

【 0 2 0 3 】

< アライメントマークの形状 >

次に、アライメントマークの平面視における形状について、好ましい実施態様を説明する。図 4 6 は、図 3、図 7、図 9 および図 1 0 に示すアライメントマークを拡大して示す拡大平面図である。また、図 4 7 ~ 図 4 9 は、それぞれ図 4 6 に対する変形例を示す拡大平面図である。

40

【 0 2 0 4 】

図 4 6 に示すアライメントマーク 5 0 は、平面視において多角形 (図 4 6 では L 字形状) を成す。また、多角形の外接円 5 1 の中心に対して非対称な形状になっている。このように、アライメントマーク 5 0 の平面形状を、非対称形状にすることで、アライメントマーク 5 0 の位置に加え、アライメントマーク 5 0 の平面視における傾きを検出することができる。

【 0 2 0 5 】

このため、例えば、上記したアライメントマーク 5 0 a、5 0 b、5 0 c、5 0 d がそれぞれ 1 個形成されている場合であっても、図 4 6 に示す X Y 座表面において、アライメ

50

ントマーク 50 の X 座標位置、Y 座標位置および 方向の位置を特定することができる。

【0206】

また、非対称形状のアライメントマーク 50 を、同一平面上に 2 個以上配置した場合、図 46 に示す 方向の位置が 180 度ずれている事を検出することができる。例えば図 7 に示す複数のアライメントマーク 50 d、および図 9 に示す複数のアライメントマーク 50 b を、それぞれ図 46 に示す非対称形状にすれば、第 1 チップ搭載工程および第 2 チップ搭載工程において、半導体チップ 3 の搭載する向きが 180 度ずれる誤搭載を防止または抑制できる。

【0207】

また、図 47 に示すアライメントマーク 52 のように、平面視において、円形を成す形状は、図 46 に示す多角形よりも容易に加工できるので、加工精度を向上させることができる。また、円形のアライメントマーク 52 は、一部が欠落し難いので、検出精度を向上させることができる。

【0208】

このため、例えば、上記したアライメントマーク 50 a、50 b、50 c、50 d のうち、少なくともいずれか 1 箇所以上に円形のアライメントマーク 52 を適用すれば、アライメントマーク 52 を配置した箇所の位置検出精度を向上させることができる。もちろん、上記したアライメントマーク 50 a、50 b、50 c、50 d の全てをアライメントマーク 52 のように円形にすることもできる。

【0209】

ただし、本実施の形態では、図 6 に示すように、ロジックチップ LC の複数の裏面電極 3 b p とメモリチップ MC 1 の複数の表面電極 3 a p が確実に対向配置されれば良いので、要求される位置合わせ精度が確保可能な範囲内で種々の変形例を適用することができる。例えば、図 48 に示すように、平面視において、四角形を成すアライメントマーク 53 を適用することができる。また、例えば図 49 に示すように、平面視において X 字形状を成すアライメントマーク 54 を適用することができる。また、上記したアライメントマーク 50、52、53、54 を組み合わせて適用することができる。

【0210】

(変形例)

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0211】

<変形例 1>

例えば上記実施の形態では、アライメントマーク 50 を検出した結果を利用して半導体チップ 3 を積層する技術を、第 1 チップ搭載工程および第 2 チップ搭載工程で適用する実施態様を説明した。しかし、積層体 MCS を組み立てる工程、すなわち、上記した第 2 チップ準備工程に適用することができる。図 50 は図 8 に対する変形例を示す平面図である。

【0212】

アライメントマーク 50 を検出した結果を利用して半導体チップ 3 を積層する技術を、上記した第 2 チップ準備工程に適用する場合、図 7 に示すように、積層体 MCS (図 4 参照) を構成する複数のメモリチップ MC 1、MC 2、MC 3、MC 4 のそれぞれの表面 3 a にアライメントマーク 50 d を形成する。また、図 50 に示すように、複数のメモリチップ MC 1、MC 2、MC 3 のそれぞれの裏面 3 b にアライメントマーク 50 e を形成する。

【0213】

本変形例によれば、複数のメモリチップ MC 1、MC 2、MC 3、MC 4 を積層する際の位置合わせ精度が向上するので、複数のメモリチップ MC 1、MC 2、MC 3、MC 4 の電氣的接続信頼性を向上させることができる。

10

20

30

40

50

【 0 2 1 4 】

< 変形例 2 >

また、上記実施の形態では、上段側に搭載される積層体 M C S の平面サイズの方が下段側に搭載されるロジックチップ L C の平面サイズよりも大きい場合について説明した。しかし、図 5 1 に示す半導体装置 1 a のように、積層体 M C S の平面サイズの方が下段側に搭載されるロジックチップ L C の平面サイズよりも小さい場合に適用することができる。図 5 1 は図 3 に対する変形例を示す透視平面図である。

【 0 2 1 5 】

< 変形例 3 >

また、上記実施の形態では、積層（使用）する複数の半導体チップ 3 の例として、メモリチップ M C 1、M C 2、M C 3、M C 4 とロジックチップ L C で構成された S i P 型の半導体装置 1 について説明した。しかし、積層された複数の半導体チップ 3 を互いに、かつ電氣的に接続した構造であれば、メモリチップとロジックチップ以外の組み合わせについても適用することができる。

【 0 2 1 6 】

< 変形例 4 >

また、上記実施の形態では、図 6 に示すようにロジックチップ L C の複数の表面電極 3 a p の反対側に複数の裏面電極 3 b p が配置され、複数の貫通電極 3 t s v を介して電氣的に接続されている実施態様について説明した。しかし、下段側の半導体チップ 3 に複数の裏面電極 3 b p が形成され、上段側の半導体チップ 3 の複数の表面電極 3 a p と外部端子 7 を介して電氣的に接続する半導体装置であれば、貫通電極 3 t s v が形成されていない実施態様にも適用することができる。

【 0 2 1 7 】

< 変形例 5 >

さらに、上記実施の形態で説明した技術思想の要旨を逸脱しない範囲内において、変形例同士を組み合わせる適用することができる。

【 符号の説明 】

【 0 2 1 8 】

- 1、1 a 半導体装置
- 2 配線基板
- 2 a 上面（面、チップ搭載面）
- 2 b 下面（面、実装面）
- 2 c 側面
- 2 d 配線
- 2 d 1 配線
- 2 d 2 ビア配線
- 2 e 絶縁層（コア層）
- 2 f ボンディングリード（端子、チップ搭載面側端子、電極）
- 2 g ランド
- 2 h、2 k 絶縁膜（ソルダレジスト膜）
- 2 h s 開口部
- 2 h w、2 k w 開口部
- 2 p 1、2 p 2 チップ搭載領域（チップ搭載部）
- 3 半導体チップ
- 3 a 表面（主面、上面）
- 3 a p、3 a p 1、3 a p 2 表面電極（電極、パッド、主面側パッド）
- 3 b 裏面（主面、下面）
- 3 b p 裏面電極（電極、パッド、裏面側パッド）
- 3 c 側面
- 3 d 配線層（チップ配線層）

10

20

30

40

50

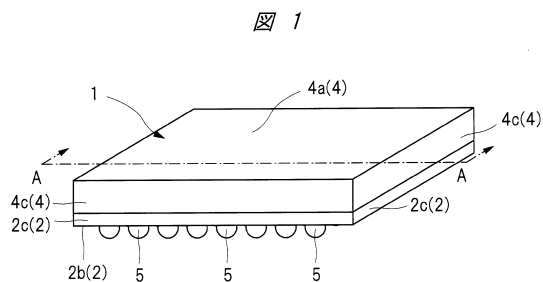
3 p	絶縁膜（保護膜、パッシベーション膜）	
3 p s	開口部	
3 t s h	孔（穴、開口部）	
3 t s v	貫通電極	
4	封止体（樹脂体）	
4 a	上面（面、表面）	
4 b	下面（面、裏面）	
4 c	側面	
5	半田ボール（外部端子、電極、外部電極）	
6	封止体（チップ積層体用封止体、チップ積層体用樹脂体）	10
6 a	アンダフィル樹脂	
7	外部端子（導電性部材、パンプ電極、突起電極）	
7 a	半田材	
7 b	突起電極	
2 0	配線基板	
2 0 a	デバイス領域	
2 0 b	枠部（外枠）	
2 0 c	ダイシングライン（ダイシング領域）	
2 5	マスク	
2 6	支持基材	20
2 7	保護層	
2 8	研磨治具	
3 0	保持治具（コレット）	
3 0 a	保持面	
3 1	加熱治具	
3 2	樹脂フィルム	
3 3	ノズル	
3 4	基材	
3 4 a	組立面	
3 5	接着層	30
3 6	ノズル	
4 0	ダイシングブレード（回転刃）	
4 1	テープ材（ダイシングテープ）	
5 0、5 0 a、5 0 b、5 0 c、5 0 d、5 0 e、5 2、5 3、5 4	アライメントマ ーク	
5 1	外接円	
6 0	カメラ（マーク位置検出装置、イメージセンサ、撮像装置）	
6 0 a	受光部	
6 0 b	光電変換回路部	
6 0 c	出力回路部	40
6 0 d	可視光反射部	
6 1	制御部	
A S	アドレス線（信号線）	
C R 1、C R 2	コア回路（主回路）	
C U	制御回路	
D R	電源回路（駆動回路）	
D R 1	電源回路（入出力用電源回路）	
D R 2	電源回路（コア用電源回路）	
D R 3	電源回路（入出力用電源回路）	
D R 4	電源回路（コア用電源回路）	50

D S データ線（信号線）
G I F 外部インタフェース回路（外部入出力回路）
L C ロジックチップ（半導体チップ）
M C 1、M C 2、M C 3、M C 4 メモリチップ（半導体チップ）
M C S 積層体（メモリチップ積層体、半導体チップ積層体）
M M 主記憶回路（記憶回路）
M R メモリ領域（記憶回路素子配列領域）
N C L 1、N C L 2 接着材（絶縁性接着材）
N I F 内部インタフェース回路（内部入出力回路）
N S 1、N S 2 入出力回路
O S 信号線
P U 演算処理回路
R D C 再配線チップ（インタフェースチップ）
R D L 引出配線（再配線）
S G 信号線
S M 補助記憶回路（記憶回路）
T C 中継回路
V 1、V 2、V 3 電源線
W H ウエハ（半導体基板）
W H b 裏面（主面、下面）
W H s 表面（主面、上面）

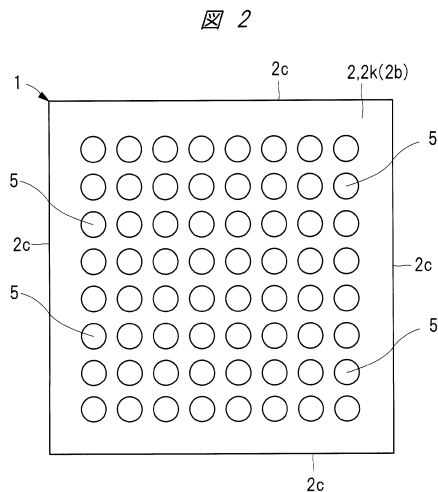
10

20

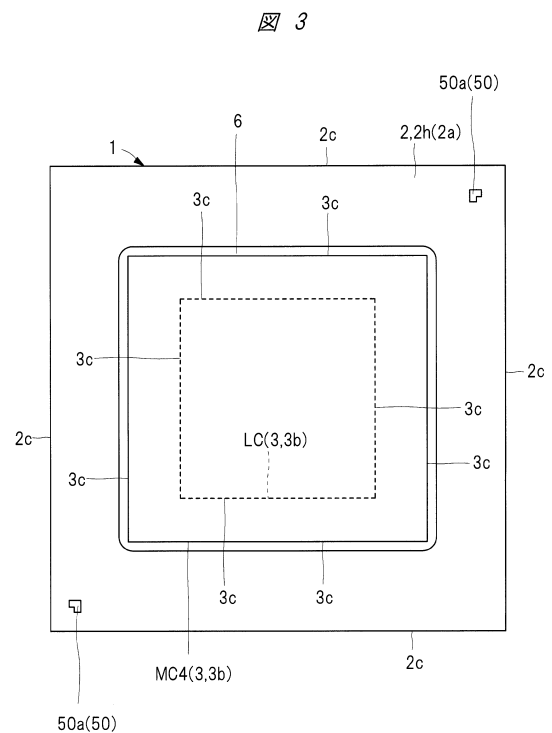
【 図 1 】



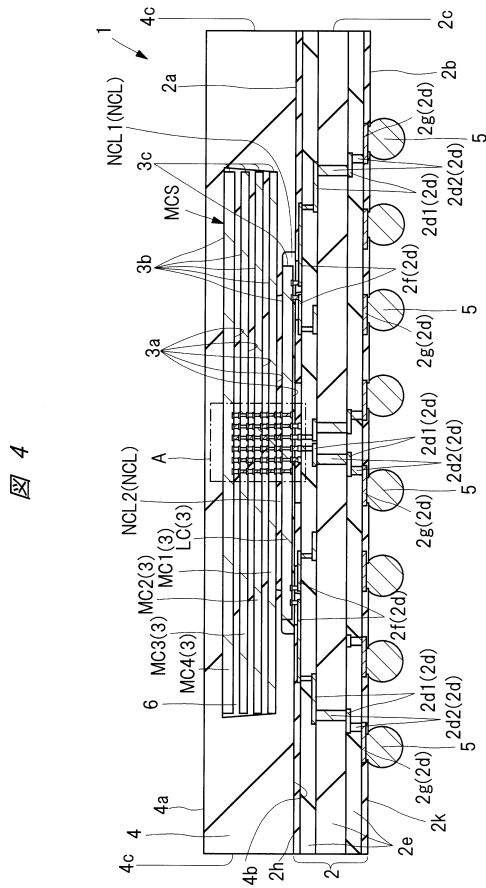
【圖 2】



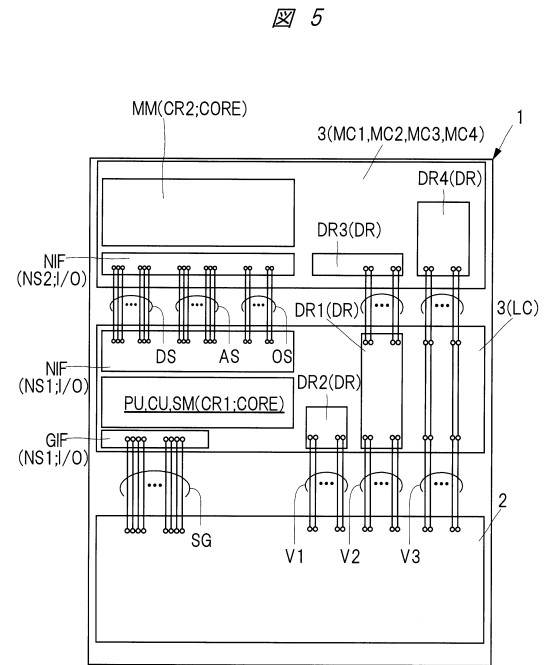
【 図 3 】



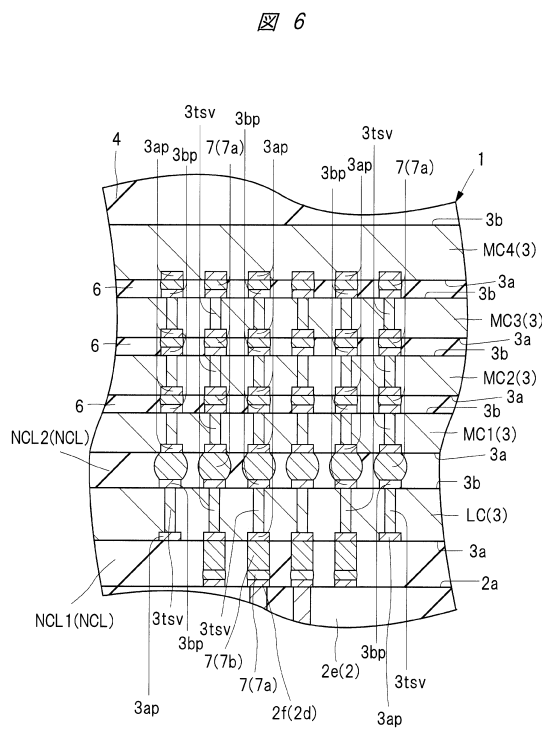
【 図 4 】



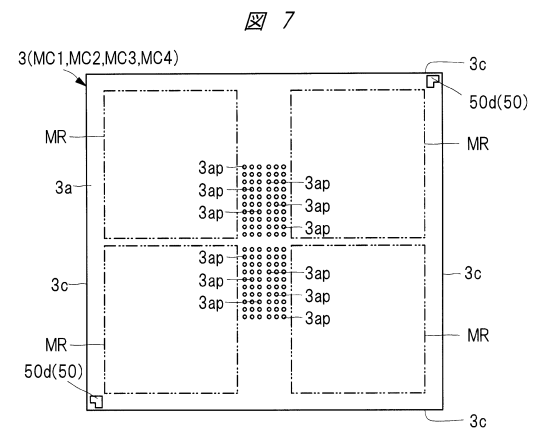
【 図 5 】



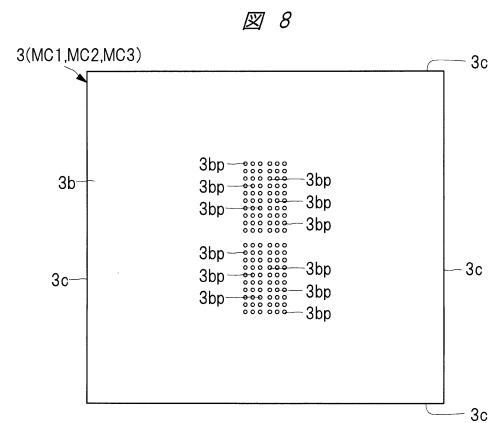
【 図 6 】



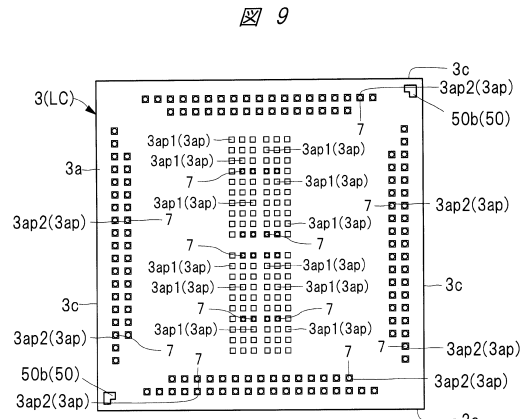
【圖 7】



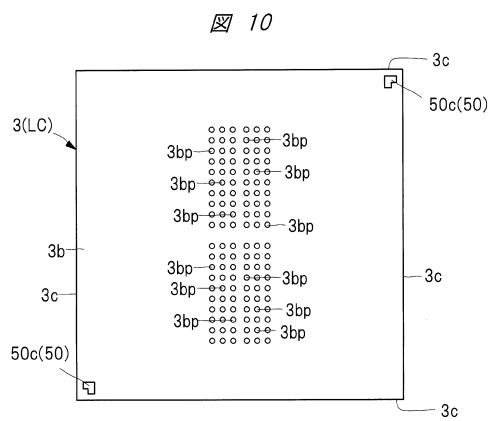
【 図 8 】



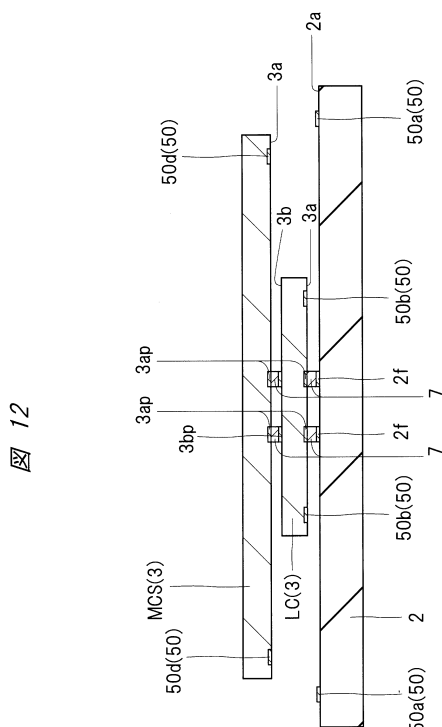
【図 9】



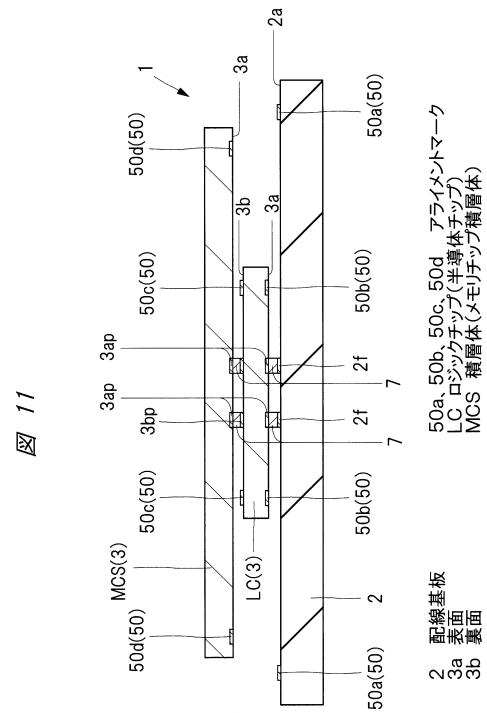
【図 10】



【図 12】

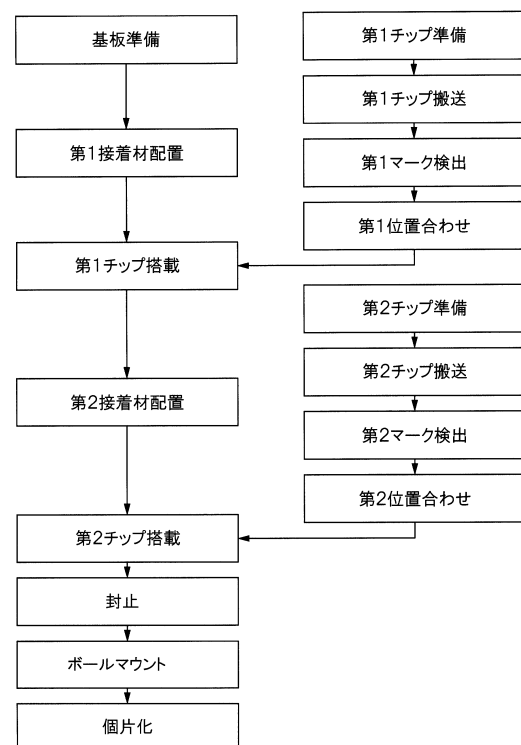


【図 11】



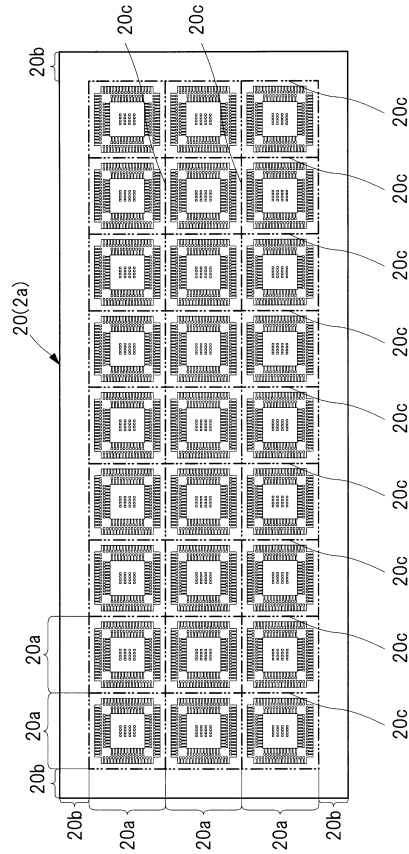
【図 13】

図 13



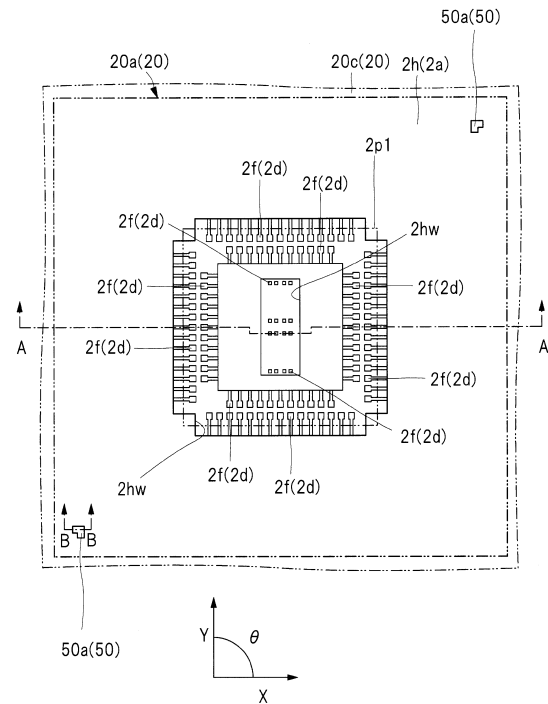
【図 14】

図 14



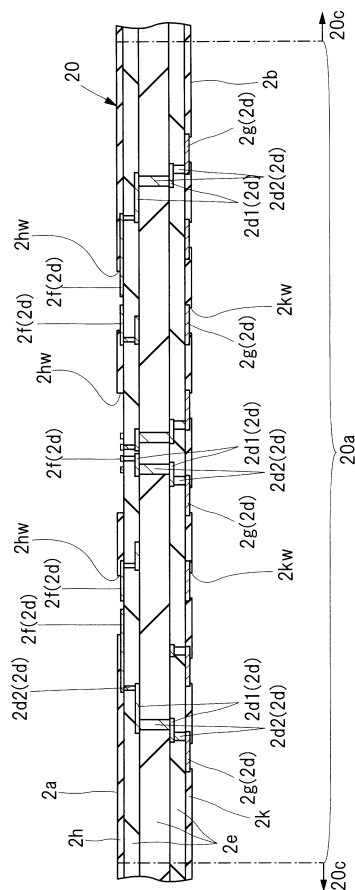
【図 15】

図 15



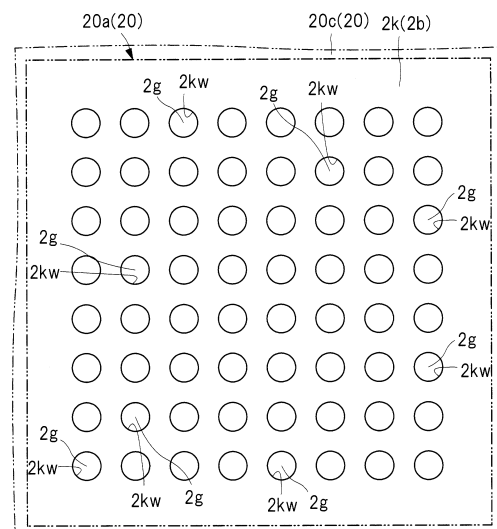
【図 16】

図 16

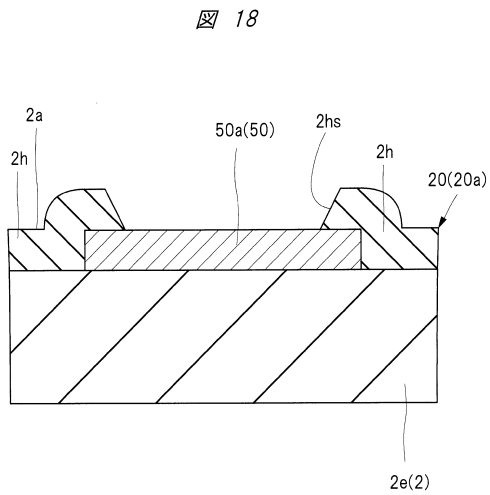


【図 17】

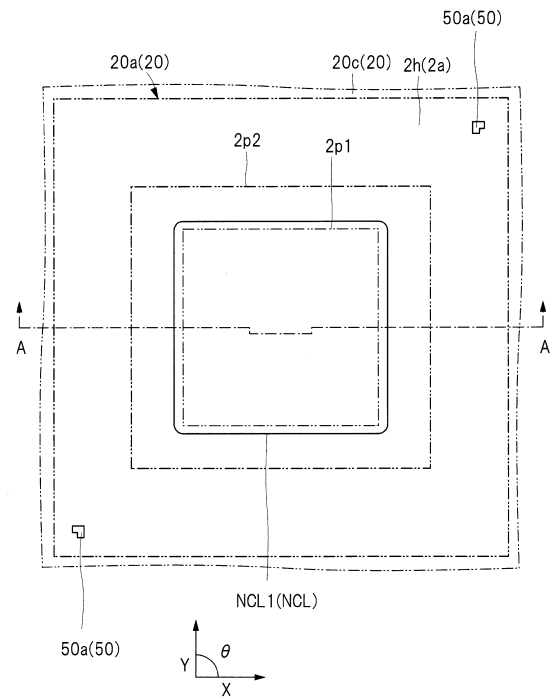
図 17



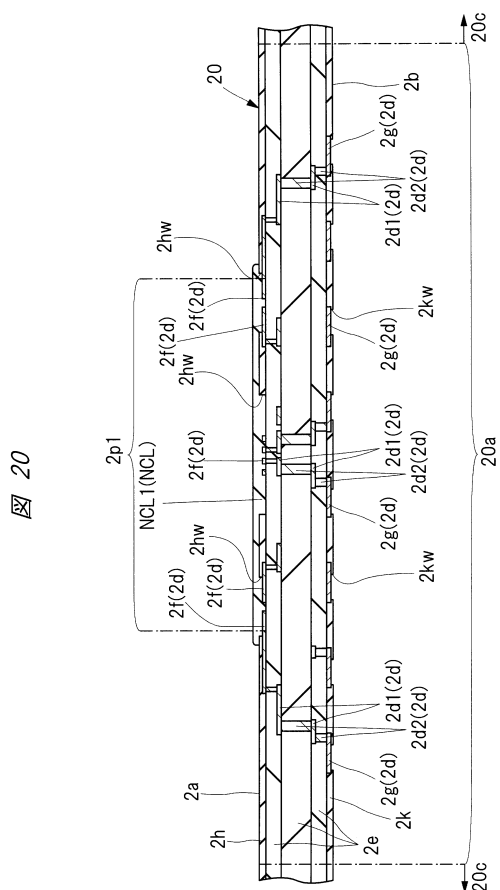
【 図 1 8 】



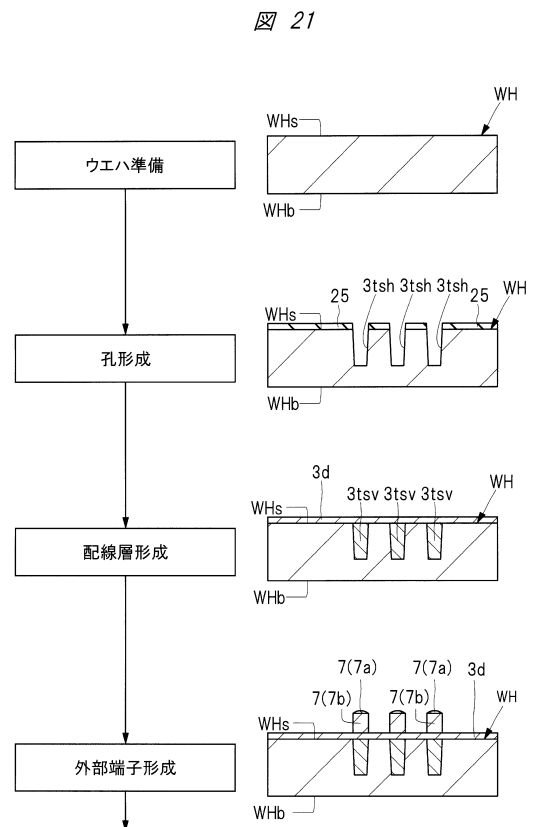
【 図 1 9 】



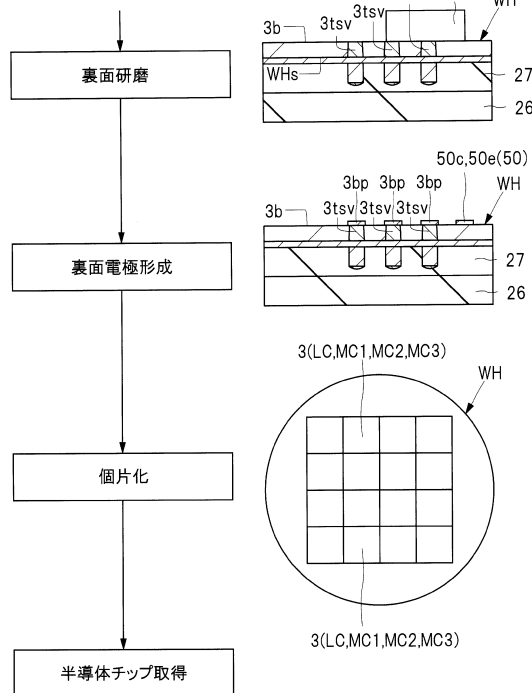
【 図 2 0 】



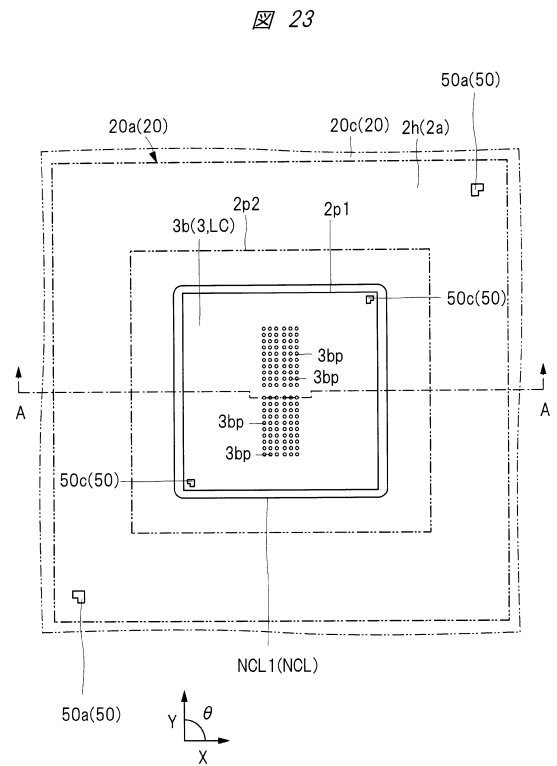
【 図 2 1 】



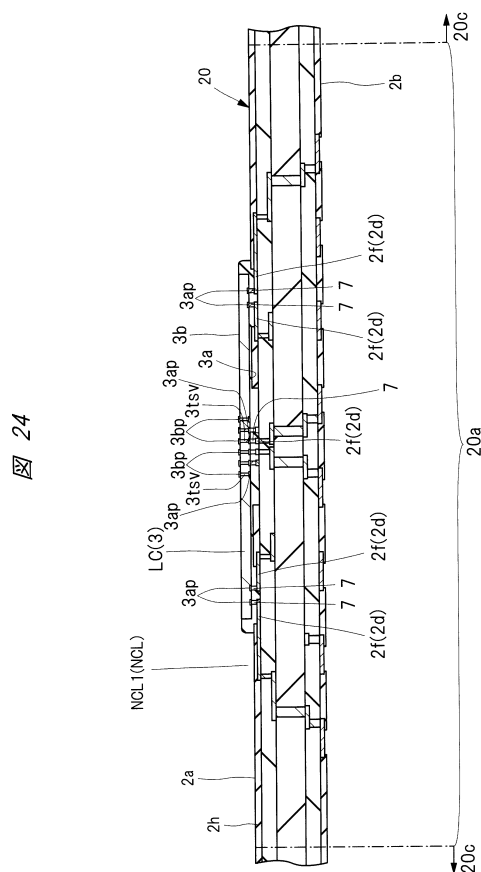
【 図 2 2 】



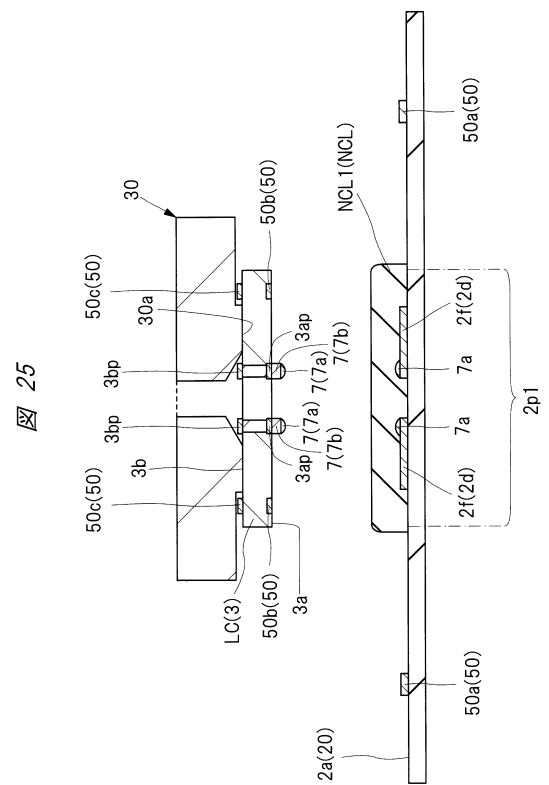
【 図 2 3 】



【 図 2 4 】

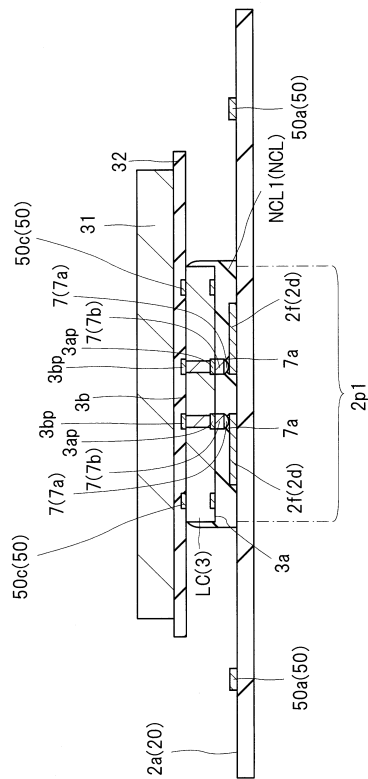


【 図 2 5 】



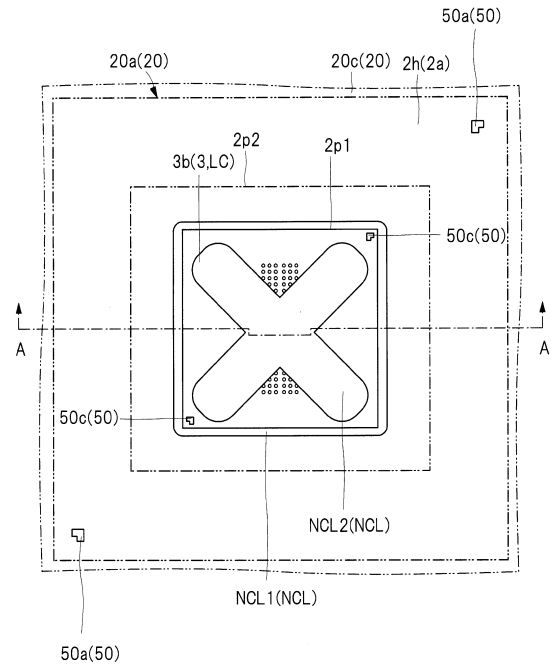
【図 30】

図 30



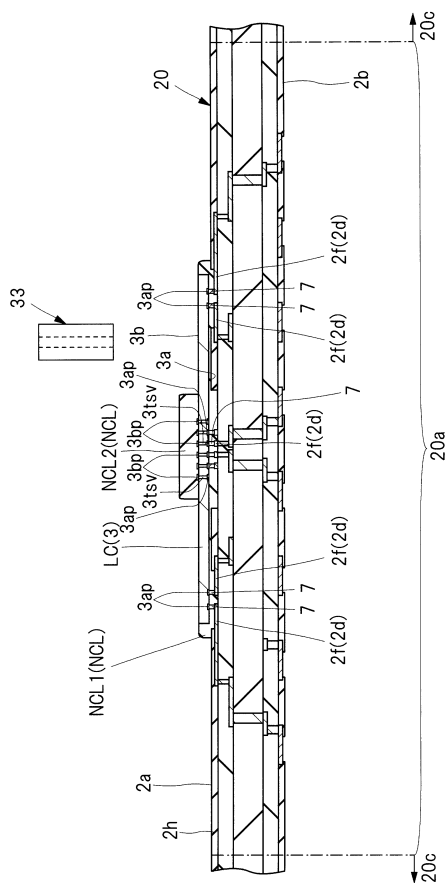
【図 31】

図 31



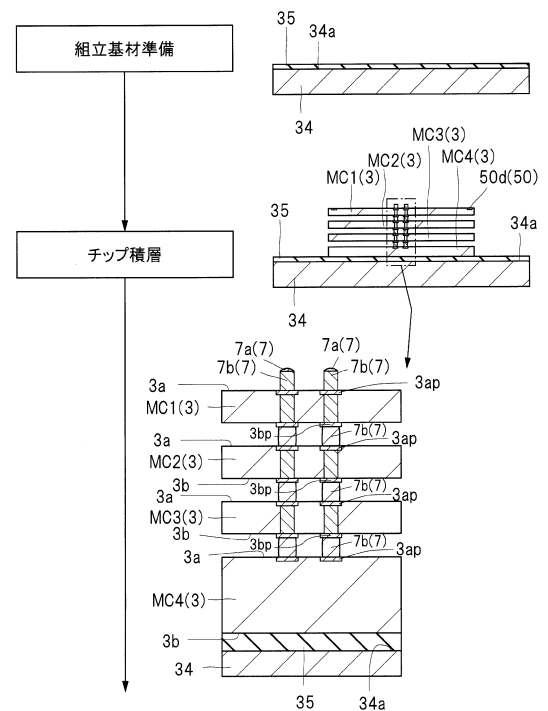
【図 32】

図 32

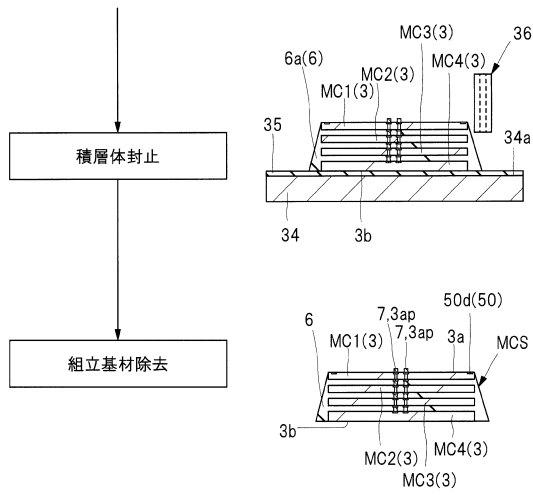


【図 33】

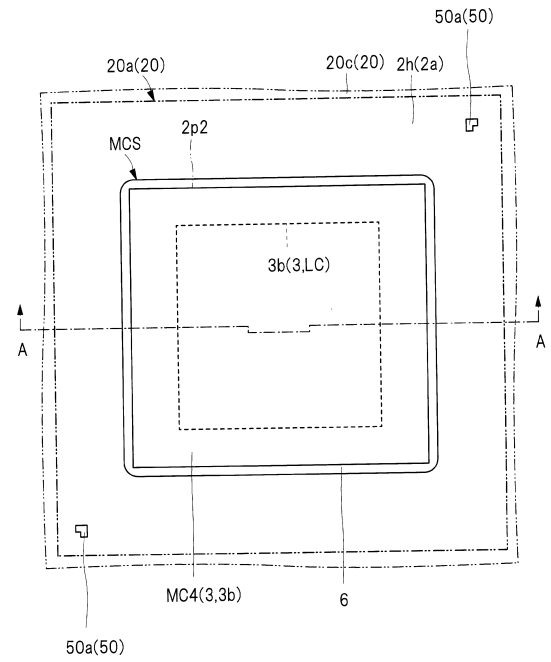
図 33



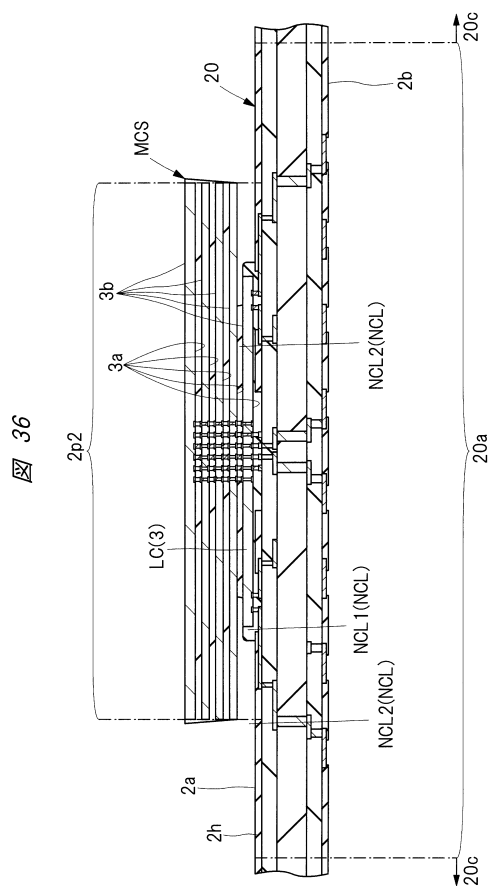
【図 34】



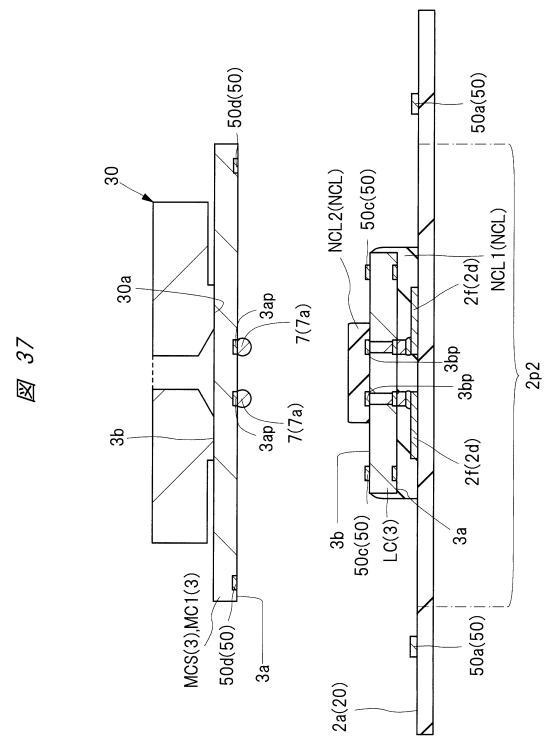
【図 35】



【図 36】

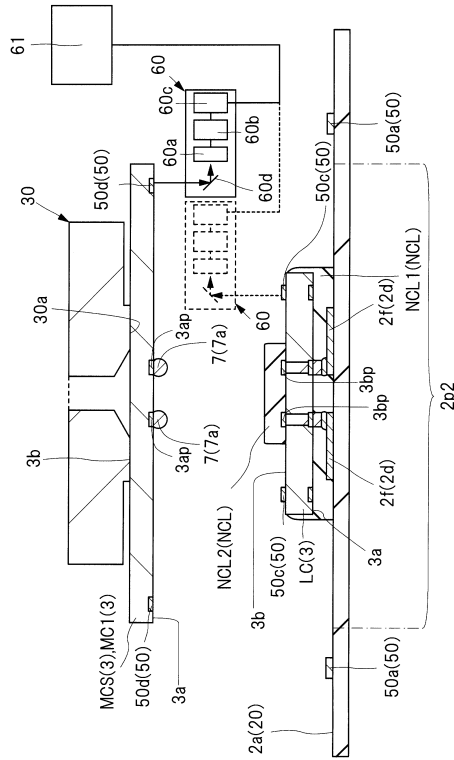


【図 37】



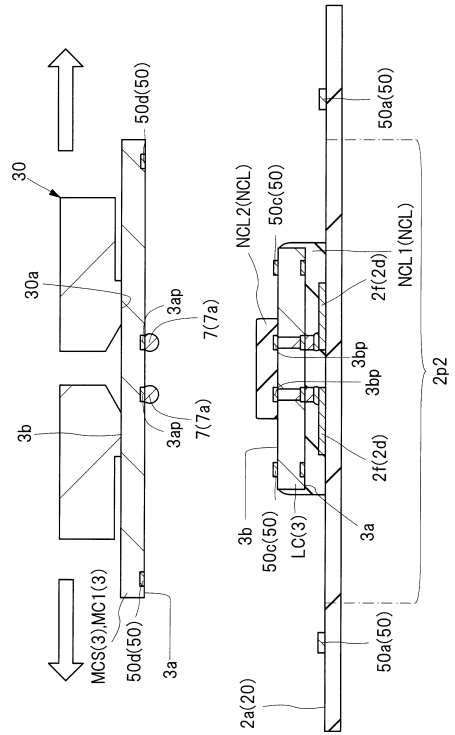
【図38】

図 38



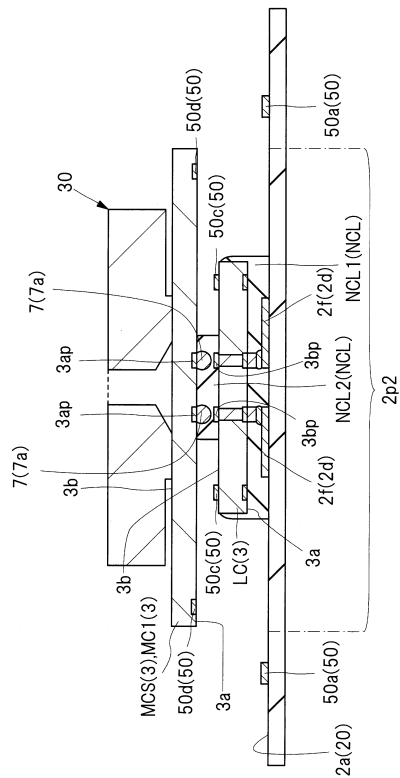
【図39】

図 39



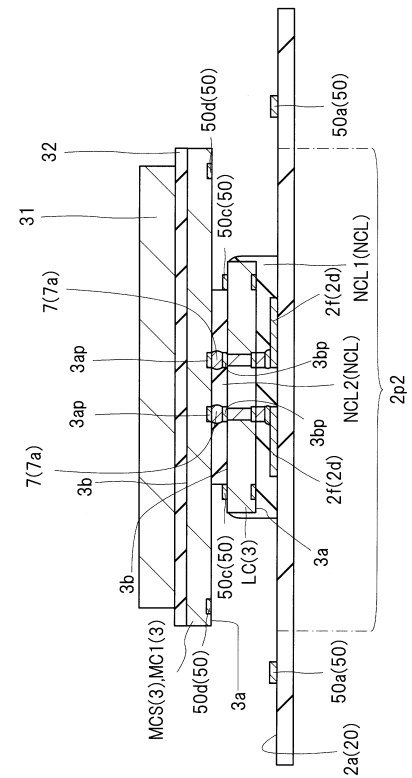
【図40】

図 40

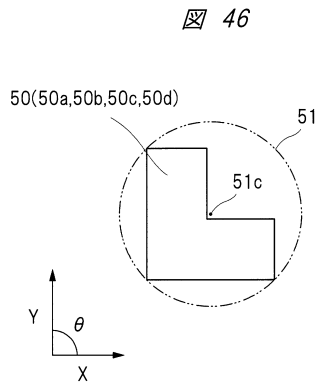


【図41】

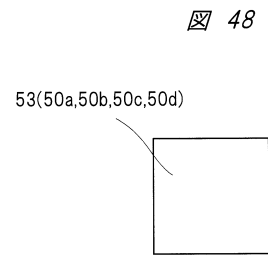
図 41



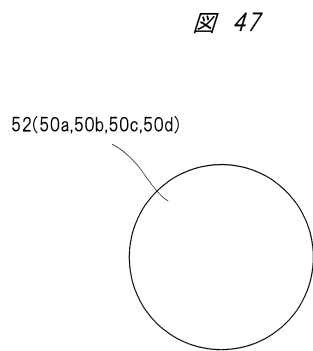
【 図 4 6 】



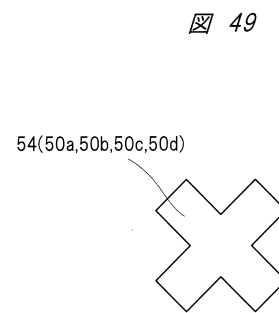
【圖 48】



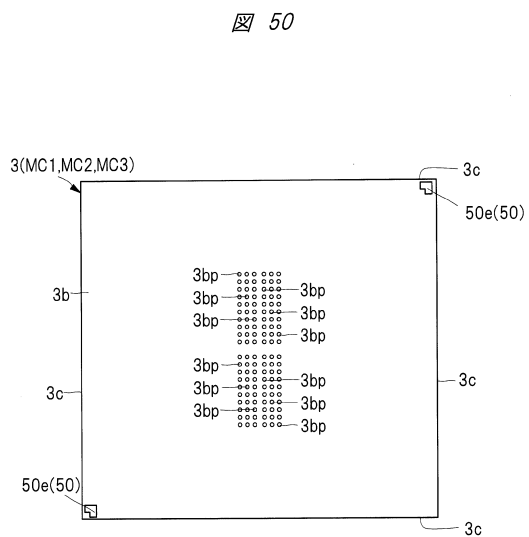
【 図 4 7 】



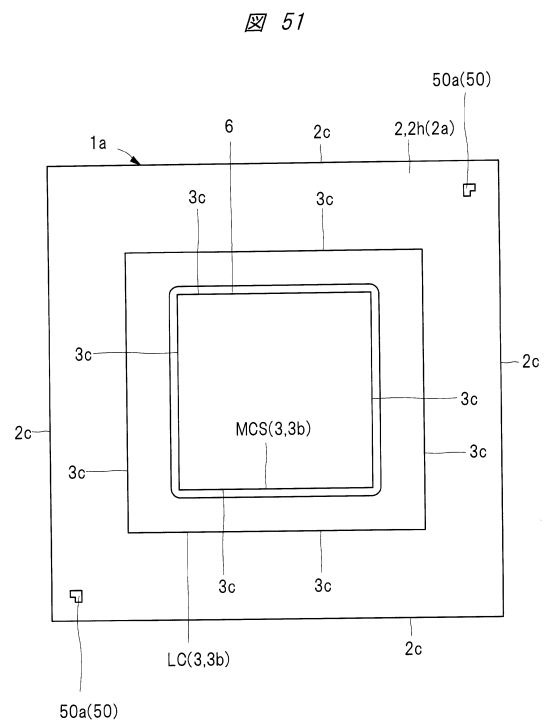
【 図 4 9 】



【 図 5 0 】



【 図 5 1 】



フロントページの続き

審査官 馬場 慎

- (56)参考文献 特開2005-217071(JP,A)
特開2002-110742(JP,A)
特開2010-161102(JP,A)
特開2013-45945(JP,A)
特開2012-204391(JP,A)
特開2008-109115(JP,A)
特開2012-129474(JP,A)
特開2008-177364(JP,A)
特開2010-272681(JP,A)
特開2012-222161(JP,A)
特開2013-33999(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	23/12	-	23/15
H01L	25/00	-	25/07
H01L	25/10	-	25/11
H01L	25/16	-	25/18