



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：200937425

(43)公開日：中華民國98(2009)年9月1日

(21)申請案號：098100743

(22)申請日：中華民國98(2009)年1月9日

(51)Int. Cl. : **G11C16/02 (2006.01)**

**G11C16/32 (2006.01)**

(30)優先權主張：2008/01/22 美國 61/022,656  
2008/10/03 美國 12/286,959

(71)申請人：莫斯艾得科技有限公司 MOSAID TECHNOLOGIES INCORPORATED  
加拿大

(72)發明人：金金吉 KIM, JIN-KI

(72)代理人：蔡玉玲

申請實體審查：無 申請專利範圍項數：35 項 圖式數：14 共 31 頁

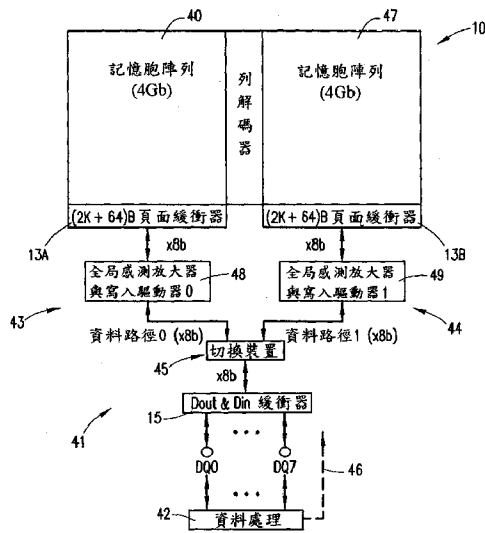
(54)名稱

具有鬆弛時脈限制之反及快閃記憶體存取

NAND FLASH MEMORY ACCESS WITH RELAXED TIMING CONSTRAINTS

(57)摘要

透過提供複數個將反及快閃記憶體耦接緩衝器的資料路徑，其緩衝器提供記憶體的外部存取，藉此在反及快閃記憶體存取期間資料移轉上的時脈限制可較為寬鬆。緩衝器定義與外部存取相關聯的位元寬度，每個資料路徑皆容納此位元寬度。



- 10：記憶體平面
- 13A：頁面緩衝器
- 13B：頁面緩衝器
- 15：I/O緩衝器
- 40：記憶體平面部份
- 41：記憶體元件
- 42：資料處理資源
- 43：信號路徑
- 44：信號路徑
- 45：切換裝置
- 46：控制信號
- 47：記憶體平面部份
- 48：全局感測放大器與寫入驅動器
- 49：全局感測放大器與寫入驅動器



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：200937425

(43)公開日：中華民國98(2009)年9月1日

(21)申請案號：098100743

(22)申請日：中華民國98(2009)年1月9日

(51)Int. Cl. : G11C16/02 (2006.01)

G11C16/32 (2006.01)

(30)優先權主張：2008/01/22 美國 61/022,656  
2008/10/03 美國 12/286,959

(71)申請人：莫斯艾得科技有限公司 MOSAID TECHNOLOGIES INCORPORATED  
加拿大

(72)發明人：金金吉 KIM, JIN-KI

(72)代理人：蔡玉玲

申請實體審查：無 申請專利範圍項數：35 項 圖式數：14 共 31 頁

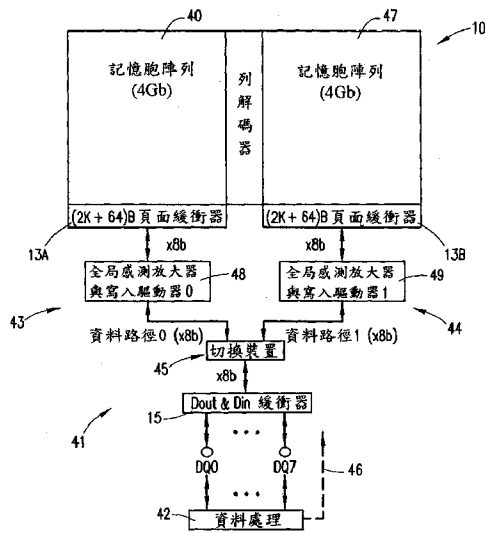
(54)名稱

具有鬆弛時脈限制之反及快閃記憶體存取

NAND FLASH MEMORY ACCESS WITH RELAXED TIMING CONSTRAINTS

(57)摘要

透過提供複數個將反及快閃記憶體耦接緩衝器的資料路徑，其緩衝器提供記憶體的外部存取，藉此在反及快閃記憶體存取期間資料移轉上的時脈限制可較為寬鬆。緩衝器定義與外部存取相關聯的位元寬度，每個資料路徑皆容納此位元寬度。



- 10：記憶體平面
- 13A：頁面緩衝器
- 13B：頁面緩衝器
- 15：I/O緩衝器
- 40：記憶體平面部份
- 41：記憶體元件
- 42：資料處理資源
- 43：信號路徑
- 44：信號路徑
- 45：切換裝置
- 46：控制信號
- 47：記憶體平面部份
- 48：全局感測放大器與寫入驅動器
- 49：全局感測放大器與寫入驅動器

## 六、發明說明：

### 【相關申請案】

本申請案主張 2008 年 1 月 22 日所申請之美國臨時專利申請案第 61/022,656 號之優先權，其整體內容包含在此作參考之用。

### 【發明所屬之技術領域】

本發明係關於資料處理，具體而言，係關於使用快閃記憶體作儲存資訊的資料處理。

### 【先前技術】

習知反及(NAND)快閃記憶體技術以相對較低成本提供高資料儲存密度。反及快閃記憶體一般用於多種資料處理應用，例如行動資料處理應用與行動資料儲存應用。此等反及快閃記憶體之使用的範例，係包含數位影音播放器、行動電話、快閃卡、USB 快閃碟與替代硬碟(HDD)的固態硬碟(SSD)。

圖 1 繪示習知反及快閃記憶體元件。圖 1 中，反及快閃記憶體陣列 10 包含  $n$  區塊(未圖示)，每區塊包含  $m$  頁面(page)，其中一頁面如圖示。有些習知反及快閃記憶體裝置包含二個此陣列。每個陣列(亦稱為一平面)係以逐個頁面的方式進行存取，供讀取及程式化作業之用。每頁面包含一資料欄，其包含  $j$  個位元組，及一個空白欄，其包含  $k$  個位元組，每頁面共有  $j+k$  個位元組。在圖 1 所示的記憶體平面中， $j=4096$ (即 4 千位元組)而  $k=128$ ，每頁面共有 4224 個位元組。在某些習知陣列中， $m=128$  而  $n=2048$ 。

在頁面讀取作業期間，所選頁面的資料係載入圖 1 的頁面緩

衝器 13，且接著透過一個位元組寬度的信號路徑 17，以逐個位元組的方式依序移轉至一個位元組寬的 I/O 緩衝器 15。在頁面程式化作業期間，頁面資料係透過信號路徑 17，自 I/O 緩衝器 15 以逐個位元組的方式依序地移轉至頁面緩衝器 13。(為了避免不必要的複雜性，圖 1 省略通常放置於頁面緩衝器 13 與 I/O 緩衝器 15 間信號路徑 17 內的感測放大器與寫入驅動器排列。)

圖 2 與 3 分別繪示習知程式(當信號 W/R# 高時)與讀取(W/R# 低時)作業之時脈範例。圖 2 與 3 繪示所謂雙資料率(DDR)作業，其中頁面資料的一個位元組(Din 或 Dout)係在時脈信號(圖 2 與 3 中標示為 CLK)的每個升或降緣進行移轉(往返於頁面緩衝器 13)。在另一方面，在習知單資料率(SDR)方法中，頁面資料係以時脈信號 CLK 的每個週期一個位元組的速率進行移轉，達到圖 2 與圖 3 之 DDR 方法的半個移轉量。某些習知方法使用不同版本的時脈信號 CLK，作為讀取及程式化作業的時脈信號。在某些習知排列中(不管是 SDR 或 DDR 介面)，寫入致能信號係用作程式化作業的時脈信號，而讀取致能信號係用作讀取作業的時脈信號。

繼續描述 DDR 作業的範例，在圖 2 的程式化作業期間，輸入資料位元組在時脈信號 CLK 的每半個週期有效，這表示自 I/O 緩衝器 15 移轉一輸入位元組到頁面緩衝器 13(亦參照圖 1)的總時間，應該少於半個週期時間，以達到內部時脈需求。這在圖 3 的讀取作業亦如此，即自頁面緩衝器 13 感測並傳送資料至 I/O 緩衝器 15 的總時間，應該少於半個週期時脈。

隨著時脈信號頻率(圖 2 與 3 中的時脈信號 CLK)的增加，時

脈信號的對應週期時間會減少。針對此頻率的增加，資料穿過 I/O 緩衝器 15 與頁面緩衝器 13(程式化作業)間之資料輸入路徑所需的時間，以及資料遍歷(traverse)頁面緩衝器 13 與 I/O 緩衝器 15(讀取作業)間之資料輸出路徑所需的時間會成為瓶頸，因為在例如不引進高效能電晶體的措施的情況下，係無法簡單地減少遍歷資料輸入路徑或資料輸出路徑所需的總時間(時脈預算)，而引進此電晶體可能增加包含晶片成本的成本。

再者，當記憶體容量增加時，資料輸入及資料輸出路徑可能成為時脈的瓶頸，因為記憶體容量的增加一般係伴隨著頁面緩衝器 13 與 I/O 緩衝器 15 間實體距離的對應增加。

因此，本技藝需要的是一種在反及快閃記憶體元件中，在資料遍歷在頁面緩衝器與 I/O 緩衝器間之介面之時脈預算上限制較為寬鬆。

### 【發明內容】

本發明一方面透過提供複數個將反及快閃記憶體耦接緩衝器的資料路徑，其緩衝器提供記憶體的外部存取，藉此在反及快閃記憶體存取期間資料移轉上的時脈限制可較為寬鬆，其中緩衝器定義與外部存取相關聯的位元寬度，每個資料路徑皆容納此位元寬度。

在本發明一實施例中，記憶體元件包含反及(NAND)快閃記憶體；緩衝器，係提供反及快閃記憶體之外部存取，並定義該外部存取相關聯之一位元寬度；第一與第二資料路徑，係將緩衝器耦

接反及快閃記憶體，其中第一與第二資料路徑中每一路徑容納位元寬度；以及切換裝置，係耦接反及快閃記憶體與緩衝器，其中第一與第二資料路徑遍歷(traverse)切換裝置，以及切換裝置係交替地選擇第一與第二資料路徑。

### 【實施方式】

圖 4 繪示本發明之示範實施例之一資料處理系統。此資料處理系統包含一反及快閃記憶體元件 41，係耦接資料處理資源 42。在某些實施例中，記憶體元件 41 鬆弛圖 1 之習知元件中，與頁面緩衝器 13 與 I/O 緩衝器 15 間之資料移轉相關聯的上述時脈限制。在某些實施例中，這是透過將圖 1 之頁面緩衝器 13 分為複數個頁面緩衝器部份，如圖 4 之頁面緩衝器部份 13A 與 13B 而達成。在某些實施例中，頁面緩衝器部份 13A 與 13B 係實作為實體獨立的緩衝器，定義整體複合頁面緩衝器的構成部份。在某些實施例中，頁面緩衝器部份 13A 與 13B 僅係整體複合頁面緩衝器(即單一實體緩衝器)的構成部份。

在圖 4 的示範記憶體元件 41 中，每個頁面緩衝器部份 13A 與 13B 代表整個頁面緩衝器的一半。每個頁面緩衝器部份因此具有  $j/2$  個位元組的資料欄位與  $k/2$  個位元組的空白欄位。頁面緩衝器部份 13A 與 13B 耦接反及快閃記憶體平面(如圖 1 之習知反及快閃記憶體平面 10)之各自對應的部份(例如半個)40 與 47。

為解說之便，反及快閃記憶體平面 10 此後假設為對應上述習知範例的 8G 位元平面，其中  $j=4096$ ， $k=m=128$ ，而  $n=2048$ 。若每個頁面緩衝器部份 13A 與 13B 代表圖 1 之整體頁面緩衝器的一

半，則每個頁面緩衝器部份 13A 與 13B 具有 2048 個位元組(即 2KB) 資料欄位，以及 64 個位元組的空白欄位。若每個記憶體平面部份 40 與 47 構成平面 10 的一半，則每個反及快閃記憶體平面部份 40 與 47 係 8G 位元平面 10 內的一 4G 位元反及快閃胞陣列。

頁面緩衝器部份 13A 與 13B 分別具有與其相關聯的對應信號路徑 43 與 44(在圖 4 中分別標示為資料路徑 0 與資料路徑 1)，在其相關聯的頁面緩衝器部份與 I/O 緩衝器 15 間移轉資料(或其他資訊，如程式碼/指令)。每個信號路徑係八個位元(一個位元組)寬，藉此匹配 I/O 緩衝器 15 的習知位元寬度(亦參照圖 1)。信號路徑 43 與 44 包含個別的感測放大器與寫入驅動器的組合 48 與 49(在圖 4 中亦標示為全局 S/A&寫入驅動器 0 與全局 S/A&寫入驅動器 1)。圖 4 的記憶體元件 41 因此包含二個八位元寬度的感測放大器與寫入驅動器的組合，而圖 1 的習知元件僅包含一個感測放大器與寫入驅動器的組合(未明示於圖 1)。

切換裝置(SW)45 係將八位元寬度的信號路徑 43 與 44，與八位元(DQ0-DQ7) I/O 緩衝器 15 作溝通，使二個信號路徑 43 與 44 可供資料處理資源 42 運作記憶體讀取作業與記憶體程式化作業。資料處理資源 42 提供控制信號(通常標示於 46)，以控制讀取與程式化作業。位於 46 的控制信號包含用以控制習知記憶體讀取與程式化作業的信號，如圖 1-3 所述，以及其他控制信號，以控制切換裝置 45 的作業。資料處理資源 42 更在記憶體程式化作業期間，在 I/O 緩衝器 15 的 DQ0-DQ7 端，(以習知方式)提供一序列的輸入資料位元組，並在記憶體讀取作業期間，在 DQ0-DQ7 端，(以習知方式)接收一序列的輸出資料位元組。

圖 5 與 6 分別繪示本發明示範實施例中 DDR 程式化與讀取作業的資料移轉時脈。在某些實施例中，圖 4 的系統可運作圖 5 與 6 的程式化與讀取作業。關於圖 5 所示的程式化作業，圖 4 的切換裝置 45 會運作使資料處理資源 42 所提供的輸入序列中的資料位元組 Din0、Din1 等，係在信號路徑 43 與 44(資料路徑 0 與資料路徑 1)中交替進行選路(route)至記憶體平面 10 中各自對應的記憶體部份 40 與 47。第一個位元組 Din0 係在 CLK 的升緣(T0)，閃鎖於 I/O 緩衝器 15，以透過信號路徑 43(資料路徑 0)移轉到頁面緩衝器部份 13A。第二個位元組 Din1 係閃鎖在 CLK 的降緣(T1)，以透過信號路徑 44(資料路徑 1)移轉到頁面緩衝器部份 13B。第三個位元組 Din2 係閃鎖於 CLK 的下一個升緣(T2)，以透過信號路徑 43 移轉至頁面緩衝器部份 13A，而第四個位元組 Din3 係閃鎖於 CLK 的下一個降緣(T3)，以透過信號路徑 44 移轉至頁面緩衝器部份 13B 等等。

針對此交替(或穿插)信號路徑 43 與 44 的選擇，自 I/O 緩衝器 15 至頁面緩衝器部份 13A 與 13B 的移轉的時脈預算(timing budget)，會比自圖 1 的 I/O 緩衝器 15 至頁面緩衝器 13 的移轉的時脈預算(如圖 2 所示)來的寬鬆。圖 5 中，雖然一個位元組的資料係閃鎖於 CLK 的每個邊緣，如圖 2 所示，但是自 I/O 緩衝器 15 至頁面緩衝器部份 13A 與 13B 的移轉的總時脈預算，係一個完整的 CLK 週期，而不是與圖 1 與 2 之習知方法相關聯的半個 CLK 週期的時脈預算。以程式化序列 Din0、Din1、Din2 為例。由於信號路徑 43 與 44 的穿插選擇，透過信號路徑 43 將 Din0 移轉到頁面緩衝器部份 13A，無需在當 Din1 在 T1 閃鎖於 I/O 緩衝器 15 的時候完成。反而，信號路徑 43 僅需在當 Din2 於 T2 閃鎖於 I/O 緩

衝器 15 的時候可用即可。

圖 6 顯示記憶體讀取作業的時脈預算亦同樣寬鬆。在 CLK 升緣 T0，第一個位元組 Dout0 會自頁面緩衝器部份 13A 輸出到信號路徑 43(資料路徑 0)，以移轉給 I/O 緩衝器 15。位元組 Dout0 在 I/O 緩衝器 15 內係有效，以回應 CKL 的升緣 T2。一個 CLK 週期的延遲，係對應自頁面緩衝器部份 13A 移轉到 I/O 緩衝器 15 所需的時間。類似地，在 CLK 降緣 T1，下一個位元組 Dout1 係自頁面緩衝器部份 13B 輸出至信號路徑 44(資料路徑 1)，以移轉至 I/O 緩衝器 15。位元組 Dout1 在 I/O 緩衝器 15 內係有效，以回應下降的 CLK 邊緣 T3。

在某些實施例中，切換裝置 45 提供一多工功能以及一解多工功能，多工功能係在讀取作業期間，將來自信號路徑 43 與 44 的資料位元組多工到 I/O 緩衝器 15，而解多工功能係在程式化期間，將來自 I/O 緩衝器 15 的資料位元組解多工到信號路徑 43 與 44。圖 7-9 繪示此切換裝置之一範例。

具體而言，圖 7-9 繪示 I/O 緩衝器 15 中第 n 個位元位置 GIO<sub>n</sub> 解多工到信號路徑 43 與 44，以作記憶體程式化(如圖 8 所示)，以及將頁面緩衝器 13A 與 13B 的位元多工到第 n 個位元位置 GIO<sub>n</sub>，以作記憶體讀取(如圖 9 所示)。在圖 7 中，圖 4 的標號具有 n 作字尾者，係表示代表圖 4 所示之對應位元組寬架構的第 n 個位元的架構。針對圖 4 所示的位元組寬度架構範例，n 值為 0,1,...,7。圖 7 的切換控制信號 IO\_ODD 與 IO\_EVEN 係全局提供給圖 4 之位元組寬度架構的所有八個位元(n=0,1,...,7)。

讀取或程式化序列中的偶數位元組(Din0/Dout0, Din2/Dout2, Din4/Dout4 與 Din6/Dout6)行經信號路徑 43, 因此 EGION 與 EGDLn 對應既定偶數位元組的第 n 個位元。類似地, 讀取或程式化序列中的奇數位元組(Din1/Dout1, Din3/Dout3, Din5/Dout5 與 Din7/Dout7)行經信號路徑 44, 因此 OGION 與 OGDLn 對應既定奇數位元組的第 n 個位元。資料處理資源 42 提供切換控制信號 IO\_ODD 與 IO\_EVEN(參照圖 4 的 46)。亦參照圖 8 與 9, 切換控制信號 IO\_ODD 與 IO\_EVEN 適當地控制傳送閘 71n 與 72n, 以實施多工運作圖 8 的讀取作業, 以及實施運作圖 9 的程式化作業的解多工。

圖 10 繪示本發明之又一示範實施例之一資料處理系統。圖 10 的系統一般係類似圖 4 的系統, 其包含反及快閃記憶體元件 41A, 係耦接一資料處理資源 42A。然而, 圖 10 中, 本系統提供四個八位元寬度的信號路徑(資料路徑 0-資料路徑 3), 以在 I/O 緩衝器 15 與記憶體部分 40 與 47 間移轉資料位元組。圖 10 中, 一組二個頁面緩衝器部分 13C 與 13D 替換圖 4 的頁面緩衝器部分 13A, 每個頁面緩衝器部份負責一半的頁面緩衝器部分 13A。又, 在圖 10 中, 一組二個頁面緩衝器部分 13E 與 13F 替換圖 4 的頁面緩衝器部分 13B, 每個頁面緩衝器部份負責一半的頁面緩衝器部分 13B。在某些實施例中, 每個信號路徑(資料路徑 0-資料路徑 3)與圖 4 的信號路徑 43 與 44 具有雷同的結構與功能特性。

切換裝置 45A 利用四個信號路徑與 I/O 緩衝器 15 溝通。在程式化作業期間, 資料處理資源 42A 提供資料位元組的輸入序列, 在讀取作業期間, 接收資料位元組的輸出序列, 並提供與圖 4 的

控制信號 46 類似的控制信號 46A，但其包含導致切換裝置 45A 適當地以四個信號路徑與 I/O 緩衝器 15 作溝通的控制信號。

圖 11 與 12 分別繪示本發明之示範實施例中供 DDR 程式化與讀取作業的資料移轉時脈。在某些實施例中，圖 10 的系統可運作圖 11 與 12 的程式化與讀取作業。在圖 11 中，如圖 5，一資料位元組係在 CLK 的每個邊緣被載入 I/O 緩衝器 15。控制信號 46A(亦參照圖 10)導致切換裝置 45A 穿插四個信號路徑的選擇，以利用以下方式傳遞輸入序列的資料位元組：Din0 透過資料路徑 0 到頁面緩衝器部分 13C；Din1 透過資料路徑 1 到頁面緩衝器部分 13E；Din2 透過資料路徑 2 到頁面緩衝器部分 13D；以及 Din3 透過資料路徑 3 到頁面緩衝器部分 13F。這代表四個信號控制(資料路徑 0-資料路徑 3)之選擇的四向穿插。

與圖 4-6 所述之信號路徑選擇的雙向穿插相比，圖 10-12 的四向穿插讓 I/O 緩衝器 15 與頁面緩衝器部分間之移轉的時脈預算更為寬鬆。舉例而言，如圖 11 所示，Din0 在 T0 閃鎖於 I/O 緩衝器 15，且被傳送到資料路徑 0，但資料路徑 0 無需供另一資料移轉使用，直到 Din4 在 T4 被閃鎖。因此二個完整的 CLK 週期可供資料從 I/O 緩衝器 15 移轉到任何一個頁面緩衝器部分 13C-13F，雖然在 CLK 的每個邊緣會有一個新的位元組閃鎖於 I/O 緩衝器 15。類似地，圖 12 繪示在記憶體讀取作業期間達成相同的二個 CLK 週期時脈預算，同時仍在 CLK 的每個邊緣自一個頁面緩衝器部分 13C-13F 輸出一個資料位元組。

如熟此技藝者所知(亦如某些實施例)，圖 7 的傳送閘結構與控

制信號之延伸可實施圖 11 與 12 分別所示的程式化與讀取作業。

圖 13 繪示本發明之又一示範實施例之一資料處理系統。圖 13 的資料處理系統可視為圖 4 之資料處理系統的延伸，包含二個記憶體平面 10。具體而言，本系統包含具有二個反及快閃記憶體平面 10 的記憶體元件 41B，標示為平面 0 與平面 1。每個記憶體平面係透過二個頁面緩衝器(13A 與 13B)以及二個各自對應的信號路徑(資料路徑 0 與資料路徑 1 對平面 0，而資料路徑 2 與資料路徑 3 對平面 1)，以圖 4-6 所示之相同方式，與 I/O 緩衝器 15 溝通。平面 0 與平面 1 具有與其相關聯的第一與第二各自對應的切換裝置 45 之實例(參照圖 4-6)，以圖 4-6 所述之方法，利用其相關聯的信號路徑與 I/O 緩衝器 15 相關聯。切換裝置 45 的一第三實例可負責將第一與第二切換裝置 45 與 I/O 緩衝器 15 作溝通。

資料處理資源 42B 提供控制信號 46B 給記憶體元件 41B，其包含以圖 4-6 所述之相同方式控制切換裝置 45 之第一與第二實例的信號。在 46B 的控制信號控制切換裝置 45 的一第三實例，使得平面 1 與平面 2 的(讀取或程式化)存取可依照任何需要的時脈相互穿插。

圖 14 繪示本發明之又一示範實施例之一資料處理系統。圖 14 的資料處理系統可視為圖 10 的資料處理系統的延伸，以包含二個記憶體平面 10(位於記憶體元件 41C 中)，類似於圖 13 之資料處理系統延伸圖 4 之資料處理系統，以包含二個記憶體平面。資料處理資源 42C 提供控制信號 46C 給記憶體元件 41C，其包含以圖 10-12 所述之相同方式，控制換排列 45A 之第一與第二實例(亦參

照圖 10-12)的信號 46C。在 46C 之又一控制信號控制切換裝置 45 之一實例(參照圖 4-6)，使得平面 0 與平面 1 的(讀取或程式化)存取可根據理想的時脈相互穿插。

上述之資料處理系統的許多實施例顯示許多特徵，如以下非耗盡之範例清單：(1)資料處理系統係以一單一積體電路的方式提供；(2)記憶體元件與資料處理資源分別提供於二個分離的積體電路；(3)記憶體元件與資料處理資源的其中一者係提供於一單一積體電路，而記憶體元件與資料處理資源的另一者係分佈在複數個積體電路；(4)記憶體元件分佈於複數個積體電路，而資料處理資源分佈於複數個積體電路；(5)讀取與程式化作業係根據 CLK 的差異計時；(6)程式化作業係根據一寫入致能信號(而非 CLK)計時，而讀取作業係根據讀取致能信號(而非 CLK)計時；以及(7)資料處理系統的架構係依照資料單元的移轉作延展，其資料單元具有八個位元以外的位元寬度。

雖然圖 13 與 14 所示之反及快閃記憶體元件包含二個記憶體平面，在其他實施例中，反及快閃記憶體元件包含多於二個記憶體平面。在某些實施例中，反及快閃記憶體元件係由不只二個的多個記憶體平面組合而成，且非二的次方數。舉例而言，在許多實施例中，反及快閃記憶體元件係由三個記憶體平面組合而成，其內容係根據與圖 13 與 14 所述類似之穿插選擇序列與一單一 I/O 緩衝器作溝通。

在某些實施例中，上述之許多資料處理系統實施行動資料處理應用或行動資料儲存應用。在某些實施例中，上述之資料處理

系統包含例如數位影音播放器、行動電話、快閃卡、USB 快閃碟與取代硬碟的固態硬碟(SSD)中之任一種。

雖然本發明之示範實施例已詳述如上，但其並不限制本發明之範疇，本發明可以許多不同的實施例實施。

### 【圖式簡單說明】

圖 1 繪示習知反及快閃記憶體元件；

圖 2 與 3 分別繪示習知記憶體程式化作業與記憶體讀取作業之時脈；

圖 4 繪示本發明之示範實施例之資料處理系統；

圖 5 與 6 分別繪示圖 4 之系統可運作之記憶體程式化作業與記憶體讀取作業；

圖 7 繪示本發明之示範實施例之圖 4 的一部份；

圖 8 與 9 繪示圖 7 之實施例可運作之作業；

圖 10 繪示本發明之另一示範實施例之資料處理系統；

圖 11 與 12 分別繪示圖 10 之系統可運作之記憶體程式化作業與記憶體讀取作業；

圖 13 繪示本發明之另一示範實施例之資料處理系統；

圖 14 繪示本發明之另一示範實施例之資料處理系統。

### 【主要元件符號說明】

10 記憶體平面

13、13A、13B 頁面緩衝器

15 I/O 緩衝器

17 信號路徑

40、47	記憶體平面部份
41、41A、41B、41C	記憶體元件
42、42A、42B、42C	資料處理資源
43、44	信號路徑
45、45A	切換裝置
46、46A、46B、46C	控制信號
48、49	感測放大器與寫入驅動器的組合
71n、72n	傳送閘

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98100743

※ 申請日：98年01月09日

※IPC 分類：

一、發明名稱：(中文/英文)

G11C 16/02 (2006.01)

具有寬鬆時脈限制之反及快閃記憶體存取

G11C 16/32 (2006.01)

NAND FLASH MEMORY ACCESS WITH RELAXED TIMING  
CONSTRAINTS

二、中文發明摘要：

透過提供複數個將反及快閃記憶體耦接緩衝器的資料路徑，其緩衝器提供記憶體的外部存取，藉此在反及快閃記憶體存取期間資料移轉上的時脈限制可較為寬鬆。緩衝器定義與外部存取相關聯的位元寬度，每個資料路徑皆容納此位元寬度。

三、英文發明摘要：

Timing constraints on data transfers during access of a NAND flash memory can be relaxed by providing a plurality of data paths that couple the NAND flash memory to a buffer that provides external access to the memory. The buffer defines a bit width associated with the external access, and each of the data paths accommodates that bit width.

七、申請專利範圍：

1. 一種記憶體元件，該元件包含：

一反及(NAND)快閃記憶體；

一緩衝器，係提供該反及快閃記憶體之外部存取，並定義與該外部存取相關聯之一位元寬度；

第一與第二資料路徑，係將該緩衝器耦接該反及快閃記憶體，該第一與第二資料路徑中每一路徑容納該位元寬度；以及

一切換裝置，係耦接該反及快閃記憶體與該緩衝器，該第一與第二資料路徑遍歷(traverse)該切換裝置，以及該切換裝置係交替地選擇該第一與第二資料路徑。

2. 一種記憶體元件，該元件包含：

一反及快閃記憶體；

一緩衝器，係提供該反及快閃記憶體之外部存取，並定義與該外部存取相關聯之一位元寬度；

複數個資料路徑，係將該緩衝器耦接該反及快閃記憶體，每一該資料路徑容納該位元寬度。

3. 如請求項 2 所述之元件，包含一複合緩衝器，係具有複數個構成緩衝器部分，該複數個緩衝器部分耦接該反及快閃記憶體之複數個相關部分，以及更耦接該資料路徑之各自對應之資料路徑。

4. 如請求項 3 所述之元件，其中該反及快閃記憶體之該複數個部分係包含於該反及快閃記憶體之一單一平面內。

5. 如請求項 3 所述之元件，其中該反及快閃記憶體之該複數個部

分係分佈於該反及快閃記憶體之複數個平面。

6. 如請求項 2 述之元件，包含一切換裝置，係耦接該反及快閃記憶體與該緩衝器，該資料路徑遍歷該切換裝置，以及該切換裝置係以一選擇序列選擇該資料路徑。

7. 如請求項 6 所述之元件，包含第一與第二組之該資料路徑，係分別耦接該反及快閃記憶體之第一與第二部分。

8. 如請求項 7 所述之元件，其中該反及快閃記憶體之該第一與第二部分係包含於該反及快閃記憶體之一單一平面。

9. 如請求項 7 所述之元件，其中該反及快閃記憶體之該第一與第二部分係分別提供於該反及快閃記憶體之不同平面。

10. 如請求項 9 所述之元件，其中該反及快閃記憶體係由一二次方之一數量之該平面組合而成。

11. 如請求項 7 所述之元件，其中該選擇序列暫時將該第一組中之該資料路徑之選擇與該第二組中之該資料路徑之選擇作穿插。

12. 如請求項 6 所述之元件，包含該資料路徑之第一、第二、第三與第四組合，係分別耦接該反及快閃記憶體之第一、第二、第三及第四部份。

13. 如請求項 12 所述之元件，其中該反及快閃記憶體之該第一、

第二、第三與第四部份係分佈在該反及快閃記憶體之複數個平面。

14. 如請求項 13 所述之元件，其中該複數個平面係由一二次方之一數量之該平面組合而成。

15. 如請求項 12 所述之元件，其中該選擇序列包含一第一穿插模式，該第一穿插模式係暫時將該第一組中之該資料路徑之選擇與該第二組中之該資料路徑之選擇作穿插，以及更包含一第二穿插模式，該第二穿插模式係暫時將該第三組中之該資料路徑之選擇與該第四組中之該資料路徑之選擇作穿插。

16. 如請求項 15 所述之元件，其中該選擇序列更包含一第三穿插模式，該第三穿插模式係暫時將該第一穿插模式之選擇與該第二穿插模式之選擇作穿插。

17. 如請求項 6 所述之元件，其中該資料路徑之選擇係暫時穿插於該選擇序列。

18. 如請求項 6 所述之元件，其中在該反及快閃記憶體之一讀取存取期間，該切換裝置自該資料路徑將資訊多工至該緩衝器，以及在該反及快閃記憶體之一寫入存取期間，自該緩衝器將資訊解多工至該資料路徑。

19. 如請求項 2 所述之元件，其中該第一與第二資料路徑中每一路徑負載資訊，同時該第一與該第二資料路徑之另一路徑亦負載資訊。

20. 一種資料處理系統，該系統包含：

一資料處理器；以及

一記憶體元件，係耦接該資料處理器，該記憶體元件包含一反及快閃記憶體，一緩衝器，係允許該資料處理器存取該反及快閃記憶體，並定義與該存取相關聯之一位元寬度，以及複數個資料路徑，係將該反及快閃記憶體耦接該緩衝器，該資料路徑之每一路徑容納該位元寬度。

21. 如請求項 20 所述之系統，其中該第一與第二資料路徑中每一路徑係負載資訊，同時該第一與該第二資料路徑之另一資訊亦負載資訊。

22. 如請求項 20 所述之系統，其中該記憶體元件包含一切換裝置，係耦接該反及快閃記憶體與該緩衝器，該資料路徑遍歷該切換裝置，以及該切換裝置係以一選擇序列選擇該資料路徑。

23. 如請求項 22 所述之系統，其中該記憶體元件包含第一與第二組之該資料路徑，係分別耦接該反及快閃記憶體之第一與第二部分。

24. 如請求項 23 所述之系統，其中該選擇序列暫時地將該第一組中之該資料之選擇與該第二組中之該資料路徑之選擇作穿插。

25. 如請求項 22 所述之系統，其中該記憶體元件包含該資料路徑之第一、第二、第三與第四組合，係分別耦接該反及快閃記憶體之第一、第二、第三及第四部份。

26. 如請求項 25 所述之系統，其中該選擇序列包含一第一穿插模式，該第一穿插模式係暫時將該第一組中之該資料路徑之選擇與該第二組中之該資料路徑之選擇作穿插，以及更包含一第二穿插模式，該第二穿插模式係暫時將該第三組中之該資料路徑之選擇與該第四組中之該資料路徑之選擇作穿插。

27. 如請求項 26 所述之系統，其中該選擇序列更包含一第三穿插模式，該第三穿插模式係暫時將該第一穿插模式之選擇與該第二穿插模式之選擇作穿插。

28. 如請求項 22 所述之系統，其中該資料路徑之選擇係暫時穿插於該選擇序列。

29. 如請求項 22 所述之系統，其中在該反及快閃記憶體之一讀取存取期間，該切換裝置自該資料路徑將資訊多工至該緩衝器，以及在該反及快閃記憶體之一寫入存取期間，自該緩衝器將資訊解多工至該資料路徑。

30. 如請求項 20 所述之系統，其中該記憶體元件包含一複合緩衝器，係具有複數個構件緩衝器部分，該複數個緩衝器部分耦接該反及快閃記憶體之複數個相關部分，以及更耦接該資料路徑之各自對應之資料路徑。

31. 如請求項 30 所述之系統，其中該複數個構件緩衝器部分係實體相互獨立之個別緩衝器。

32. 如請求項 20 所述之系統，係為一行動資料處理系統。

33. 如請求項 20 所述之系統，係為一數位音頻播放器、一數位影像播放器、一行動電話、一快閃卡、一 USB 快閃碟與取代硬碟之一固態硬碟(SSD)中之任一。

34. 如請求項 20 所述之系統，其中該位元寬度係八個位元。

35 一種在一反及快閃記憶體與一緩衝器間移轉資料單元之方法，該緩衝器提供該反及快閃記憶體之外部存取，並定義該資料單元之一位元寬度，該方法包含：

提供該資料單位之一序列；以及

對鄰近該序列之資料單位在於該反及快閃記憶體與該緩衝器間各自不同的資料路徑進行選路(route)，其中每一該資料路徑容納該位元寬度。

八、圖式：

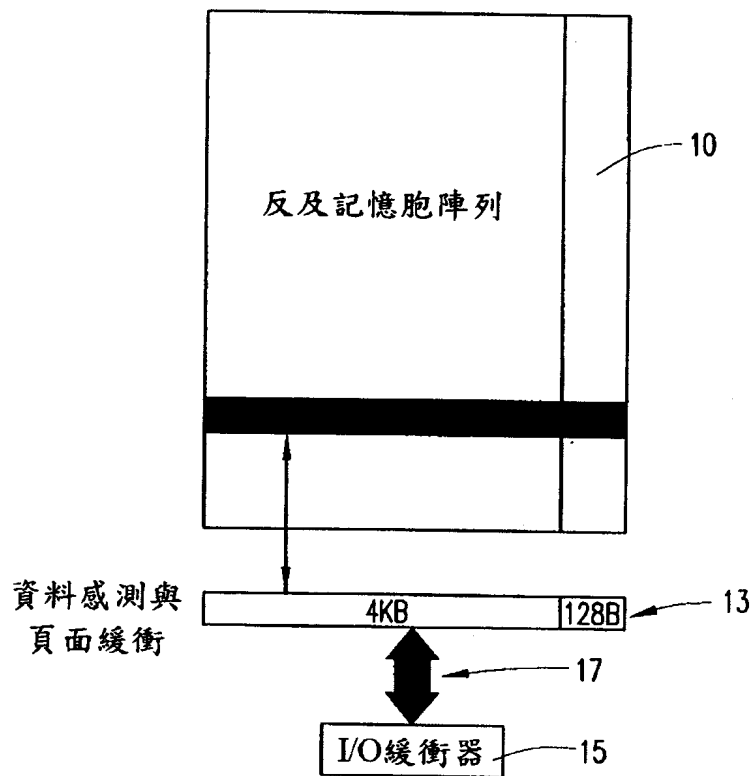


圖1(習知技術)

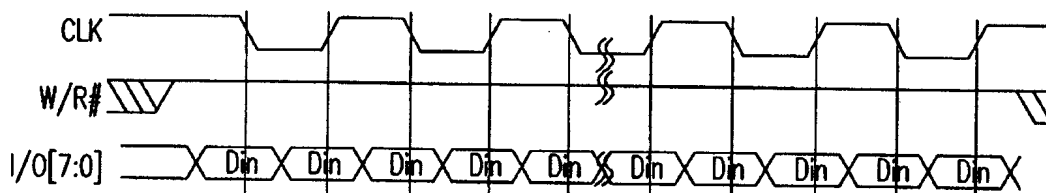


圖2(習知技術)

→ 時間

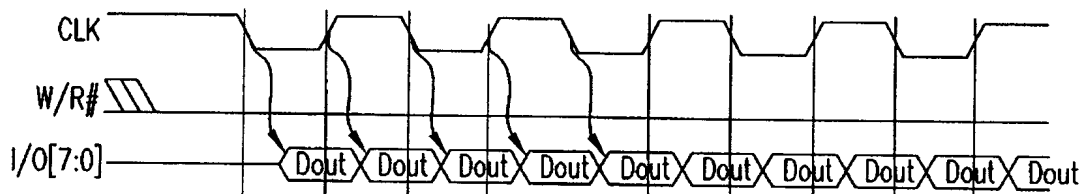


圖3(習知技術)

→ 時間

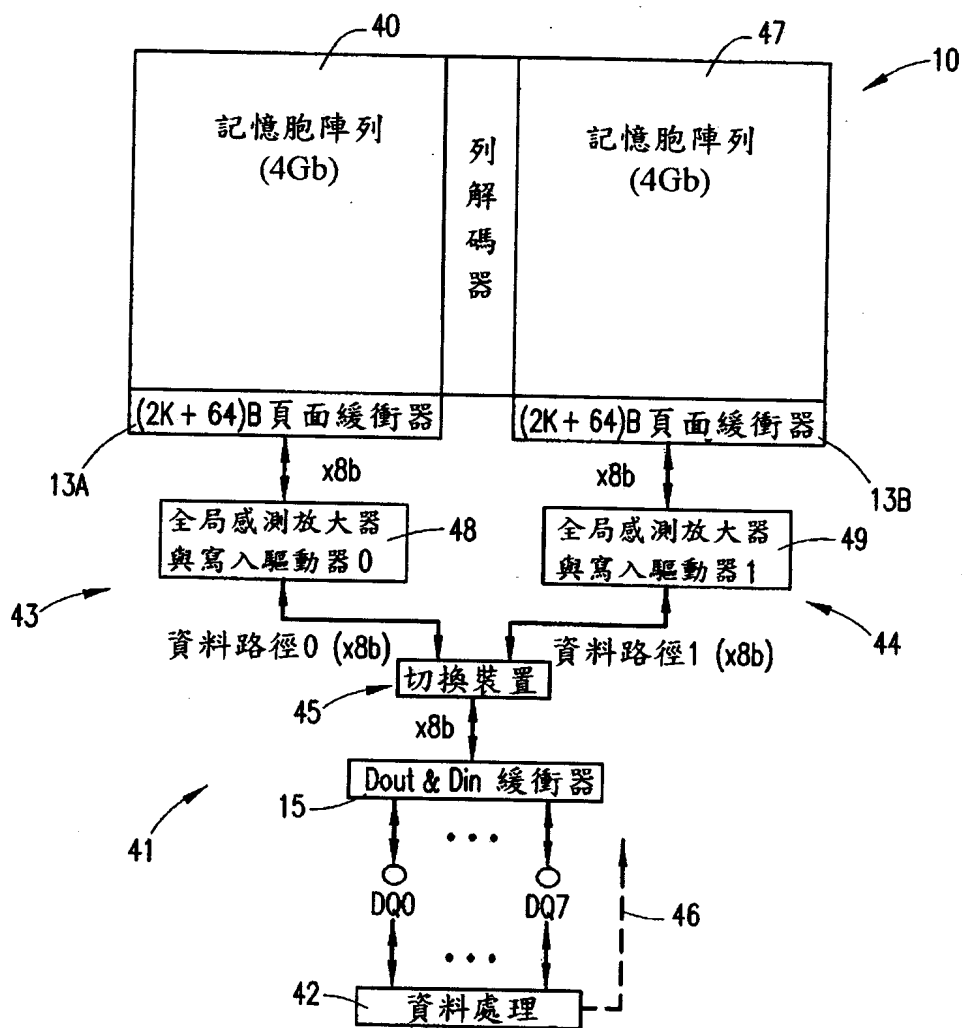


圖4

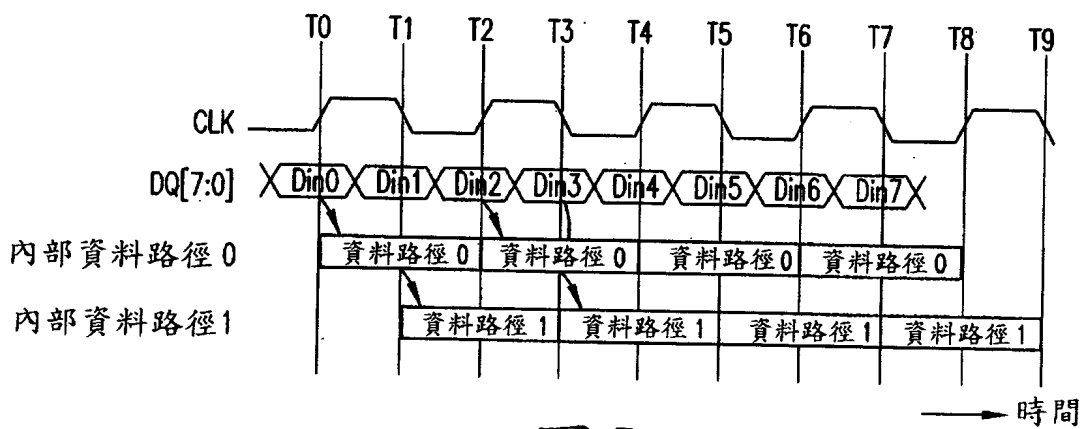


圖5

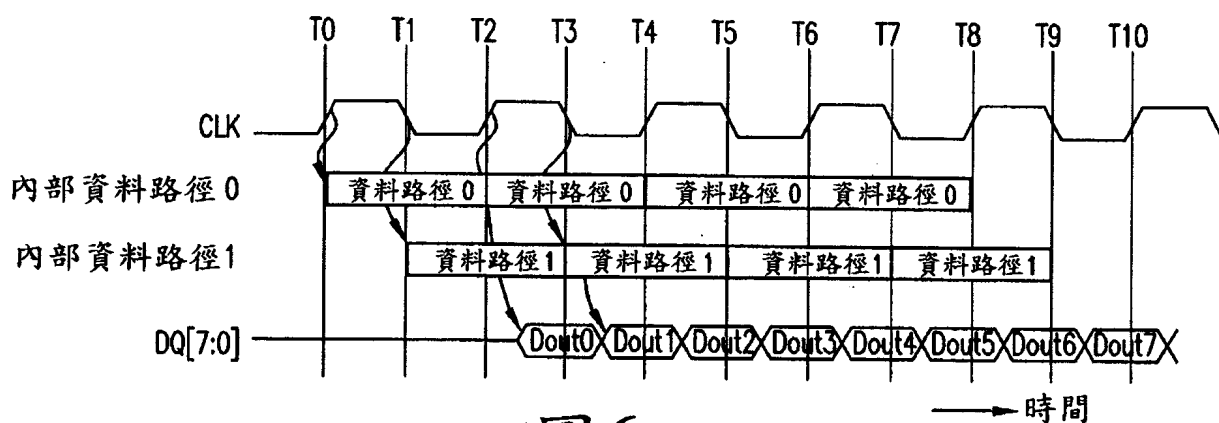


圖 6

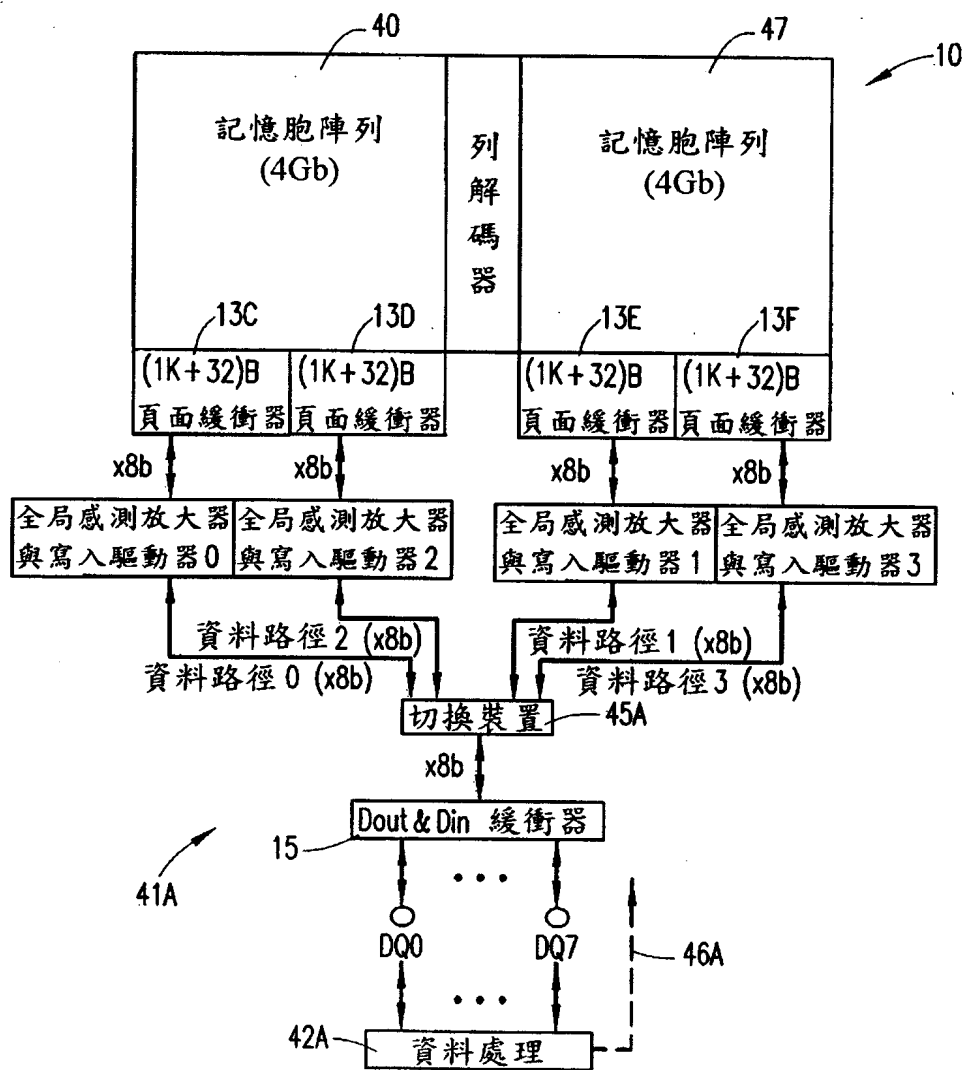


圖 10

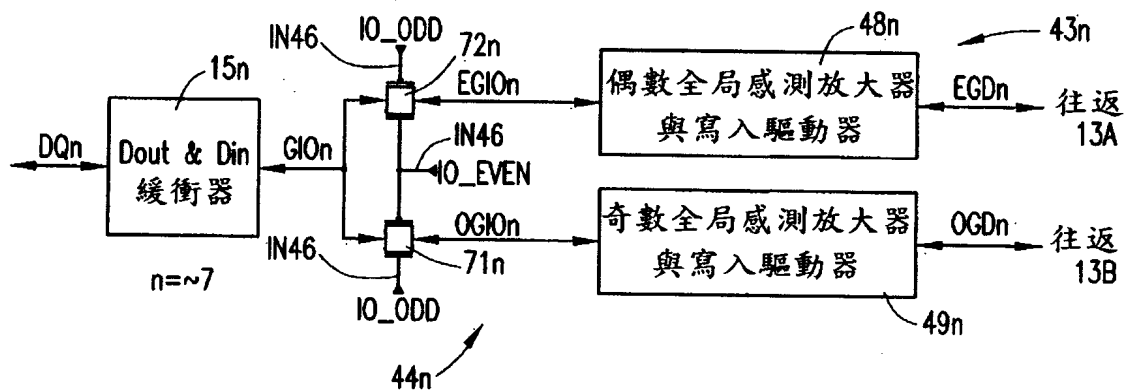


圖 7

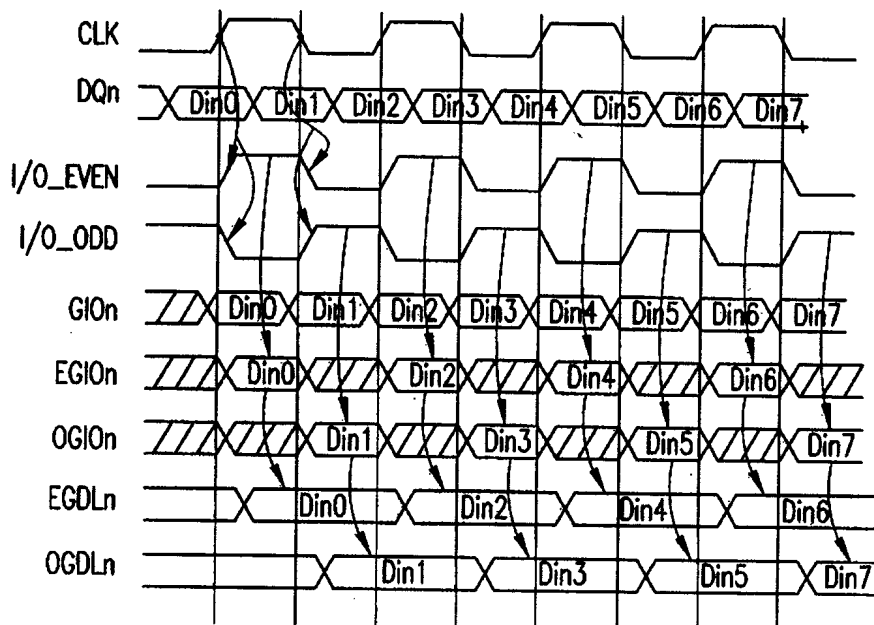


圖 8

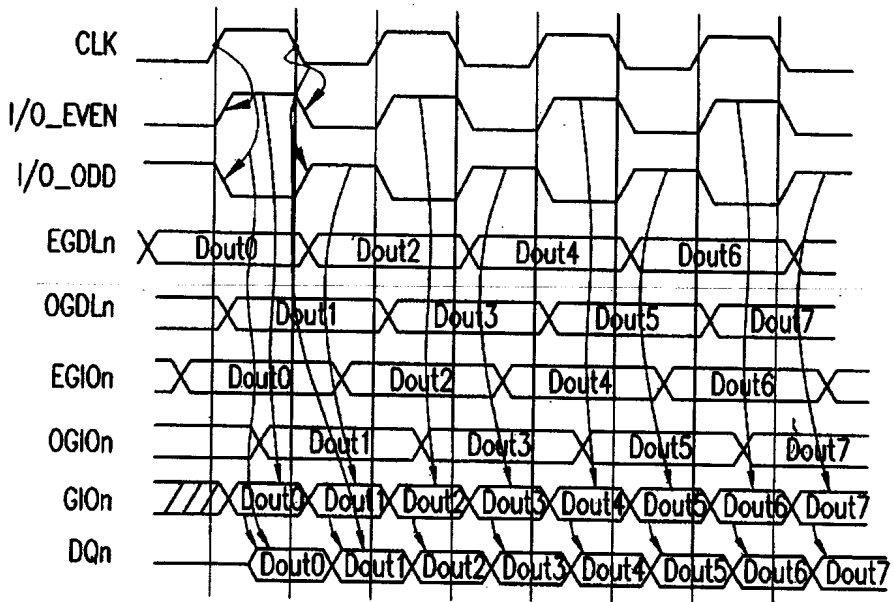


圖 9

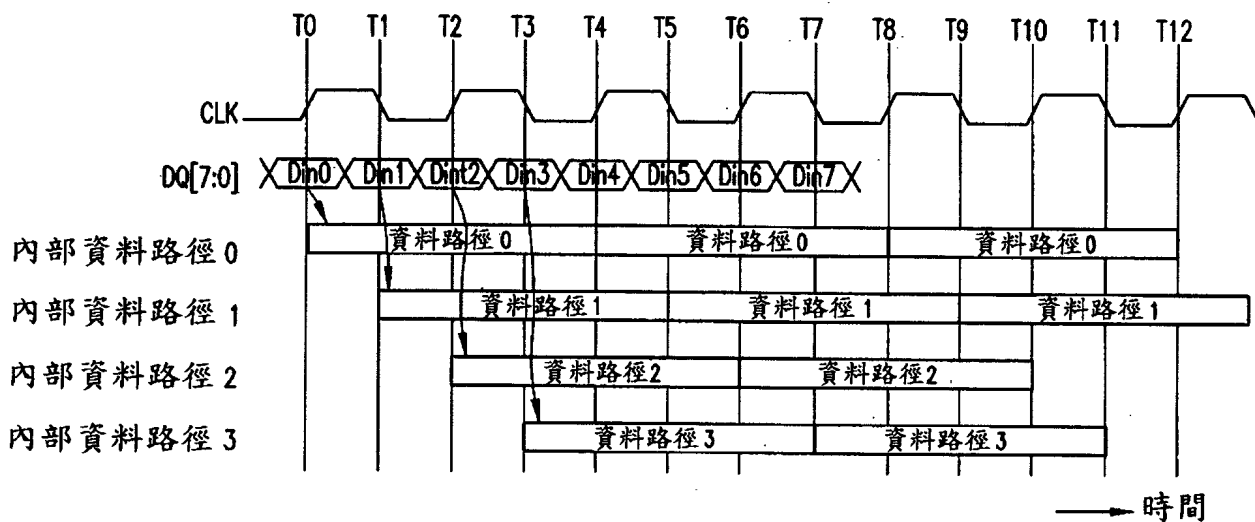


圖 11

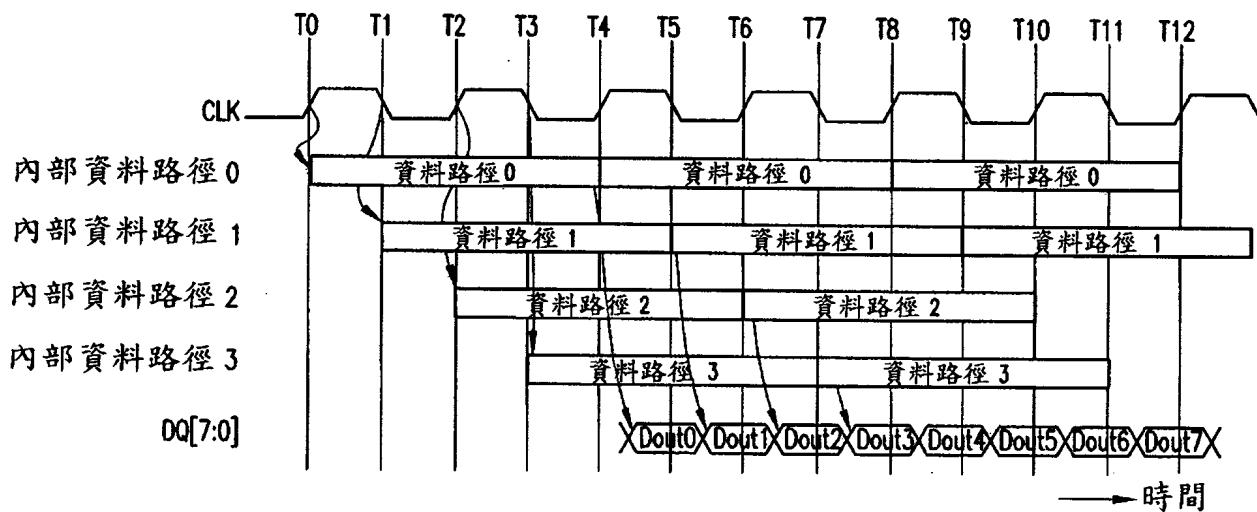


圖 12

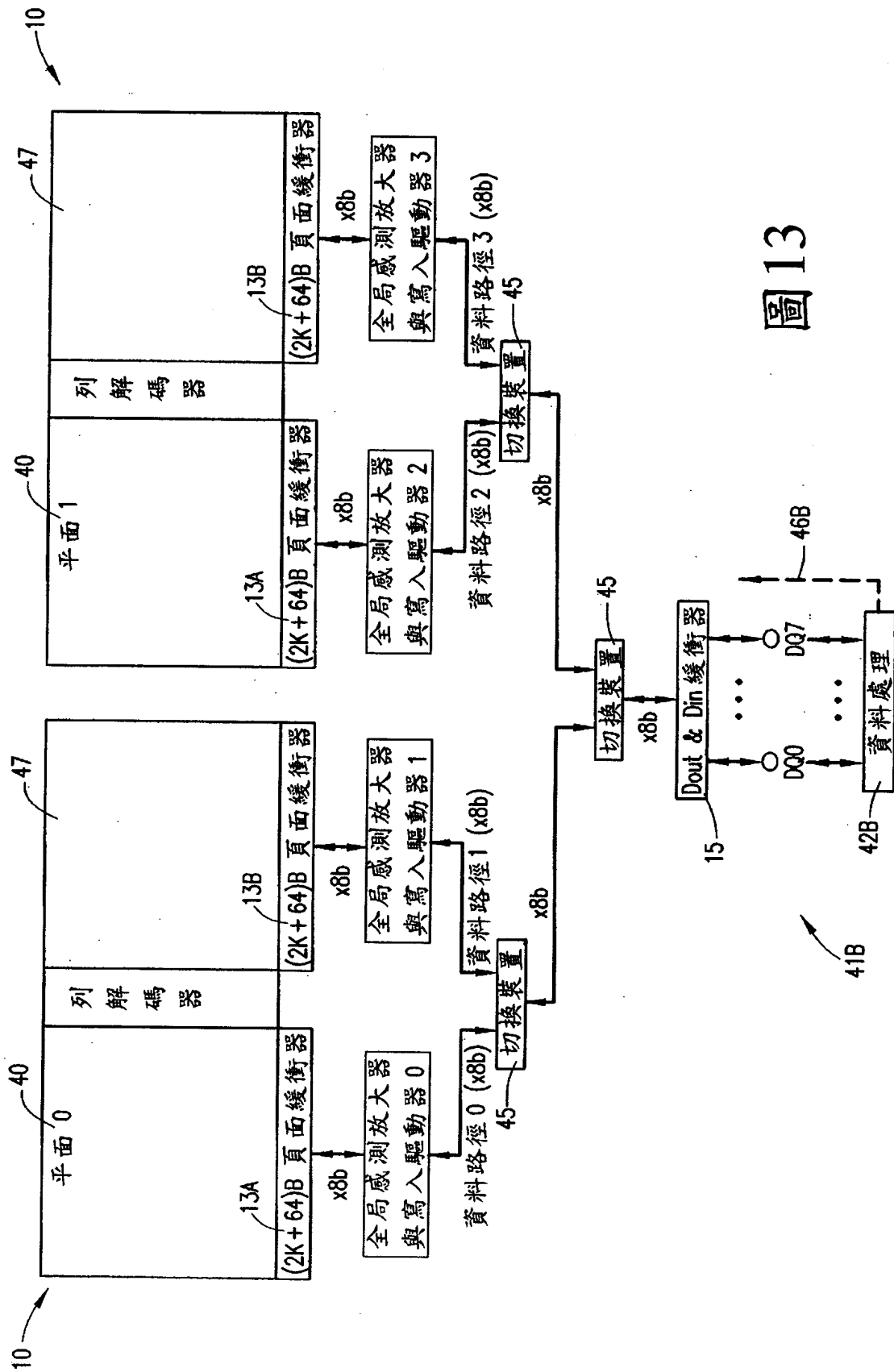


圖 13

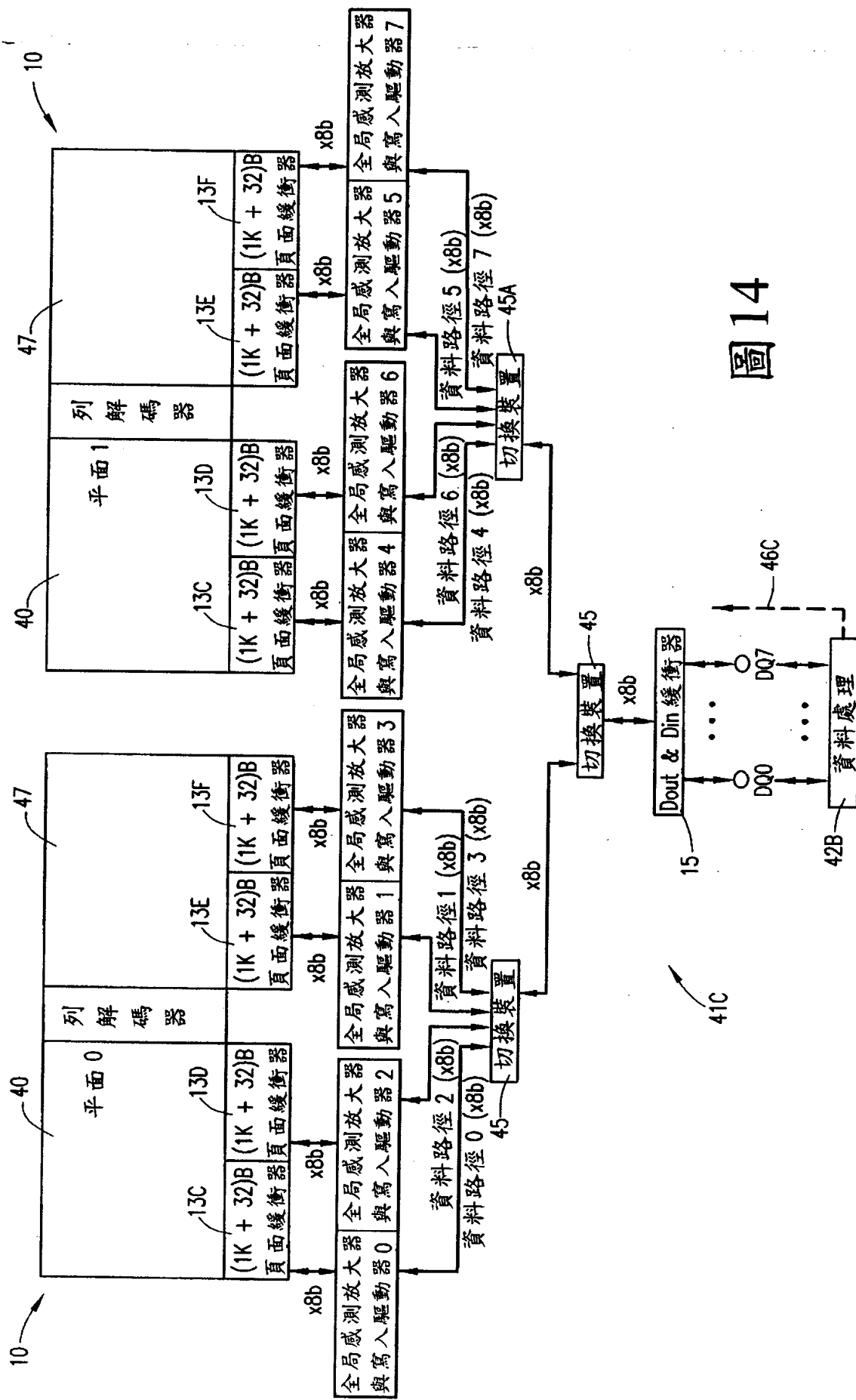


圖 14

四、指定代表圖：

(一)本案指定代表圖為：圖 4。

(二)本代表圖之元件符號簡單說明：

10	記憶體平面
13A、13B	頁面緩衝器
15	I/O 緩衝器
40、47	記憶體平面部份
41	記憶體元件
42	資料處理資源
43、44	信號路徑
45	切換裝置
46	控制信號
48、49	全局感測放大器與寫入驅動器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。