



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0024499
(43) 공개일자 2020년03월09일

(51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) H01L 23/00 (2006.01)
H01L 23/31 (2006.01) H01L 23/48 (2006.01)

(52) CPC특허분류
H01L 25/0657 (2013.01)
H01L 23/3135 (2013.01)

(21) 출원번호 10-2018-0101256
(22) 출원일자 2018년08월28일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
성기준
충청북도 청주시 흥덕구 대농로 17 지월시티1차아파트 101동 2705호

김종훈
경기도 수원시 영통구 영통로200번길 20망포동, 망포마을현대1차아이파크아파트 102-102

(74) 대리인
특허법인아주

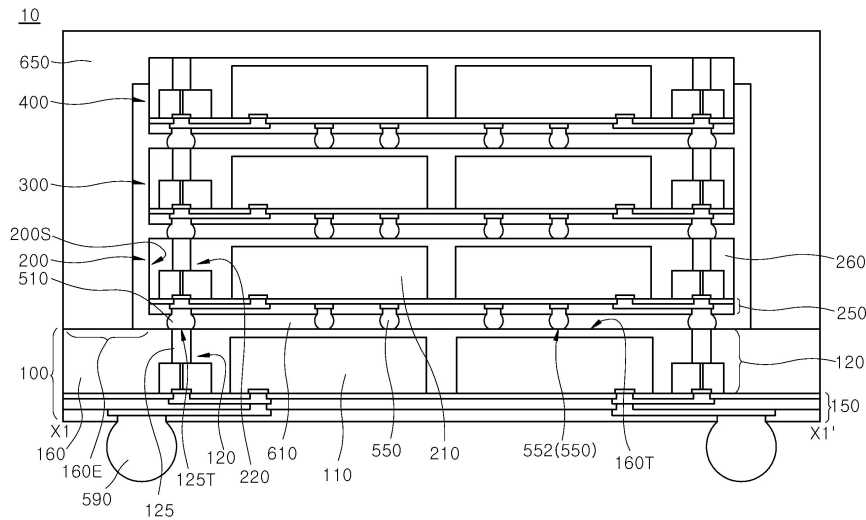
전체 청구항 수 : 총 40 항

(54) 발명의 명칭 브리지 다이를 포함하는 스택 패키지

(57) 요약

제1서브 패키지(sub package) 상에 스택된 제2서브 패키지를 포함하는 스택 패키지를 제시한다. 제1 및 제2서브 패키지들 사이에 제2서브 패키지를 지지하는 복수의 더미 볼들이 도입된다. 서브 패키지는 반도체 다이와 이에 이격된 브리지 다이(bridge die)를 포함한다.

대표도



(52) CPC특허분류

H01L 23/481 (2013.01)

H01L 24/06 (2013.01)

H01L 24/14 (2013.01)

H01L 24/17 (2013.01)

명세서

청구범위

청구항 1

제1반도체 다이(die),

상기 제1반도체 다이에 이격되어 배치된 제1브리지 다이 몸체부(bridge die body), 상기 제1브리지 다이 몸체부를 관통하는 제1관통 비아(through via), 및 상기 제1관통 비아의 일 단부에 연결되고 상기 제1브리지 다이 몸체부 상측으로 돌출된 제1포스트 범프(post bump)를 포함하는 제1브리지 다이,

상기 제1반도체 다이 및 상기 제1브리지 다이를 덮고 상기 제1포스트 범프의 측면을 감싸고 상기 제1포스트 범프의 상면을 드러낸 내측 제1몰딩층(molding layer), 및

상기 제1관통 비아의 다른 단부를 상기 제1반도체 다이에 전기적으로 연결시키는 제1재배선 구조를 포함하는 제1서브 패키지(sub package);

상기 제1서브 패키지 상에 스택(stack)된 제2서브 패키지(sub package);

상기 제1포스트 범프에 상기 제2서브 패키지를 전기적으로 접속시키는 내측 커넥터(connector); 및

상기 제1서브 패키지와 상기 제2서브 패키지 사이에 도입되어 상기 제2서브 패키지를 지지하는 복수의 더미 볼(dummy ball)들을 포함하는 스택 패키지.

청구항 2

제1항에 있어서,

상기 제2서브 패키지는

제2반도체 다이(die);

상기 제2반도체 다이에 이격되어 배치된 제2브리지 다이 몸체부, 상기 제2브리지 다이 몸체부를 관통하는 제2관통 비아, 및 상기 제2관통 비아의 일 단부에 연결되고 상기 제2브리지 다이 몸체부 상측으로 돌출된 제2포스트 범프를 포함하는 제2브리지 다이;

상기 제2반도체 다이 및 상기 제2브리지 다이를 덮고 상기 제2포스트 범프의 측면을 감싸고 상기 제2포스트 범프의 상면을 드러낸 내측 제2몰딩층; 및

상기 제2관통 비아의 다른 단부와 상기 제2반도체 다이를 전기적으로 연결시키는 제2재배선 구조를 포함하는 스택 패키지.

청구항 3

제2항에 있어서,

상기 제2서브 패키지는

상기 제2재배선 구조와 이격되고 상기 제2반도체 다이와 전기적으로 격리된 복수의 더미 패드(dummy pad)들을 더 포함하고,

상기 더미 볼들은 일단 단부들 각각이 상기 더미 패드들에 각각 본딩(bonding)되고, 반대측의 다른 단부들 각각이 상기 내측 제1몰딩층의 표면에 접촉하는 스택 패키지.

청구항 4

제2항에 있어서,

상기 더미 볼들은

상기 제2반도체 다이에 중첩된 위치에 배치된 스택 패키지.

청구항 5

제4항에 있어서,
상기 제2반도체 다이는 에지 영역에 배치된 접촉 패드를 포함하고,
상기 접촉 패드는 상기 제2재배선 구조와 전기적으로 연결되고,
상기 더미 볼들은
상기 에지 영역과 이격된 상기 제2반도체 다이에 중앙 영역에 배치된 스택 패키지.

청구항 6

제2항에 있어서,
상기 제2브리지 다이는
상기 제2관통 비아와 상기 제2재배선 구조의 중첩 부분의 계면에
상기 제2관통 비아와 연결되고 상기 제2관통 비아보다 큰 직경을 가지는 비아 패드(via pad)를 더 포함하는 스택 패키지.

청구항 7

제6항에 있어서,
상기 제2포스트 범프, 상기 제2관통 비아, 상기 비아 패드, 상기 제2재배선 구조의 일부 부분 및 상기 내측 커넥터는
서로 수직하게 중첩되도록 배치된 스택 패키지.

청구항 8

제1항에 있어서,
상기 더미 볼은
상기 내측 커넥터의 직경보다 작은 직경 크기를 가지는 스택 패키지.

청구항 9

제1항에 있어서,
상기 제1브리지 다이 몸체부는
상기 제1반도체 다이의 두께 보다 작은 두께를 가지는 스택 패키지.

청구항 10

제1항에 있어서,
상기 내측 제1몰딩층의 상측 표면과 상기 제1브리지 다이 몸체부의 상측 표면 사이의 거리는
상기 내측 제1몰딩층의 상측 표면과 상기 제1반도체 다이의 상측 표면 사이의 거리 보다 큰 스택 패키지.

청구항 11

제1항에 있어서,
상기 제1포스트 범프의 측면 일부 부분은 상기 제1반도체 다이의 측면을 마주보는 스택 패키지.

청구항 12

제1항에 있어서,
상기 제1포스트 범프는

상기 제1관통 비아의 직경 보다 큰 직경을 가지는 스택 패키지.

청구항 13

제1항에 있어서,

상기 내측 제1몰딩층은 절연 물질을 포함하고, 상기 제1브리지 다이 몸체부는 실리콘을 포함하는 반도체 물질을 포함하는 스택 패키지.

청구항 14

제1항에 있어서,

상기 제1서브 패키지와 상기 제2서브 패키지 사이를 채우도록 확장된 필링층(filling layer)을 더 포함하는 스택 패키지.

청구항 15

제14항에 있어서,

상기 더미 볼은

상기 필링층 보다 열전도도가 높은 열전도 물질(thermal conductive material)을 포함하는 스택 패키지.

청구항 16

제14항에 있어서,

상기 필링층은

언더필 물질(underfill material)을 포함하는 스택 패키지.

청구항 17

제14항에 있어서,

상기 필링층 상에

상기 제1 및 제2서브 패키지들을 덮는 외측 몰딩층을 더 포함하는 스택 패키지.

청구항 18

제1항에 있어서,

상기 제2서브 패키지 상에 순차적으로 스택된 제3 및 제4서브 패키지들; 및

상기 제2, 제3 및 제4서브 패키지들 사이에 도입된 지지를 위한 또 다른 더미 볼들을 더 포함하는 스택 패키지.

청구항 19

제1서브 패키지 상에 스택된 제2서브 패키지;

상기 제1서브 패키지와 상기 제2서브 패키지 사이에 개재되어 서로 전기적으로 접속시키는 내측 커넥터;

상기 제1서브 패키지와 상기 제2서브 패키지 사이에 도입되어 상기 제2서브 패키지를 지지하는 복수의 더미 볼들; 및

상기 제1서브 패키지에 전기적으로 접속된 외측 커넥터를 포함하고,

상기 제1서브 패키지는

제1반도체 다이;

상기 제1반도체 다이에 이격되어 배치된 제1브리지 다이 몸체부,

상기 제1브리지 다이 몸체부를 관통하는 제1관통 비아, 및

상기 제1관통 비아의 일 단부에 연결되고 상기 제1브리지 다이 몸체부 상측으로 돌출된 제1포스트 범프를 포함하는 제1브리지 다이;

상기 제1반도체 다이 및 상기 제1브리지 다이를 덮고 상기 제2서브 패키지의 측면 바깥으로 돌출되도록 확장된 내측 제1몰딩층;

상기 제1관통 비아의 다른 단부를 상기 제1반도체 다이에 전기적으로 연결시키는 내측 제1재배선 패턴; 및

상기 내측 제1재배선 패턴을 상기 외측 커넥터에 전기적으로 연결시키는 외측 재배선 패턴을 포함하는 스택 패키지.

청구항 20

제19항에 있어서,

상기 제1몰딩층의 상기 돌출된 부분을 덮고

상기 제2서브 패키지를 덮도록 확장된 외측 몰딩층을 더 포함하는 스택 패키지.

청구항 21

제19항에 있어서,

상기 내측 제1재배선 패턴과 상기 외측 재배선 패턴이 서로 다른 층위(level)에 위치하도록

상기 내측 제1재배선 패턴과 상기 외측 재배선 패턴을 덮는 유전층을 더 포함하는 스택 패키지.

청구항 22

제19항에 있어서,

상기 내측 제1몰딩층은

상기 제1포스트 범프의 측면을 감싸고 상기 제1포스트 범프의 상면을 드러내도록 형성된 스택 패키지.

청구항 23

제22항에 있어서,

상기 내측 커넥터는

상기 제1포스트 범프에 분당된 스택 패키지.

청구항 24

제19항에 있어서,

상기 제2서브 패키지는

제2반도체 다이;

상기 제2반도체 다이에 이격되어 배치된 제2브리지 다이 몸체부, 상기 제2브리지 다이 몸체부를 관통하는 제2관통 비아, 및 상기 제2관통 비아의 일 단부에 연결되고 상기 제2브리지 다이 몸체부 상측으로 돌출된 제2포스트 범프를 포함하는 제2브리지 다이;

상기 제2반도체 다이 및 상기 제2브리지 다이를 덮고 상기 제2포스트 범프의 측면을 감싸고 상기 제2포스트 범프의 상면을 드러낸 내측 제2몰딩층; 및

상기 제2관통 비아의 다른 단부와 상기 제2반도체 다이를 전기적으로 연결시키는 내측 제2재배선 구조를 포함하는 스택 패키지.

청구항 25

제24항에 있어서,

상기 제2반도체 다이는
상기 제1반도체 다이에 중첩된 위치에 위치하고,
상기 제2브리지 다이는
상기 제1브리지 다이에 중첩된 위치에 위치하는 스택 패키지.

청구항 26

제24항에 있어서,
상기 제2서브 패키지는
상기 제2재배선 구조와 이격되고 상기 제2반도체 다이와 전기적으로 격리된 복수의 더미 패드들을 더 포함하고,
상기 더미 볼들은 일단 단부들 각각이 상기 더미 패드들에 각각 본딩되고, 반대측의 다른 단부들 각각이 상기 내측 제1몰딩층의 표면에 접촉하여 지지된 스택 패키지.

청구항 27

제24항에 있어서,
상기 더미 볼들은
상기 제2반도체 다이에 중첩된 위치에 배치된 스택 패키지.

청구항 28

제27항에 있어서,
상기 제2반도체 다이는 에지 영역에 배치된 접촉 패드를 포함하고,
상기 접촉 패드는 상기 제2재배선 구조와 전기적으로 연결되고,
상기 더미 볼들은
상기 에지 영역과 이격된 상기 제2반도체 다이에 중앙 영역에 배치된 스택 패키지.

청구항 29

제24항에 있어서,
상기 제2브리지 다이는
상기 제2관통 비아와 상기 제2재배선 구조의 중첩 부분의 계면에
상기 제2관통 비아와 연결되고 상기 제2관통 비아보다 큰 직경을 가지는 비아 패드(via pad)를 더 포함하는 스택 패키지.

청구항 30

제29항에 있어서,
상기 제2포스트 범프, 상기 제2관통 비아, 상기 비아 패드, 상기 제2재배선 구조의 일부 부분 및 상기 내측 커넥터는
서로 수직하게 중첩되도록 배치된 스택 패키지.

청구항 31

제19항에 있어서,
상기 더미 볼은
상기 내측 커넥터의 직경보다 작은 직경 크기를 가지는 스택 패키지.

청구항 32

제19항에 있어서,
상기 제1브리지 다이 몸체부는
상기 제1반도체 다이의 두께 보다 작은 두께를 가지는 스택 패키지.

청구항 33

제19항에 있어서,
상기 내측 제1몰딩층의 상측 표면과 상기 제1브리지 다이 몸체부의 상측 표면 사이의 거리는
상기 내측 제1몰딩층의 상측 표면과 상기 제1반도체 다이의 상측 표면 사이의 거리 보다 큰 스택 패키지.

청구항 34

제19항에 있어서,
상기 제1포스트 범프의 측면 일부 부분은 상기 제1반도체 다이의 측면을 마주보는 스택 패키지.

청구항 35

제19항에 있어서,
상기 제1포스트 범프는
상기 제1관통 비아의 직경 보다 큰 직경을 가지는 스택 패키지.

청구항 36

제19항에 있어서,
상기 내측 제1몰딩층은 절연 물질을 포함하고, 상기 제1브리지 다이 몸체부는 실리콘을 포함하는 반도체 물질을 포함하는 스택 패키지.

청구항 37

제19항에 있어서,
상기 제1서브 패키지와 상기 제2서브 패키지 사이를 채우도록 확장된 필링층을 더 포함하는 스택 패키지.

청구항 38

제37항에 있어서,
상기 필링층은
언더필 물질을 포함하는 스택 패키지.

청구항 39

제37항에 있어서,
상기 더미 볼은
상기 필링층 보다 열전도도가 높은 열전도 물질을 포함하는 스택 패키지.

청구항 40

제19항에 있어서,
상기 제2서브 패키지 상에 순차적으로 스택된 제3 및 제4서브 패키지들; 및

상기 제2, 제3 및 제4서브 패키지들 사이에 도입된 지지를 위한 또 다른 더미 볼들을 더 포함하는 스택 패키지.

발명의 설명

기술 분야

[0001] 본 출원은 반도체 패키지 기술에 관한 것으로, 특히, 반도체 다이(semiconductor die)와 이격된 브리지 다이(bridge die)를 포함하는 스택 패키지(stack package)에 관한 것이다.

배경 기술

[0002] 현재의 반도체 패키지는 고밀도(high density) 및 고속 동작(high speed)을 구현하도록 요구되고 있다. 또한, 반도체 패키지는 보다 작은 폼 팩터(form factor)의 구조를 가지도록 요구되고 있다. 이러한 반도체 패키지를 구현하기 위해 플립 칩 스택(flip chip stack) 기술이 시도되고 있다. 또한, 보다 얇은 두께의 패키지 구조를 위해서 웨이퍼 레벨 패키지(wafer level package) 기술이 시도되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 출원은 브리지 다이(bridge die)를 포함한 서브 패키지(sub package)들이 실질적으로 수직하게 서로 스택된 구조의 스택 패키지를 제시하고자 한다.

과제의 해결 수단

[0004] 본 출원의 일 관점은, 제1반도체 다이(die), 상기 제1반도체 다이에 이격되어 배치된 제1브리지 다이 몸체부(bridge die body), 상기 제1브리지 다이 몸체부를 관통하는 제1관통 비아(through via), 및 상기 제1관통 비아의 일 단부에 연결되고 상기 제1브리지 다이 몸체부 상측으로 돌출된 제1포스트 범프(post bump)를 포함하는 제1브리지 다이, 상기 제1반도체 다이 및 상기 제1브리지 다이를 덮고 상기 제1포스트 범프의 측면을 감싸고 상기 제1포스트 범프의 상면을 드러낸 내측 제1몰딩층(molding layer), 및 상기 제1관통 비아의 다른 단부를 상기 제1반도체 다이에 전기적으로 연결시키는 제1재배선 구조를 포함하는 제1서브 패키지(sub package); 상기 제1서브 패키지 상에 스택(stack)된 제2서브 패키지(sub package); 상기 제1포스트 범프에 상기 제2서브 패키지를 전기적으로 접속시키는 내측 커넥터(connector); 및 상기 제1서브 패키지와 상기 제2서브 패키지 사이에 도입되어 상기 제2서브 패키지를 지지하는 복수의 더미 볼(dummy ball)들을 포함하는 스택 패키지를 제시할 수 있다.

[0005] 본 출원의 일 관점은, 제1서브 패키지 상에 스택된 제2서브 패키지; 상기 제1서브 패키지와 상기 제2서브 패키지 사이에 개재되어 서로 전기적으로 접속시키는 내측 커넥터; 상기 제1서브 패키지와 상기 제2서브 패키지 사이에 도입되어 상기 제2서브 패키지를 지지하는 복수의 더미 볼들; 및 상기 제1서브 패키지에 전기적으로 접속된 외측 커넥터;를 포함하는 스택 패키지를 제시할 수 있다.

[0006] 상기 제1서브 패키지는 제1반도체 다이; 상기 제1반도체 다이에 이격되어 배치된 제1브리지 다이 몸체부, 상기 제1브리지 다이 몸체부를 관통하는 제1관통 비아, 및 상기 제1관통 비아의 일 단부에 연결되고 상기 제1브리지 다이 몸체부 상측으로 돌출된 제1포스트 범프를 포함하는 제1브리지 다이; 상기 제1반도체 다이 및 상기 제1브리지 다이를 덮고 상기 제2서브 패키지의 측면 바깥으로 돌출되도록 확장된 내측 제1몰딩층; 상기 제1관통 비아의 다른 단부를 상기 제1반도체 다이에 전기적으로 연결시키는 내측 제1재배선 패턴; 및 상기 내측 제1재배선 패턴을 상기 외측 커넥터에 전기적으로 연결시키는 외측 재배선 패턴을 포함할 수 있다.

발명의 효과

[0007] 본 출원의 실시예들에 따르면, 브리지 다이를 포함한 서브 패키지들이 실질적으로 수직하게 서로 스택된 구조의 스택 패키지를 제시할 수 있다.

도면의 간단한 설명

[0008] 도 1은 일 예에 따른 스택 패키지의 단면 구조를 보여주는 단면도이다.

도 2 내지 도 6은 도 1의 스택 패키지를 구성하는 제1서브 패키지를 보여주는 도면들이다.

도 7 내지 도 11은 도 1의 스택 패키지를 구성하는 제2서브 패키지를 보여주는 도면들이다.

도 12 내지 도 14은 일 예에 따른 스택 패키지에서 보이드(void) 현상이 억제되는 효과를 설명하기 위한 도면들이다.

도 15는 비교예에 따른 스택 패키지에서의 휨(bowing) 현상이 발생하는 것을 보여주는 단면도이다.

도 16은 일 예에 따른 스택 패키지에서 개선된 열방출 효과를 보여주는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 출원의 예의 기재에서 사용하는 용어들은 제시된 실시예에서의 기능을 고려하여 선택된 용어들로서, 그 용어의 의미는 기술 분야에서의 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 사용된 용어의 의미는 본 명세서에 구체적으로 정의된 경우 정의된 정의에 따르며, 구체적인 정의가 없는 경우 당업자들이 일반적으로 인식하는 의미로 해석될 수 있다. 본 출원의 예의 기재에서 "제1" 및 "제2", "측면(side)", "상부(top)" 및 "하부(bottom or lower)"와 같은 기재는 부재를 구분하기 위한 것이며, 부재 자체를 한정하거나 특정한 순서를 의미하는 것으로 사용된 것은 아니다.
- [0010] 반도체 패키지는 반도체 다이 또는 반도체 칩과 같은 전자 소자들을 포함할 수 있으며, 반도체 다이 또는 칩은 전자 회로가 집적된 반도체 기판이 다이(die) 또는 칩 형태로 절단 가공된 형태를 포함할 수 있다. 반도체 칩은 DRAM이나 SRAM, NAND FLASH, NOR FLASH, MRAM, ReRAM, FeRAM 또는 PDRAM과 같은 메모리(memory) 집적회로가 집적된 메모리 칩이나, 또는 반도체 기판에 논리 회로가 집적된 로직(logic) 다이나 에이직(ASIC) 칩을 의미할 수 있다. 반도체 패키지는 휴대 단말기와 같은 정보통신 기기나, 바이오(bio)나 헬스케어(health care) 관련 전자 기기들, 인간에 착용 가능한(wearable) 전자 기기들에 적용될 수 있다.
- [0011] 명세서 전문에 걸쳐 동일한 참조 부호는 동일한 구성 요소를 지칭할 수 있다. 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.
- [0012] 도 1은 일 예에 따른 스택 패키지(10)의 단면 구조를 보여준다.
- [0013] 도 1을 참조하면, 일 예에 의한 스택 패키지(10)는 제1서브 패키지(100) 상에 실질적으로 수직하게 스택(stack)된 제2서브 패키지(200)를 포함하여 구성될 수 있다. 내측 커넥터(inner connector: 510)들이 제1서브 패키지(100)와 제2서브 패키지(200) 사이에 개재되고, 제1서브 패키지(100)와 제2서브 패키지(200)를 서로 전기적으로 접속시킨다. 내측 커넥터(510)들은 솔더 볼(micro solder ball) 형태 또는 도전성 범프(bump) 형태의 접속 부재로 도입될 수 있다.
- [0014] 복수의 더미 볼(dummy ball: 550)들이 제1서브 패키지(100)와 제2서브 패키지(200) 사이에 도입된다. 더미 볼(550)들은 내측 커넥터(510)들과 이격된 위치에 배치되고, 내측 커넥터(510)들과는 전기적으로 격리(electrically isolated)된다. 더미 볼(550)들은 제1서브 패키지(100)와 제2서브 패키지(200) 사이에서 제2서브 패키지(200)를 지지하도록 도입될 수 있다.
- [0015] 외측 커넥터(outer connector: 590)들이 제1서브 패키지(100)에 전기적으로 접속된다. 외측 커넥터(590)들은 스택 패키지(10)를 외부 기기 또는 다른 전자 모듈(module)에 전기적으로 접속시키는 접속 부재로 도입될 수 있다. 외측 커넥터(590)들은 솔더 볼 형태로 도입될 수 있다.
- [0016] 스택 패키지(10)는 제1 및 제2서브 패키지들(100, 200)이 수직하게 스택된 구조에, 추가적인 서브 패키지들(300, 400)이 더 스택된 구조로 구성될 수 있다. 예컨대, 제2서브 패키지(200) 상에 제3서브 패키지(300)가 실질적으로 수직하게 스택되고, 제3서브 패키지(300) 상에 제4서브 패키지(400)가 추가적으로 더 스택될 수 있다. 도시되지는 않았지만, 스택 패키지(10)의 제4서브 패키지(400) 상에 추가적인 서브 패키지들이 더 스택될 수도 있다. 제2서브 패키지(200)와 제3서브 패키지(300) 및 제4서브 패키지(400)들 사이에도 내측 커넥터(510)들 및 더미 볼(550)들이 도입될 수 있다. 제3 및 제4서브 패키지들(300, 400)은 제2서브 패키지(200)와 동일한 형태 및 동일한 기능을 하는 패키지 구조로 구성될 수 있다.
- [0017] 스택 패키지(10)는 제1서브 패키지(100)와 제2서브 패키지(200) 사이의 갭(gap)을 채우도록 확장된 필링층(filling layer: 610)을 포함할 수 있다. 필링층(610)은 제1서브 패키지(100)와 제2서브 패키지(200) 사이를

전기적으로 격리시키는 유전 물질을 포함하여 구성될 수 있다. 필링층(610)은 언더필 물질(underfill materia l)을 포함하여 구성될 수 있다. 필링층(610)은 제2, 제3 및 제4서브 패키지들(200, 300, 400) 사이를 채우도록 확장될 수 있다. 필링층(610)은 제2, 제3 및 제4서브 패키지들(200, 300, 400)의 측면을 덮도록 확장될 수 있다.

[0018] 스택 패키지(10)는 제2, 제3 및 제4서브 패키지들(200, 300, 400)을 덮어 보호하는 외측 몰딩층(outer molding layer: 650)을 포함할 수 있다. 외측 몰딩층(650)은 제1서브 패키지(100)의 일부 부분을 덮고, 제2, 제3 및 제4 서브 패키지들(200, 300, 400)을 덮어 봉지하는 층일 수 있다. 외측 몰딩층(650)은 제1서브 패키지(100)의 일부 부분을 덮고, 제2, 제3 및 제4서브 패키지들(200, 300, 400)을 덮어 봉지하는 층일 수 있다. 외측 몰딩층(650)은 에폭시 몰딩 컴파운드(EMC: Epoxy Molding Compound)와 같은 봉지 물질(encapsulant material)을 사용하는 몰딩 과정으로 제1서브 패키지(100) 상에 형성될 수 있다.

[0019] 도 1에서 필링층(610)과 외측 몰딩층(650) 구분되는 층들로 구성되는 경우를 예시하고 있지만, 몰디드 언더필 (Molded Underfill)과 같은 봉지 공정을 이용할 경우에, 필링층(610)과 외측 몰딩층(650)은 하나의 몰디드 언더 필층으로 통합될 수 있다.

[0020] 도 2는 도 1의 스택 패키지(10)의 제1서브 패키지(100)의 단면 구조를 보여주는 단면도이다. 도 3은 도 2의 제1 서브 패키지(100)의 제1브리지 다이(120) 부분을 확대 도시한 단면도이다. 도 4는 도 3의 Z1-Z1' 절단선을 따르는 평면에 보여지는 제1재배선 패턴(151)의 배치 형상을 보여주는 평면도이다. 도 5는 도 3의 Z2-Z2' 절단선을 따르는 평면에 보여지는 제1브리지 다이(120)와 제1반도체 다이(110)의 배치 형상을 보여주는 평면도이다. 도 6 은 도 3의 Z3-Z3' 절단선을 따르는 평면에 보여지는 제1포스트 범프(post bump: 125)와 제1반도체 다이(110)의 배치 형상을 보여주는 평면도이다. 도 2는 도 4의 X1-X1' 절단선을 따르는 단면 구조를 보여준다.

[0021] 도 2를 도 1과 함께 참조하면, 제1서브 패키지(100)는 스택 패키지(10)에서 상대적으로 아래에 배치된 하나의 패키지 단위(package unit)로 구성될 수 있다. 제1서브 패키지(100)는 제1반도체 다이(110)와 이를 덮어 보호하 는 내측 제1몰딩층(160)을 포함하여 구성될 수 있다. 제1반도체 다이(110)는 제1재배선 구조(structure of redistribution layers: 150) 상에 배치된다. 제1브리지 다이(120)가 제1반도체 다이(110)와 이격되도록 제1재 배선 구조(150) 상에 배치된다. 내측 제1몰딩층(160)은 제1재배선 구조(150) 상에 제1브리지 다이(120)와, 제1 반도체 다이(110), 및 이들 사이 부분을 채우도록 몰딩된다.

[0022] 도 2를 도 3과 함께 참조하면, 제1반도체 다이(110)는 제1표면(119)이 제1재배선 구조(150)에 마주보도록 페이스 다운(face down) 형태로 제1재배선 구조(150) 상에 위치한다. 도 3에 제시된 것과 같이, 제1반도체 다이 (110)는 제1표면(119)에 반대되는 측에 위치하는 제2표면(118)을 포함하고, 제1표면(119)으로부터 제2표면(11 8)까지 이어지는 측면(117)을 포함하는 형상을 가진다. 제1반도체 다이(110)의 제1표면(119)은 집적 회로 소자 들이 집적된 활성면(active side)일 수 있다. 제1반도체 다이(110)의 제2표면(118)은 활성면에 반대되는 바닥면 (bottom side) 또는 후면(back side)일 수 있다. 여기서, 제1 또는 제2 등의 기재는 특정한 순서를 의미하지 않 고 부재의 구분을 위해 사용된다.

[0023] 제1반도체 다이(110)의 제1표면(119)에 제1접촉 패드(contact pad: 111)들이 배치될 수 있다. 제1접촉 패드 (111)는 제1반도체 다이(110)를 외부 기기와 전기적으로 결합시키는 경로로 사용되는 도전 패턴일 수 있다. 제1 접촉 패드(111)들은, 도 5의 평면도에 묘사된 것과 같이, 제1반도체 다이(110)의 양측 에지 영역(edge region) 내에 위치하는 에지 패드 형태로 배치될 수 있다.

[0024] 도 2와 도 5를 함께 참조하면, 또 하나의 다른 제3반도체 다이(110-1)가 제1반도체 다이(110)와 나란하게 제1재 배선 구조(150) 상에 배치될 수 있다. 제3반도체 다이(110-1)는 제1반도체 다이(110)와 실질적으로 동일한 형상 및 동일한 기능을 가지는 반도체 다이로 도입될 수 있다. 한편, 제3반도체 다이(110-1)는 제1반도체 다이(110) 와 거울상(mirror image) 형상을 가질 수도 있다. 제3반도체 다이(110-1)와 제1반도체 다이(110)는 디램(DRA M)과 같은 메모리(memory) 반도체 다이로 도입될 수 있다.

[0025] 도 3 및 도 5에 제시된 것과 같이, 제1반도체 다이(110)의 측면(117)과 일정 간격 이격된 위치에 제1브리지 다 이(120)가 배치된다. 제1브리 다이 몸체부(129)의 일 측면(127)이 제1반도체 다이(110)의 측면(117)과 마주보도 록, 제1브리지 다이(120)가 제1재배선 구조(150) 상에 배치된다.

[0026] 도 3을 참조하면, 제1브리지 다이(120)는 제1브리지 다이 몸체부(129)와 제1브리지 다이 몸체부(129)의 상측 표 면(128) 상측으로 돌출된 제1포스트 범프(post bump: 125)를 포함하여 구성된다. 제1브리지 다이 몸체부(129)의 상측 표면(128)이 이웃하는 제1반도체 다이(110)의 제2표면(118)과 단차(H)를 가지도록 제1브리지 다이 몸체부

(129)가 구성된다. 제1브리지 다이 몸체부(129)의 상측 표면(128)과 제1반도체 다이(110)의 제2표면(118)이 계단 형상을 이루도록, 제1브리지 다이(120)가 제1반도체 다이(110) 옆에 배치될 수 있다. 제1브리지 다이 몸체부(129)는 제1반도체 다이(110) 보다 얇은 두께를 가지는 반도체 다이로 구성될 수 있다. 제1브리지 다이 몸체부(129)는 제1반도체 다이(110)의 두께의 40% 내지 90%의 두께를 가질 수 있다. 제1브리지 다이 몸체부(129)는 제1반도체 다이(110)의 두께의 절반 내외의 작은 두께를 가질 수 있다.

[0027] 제1브리지 다이(120)는 제1브리지 다이 몸체부(129)를 실질적으로 상하로 관통하는 제1관통 비아(through via: 123)들을 구비한다. 제1브리지 다이 몸체부(129)는 실리콘(Si)과 같은 반도체 물질로 구성될 수 있다. 제1브리지 다이 몸체부(129)가 반도체 물질로 구성되므로, 제1관통 비아(123)를 형성하는 과정에 반도체 공정(silicon process)이 적용될 수 있다. 이에 따라, 제1관통 비아(123)는 상대적으로 미세한 직경(D1)을 가지는 관통 실리콘 비아(TSV: Through Silicon Via) 구조로 형성될 수 있다. 제1관통 비아(123)은 도전성 금속 물질, 예컨대, 구리(Cu)를 포함하는 금속층으로 형성될 수 있다.

[0028] 제1브리지 다이 몸체부(129)가 제1반도체 다이(110) 보다 상대적으로 얇은 두께를 가지므로, 제1브리지 다이 몸체부(129)를 상하로 실질적으로 관통하는 제1관통 비아(123)의 길이는 상대적으로 짧은 길이를 가질 수 있다. 예컨대, 제1반도체 다이(110)의 두께만큼 제1브리지 다이 몸체부의 두께가 두꺼울 경우, 제1브리지 다이 몸체부를 관통할 관통 비아는 제1관통 비아(123) 보다 더 긴 길이를 가져야 한다. 그렇지만, 제1관통 비아(123)는 더 얇은 제1브리지 다이 몸체부(129)를 관통하므로, 상대적으로 더 짧은 길이를 가지도록 형성될 수 있다.

[0029] 제1관통 비아(123)가 상대적으로 작은 직경을 가지면서도 상대적으로 더 긴 길이를 가지려면 종횡비(aspect ratio)를 증가시켜야 한다. 그런데, 제1관통 비아(123)를 형성하는 공정에서의 제약에 의해서, 제1관통 비아(123)의 종횡비를 증가시키는 데에는 제약이 발생된다. 다시 말해서, 제1관통 비아(123)의 길이가 더 길어지면 그 직경 또한 커질 수 있다. 제1브리지 다이 몸체부(129)의 두께가 상대적으로 얇아 제1관통 비아(123)들이 상대적으로 더 짧은 길이를 가지므로, 제1관통 비아(123)들은 상대적으로 더 미세한 직경(D1)을 가지도록 형성될 수 있다. 제1관통 비아(123)들이 상대적으로 더 미세한 직경(D1)을 가질 수 있으므로, 제1브리지 다이 몸체부(129) 내에 상대적으로 더 많은 수의 제1관통 비아(123)들을 구비하는 것이 가능하다.

[0030] 도 3 및 도 6을 함께 참조하면, 도전성의 제1포스트 범프(125)는 제1관통 비아(123)의 상측 일 단부에 전기적으로 연결된다. 제1포스트 범프(125)는 제1관통 비아(123)에 중첩되도록 배치된다. 제1포스트 범프(125)의 측면 일부 부분(125S)이 제1반도체 다이(110)의 측면(117)의 상단 부분에 마주보도록, 제1포스트 범프(125)는 제1브리지 다이 몸체부(129)의 상측 표면(128)로부터 일정 높이까지 돌출된다. 제1서브 패키지(100)의 내측 제1몰딩층(160)은 제1브리지 다이 몸체부(129)의 상측 표면(128)을 덮고, 제1포스트 범프(125)의 측면을 감싸도록 형성된다. 내측 제1몰딩층(160)은 제1포스트 범프(125)의 측면을 직접적으로 덮고, 제1포스트 범프(125)의 상면(125T)을 드러내도록 형성된다. 내측 제1몰딩층(160)의 상측 표면(160T)과 제1브리지 다이 몸체부(129)의 상측 표면(129) 사이의 거리(L1)는 내측 제1몰딩층(160)의 상측 표면(160T)과 제1반도체 다이(110)의 상측 표면인 제2표면(118) 사이의 거리(L2) 보다 크게 된다.

[0031] 내측 제1몰딩층(160)에 의해 드러난 제1포스트 범프(125)의 상면(125T)에는, 도 1에 도시된 것과 같이, 내측 커넥터(510)가 본딩된다. 내측 커넥터(510)는 제1포스트 범프(125)를 제1서브 패키지(200)에 전기적으로 접속시킨다. 도 3에 도시된 것과 같이, 제1포스트 범프(125)는 내측 제1몰딩층(160)의 제1브리지 다이 몸체부(129)를 덮는 부분을 실질적으로 관통한다. 이에 따라, 제1포스트 범프(125)는 제1관통 비아(123)를 내측 제1몰딩층(160)의 상측 표면(160T) 위치까지 전기적으로 연장시키는 역할을 한다.

[0032] 내측 제1몰딩층(160)은 절연 물질을 포함하여 구성될 수 있다. 제1관통 비아(123)와 이웃하는 다른 제1관통 비아의 사이 부분은 실질적으로 반도체 물질, 예컨대 실리콘 물질이 채워질 수 있다. 제1포스트 범프(125)와 이웃하는 다른 제1포스트 범프 사이 부분에는 내측 제1몰딩층(160)을 구성하는 유전 물질, 예컨대 에폭시 몰딩 컴파운드(EMC)가 채워질 수 있다. 제1관통 비아(123)는 반도체 물질로 구성된 제1브리지 다이 몸체부(129)를 관통하므로, 유전 물질로 이루어진 기판이나 EMC를 관통할 때보다 임피던스(impedance)가 상대적으로 더 커질 수 있다. 또한, 한정된 공간 안에 여러 개의 제1관통 비아(123)들을 배치하게 되면, 제1관통 비아(123)와 이웃하는 다른 제1관통 비아 사이의 거리가 짧아져 크로스토크(crosstalk)와 같은 노이즈(noise) 현상이 상대적으로 더 크게 유발될 수 있다. 이러한 현상은 결국 고주파에서의 신호전달 특성 또는 신호무결성(signal integrity)에 좋지 않은 영향을 미칠 수 있다. 제1포스트 범프(125)와 이웃하는 다른 제1포스트 범프(125) 사이 부분에는 유전 물질, 예컨대 에폭시 몰딩 컴파운드(EMC)가 채워지므로, 반도체 물질로 구성된 제1브리지 다이 몸체부(129) 보다 임피던스나 배선 간의 거리로 인한 크로스토크를 억제할 수 있다. 예컨대, 실온에서 1kHz 주파수에서의 유

전율은 실리콘 재질이 11.68, 에폭시 몰딩 컴파운드 재질이 3.7정도의 값을 가지며, 이러한 유전율의 차이는 위와 같은 전기적 특성에 유의한 영향을 끼친다.

- [0033] 제1포스트 범프(125)는 제1관통 비아(123)의 제1직경(D1)에 비해 더 큰 제2직경(D2)을 가질 수 있다. 제1관통 비아(123)의 제1직경(D1)이 이에 연결된 제1포스트 범프(125)의 제2직경(D2) 보다 상대적으로 더 작으므로, 제1포스트 범프(125)들 각각에 연결되는 제1관통 비아(123)들 사이의 이격 간격은 상대적으로 더 크게 확보될 수 있다. 제1관통 비아(123)들 사이의 이격 간격이 더 크게 확보되므로, 제1관통 비아(123)와 이웃하는 다른 제1관통 비아(123) 사이에서 신호 노이즈 현상이 더 억제될 수 있다.
- [0034] 이와 같이, 신호 노이즈를 줄이기 위해서는 제1관통 비아(123)들 사이의 이격 간격이 더 크게 확보하는 것이 요구된다. 제1관통 비아(123)들 사이의 이격 간격을 더 크게 확보하기 위해서는, 제1관통 비아(123)의 제1직경(D1)을 상대적으로 더 작게 도입하는 것이 요구된다. 일정한 공정 능력, 예컨대, 중횡비(aspect ratio)가 주어질 때, 더 작은 제1직경(D1)을 가지는 제1관통 비아(123)들이 제1브리지 다이 몸체부(129)를 관통하기 위해서는, 제1브리지 다이 몸체부(129)의 두께가 보다 더 얇은 것이 요구된다. 제1브리지 다이 몸체부(129)의 두께가 제1반도체 다이(110)의 두께 보다 더 얇게 도입되므로, 제1브리지 다이 몸체부(129)를 관통하는 제1관통 비아(123)는 상대적으로 더 작은 제1직경(D1)을 가지는 TSV 구조로 형성될 수 있다. 이에 따라, 제1관통 비아(123)들 사이의 이격 간격은 보다 더 넓게 확보되고, 결국 제1관통 비아(123)들 사이의 신호 노이즈가 보다 더 억제될 수 있다.
- [0035] 제1포스트 범프(125)는 구리(Cu)를 포함하는 금속 포스트 형상을 가질 수 있다. 제1포스트 범프(125)의 높이 또는 관통 길이는 대략 60 μ m 내외의 크기를 가질 수 있다. 제1포스트 범프(125)의 제2직경(D2)은 예컨대 대략 20 내지 30 μ m 내외의 크기를 가질 수 있다. 이에 비해 제1관통 비아(123)는 대략 0.5 μ m 내외의 제1직경(D1)을 가질 수 있다. 제1포스트 범프(125)는 상대적으로 큰 제2직경(D2)을 가지도록 형성되므로, 제1포스트 범프(125)의 드러난 상면(125T)에 내측 커넥터(도 1의 510), 예컨대, 솔더 볼이나 범프가 직접적으로 본딩되는 것이 가능하다. 따라서, 내측 커넥터(510)와의 본딩을 위해서, 접촉 면적을 확장하기 위한 별도의 도전 패드(pad)는 제1포스트 범프(125)의 드러난 상면(125T)으로부터 배제되고 생략될 수 있다.
- [0036] 도 2를 다시 참조하면, 내측 제1몰딩층(160)은 제1브리지 다이(120)을 덮도록 형성되며, 제1재배선 구조(150) 상에 배치된다. 내측 제1몰딩층(160)은, 도 1에 도시된 것과 같이, 제1서브 패키지(100) 상에 스탭된 제2서브 패키지(200)의 측면(200S) 바깥으로 돌출되도록 확장된 확장 부분(160E)을 가질 수 있다. 제1서브 패키지(100)의 내측 제1몰딩층(160)이 확장 부분(160E)을 가지므로, 제1서브 패키지(100)는 그 상에 스탭된 제2서브 패키지(200) 보다 큰 크기를 가지는 패키지 단위로 도입될 수 있다.
- [0037] 도 3을 도 4와 함께 참조하면, 제1서브 패키지(100)의 제1재배선 구조(150)는 제1재배선 패턴(151)과 제1재배선 패턴(151)을 확장시키는 외측 재배선 패턴(155)를 포함하도록 구성된다. 제1재배선 패턴(151)과 외측 재배선 패턴(155)은 알루미늄(Al), 구리(Cu) 또는 금(Au)과 같은 금속층을 포함하는 도전 패턴들로 형성될 수 있다.
- [0038] 제1재배선 패턴(151)은 서로 이격된 제1브리지 다이(120)와 제1반도체 다이(110)를 전기적으로 연결시키는 도전 패턴으로 구비된다. 제1재배선 구조(150)는 제1반도체 다이(110)의 제1접촉 패드(111)와 제1브리지 다이 몸체부(129)의 비아 패드(via pad: 121)를 드러내는 제1유전층(152)을 포함한다. 제1재배선 패턴(151)은 제1유전층(152) 상에 배치된다. 제1재배선 패턴(151)의 제1중첩 부분(151D)는 제1유전층(152)에 의해 드러난 제1접촉 패드(111)에 중첩되어 전기적으로 연결된다. 제1재배선 패턴(151)의 제2중첩 부분(151B)는 제1유전층(152)에 의해 드러난 비아 패드(121)에 중첩되어 전기적으로 연결된다. 제1재배선 패턴(151)의 연결 부분(151C)은 제1중첩 부분(151D)으로부터 제2중첩 부분(151B)에까지 연장되는 도전 라인(line)으로 구비된다.
- [0039] 제1브리지 다이 몸체부(129)의 비아 패드(121)는 제1관통 비아(123)와 제1재배선 패턴(151)의 제2중첩 부분(151B)의 계면 부분에 위치하도록, 제1브리지 다이 몸체부(129)의 바닥 표면에 형성될 수 있다. 구체적으로, 제1관통 비아(123) 위에 인터커넥션을 위해 비아 패드(121)를 형성하고, 비아 패드(121)와 중첩되는 영역에 제2중첩 부분(151B)를 형성할 수 있다. 비아 패드(121)는 제1관통 비아(123)와 연결되고 제1관통 비아(123)보다 큰 직경을 가지는 도전 패턴으로 구비될 수 있다. 비아 패드(121)는 제1관통 비아(123)를 제1재배선 패턴(151)에 전기적으로 및 물리적 기계적으로 연결시키는 접속 부재로 구비될 수 있다. 비아 패드(121)는 구리 또는 알루미늄 등과 같은 금속 재질로 구비될 수 있다.
- [0040] 제1재배선 구조(150)는 인접한 제1재배선 패턴(151)들을 서로 전기적으로 격리시키고, 제1재배선 패턴(151)의 일부 부분을 드러내는 제2유전층(153)을 더 구비할 수 있다. 제2유전층(153)에 의해서 드러난 제1재배선 패턴

(151)의 일부 부분에 일단 단부가 중첩되고, 중첩 지점으로부터 이격된 다른 지점으로 확장되는 외측 재배선 패턴(155)이 구비된다.

[0041] 외측 재배선 패턴(155)은 제1재배선 패턴(151)과 서로 다른 층위(level)에 위치하도록 구비된다. 인접한 외측 재배선 패턴(155)들을 서로 전기적으로 격리하고, 외측 재배선 패턴(155)들의 일부 부분(155P)을 드러내는 제3 유전층(154)이 더 구비될 수 있다. 제1 내지 제3유전층들(152, 153, 154)은 제1재배선 패턴(151) 및 외측 재배선 패턴(155)들을 서로 전기적으로 격리하는 유전층 구조를 제공한다. 외측 재배선 패턴(155) 중 제3유전층(154)에 의해 드러난 일부 부분(155P)에 외측 커넥터(590)가 결합되거나 본딩된다. 외측 재배선 패턴(155)은 제1재배선 패턴(151)을 외측 커넥터(590)에까지 전기적으로 연장 또는 확장시키는 도전 패턴으로 도입된다.

[0042] 도 7은 도 1의 스택 패키지(10)의 제2서브 패키지(200)의 단면 구조를 보여주는 단면도이다. 도 8은 도 7의 제2서브 패키지(200)의 제2브리지 다이(220) 부분을 확대 도시한 단면도이다. 도 9는 도 8의 Z4-Z4' 절단선을 따르는 평면에 보여지는 제2재배선 패턴(251)의 배치 형상을 보여주는 평면도이다. 도 10은 도 8의 Z5-Z5' 절단선을 따르는 평면에 보여지는 제2브리지 다이(220)와 제2반도체 다이(210)의 배치 형상을 보여주는 평면도이다. 도 11은 도 8의 Z6-Z6' 절단선을 따르는 평면에 보여지는 제2포스트 범프(225)와 제2반도체 다이(210)의 배치 형상을 보여주는 평면도이다. 도 7은 도 9의 X1-X1' 절단선을 따르는 단면 구조를 보여준다.

[0043] 도 7을 도 1과 함께 참조하면, 제2서브 패키지(200)는 스택 패키지(10)에서 제1서브 패키지(100) 상에 실질적으로 수직하게 스택된 다른 패키지 단위로 구성될 수 있다.

[0044] 제2서브 패키지(200)는 제2재배선 구조(250) 상에 서로 이격되어 배치된 제2반도체 다이(210) 및 제2브리지 다이(220)를 포함한다. 이때, 제2반도체 다이(210)는 제1반도체 다이(도 1의 110)와 유사한 형상 및 기능을 가지는 반도체 다이로 도입될 수 있다. 도 1에 도시된 것과 같이, 제2반도체 다이(210)는 제1반도체 다이(110)과 실질적으로 동일한 형상 및 기능을 가지는 메모리 반도체 다이로 도입될 수 있다. 제2브리지 다이(220)는 제1브리지 다이(120)와 실질적으로 동일한 형상으로 도입될 수 있다. 제2반도체 다이(210)는 제1반도체 다이(110)에 중첩된 위치에 위치하고, 제2브리지 다이(220)는 제1브리지 다이(120)에 중첩된 위치에 위치할 수 있다.

[0045] 도 7 및 도 8을 함께 참조하면, 제2서브 패키지(200)는 제2재배선 구조(250) 상에 제2반도체 다이(210) 및 제2브리지 다이(220)를 덮어 보호하는 내측 제2몰딩층(260)을 포함하여 구성될 수 있다. 내측 제2몰딩층(260)은 내측 제1몰딩층(도 1의 160)을 이루는 몰딩 물질과 실질적으로 동일한 몰딩 물질로 몰딩될 수 있다. 내측 제2몰딩층(260)은 제2재배선 구조(250) 상에 제2브리지 다이(220)와, 제2반도체 다이(210) 사이 부분을 채우도록 몰딩된다. 제2몰딩층(260)은, 도 1에 제시된 것과 같이, 제2서브 패키지의 측면(200S) 바깥으로 제1몰딩층(160)의 확장 부분(160E)이 돌출되어 드러나도록, 제2몰딩층(260)은 제1몰딩층(160)은 보다 좁은 폭을 가지도록 몰딩된다.

[0046] 도 7과 도 10을 함께 참조하면, 제1반도체 다이(도 1의 110)와 마찬가지로 제2반도체 다이(210)의 표면에 제2접촉 패드(211)들이 배치될 수 있다. 제2접촉 패드(211)들은 에지 패드 형태로 배치될 수 있다. 제4반도체 다이(210-1)가 제2반도체 다이(210)와 나란하게 제1재배선 구조(250) 상에 배치될 수 있다. 제4반도체 다이(210-1)는 제2반도체 다이(210)와 실질적으로 동일한 형상 및 동일한 기능을 가지는 반도체 다이로 도입될 수 있다. 한편, 제4반도체 다이(210-1)는 제2반도체 다이(210)와 거울상 형상을 가질 수도 있다. 제4반도체 다이(210-1)는 제2반도체 다이(210)와 마찬가지로 메모리 반도체 다이로 도입될 수 있다.

[0047] 도 8 및 도 11을 함께 참조하면, 제2반도체 다이(210)와 일정 간격 이격된 위치에 제2브리지 다이(220)가 배치된다. 제2브리지 다이(220)는 제2브리지 다이 몸체부(229)와 제2브리지 다이 몸체부(229) 상측으로 돌출된 제2포스트 범프(225)를 포함하여 구성된다. 도전성의 제2포스트 범프(225)는 제2관통 비아(223)의 상측 일 단부에 전기적으로 연결된다. 제2포스트 범프(225)는 제2관통 비아(223)에 중첩되도록 배치된다. 내측 제2몰딩층(260)은 제2브리지 다이 몸체부(229)의 상측 표면(228)을 덮고, 제2포스트 범프(225)의 측면을 감싸도록 형성된다. 내측 제2몰딩층(260)은 제2포스트 범프(225)의 상면(225T)을 드러내도록 형성된다.

[0048] 도 8을 도 9와 함께 참조하면, 제2서브 패키지(200)의 제2재배선 구조(250)는 제2재배선 패턴(251)을 포함하여 구성될 수 있다. 제2재배선 패턴(251)은 서로 이격된 제2브리지 다이(220)와 제2반도체 다이(210)를 전기적으로 연결시키는 도전 패턴으로 구비된다. 제2재배선 구조(250)는 제2반도체 다이(210)의 제2접촉 패드(211)와 제2브리지 다이 몸체부(229)의 비아 패드(221)를 드러내는 제4유전층(252)을 포함한다. 제2브리지 다이 몸체부(229)의 비아 패드(221)는 제2관통 비아(223)와 제2재배선 패턴(251)의 제4중첩 부분(251B)의 계면 부분에 위치하도록, 제2브리지 다이 몸체부(229)의 바닥 표면에 형성될 수 있다. 구체적으로, 제2관통 비아(223) 위에 인터커넥

선을 위해 비아 패드(221)를 형성하고, 비아 패드(221)와 중첩되는 영역에 제4중첩 부분(251B)를 형성할 수 있다.

- [0049] 제2재배선 패턴(251)은 제4유전층(252) 상에 배치된다. 제2재배선 패턴(251)의 제3중첩 부분(251D)은 제4유전층(252)에 의해 드러난 제2접촉 패드(211)에 중첩되어 전기적으로 연결된다. 제2재배선 패턴(251)의 제4중첩 부분(251B)은 제4유전층(252)에 의해 드러난 비아 패드(221)에 중첩되어 전기적으로 연결된다. 제2재배선 패턴(251)의 연결 부분(251C)은 제3중첩 부분(251D)으로부터 제4중첩 부분(251B)에까지 연장되는 도전 라인으로 구비된다.
- [0050] 제2재배선 구조(250)는 제2재배선 패턴(251)들을 서로 전기적으로 격리하고, 제2재배선 패턴(251)의 일부 부분(251P)을 드러내는 제5유전층(253)을 더 구비할 수 있다. 제5유전층(253)에 의해서 드러난 제2재배선 패턴(251)의 일부 부분(251P)에 내측 커넥터(510)가 결합되거나 분당된다. 제2포스트 범프(225), 제2관통 비아(223), 비아 패드(221), 제4중첩 부분(251B), 제2재배선 패턴(251)의 일부 부분(251P) 및 내측 커넥터(510)은 서로 중첩되도록 배치된다. 제2포스트 범프(225), 제2관통 비아(223), 비아 패드(221), 제4중첩 부분(251B), 제2재배선 패턴(251)의 일부 부분(251P) 및 내측 커넥터(510)이 서로 중첩되어, 실질적으로 수직한 전기적 경로를 구축할 수 있다. 이에 따라, 도 1에 제시된 것과 같이, 제2서브 패키지(200)가 제1서브 패키지(100) 상에 수직하게 적층되고, 또한, 제2서브 패키지(200) 상에 제3서브 패키지(300)가 수직하게 적층될 때, 제2포스트 범프(225), 제2관통 비아(223), 비아 패드(221), 제4중첩 부분(251B), 제2재배선 패턴(251)의 일부 부분(251P) 및 내측 커넥터(510)는 제1서브 패키지(도 1의 100)를 제3서브 패키지(도 1의, 300)에 전기적으로 연결시키는 수직 경로를 제공한다.
- [0051] 제2재배선 패턴(251)과 이격된 위치에 복수의 더미 패드(dummy pad: 270)들이 배치된다. 각각의 더미 패드(270)는 제2재배선 패턴(251) 및 제2반도체 다이(210)와 전기적으로 격리된 도전 패턴으로 구비된다. 더미 패드(270)들은 제4유전층(252) 상에 배치되어, 제2반도체 다이(210)와 이격된다. 각각의 더미 패드(270)는 더미 볼(550)이 부착되거나 결합 또는 분당되는 베이스(base)로 도입된다. 솔더는 금속 표면에 쉽게 웨팅(wetting)되며, 상대적으로 유전 물질 표면에는 잘 웨팅되지 않는 특성이 있다. 따라서 더미 볼(550)이 예컨대 솔더 볼 형태로 도입될 때, 제2서브 패키지(200)의 제5유전층(253)이나 제1서브 패키지(도 1의 100)의 제1몰딩층(도 1의 160)의 표면에 솔더 볼을 안정적으로 마운트(mount)하기 어려울 수 있다. 따라서, 솔더 볼을 분당하기 위한 베이스 부재로 더미 패드(270)가 제4유전층(252) 상에 복수 개 도입될 수 있다.
- [0052] 더미 패드(270)는 제2재배선 패턴(251)을 형성하는 과정, 예컨대, 구리 도금 과정에 함께 형성될 수 있다. 이에 따라, 더미 패드(270)는 제2재배선 패턴(251)과 동일한 층위(level)에 위치할 수 있다. 더미 패드(270)에 더미 볼(550)이 분당될 수 있도록, 제5유전층(253)은 더미 패드(270)를 드러내도록 형성된다.
- [0053] 도 8 및 도 1에 제시된 것과 같이, 제2서브 패키지(200)가 제1서브 패키지(100) 상에 스탭될 때, 더미 볼(550)의 일 단부(551)는 드러난 더미 패드(270)에 웨팅되어 분당된 상태이고, 더미 볼(550)의 반대측 다른 단부(552)는 제1서브 패키지(100)의 내측 제1몰딩층(160)의 상측 표면(160T)에 접촉하게 된다. 이때, 더미 패드(270)에 분당된 더미 볼(550)은 내측 커넥터(510) 보다 작은 직경 크기를 가지는 볼 형태로 도입될 수 있다.
- [0054] 내측 커넥터(510)는, 도 1에 도시된 것과 같이, 제1서브 패키지(100)의 제1포스트 범프(125)에 웨팅되어 분당되므로, 분당 후에는 그 높이가 초기 높이 보다 줄어들게 된다. 더미 볼(550)은 내측 제1몰딩층(160)에 실질적으로 웨팅되지 않으므로, 내측 커넥터(510)를 제1포스트 범프(125)에 분당하는 공정을 진행한 이후에도 초기 높이가 실질적으로 유지된다. 분당 공정 이후에 내측 커넥터(510)와 더미 볼(550)의 높이를 유사하게 맞추기 위해서, 더미 볼(550)은 내측 커넥터(510)의 직경 보다 작은 직경 크기를 가진다. 더미 볼(550)의 직경 크기는 더미 볼(550)의 높이를 의미하는 요소로 해석될 수 있다. 예컨대, 내측 커넥터(510)은 대략 30 μ m 내외의 직경을 가질 수 있고, 더미 볼(550)은 대략 20 μ m 내외의 직경을 가질 수 있다.
- [0055] 도 9를 참조하면, 더미 패드(270)들은 제2반도체 다이(210)에 중첩된 위치에 분포되도록 위치할 수 있다. 제2반도체 다이(210)의 제2접촉 패드(211)는, 도 8 및 도 7에서와 같이, 제2반도체 다이(210)의 양측 에지 영역(210E)들에 배치된다. 제2접촉 패드(211)의 배치가 에지 패드 형태를 가지므로, 더미 패드(270)들은 제2접촉 패드(211)가 배치되지 않은 제2반도체 다이(210)의 중앙 영역(210C)에 배치될 수 있다. 도 9를 참조하면, 더미 패드(270)와 더미 볼(550)은 제2반도체 다이(210) 또는 제4반도체 다이(210-1)와 중첩된 위치에 배치될 수 있다. 도 7 및 도 8에 도시된 것과 같이, 더미 볼(550)은 에지 패드인 제2접촉 패드(211)가 배치되지 않은 제2반도체 다이(210)의 중앙 영역(210C)에 배치될 수 있다.

- [0056] 도 12은 비교예에 따른 스택 패키지(11R)에서의 보이드(void: 610V) 발생을 보여주는 단면도이다. 도 13은 보이드(610V)가 발생하는 현상을 설명하기 위해 제시한 도면이다. 도 14은 일 예에 따른 스택 패키지에서 보이드 현상이 억제되는 것을 보여주는 평면도이다.
- [0057] 도 12를 참조하면, 비교예에 따른 스택 패키지(11R)는 제1서브 패키지(100R) 상에 제2서브 패키지(200R)가 스택되고, 그 상에 제3 및 제4서브 패키지들(300R, 400R)이 스택되어 구성될 수 있다. 더미 볼(도 1의 550)들이 서브 패키지들(100R, 200R, 300R, 400R) 사이에 도입되지 않을 때, 서브 패키지들(100R, 200R, 300R, 400R) 사이를 필링층(610R)이 채우는 언더필(underfill) 채움 공정에서 보이드(610V)들이 유발되는 것을 확인할 수 있다.
- [0058] 보이드(610V)들은 예컨대, 제1반도체 다이(110R)와 제2반도체 다이(210R)들이 중첩된 사이 부분에서 확인되고 있다. 제1서브 패키지(100R)와 제2서브 패키지(200R)는 제1브리지 다이(120R)와 제2브리지 다이(220R)들을 연결하는 내측 커넥터(510R)에 의해서 서로 결합되고 있다. 필링층(610R)을 이루는 필링 물질이 채워지지 않은 보이드(610V)는 내측 커넥터(510R)들 사이의 제1반도체 다이(110R)와 제2반도체 다이(210R)들이 서로 중첩되는 영역에 유발되고 있다.
- [0059] 제1반도체 다이(110R)와 제2반도체 다이(210R)들이 서로 중첩되는 영역에서, 제1 및 제2서브 패키지들(100R, 200R) 사이에는 넓은 빈 공간이 위치한다. 이러한 넓은 빈 공간에, 도 13에 도시된 것과 같이, 필링층(610R)을 위한 언더필 물질이 유입될 때, 언더필 물질(611R)의 흐름이 영역별로 차이가 날 수 있다. 예컨대, 국부적인 영역들에서 상대적으로 빠른 속도로 언더필 물질(611R)이 유입되는 빠른 언더필 흐름(underfill flow)들과, 이들 빠른 언더필 흐름들 사이에 상대적으로 느린 언더필 흐름이 국부적으로 유도될 수 있다. 빠른 언더필 흐름들이 느린 언더필 흐름이 미처 언더필 물질(611R)을 채우지 못한 영역을 폐쇄(close)하면서, 언더필 흐름 내에 보이드(610V)가 트랩(trap)될 수 있다.
- [0060] 이러한 보이드(610V)의 발생을 더미 볼(도 1의 550)들이 억제하는 효과가 유도될 수 있다. 도 14를 도 1과 함께 참조하면, 더미 볼(550)들은 제2서브 패키지(200)와 제1서브 패키지(100) 사이에 상대적으로 균일하게 분포되며 도입될 수 있다. 더미 볼(550)들은 제2서브 패키지(200)와 제1서브 패키지(100) 사이로 필링층(610)을 구성하기 위한 언더필 물질(611)이 유입될 때, 언더필 물질(611)의 흐름 속도가 영역별로 균일해지도록 유도하는 역할을 할 수 있다. 더미 볼(550)들이 배치되어 캐필러리 효과(capillary effect)를 유도하고, 캐필러리 효과에 의해서 언더필 흐름이 전체 영역에 걸쳐 상대적으로 더 균일하게 유도된다. 이에 따라, 국부 영역에 보이드(도 12의 610V)들이 트랩되는 현상이 억제될 수 있다.
- [0061] 도 15는 비교예에 따른 스택 패키지(15R)에서의 휨(bowing) 현상이 발생하는 것을 보여주는 단면도이다.
- [0062] 도 15를 참조하면, 비교예에 따른 스택 패키지(15R)는 제1서브 패키지(105R) 상에 제2서브 패키지(205R)가 스택되고, 그 상에 제3 및 제4서브 패키지들(305R, 405R)이 스택되어 구성될 수 있다. 더미 볼(도 1의 550)들이 서브 패키지들(105R, 205R, 305R, 405R) 사이에 도입되지 않을 때, 휨 현상 및 이에 따른 크랙(crack) 발생이 확인될 수 있다. 제2 내지 제4서브 패키지들(205R, 305R, 405R)를 덮는 외측 몰딩층(655R)을 형성할 때, 일정 몰딩 압력을 수반하는 몰딩 과정이 수행될 수 있다. 이때, 스택 패키지(15R)에 인가되는 몰딩 압력에 의해서, 제2 내지 제 4서브 패키지들(205R, 305R, 405R)이 휘어지는 휨 현상이 유발될 수 있다.
- [0063] 스택된 서브 패키지들(105R, 205R, 305R, 405R)은 내측 커넥터(555R)들에 의해서 서로 지지되고 있다. 내측 커넥터(555R)들은 제2 내지 제4서브 패키지들(205R, 305R, 405R)의 양측 에지 영역들에 중첩되도록 위치하고 있다. 예컨대 제1반도체 다이(115R)와 제2반도체 다이(215R)들이 중첩된 사이 부분에는 내측 커넥터(555R)에 의해 지지되지 못하고 있다. 이에 따라, 인가되는 몰딩 압력이 내측 커넥터(555R)들 사이의 제2 내지 제4서브 패키지들(205R, 305R, 405R)의 중간 부분에 집중될 수 있고, 이러한 압력의 집중에 의해서 제2 내지 제4서브 패키지들(205R, 305R, 405R)의 중간 부분들이 휘어지는 현상이 유발될 수 있다. 휘어지는 현상이 심화될 경우, 제2 내지 제4서브 패키지들(205R, 305R, 405R)의 중간 부분들에 크랙이 유발될 수 있다.
- [0064] 이러한 휨 현상 및 크랙 발생을 더미 볼(도 1의 550)들이 억제하는 효과가 유도될 수 있다. 도 1에 제시된 것과 같이, 더미 볼(550)들은 서브 패키지들(100, 200, 300, 400) 사이에 상대적으로 균일하게 분포되며 도입되고 있다. 더미 볼(550)들은 제2 내지 제4서브 패키지들(200, 300, 400)의 중간 부분들을 지지하도록 분포되고 있다. 이에 따라, 더미 볼(550)들이 제2 내지 제4서브 패키지들(200, 300, 400)의 중간 부분들을 지지하고 있어, 인가된 몰딩 압력에 의해서 제2 내지 제4서브 패키지들(200, 300, 400)이 휘는 현상을 억제할 수 있다.
- [0065] 도 16은 일 예에 따른 스택 패키지(10)에서 개선된 열방출 효과를 보여주는 단면도이다.

[0066] 도 16을 참조하면, 일 예에 따른 스택 패키지(10)는 서브 패키지들(100, 200, 300, 400)들 사이에 더미 볼(550)들이 분산되어 도입되고 있다. 더미 볼(550)들은 필링층(610) 보다 열전도도가 높은 열전도 물질(thermal conductive material), 예컨대, 금속 물질 또는 솔더 물질을 포함하여 구성될 수 있다. 더미 볼(500)들이 주위의 필링층(610) 보다 상대적으로 빠른 속도로 열을 전도할 수 있으므로, 더미 볼(500)들은 서브 패키지들(100, 200, 300, 400)들 사이에서 열을 전달하는 경로 또는 열을 방출 경로를 제공할 수 있다. 이에 따라, 더미 볼(500)들은 스택 패키지(10) 내부로부터 외측 몰딩층(650)의 상면(650T) 부분으로 열을 보다 빠른 속도로 배출시킬 수 있다. 따라서, 스택 패키지(10)의 열 방출 특성이 개선될 수 있다. 스택 패키지의 외측 몰딩층(650)의 상면(650T)에는, 도시되지는 않았지만, 히트 스프레더(heat spreader) 또는 히트 싱크(heat sink) 구조가 결합될 수도 있다.

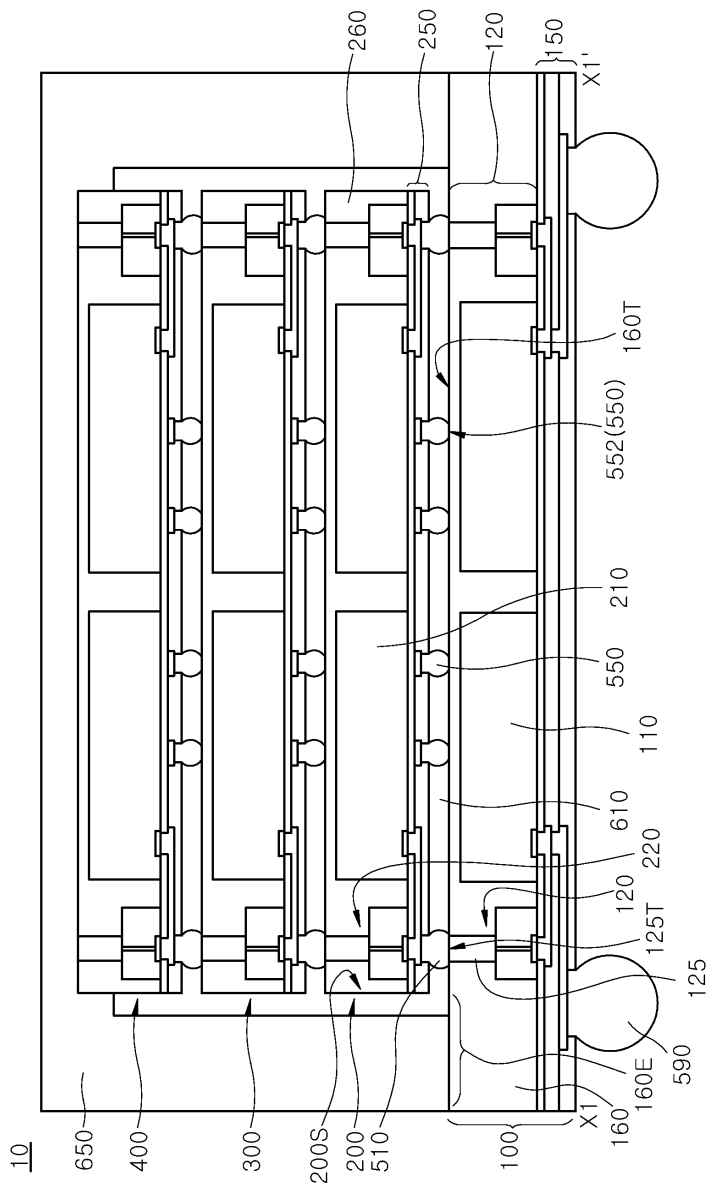
[0067] 상술한 바와 같이 본 출원의 실시 형태들을 도면들을 예시하며 설명하지만, 이는 본 출원에서 제시하고자 하는 바를 설명하기 위한 것이며, 세밀하게 제시된 형상으로 본 출원에서 제시하고자 하는 바를 한정하고자 한 것은 아니다. 본 출원에서 제시한 기술적 사상이 반영되는 한 다양한 다른 변형예들이 가능할 것이다.

부호의 설명

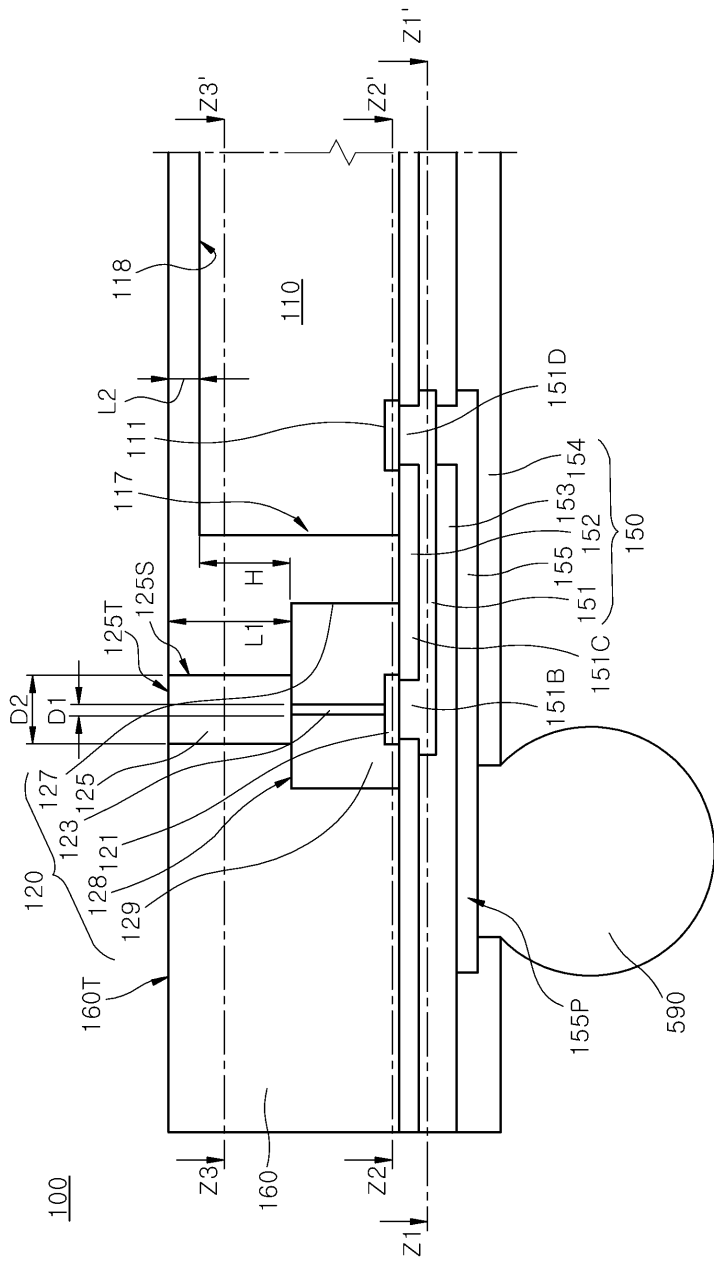
[0068] 100, 200: 서브 패키지,
 110, 210: 반도체 다이
 120, 220: 브리지 다이,
 550: 더미 볼.

도면

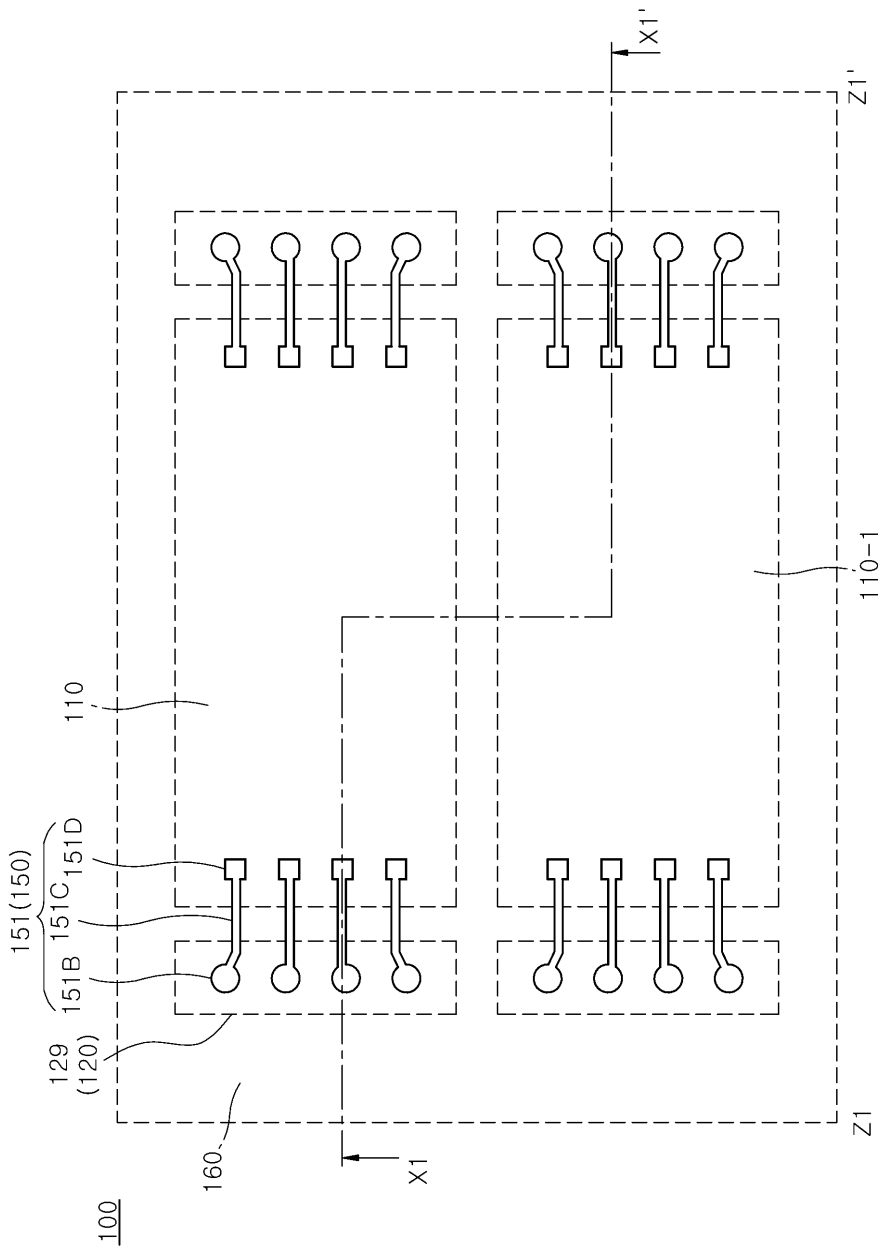
도면1



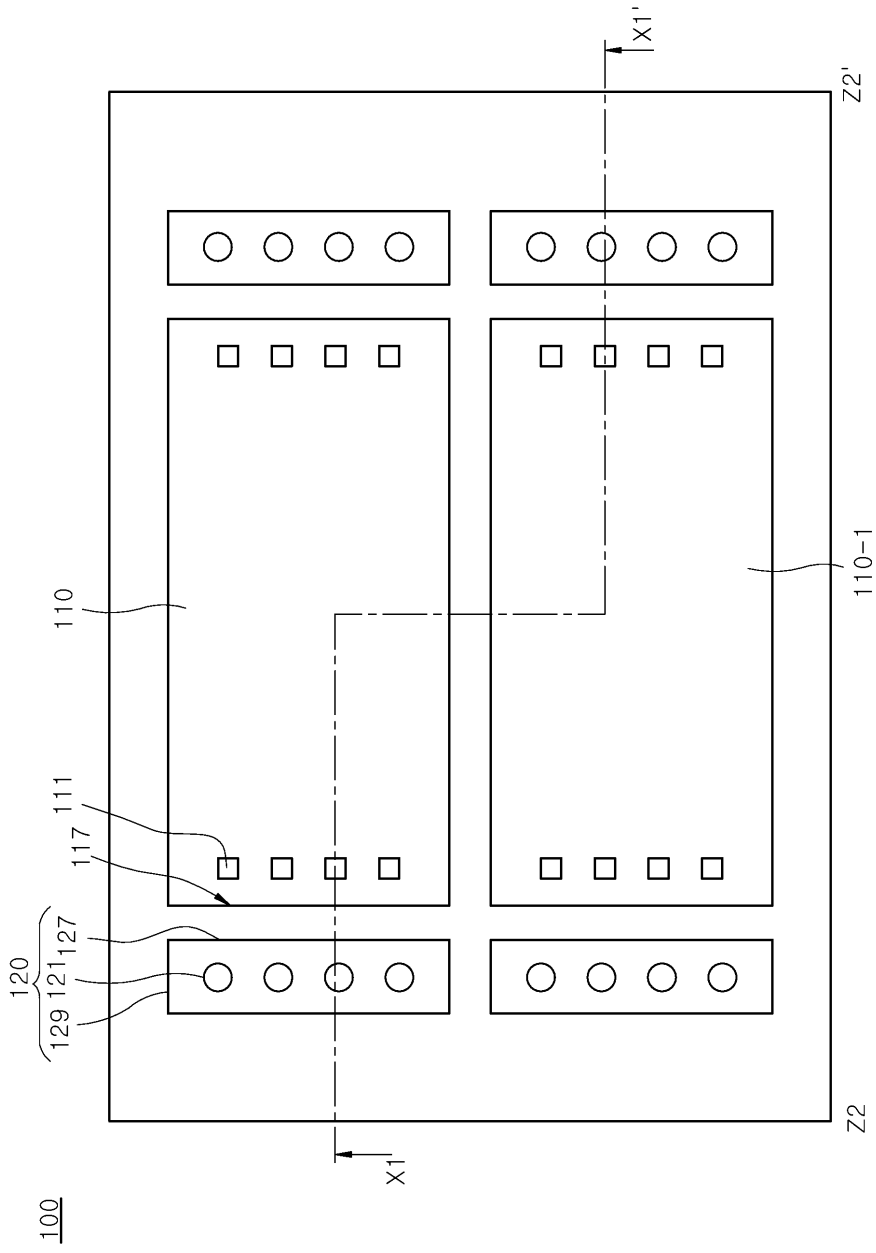
도면3



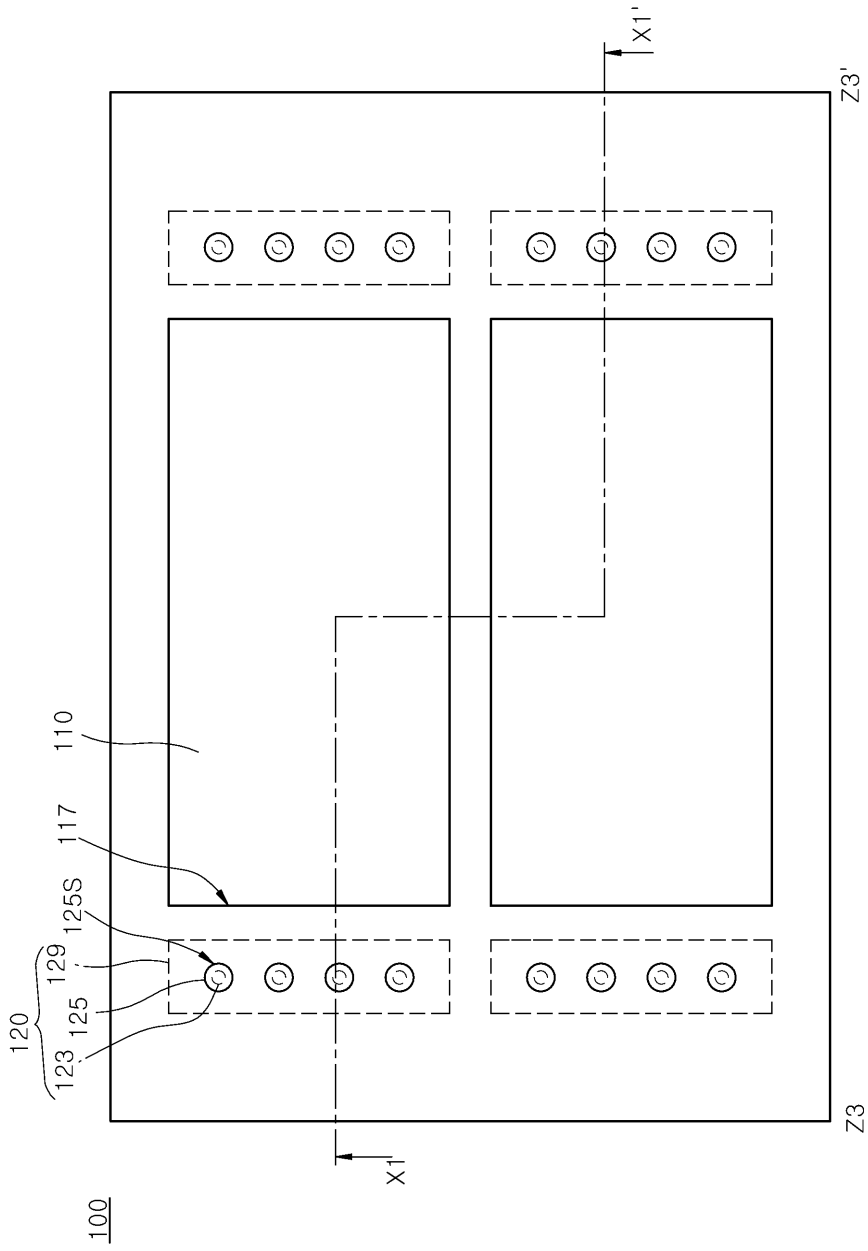
도면4



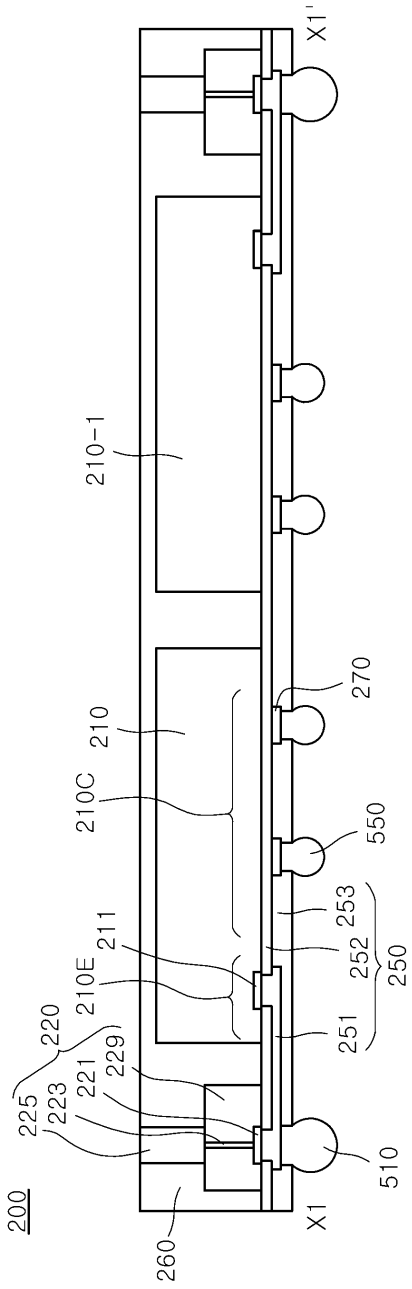
도면5



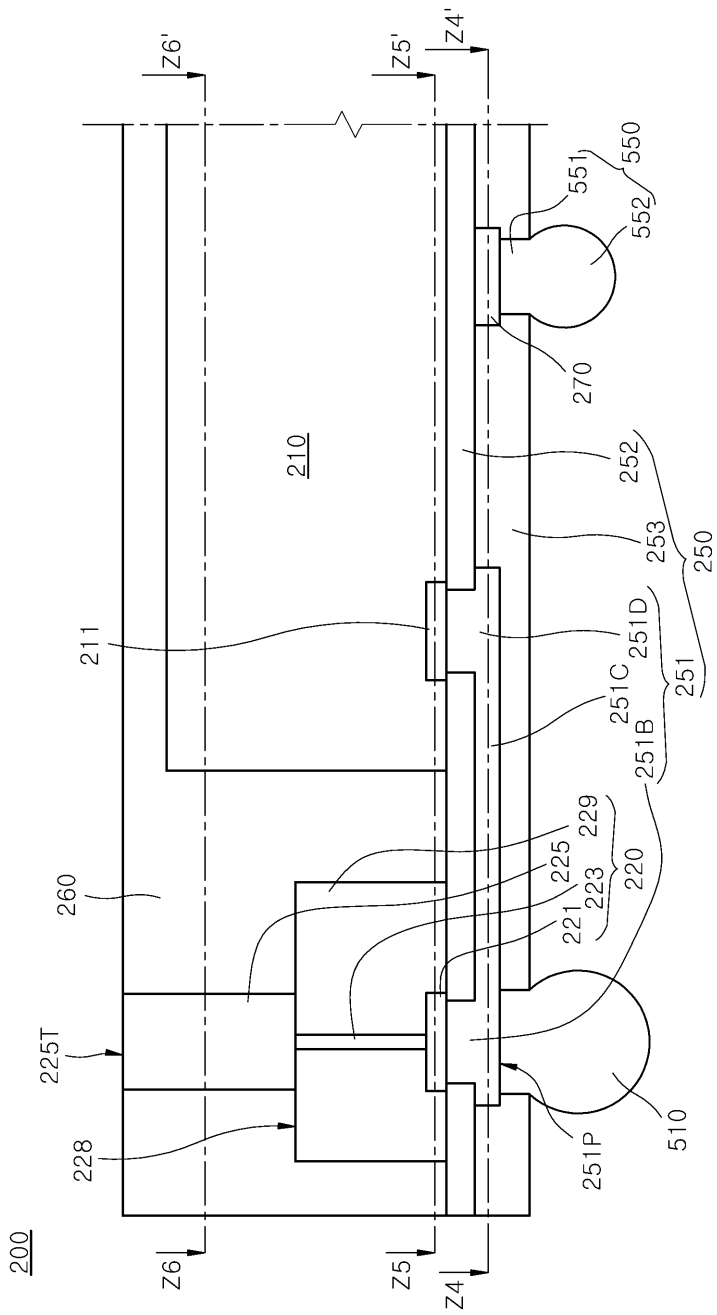
도면6



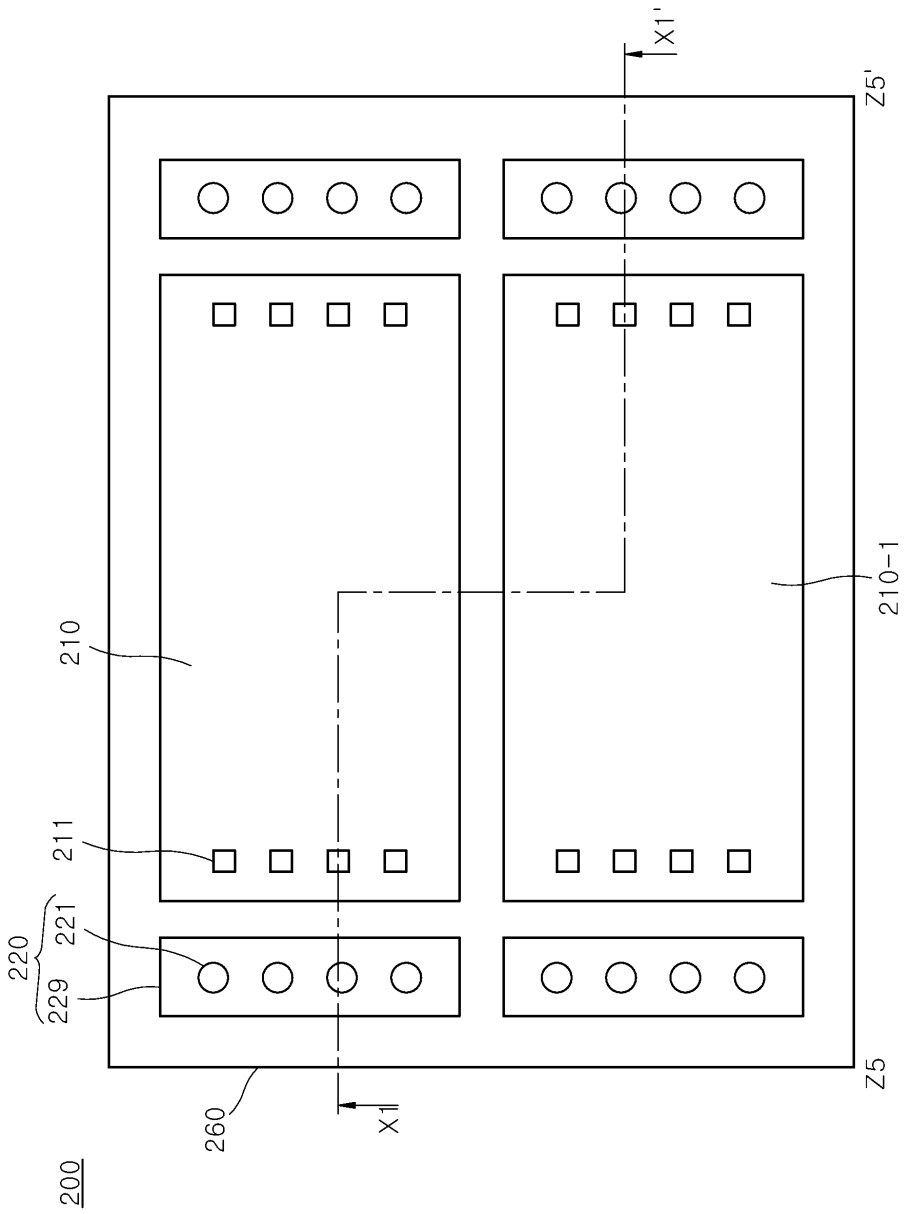
도면7



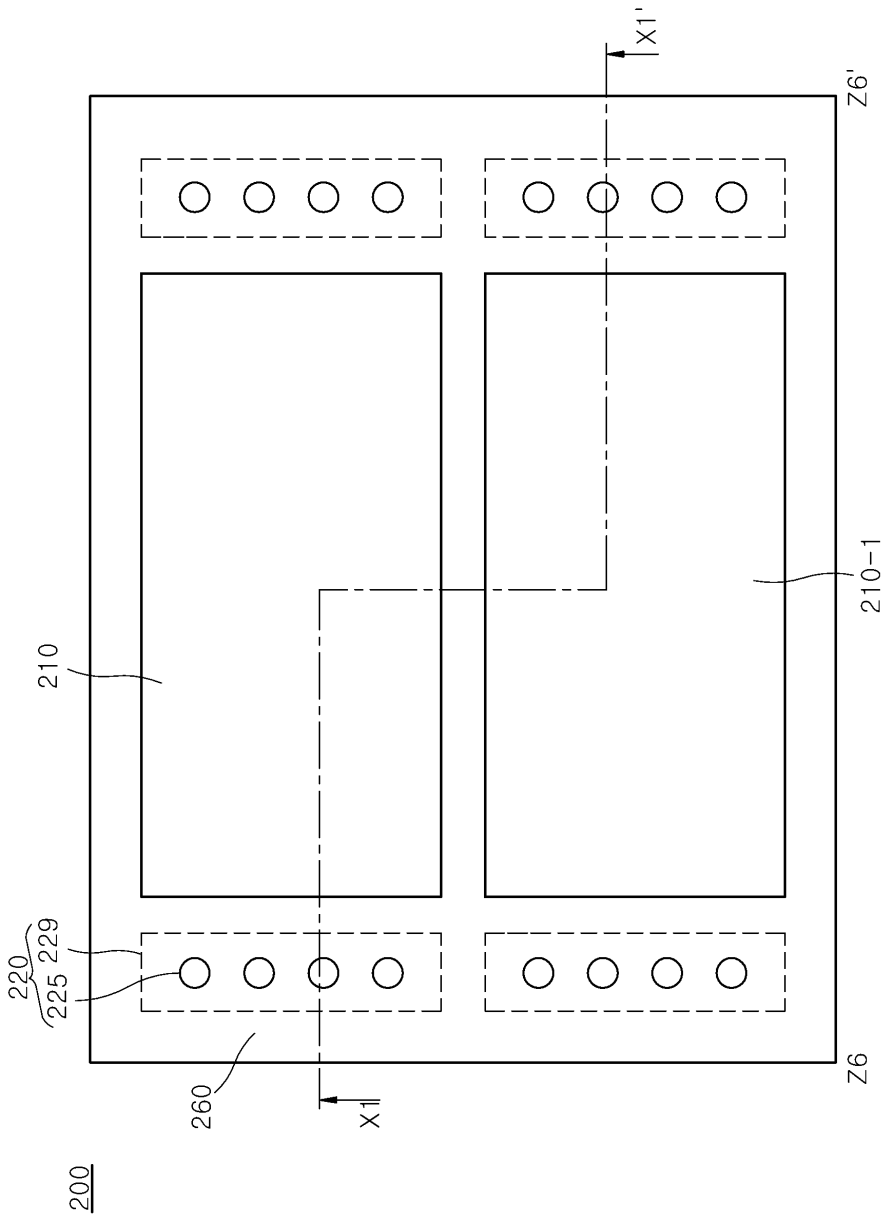
도면8



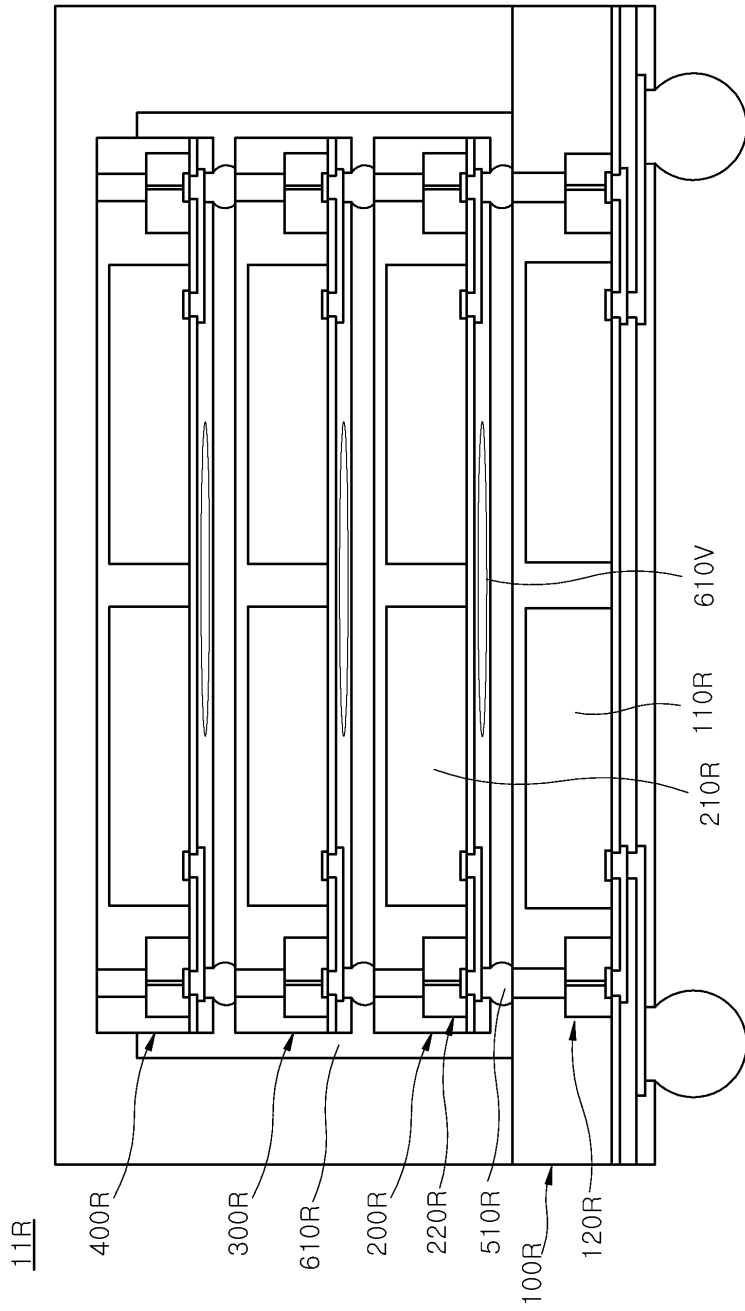
도면10



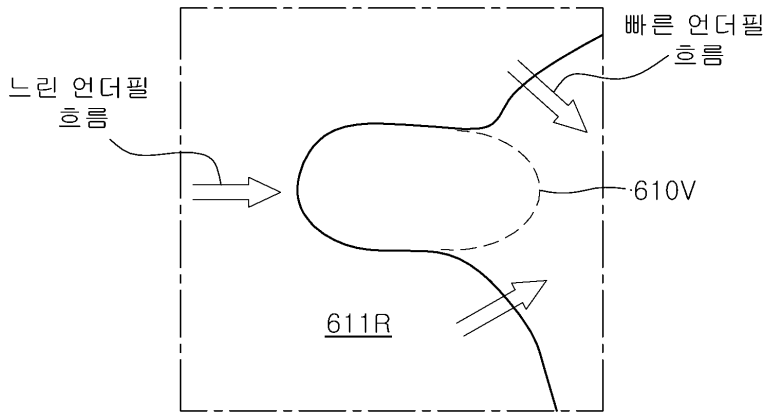
도면11



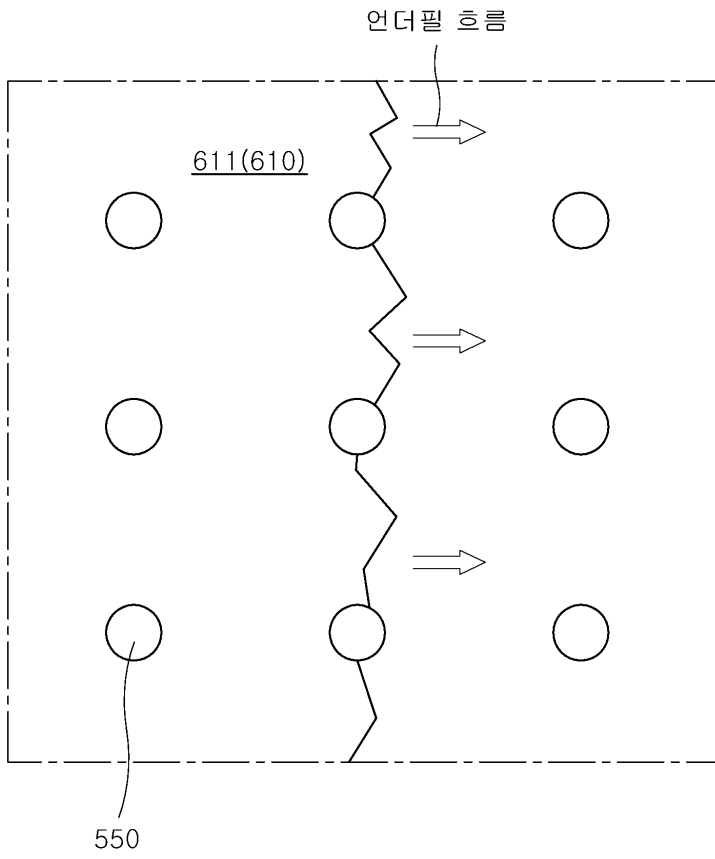
도면12



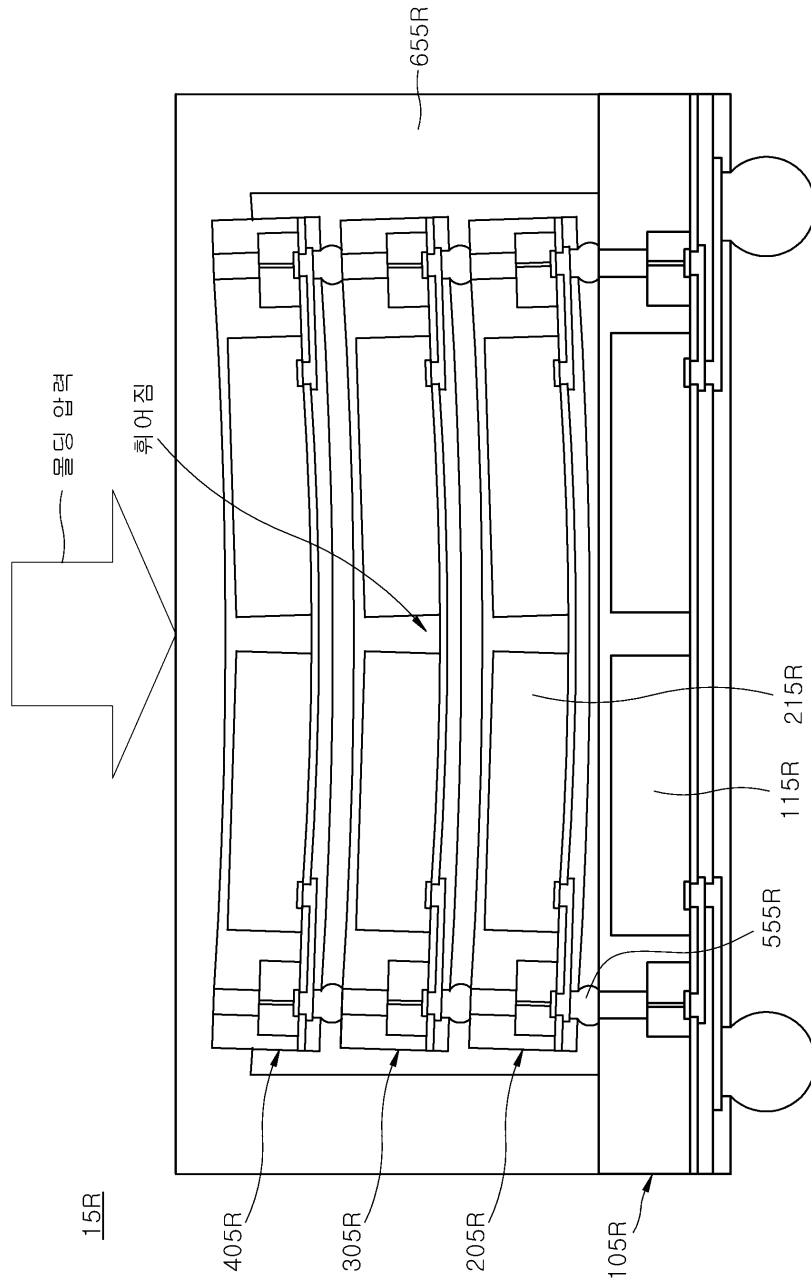
도면13



도면14



도면15



도면16

