(19)日本国特許庁(JP)　(12)特　許　公　報(B1)　(11)特許番号
特許第6203446号
(P6203446)
(45)発行日　平成29年9月27日(2017.9.27)　(24)登録日　平成29年9月8日(2017.9.8)

(51)Int.Cl.　F I
G11C 19/28 (2006.01)　G11C 19/28 230
G09G 3/20 (2006.01)　G09G 3/20 622E

請求項の数 4　(全 179 頁)

(21)出願番号　特願2017-139569(P2017-139569)
(22)出願日　平成29年7月19日(2017.7.19)
(62)分割の表示　特願2016-110567(P2016-110567)の分割
原出願日　平成19年8月28日(2007.8.28)
審査請求日　平成29年7月21日(2017.7.21)
(31)優先権主張番号　特願2006-236392(P2006-236392)
(32)優先日　平成18年8月31日(2006.8.31)
(33)優先権主張国　日本国(JP)

早期審査対象出願

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　梅崎　敦司
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　後藤　彰

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
第１乃至第１２のトランジスタと、第１乃至第４の配線と、第１乃至第３の走査線と、を有し、
前記第１のトランジスタのソース又はドレインの一方は、前記第１の配線と電気的に接続され、
前記第１のトランジスタのソース又はドレインの他方は、前記第１の走査線と電気的に接続され、
前記第２のトランジスタのソース又はドレインの一方は、前記第４の配線と電気的に接続され、
前記第２のトランジスタのソース又はドレインの他方は、前記第１の走査線と電気的に接続され、
前記第３のトランジスタのソース又はドレインの一方は、前記第１のトランジスタのゲートと電気的に接続され、
前記第４のトランジスタのソース又はドレインの一方は、前記第４の配線と電気的に接続され、
前記第４のトランジスタのソース又はドレインの他方は、前記第１のトランジスタのゲートと電気的に接続され、
前記第４のトランジスタのゲートは、前記第２のトランジスタのゲートと電気的に接続され、

前記第５のトランジスタのソース又はドレインの一方は、前記第２の配線と電気的に接続され、
前記第５のトランジスタのソース又はドレインの他方は、前記第２の走査線と電気的に接続され、
前記第６のトランジスタのソース又はドレインの一方は、前記第４の配線と電気的に接続され、
前記第６のトランジスタのソース又はドレインの他方は、前記第２の走査線と電気的に接続され、
前記第７のトランジスタのソース又はドレインの一方は、前記第５のトランジスタのゲートと電気的に接続され、
前記第８のトランジスタのソース又はドレインの一方は、前記第４の配線と電気的に接続され、
前記第８のトランジスタのソース又はドレインの他方は、前記第５のトランジスタのゲートと電気的に接続され、
前記第８のトランジスタのゲートは、前記第６のトランジスタのゲートと電気的に接続され、
前記第９のトランジスタのソース又はドレインの一方は、前記第３の配線と電気的に接続され、
前記第９のトランジスタのソース又はドレインの他方は、前記第３の走査線と電気的に接続され、
前記第１０のトランジスタのソース又はドレインの一方は、前記第４の配線と電気的に接続され、
前記第１０のトランジスタのソース又はドレインの他方は、前記第３の走査線と電気的に接続され、
前記第１１のトランジスタのソース又はドレインの一方は、前記第９のトランジスタのゲートと電気的に接続され、
前記第１２のトランジスタのソース又はドレインの一方は、前記第４の配線と電気的に接続され、
前記第１２のトランジスタのソース又はドレインの他方は、前記第９のトランジスタのゲートと電気的に接続され、
前記第１２のトランジスタのゲートは、前記第１０のトランジスタのゲートと電気的に接続され、
前記第１の配線は、第１の方向に沿うように延在した第１の領域を有し、
前記第２の配線は、前記第１の方向に沿うように延在した第２の領域を有し、
前記第３の配線は、前記第１の方向に沿うように延在した第３の領域を有し、
前記第４の配線は、前記第１の方向に沿うように延在した第４の領域を有し、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第３の配線の前記第３の領域との間に位置しており、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第４の配線の前記第４の領域との間に位置しており、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第１乃至第１２のトランジスタのいずれか一との間に位置しており、
前記第４の領域における前記第４の配線の配線幅は、前記第１の領域における前記第１の配線の配線幅よりも小さく、
前記第４の領域における前記第４の配線の配線幅は、前記第２の領域における前記第２の配線の配線幅よりも小さく、
前記第４の領域における前記第４の配線の配線幅は、前記第３の領域における前記第３の配線の配線幅よりも小さい半導体装置。

【請求項２】

第１乃至第１８のトランジスタと、第１乃至第５の配線と、第１乃至第３の走査線と、

を有し、
前記第１のトランジスタのソース又はドレインの一方は、前記第１の配線と電気的に接続され、
前記第１のトランジスタのソース又はドレインの他方は、前記第１の走査線と電気的に接続され、
前記第２のトランジスタのソース又はドレインの一方は、前記第４の配線と電気的に接続され、
前記第２のトランジスタのソース又はドレインの他方は、前記第１の走査線と電気的に接続され、
前記第３のトランジスタのソース又はドレインの一方は、前記第１のトランジスタのゲートと電気的に接続され、
前記第４のトランジスタのソース又はドレインの一方は、前記第２のトランジスタのゲートと電気的に接続され、
前記第５のトランジスタのソース又はドレインの一方は、前記第５の配線と電気的に接続され、
前記第５のトランジスタのソース又はドレインの他方は、前記第４のトランジスタのゲートと電気的に接続され、
前記第５のトランジスタのゲートは、前記第５の配線と電気的に接続され、
前記第６のトランジスタのソース又はドレインの一方は、前記第４のトランジスタのゲートと電気的に接続され、
前記第６のトランジスタのゲートは、前記第１のトランジスタのゲートと電気的に接続され、
前記第７のトランジスタのソース又はドレインの一方は、前記第２の配線と電気的に接続され、
前記第７のトランジスタのソース又はドレインの他方は、前記第２の走査線と電気的に接続され、
前記第８のトランジスタのソース又はドレインの一方は、前記第４の配線と電気的に接続され、
前記第８のトランジスタのソース又はドレインの他方は、前記第２の走査線と電気的に接続され、
前記第９のトランジスタのソース又はドレインの一方は、前記第７のトランジスタのゲートと電気的に接続され、
前記第１０のトランジスタのソース又はドレインの一方は、前記第８のトランジスタのゲートと電気的に接続され、
前記第１１のトランジスタのソース又はドレインの一方は、前記第５の配線と電気的に接続され、
前記第１１のトランジスタのソース又はドレインの他方は、前記第１０のトランジスタのゲートと電気的に接続され、
前記第１１のトランジスタのゲートは、前記第５の配線と電気的に接続され、
前記第１２のトランジスタのソース又はドレインの一方は、前記第１０のトランジスタのゲートと電気的に接続され、
前記第１２のトランジスタのゲートは、前記第７のトランジスタのゲートと電気的に接続され、
前記第１３のトランジスタのソース又はドレインの一方は、前記第３の配線と電気的に接続され、
前記第１３のトランジスタのソース又はドレインの他方は、前記第３の走査線と電気的に接続され、
前記第１４のトランジスタのソース又はドレインの一方は、前記第４の配線と電気的に接続され、
前記第１４のトランジスタのソース又はドレインの他方は、前記第３の走査線と電気的

に接続され、
前記第１５のトランジスタのソース又はドレインの一方は、前記第１３のトランジスタのゲートと電気的に接続され、
前記第１６のトランジスタのソース又はドレインの一方は、前記第１４のトランジスタのゲートと電気的に接続され、
前記第１７のトランジスタのソース又はドレインの一方は、前記第５の配線と電気的に接続され、
前記第１７のトランジスタのソース又はドレインの他方は、前記第１６のトランジスタのゲートと電気的に接続され、
前記第１７のトランジスタのゲートは、前記第５の配線と電気的に接続され、
前記第１８のトランジスタのソース又はドレインの一方は、前記第１６のトランジスタのゲートと電気的に接続され、
前記第１８のトランジスタのゲートは、前記第１３のトランジスタのゲートと電気的に接続され、
前記第１の配線は、第１の方向に沿うように延在した第１の領域を有し、
前記第２の配線は、前記第１の方向に沿うように延在した第２の領域を有し、
前記第３の配線は、前記第１の方向に沿うように延在した第３の領域を有し、
前記第４の配線は、前記第１の方向に沿うように延在した第４の領域を有し、
前記第５の配線は、前記第１の方向に沿うように延在した第５の領域を有し、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第３の配線の前記第３の領域との間に位置しており、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第４の配線の前記第４の領域との間に位置しており、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第５の配線の前記第５の領域との間に位置しており、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第１乃至第１８のトランジスタのいずれか一との間に位置しており、
前記第４の領域における前記第４の配線の配線幅は、前記第１の領域における前記第１の配線の配線幅よりも小さく、
前記第４の領域における前記第４の配線の配線幅は、前記第２の領域における前記第２の配線の配線幅よりも小さく、
前記第４の領域における前記第４の配線の配線幅は、前記第３の領域における前記第３の配線の配線幅よりも小さく、
前記第５の領域における前記第５の配線の配線幅は、前記第１の領域における前記第１の配線の配線幅よりも小さく、
前記第５の領域における前記第５の配線の配線幅は、前記第２の領域における前記第２の配線の配線幅よりも小さく、
前記第５の領域における前記第５の配線の配線幅は、前記第３の領域における前記第３の配線の配線幅よりも小さい半導体装置。
【請求項３】
第１乃至第１２のトランジスタと、第１乃至第４の配線と、第１乃至第３の走査線と、を有し、
前記第１のトランジスタのソース又はドレインの一方は、前記第１の配線と直接接続され、
前記第１のトランジスタのソース又はドレインの他方は、前記第１の走査線と直接接続され、
前記第２のトランジスタのソース又はドレインの一方は、前記第４の配線と直接接続され、
前記第２のトランジスタのソース又はドレインの他方は、前記第１の走査線と直接接続され、

前記第３のトランジスタのソース又はドレインの一方は、前記第１のトランジスタのゲートと直接接続され、
前記第４のトランジスタのソース又はドレインの一方は、前記第４の配線と直接接続され、
前記第４のトランジスタのソース又はドレインの他方は、前記第１のトランジスタのゲートと直接接続され、
前記第４のトランジスタのゲートは、前記第２のトランジスタのゲートと直接接続され、
前記第５のトランジスタのソース又はドレインの一方は、前記第２の配線と直接接続され、
前記第５のトランジスタのソース又はドレインの他方は、前記第２の走査線と直接接続され、
前記第６のトランジスタのソース又はドレインの一方は、前記第４の配線と直接接続され、
前記第６のトランジスタのソース又はドレインの他方は、前記第２の走査線と直接接続され、
前記第７のトランジスタのソース又はドレインの一方は、前記第５のトランジスタのゲートと直接接続され、
前記第８のトランジスタのソース又はドレインの一方は、前記第４の配線と直接接続され、
前記第８のトランジスタのソース又はドレインの他方は、前記第５のトランジスタのゲートと直接接続され、
前記第８のトランジスタのゲートは、前記第６のトランジスタのゲートと直接接続され、
前記第９のトランジスタのソース又はドレインの一方は、前記第３の配線と直接接続され、
前記第９のトランジスタのソース又はドレインの他方は、前記第３の走査線と直接接続され、
前記第１０のトランジスタのソース又はドレインの一方は、前記第４の配線と直接接続され、
前記第１０のトランジスタのソース又はドレインの他方は、前記第３の走査線と直接接続され、
前記第１１のトランジスタのソース又はドレインの一方は、前記第９のトランジスタのゲートと直接接続され、
前記第１２のトランジスタのソース又はドレインの一方は、前記第４の配線と直接接続され、
前記第１２のトランジスタのソース又はドレインの他方は、前記第９のトランジスタのゲートと直接接続され、
前記第１２のトランジスタのゲートは、前記第１０のトランジスタのゲートと直接接続され、
前記第１の配線は、第１の方向に沿うように延在した第１の領域を有し、
前記第２の配線は、前記第１の方向に沿うように延在した第２の領域を有し、
前記第３の配線は、前記第１の方向に沿うように延在した第３の領域を有し、
前記第４の配線は、前記第１の方向に沿うように延在した第４の領域を有し、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第３の配線の前記第３の領域との間に位置しており、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第４の配線の前記第４の領域との間に位置しており、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第１乃至第１２のトランジスタのいずれか一との間に位置しており、

前記第４の領域における前記第４の配線の配線幅は、前記第１の領域における前記第１の配線の配線幅よりも小さく、
前記第４の領域における前記第４の配線の配線幅は、前記第２の領域における前記第２の配線の配線幅よりも小さく、
前記第４の領域における前記第４の配線の配線幅は、前記第３の領域における前記第３の配線の配線幅よりも小さい半導体装置。
【請求項４】
第１乃至第１８のトランジスタと、第１乃至第５の配線と、第１乃至第３の走査線と、を有し、
前記第１のトランジスタのソース又はドレインの一方は、前記第１の配線と直接接続され、
前記第１のトランジスタのソース又はドレインの他方は、前記第１の走査線と直接接続され、
前記第２のトランジスタのソース又はドレインの一方は、前記第４の配線と直接接続され、
前記第２のトランジスタのソース又はドレインの他方は、前記第１の走査線と直接接続され、
前記第３のトランジスタのソース又はドレインの一方は、前記第１のトランジスタのゲートと直接接続され、
前記第４のトランジスタのソース又はドレインの一方は、前記第２のトランジスタのゲートと直接接続され、
前記第５のトランジスタのソース又はドレインの一方は、前記第５の配線と直接接続され、
前記第５のトランジスタのソース又はドレインの他方は、前記第４のトランジスタのゲートと直接接続され、
前記第５のトランジスタのゲートは、前記第５の配線と直接接続され、
前記第６のトランジスタのソース又はドレインの一方は、前記第４のトランジスタのゲートと直接接続され、
前記第６のトランジスタのゲートは、前記第１のトランジスタのゲートと直接接続され、
前記第７のトランジスタのソース又はドレインの一方は、前記第２の配線と直接接続され、
前記第７のトランジスタのソース又はドレインの他方は、前記第２の走査線と直接接続され、
前記第８のトランジスタのソース又はドレインの一方は、前記第４の配線と直接接続され、
前記第８のトランジスタのソース又はドレインの他方は、前記第２の走査線と直接接続され、
前記第９のトランジスタのソース又はドレインの一方は、前記第７のトランジスタのゲートと直接接続され、
前記第１０のトランジスタのソース又はドレインの一方は、前記第８のトランジスタのゲートと直接接続され、
前記第１１のトランジスタのソース又はドレインの一方は、前記第５の配線と直接接続され、
前記第１１のトランジスタのソース又はドレインの他方は、前記第１０のトランジスタのゲートと直接接続され、
前記第１１のトランジスタのゲートは、前記第５の配線と直接接続され、
前記第１２のトランジスタのソース又はドレインの一方は、前記第１０のトランジスタのゲートと直接接続され、
前記第１２のトランジスタのゲートは、前記第７のトランジスタのゲートと直接接続さ

れ、
前記第１３のトランジスタのソース又はドレインの一方は、前記第３の配線と直接接続され、
前記第１３のトランジスタのソース又はドレインの他方は、前記第３の走査線と直接接続され、
前記第１４のトランジスタのソース又はドレインの一方は、前記第４の配線と直接接続され、
前記第１４のトランジスタのソース又はドレインの他方は、前記第３の走査線と直接接続され、
前記第１５のトランジスタのソース又はドレインの一方は、前記第１３のトランジスタのゲートと直接接続され、
前記第１６のトランジスタのソース又はドレインの一方は、前記第１４のトランジスタのゲートと直接接続され、
前記第１７のトランジスタのソース又はドレインの一方は、前記第５の配線と直接接続され、
前記第１７のトランジスタのソース又はドレインの他方は、前記第１６のトランジスタのゲートと直接接続され、
前記第１７のトランジスタのゲートは、前記第５の配線と直接接続され、
前記第１８のトランジスタのソース又はドレインの一方は、前記第１６のトランジスタのゲートと直接接続され、
前記第１８のトランジスタのゲートは、前記第１３のトランジスタのゲートと直接接続され、
前記第１の配線は、第１の方向に沿うように延在した第１の領域を有し、
前記第２の配線は、前記第１の方向に沿うように延在した第２の領域を有し、
前記第３の配線は、前記第１の方向に沿うように延在した第３の領域を有し、
前記第４の配線は、前記第１の方向に沿うように延在した第４の領域を有し、
前記第５の配線は、前記第１の方向に沿うように延在した第５の領域を有し、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第３の配線の前記第３の領域との間に位置しており、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第４の配線の前記第４の領域との間に位置しており、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第５の配線の前記第５の領域との間に位置しており、
前記第２の配線の前記第２の領域は、前記第１の配線の前記第１の領域と前記第１乃至第１８のトランジスタのいずれか一との間に位置しており、
前記第４の領域における前記第４の配線の配線幅は、前記第１の領域における前記第１の配線の配線幅よりも小さく、
前記第４の領域における前記第４の配線の配線幅は、前記第２の領域における前記第２の配線の配線幅よりも小さく、
前記第４の領域における前記第４の配線の配線幅は、前記第３の領域における前記第３の配線の配線幅よりも小さく、
前記第５の領域における前記第５の配線の配線幅は、前記第１の領域における前記第１の配線の配線幅よりも小さく、
前記第５の領域における前記第５の配線の配線幅は、前記第２の領域における前記第２の配線の配線幅よりも小さく、
前記第５の領域における前記第５の配線の配線幅は、前記第３の領域における前記第３の配線の配線幅よりも小さい半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】

本発明は、液晶表示装置に関する。特に、トランジスタを用いて構成されたシフトレジスタを有する液晶表示装置に関する。また、その液晶表示装置の駆動方法に関する。また、その液晶表示装置を表示部に有する電子機器に関する。

【背景技術】

【０００２】

近年、液晶表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に、絶縁基板上に非結晶半導体（以下、アモルファスシリコンともいう）によって構成されたトランジスタを用いて、画素回路、及びシフトレジスタ等を含む駆動回路（以下、内部回路ともいう）を一体形成する技術は、低消費電力化、低コスト化に大きく貢献するため、活発に開発が進められている。絶縁基板上に形成された内部回路は、ＦＰＣ等を介してコントローラＩＣ等（以下、外部回路ともいう）に接続され、その動作が制御される。

【０００３】

上記示した内部回路の中でも、非結晶半導体によって構成されたトランジスタを用いたシフトレジスタが考案されている（例えば、特許文献１）。特許文献１に示されているシフトレジスタは、出力端子がフローティングになる期間が長いため、ノイズがシフトレジスタの出力信号に発生するという問題があった。この特許文献１のシフトレジスタの問題を解決するために、出力端子をフローティングにしないシフトレジスタの構成が考案されている（例えば、非特許文献１）

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特表平１０－５００２４３

【非特許文献】

【０００５】

【非特許文献１】２．０ｉｎｃｈ　ａ－Ｓｉ：Ｈ　ＴＦＴ－ＬＣＤ　ｗｉｔｈ　Ｌｏｗ　Ｎｏｉｓｅ　Ｉｎｔｅｇｒａｔｅｄ　Ｇａｔｅ　Ｄｒｉｖｅｒ　ＳＩＤ’０５　Ｄｉｇｅｓｔ　Ｐ９４２－９４５

【発明の概要】

【発明が解決しようとする課題】

【０００６】

上記、非特許文献１では、非選択期間において、出力端子と負電源との間に接続されたトランジスタがオンとなる。したがって、非特許文献１に示したシフトレジスタの出力端子がフローティングにならず、非特許文献１に示したシフトレジスタは出力信号のノイズを小さくすることができる。

【０００７】

しかしながら、非結晶半導体によって構成されたトランジスタは、オンとなる時間、印加する電圧などにしたがって、特性が劣化することが知られている。中でも、しきい値電圧がシフト（上昇）するしきい値電圧シフトは、シフトレジスタの誤動作の大きな原因の１つである。したがって、非特許文献１に示したシフトレジスタでは、非選択期間において出力端子と負電源との間に接続されたトランジスタがオンとなるため、このトランジスタの特性が劣化してしまうことによって、誤動作してしまう。

【０００８】

このような問題点に鑑み、非選択期間において、出力信号のノイズが小さく、且つトランジスタの特性劣化を抑制することができるシフトレジスタを有する液晶表示装置、及び当該液晶表示装置を具備する電子機器を提供することを目的とする。

【課題を解決するための手段】

【０００９】

本発明に係わる液晶表示装置は、画素部と、絶縁基板上に画素部と一体形成されたシフトレジスタを有している。そして、シフトレジスタは複数のフリップフロップを有し、この

複数のフリップフロップそれぞれは非選択期間において一定期間毎にオンとなり出力端子（走査線）に電源電位を出力するトランジスタを有している。このトランジスタが一定期間毎にオンとなり走査線に電源電位を供給することによって、複数のフリップフロップそれぞれは走査線の電位の変動を抑え、且つ該トランジスタの特性劣化を抑制する。

【００１０】

本発明の液晶表示装置は、液晶素子を有する第１の画素及び第２の画素と、駆動回路と、第１の配線と、第２の配線と、第３の配線と、第４の配線と、第５の配線と、第６の配線と、を有し、前記第１の画素は、前記第５の配線を介して前記駆動回路に電気的に接続され、前記第２の画素は、前記第６の配線を介して前記駆動回路に電気的に接続され、駆動回路は、シフトレジスタを有し、シフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ及び第４のトランジスタを有し、第１のトランジスタの第１端子が第１の配線に電気的に接続され、第１のトランジスタの第２端子が第２のトランジスタのゲート端子に電気的に接続され、第１のトランジスタのゲート端子が第５の配線に電気的に接続され、第２のトランジスタの第１端子が第３の配線に電気的に接続され、第２端子が第６の配線に電気的に接続され、第３のトランジスタの第１端子が第２の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第４のトランジスタの第１端子が第２の配線に電気的に接続され、第４のトランジスタの第２端子が第６の配線に電気的に接続され、第４のトランジスタのゲート端子が第４の配線に電気的に接続されていることを特徴としている。

【００１１】

また、本発明の液晶表示装置は、液晶素子を有する第１の画素及び第２の画素と、駆動回路と、第１の配線と、第２の配線と、第３の配線と、第４の配線と、第５の配線と、を有し、前記第１の画素は、前記第５の配線を介して前記駆動回路に電気的に接続され、前記第２の画素は、前記第１の配線を介して前記駆動回路に電気的に接続され、駆動回路は、シフトレジスタを有し、シフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ及び第４のトランジスタを有し、第１のトランジスタは、第１端子が第５の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第５の配線に電気的に接続され、第２のトランジスタは、第１端子が第３の配線に電気的に接続され、第２端子が第１の配線に電気的に接続され、第３のトランジスタは、第１端子が第２のトランジスタのゲート端子に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第４のトランジスタは、第１端子が第１の配線に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第４の配線に電気的に接続されていることを特徴としている。

【００１２】

なお、本発明において、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ及び第４のトランジスタは、Ｎチャネル型トランジスタであってもよい。

【００１３】

また、本発明において、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、及び第４のトランジスタは、半導体層を有し、半導体層は、アモルファスシリコンであってもよい。

【００１４】

また本発明において、第１のトランジスタの第２端子とゲート端子との間に、容量素子が配置されていてもよい。

【００１５】

また、本発明の液晶表示装置は、液晶素子を有する第１の画素及び第２の画素と、駆動回路と、第１の配線と、第２の配線と、第３の配線と、第４の配線と、第５の配線と、第６

の配線と、第７の配線と、を有し、前記第１の画素は、前記第５の配線を介して前記駆動回路に電気的に接続され、前記第２の画素は、前記第６の配線を介して前記駆動回路に電気的に接続され、駆動回路は、シフトレジスタを有し、シフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ及び第５のトランジスタを有し、第１のトランジスタは、第１端子が第１の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第５の配線に電気的に接続され、第２のトランジスタは、第１端子が第３の配線に電気的に接続され、第２端子が第６の配線に電気的に接続され、第３のトランジスタは、第１端子が第２のトランジスタのゲート端子に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第４のトランジスタは、第１端子が第６の配線に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第５のトランジスタは、第１端子が第６の配線に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第７の配線に電気的に接続されていることを特徴としている。

【００１６】

また、本発明の液晶表示装置は、液晶素子を有する第１の画素及び第２の画素と、駆動回路と、第１の配線と、第２の配線と、第３の配線と、第４の配線と、第５の配線と、第６の配線と、を有し、前記第１の画素は、前記第５の配線を介して前記駆動回路に電気的に接続され、前記第２の画素は、前記第１の配線を介して前記駆動回路に電気的に接続され、駆動回路は、シフトレジスタを有し、シフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ及び第５のトランジスタを有し、第１のトランジスタは、第１端子が第５の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第５の配線に電気的に接続され、第２のトランジスタは、第１端子が第３の配線に電気的に接続され、第２端子が第６の配線に電気的に接続され、第３のトランジスタは、第１端子が第２の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第４のトランジスタは、第１端子が第１の配線に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第５のトランジスタは、第１端子が第６の配線に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第１の配線に電気的に接続されていることを特徴としている。

【００１７】

なお、本発明において、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ及び第５のトランジスタは、Ｎチャネル型トランジスタであってもよい。

【００１８】

また、本発明において、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ、及び第５のトランジスタは、半導体層を有し、半導体層はアモルファスシリコンであってもよい。

【００１９】

また、本発明において、第１のトランジスタの第２端子と第１のトランジスタのゲート端子との間に、容量素子が配置されていてもよい。

【００２０】

また、本発明の液晶表示装置は、液晶素子を有する第１の画素乃至第４の画素と、第１の駆動回路と、第２の駆動回路と、第１の配線と、第２の配線と、第３の配線と、第４の配線と、第５の配線と、第６の配線と、第７の配線と、第８の配線と、第９の配線と、第１０の配線と、第１１の配線と、第１２の配線と、を有し、前記第１の画素は、前記第５の配線を介して前記第１の駆動回路に電気的に接続され、前記第２の画素は、前記第６の配

線を介して前記第１の駆動回路に電気的に接続され、前記第３の画素は、前記第１１の配線を介して前記第２の駆動回路に電気的に接続され、前記第４の画素は、前記第１２の配線を介して前記第２の駆動回路に電気的に接続され、第１の駆動回路は、第１のシフトレジスタを有し、第２の駆動回路は、第２のシフトレジスタを有し、第１のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ及び第４のトランジスタを有し、第１のトランジスタは、第１端子が第１の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第５の配線に電気的に接続され、第２のトランジスタは、第１端子が第３の配線に電気的に接続され、第２端子が第６の配線に電気的に接続され、第３のトランジスタは、第１端子が第２の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第４のトランジスタは、第１端子が第２の配線に電気的に接続され、第２端子が第６の配線に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第２のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第５のトランジスタ、第６のトランジスタ、第７のトランジスタ及び第８のトランジスタを有し、第５のトランジスタは、第１端子が第７の配線に電気的に接続され、第２端子が第６のトランジスタのゲート端子に電気的に接続され、ゲート端子が第１１の配線に電気的に接続され、第６のトランジスタは、第１端子が第９の配線に電気的に接続され、第２端子が第１２の配線に電気的に接続され、第７のトランジスタは、第１端子が第８の配線に電気的に接続され、第２端子が第６のトランジスタのゲート端子に電気的に接続され、ゲート端子が第１０の配線に電気的に接続され、第８のトランジスタは、第１端子が第８の配線に電気的に接続され、第２端子が第１２の配線に電気的に接続され、ゲート端子が第１０の配線に電気的に接続されていることを特徴としている。

【００２１】

なお、本発明において、第５の配線及び第１１の配線は電気的に接続され、第６の配線及び第１２の配線は電気的に接続されていてもよい。

【００２２】

また、本発明において、第５の配線及び第１１の配線は同一の配線であり、第６の配線及び第１２の配線は同一の配線であってもよい。

【００２３】

また、本発明において、第１の配線及び第７の配線は電気的に接続され、第２の配線及び第８の配線は電気的に接続され、第３の配線及び第９の配線は電気的に接続され、第４の配線及び第１０の配線は電気的に接続されていてもよい。

【００２４】

また、本発明において、第１の配線及び第７の配線は同一の配線であり、第２の配線及び第８の配線は同一の配線であり、第３の配線及び第９の配線は同一の配線であり、第４の配線及び第１０の配線は同一の配線であってもよい。

【００２５】

また、本発明において、第１の配線及び第７の配線は電気的に接続され、第２の配線及び第８の配線は電気的に接続され、第３の配線及び第９の配線は電気的に接続され、第４の配線及び第１０の配線は電気的に接続され、第５の配線及び第１１の配線は電気的に接続され、第６の配線及び第１２の配線は電気的に接続されていてもよい。

【００２６】

また、本発明において、第１の配線及び第７の配線は同一の配線であり、第２の配線及び第８の配線は同一の配線であり、第３の配線及び第９の配線は同一の配線であり、第４の配線及び第１０の配線は同一の配線であり、第５の配線及び第１１の配線は同一の配線であり、第６の配線及び第１２の配線は同一の配線であってもよい。

【００２７】

また、本発明の液晶表示装置は、液晶素子を有する第１の画素乃至第４の画素と、第１の

駆動回路と、第２の駆動回路と、第１の配線と、第２の配線と、第３の配線と、第４の配線と、第５の配線と、第６の配線と、第７の配線と、第８の配線と、第９の配線と、第１０の配線と、を有し、前記第１の画素は、前記第５の配線を介して前記第１の駆動回路に電気的に接続され、前記第２の画素は、前記第１の配線を介して前記第１の駆動回路に電気的に接続され、前記第３の画素は、前記第１０の配線を介して前記第２の駆動回路に電気的に接続され、前記第４の画素は、前記第６の配線を介して前記第２の駆動回路に電気的に接続され、第１の駆動回路は、第１のシフトレジスタを有し、第２の駆動回路は、第２のシフトレジスタを有し、第１のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ及び第４のトランジスタを有し、第１のトランジスタは、第１端子が第５の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第５の配線に電気的に接続され、第２のトランジスタは、第１端子が第３の配線に電気的に接続され、第２端子が第１の配線に電気的に接続され、第３のトランジスタは、第１端子が第２のトランジスタのゲート端子に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第４のトランジスタは、第１端子が第１の配線に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第２のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第５のトランジスタ、第６のトランジスタ、第７のトランジスタ及び第８のトランジスタを有し、第５のトランジスタは、第１端子が第１０の配線に電気的に接続され、第２端子が第６のトランジスタのゲート端子に電気的に接続され、ゲート端子が第１０の配線に電気的に接続され、第６のトランジスタは、第１端子が第８の配線に電気的に接続され、第２端子が第６の配線に電気的に接続され、第７のトランジスタは、第１端子が第６のトランジスタのゲート端子に電気的に接続され、第２端子が第７の配線に電気的に接続され、ゲート端子が第９の配線に電気的に接続され、第８のトランジスタは、第１端子が第６の配線に電気的に接続され、第２端子が第７の配線に電気的に接続され、ゲート端子が第９の配線に電気的に接続されていることを特徴としている。

【００２８】

なお、本発明において、第１の配線及び第６の配線は電気的に接続され、第５の配線及び第１０の配線は電気的に接続されていてもよい。

【００２９】

また、本発明において、第１の配線及び第６の配線は同一の配線であり、第５の配線及び第１０の配線は同一の配線であってもよい。

【００３０】

また、本発明において、第２の配線及び第７の配線は電気的に接続され、第３の配線及び第８の配線は電気的に接続され、第４の配線及び第９の配線は電気的に接続されていてもよい。

【００３１】

また、本発明において、第２の配線及び第７の配線は同一の配線であり、第３の配線及び第８の配線は同一の配線であり、第４の配線及び第９の配線は同一の配線であってもよい。

【００３２】

また、本発明において、第１の配線及び第６の配線は電気的に接続され、第２の配線及び第７の配線は電気的に接続され、第３の配線及び第８の配線は電気的に接続され、第４の配線及び第９の配線は電気的に接続され、第５の配線及び第１０の配線は電気的に接続されていてもよい。

【００３３】

また、本発明において、第１の配線及び第６の配線は同一の配線であり、第２の配線及び第７の配線は同一の配線であり、第３の配線及び第８の配線は同一の配線であり、第４の配線及び第９の配線は同一の配線であり、第５の配線及び第１０の配線は同一の配線で

あってもよい。

【００３４】

また、本発明において、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ、第５のトランジスタ、第６のトランジスタ、第７のトランジスタ及び第８のトランジスタは、Ｎチャネル型トランジスタであってもよい。

【００３５】

また、本発明において、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ、第５のトランジスタ、第６のトランジスタ、第７のトランジスタ、及び第８のトランジスタは、半導体層を有し、半導体層は、アモルファスシリコンであってもよい。

【００３６】

また、本発明において、第１のトランジスタの第２端子と、第１のトランジスタのゲート端子との間に、第１の容量素子が配置され、第５のトランジスタの第２端子と、第５のトランジスタのゲート端子との間に、第２の容量素子が配置されていてもよい。

【００３７】

また、本発明の液晶表示装置は、液晶素子を有する第１の画素乃至第４の画素と、第１の駆動回路と、第２の駆動回路と、第１の配線と、第２の配線と、第３の配線と、第４の配線と、第５の配線と、第６の配線と、第７の配線と、第８の配線と、第９の配線と、第１０の配線と、第１１の配線と、第１２の配線と、第１３の配線と、第１４の配線と、を有し、前記第１の画素は、前記第５の配線を介して前記第１の駆動回路に電気的に接続され、前記第２の画素は、前記第６の配線を介して前記第１の駆動回路に電気的に接続され、前記第３の画素は、前記第１２の配線を介して前記第２の駆動回路に電気的に接続され、前記第４の画素は、前記第１３の配線を介して前記第２の駆動回路に電気的に接続され、第１の駆動回路は、第１のシフトレジスタを有し、第２の駆動回路は、第２のシフトレジスタを有し、第１のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ及び第５のトランジスタを有し、第１のトランジスタは、第１端子が第１の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第５の配線に電気的に接続され、第２のトランジスタは、第１端子が第３の配線に電気的に接続され、第２端子が第６の配線に電気的に接続され、第３のトランジスタは、第１端子が第２の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第４のトランジスタは、第１端子が第２の配線に電気的に接続され、第２端子が第６の配線に電気的に接続され、ゲート端子は、第４の配線に電気的に接続され、第５のトランジスタは、第１端子が第２の配線に電気的に接続され、第２端子が第６の配線に電気的に接続され、ゲート端子が第７の配線に電気的に接続され、第２のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第６のトランジスタ、第７のトランジスタ、第８のトランジスタ、第９のトランジスタ及び第１０のトランジスタを有し、第６のトランジスタは、第１端子が第８の配線に電気的に接続され、第２端子が第７のトランジスタのゲート端子に電気的に接続され、ゲート端子が第１２の配線に電気的に接続され、第７のトランジスタは、第１端子が第１０の配線に電気的に接続され、第２端子が第１３の配線に電気的に接続され、第８のトランジスタは、第１端子が第９の配線に電気的に接続され、第２端子が第７のトランジスタのゲート端子に電気的に接続され、ゲート端子が第１１の配線に電気的に接続され、第９のトランジスタは、第１端子が第１３の配線に電気的に接続され、第２端子が第９の配線に電気的に接続され、ゲート端子が第１１の配線に電気的に接続され、第１０のトランジスタは、第１端子が第１３の配線に電気的に接続され、第２端子が第９の配線に電気的に接続され、ゲート端子が第１４の配線に電気的に接続されていることを特徴としている。

【００３８】

なお、本発明において、第５の配線及び第１２の配線は電気的に接続され、第６の配線

及び第１３の配線は電気的に接続されていてもよい。

【００３９】

また、本発明において、第５の配線及び第１２の配線は同一の配線であり、第６の配線及び第１３の配線は同一の配線であってもよい。

【００４０】

また、本発明において、第１の配線及び第８の配線は電気的に接続され、第２の配線及び第９の配線は電気的に接続され、第３の配線及び第１０の配線は電気的に接続され、第４の配線及び第１１の配線は電気的に接続され、第７の配線及び第１４の配線は電気的に接続されていてもよい。

【００４１】

また、本発明において、第１の配線及び第８の配線は同一の配線であり、第２の配線及び第９の配線は同一の配線であり、第３の配線及び第１０の配線は同一の配線であり、第４の配線及び第１１の配線は同一の配線であり、第７の配線及び第１４の配線は同一の配線であってもよい。

【００４２】

また、本発明において、第１の配線及び第８の配線は電気的に接続され、第２の配線及び第９の配線は電気的に接続され、第３の配線及び第１０の配線は電気的に接続され、第４の配線及び第１１の配線は電気的に接続され、第５の配線及び第１２の配線は電気的に接続され、第６の配線及び第１３の配線は電気的に接続され、第７の配線及び第１４の配線は電気的に接続されていてもよい。

【００４３】

また、本発明において、第１の配線及び第８の配線は同一の配線であり、第２の配線及び第９の配線は同一の配線であり、第３の配線及び第１０の配線は同一の配線であり、第４の配線及び第１１の配線は同一の配線であり、第５の配線及び第１２の配線は同一の配線であり、第６の配線及び第１３の配線は同一の配線であり、第７の配線及び第１４の配線は同一の配線であってもよい。

【００４４】

また、本発明の液晶表示装置は、液晶素子を有する第１の画素乃至第４の画素と、第１の駆動回路と、第２の駆動回路と、第１の配線と、第２の配線と、第３の配線と、第４の配線と、第５の配線と、第６の配線と、第７の配線と、第８の配線と、第９の配線と、第１０の配線と、第１１の配線と、第１２の配線と、を有し、前記第１の画素は、前記第５の配線を介して前記第１の駆動回路に電気的に接続され、前記第２の画素は、前記第６の配線を介して前記第１の駆動回路に電気的に接続され、前記第３の画素は、前記第１１の配線を介して前記第２の駆動回路に電気的に接続され、前記第４の画素は、前記第１２の配線を介して前記第２の駆動回路に電気的に接続され、第１の駆動回路は、第１のシフトレジスタを有し、第２の駆動回路は、第２のシフトレジスタを有し、第１のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ及び第５のトランジスタを有し、第１のトランジスタは、第１端子が第５の配線に電気的に接続され、第２端子が第２のトランジスタのゲート端子に電気的に接続され、ゲート端子が第５の配線に電気的に接続され、第２のトランジスタは、第１端子が第３の配線に電気的に接続され、第２端子が第６の配線に電気的に接続され、第３のトランジスタは、第１端子が第２のトランジスタのゲート端子に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第４のトランジスタは、第１端子が第６の配線に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第４の配線に電気的に接続され、第５のトランジスタは、第１端子が第６の配線に電気的に接続され、第２端子が第２の配線に電気的に接続され、ゲート端子が第１の配線に電気的に接続され、第２のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第６のトランジスタ、第７のトランジスタ、第８のトランジスタ、第９のトランジスタ及び第１０のトランジスタを有し、第６

のトランジスタは、第１端子が第１１の配線に電気的に接続され、第２端子が第７のトランジスタのゲート端子に電気的に接続され、ゲート端子が第１１の配線に電気的に接続され、第７のトランジスタは、第１端子が第９の配線に電気的に接続され、第２端子が第１２の配線に電気的に接続され、第８のトランジスタは、第１端子が第８の配線に電気的に接続され、第２端子が第７のトランジスタのゲート端子に電気的に接続され、ゲート端子が第１０の配線に電気的に接続され、第９のトランジスタは、第１端子が第８の配線に電気的に接続され、第２端子が第１２の配線に電気的に接続され、ゲート端子が第１０の配線に電気的に接続され、第１０のトランジスタは、第１端子が第８の配線に電気的に接続され、第２端子が第１２の配線に電気的に接続され、ゲート端子が第７の配線に電気的に接続されていることを特徴としている。

【００４５】

なお、本発明において、第５の配線及び第１１の配線は電気的に接続され、第６の配線及び第１２の配線は電気的に接続されていてもよい。

【００４６】

なお、本発明において、第５の配線及び第１１の配線は同一の配線であり、第６の配線及び第１２の配線は同一の配線であってもよい。

【００４７】

なお、本発明において、第１の配線及び第７の配線は電気的に接続され、第２の配線及び第８の配線は電気的に接続され、第３の配線及び第９の配線は電気的に接続され、第４の配線及び第１０の配線は電気的に接続されていてもよい。

【００４８】

なお、本発明において、第１の配線及び第７の配線は同一の配線であり、第２の配線及び第８の配線は同一の配線であり、第３の配線及び第９の配線は同一の配線であり、第４の配線及び第１０の配線は同一の配線であってもよい。

【００４９】

なお、本発明において、第１の配線及び第７の配線は電気的に接続され、第２の配線及び第８の配線は電気的に接続され、第３の配線及び第９の配線は電気的に接続され、第４の配線及び第１０の配線は電気的に接続され、第５の配線及び第１１の配線は電気的に接続され、第６の配線及び第１２の配線は電気的に接続されていてもよい。

【００５０】

なお、本発明において、第１の配線及び第７の配線は同一の配線であり、第２の配線及び第８の配線は同一の配線であり、第３の配線及び第９の配線は同一の配線であり、第４の配線及び第１０の配線は同一の配線であり、第５の配線及び第１１の配線は同一の配線であり、第６の配線及び第１２の配線は同一の配線であってもよい。

【００５１】

なお、本発明において、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ、第５のトランジスタ、第６のトランジスタ、第７のトランジスタ、第８のトランジスタ、第９のトランジスタ及び第１０のトランジスタは、Ｎチャネル型トランジスタであってもよい。

【００５２】

なお、本発明において、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ、第５のトランジスタ、第６のトランジスタ、第７のトランジスタ、第８のトランジスタ、第９のトランジスタ及び、第１０のトランジスタは、半導体層を有し、半導体層は、アモルファスシリコンであってもよい。

【００５３】

なお、本発明において、第１のトランジスタの第２端子と、第１のトランジスタのゲート端子との間に、第１の容量素子が配置され、第６のトランジスタの第２端子と、第１のトランジスタのゲート端子との間に、第２の容量素子が配置されていてもよい。

【００５４】

本発明は、上記記載の液晶表示装置を具備する電子機器である。

【００５５】
なお、本明細書に示すスイッチは、様々な形態のものを用いることができ、一例として、電気的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、ＬＤＤ領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（Ｖｓｓ、ＧＮＤ、０Ｖなど）に近い状態で動作する場合はＮチャネル型を、反対に、ソース端子の電位が、高電位側電源（Ｖｄｄなど）に近い状態で動作する場合はＰチャネル型を用いることが望ましい。なぜなら、ゲートとソース間の電圧の絶対値を大きくできるため、スイッチとしての動作をより正確に行うことができるからである。
【００５６】
なお、Ｎチャネル型とＰチャネル型の両方を用いて、ＣＭＯＳ型のスイッチにしてもよい。ＣＭＯＳ型のスイッチにすると、ＰチャネルまたはＮチャネル型スイッチが導通すれば電流を流すことができるため、スイッチとしての動作がより正確に行うことができる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。また、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。また、スイッチとしてトランジスタを用いる場合は、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合は、導通を制御する端子を有していない場合がある。そのため、端子を制御するための配線を少なくすることが出来る。
【００５７】
なお、本明細書において、接続されているとは、電気的に接続されている場合と機能的に接続されている場合と直接接続されている場合とを含むものとする。したがって、本明細書が開示する構成において、所定の接続関係以外のものも含むものとする。例えば、ある部分とある部分との間に、電気的な接続を可能とする素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が１個以上配置されていてもよい。また、機能的な接続を可能とする回路（例えば、論理回路（インバータやＮＡＮＤ回路やＮＯＲ回路など）や信号変換回路（ＤＡ変換回路やＡＤ変換回路やガンマ補正回路など）や電位レベル変換回路（昇圧回路や降圧回路などの電源回路やＨ信号やＬ信号の電位レベルを変えるレベルシフタ回路など）や電圧源や電流源や切り替え回路や増幅回路（オペアンプや差動増幅回路やソースフォロワ回路やバッファ回路など、信号振幅や電流量などを大きく出来る回路など）や信号生成回路や記憶回路や制御回路など）が間に１個以上配置されていてもよい。あるいは、間に他の素子や他の回路を挟まずに、直接接続されて、配置されていてもよい。
【００５８】
なお、素子や回路を間に介さずに接続されている場合のみを含む場合は、直接接続されている、と記載するものとする。また、電気的に接続されている、と記載する場合は、電気的に接続されている場合（つまり、間に別の素子を挟んで接続されている場合）と機能的に接続されている場合（つまり、間に別の回路を挟んで接続されている場合）と直接接続されている場合（つまり、間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。
【００５９】

なお、表示素子や表示装置や発光素子や発光装置は、様々な形態を用いることができ、また、様々な素子を有することが出来る。例えば、表示素子や表示装置や発光素子や発光装置としては、ＥＬ素子（有機ＥＬ素子、無機ＥＬ素子又は有機物及び無機物を含むＥＬ素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（ＧＬＶ）、プラズマディスプレイ（ＰＤＰ）、デジタルマイクロミラーデバイス（ＤＭＤ）、圧電セラミックディスプレイ、またはカーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、ＥＬ素子を用いた表示装置としてはＥＬディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（ＦＥＤ）やＳＥＤ方式平面型ディスプレイ（ＳＥＤ：Ｓｕｒｆａｃｅ－ｃｏｎｄｕｃｔｉｏｎ　Ｅｌｅｃｔｒｏｎ－ｅｍｉｔｔｅｒ　Ｄｉｓｐｌｙ）など、液晶素子を用いた表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【００６０】

なお、本明細書において、トランジスタは、様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を有する薄膜トランジスタ（ＴＦＴ）などを適用することが出来る。これらにより、単結晶半導体膜を用いる場合より低い製造温度で製造できたり、低コストで製造でき、また大型基板上に製造でき、透明基板上に製造でき、光を透過させることが可能なトランジスタを製造でき、またトランジスタを用いて表示素子での光の透過を制御することが出来る。また、半導体基板やＳＯＩ基板などを用いて形成することが出来る。また、ＭＯＳ型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することが出来る。これらにより、バラツキの少ないトランジスタを製造できたり、電流供給能力の高いトランジスタを製造できたり、サイズの小さいトランジスタを製造でき、また、消費電力の少ない回路を構成することが出来る。また、ＺｎＯ、ａ－ＩｎＧａＺｎＯ、ＳｉＧｅ、ＧａＡｓなどの化合物半導体を有するトランジスタや、さらに、それらを薄膜化した薄膜トランジスタなどを適用することが出来る。これらにより、低い製造温度で製造、また室温で製造でき、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。また、インクジェットや印刷法を用いて形成したトランジスタなどを適用することが出来る。これらにより、室温で製造、また、真空度の低い状態で製造、また、大型基板で製造することができる。また、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。また、有機半導体やカーボンナノチューブを有するトランジスタ、その他のトランジスタを適用することができる。これらにより、曲げることが可能なトランジスタを形成することが出来る。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが形成されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、基板として、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板に配置するようにしてもよい。配置された別の基板としては、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。これらの基板を用いることにより、特性のよいトランジスタを形成することができ、また消費電力の小さいトランジスタを形成することができ、また壊れにくい装置とすることができ、また耐熱性を持たせることが出来る。

【００６１】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が２個以上になっているマルチゲート構造を用いてもよい。マル

チゲート構造にすると、チャネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減、また、トランジスタの耐圧を向上させて信頼性を良くすることができ、また、飽和領域で動作する時に、ドレインとソース間の電圧が変化しても、ドレインとソース間の電流があまり変化せず、フラットな特性にすることなどができる。また、チャネルの上下にゲート電極が配置されている構造でもよい。チャネルの上下にゲート電極が配置されている構造にすることにより、チャネル領域が増えるため、電流値を大きくすることができ、また、空乏層ができやすくなってＳ値を小さくすることができる。チャネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【００６２】

また、チャネルの上にゲート電極が配置されている構造、チャネルの下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャネル領域が複数の領域に分かれている構造、ゲート電極が並列に接続された構造、または直列に接続された構造にすることが可能である。また、チャネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、ＬＤＤ領域が設けられた構成とすることも可能である。ＬＤＤ領域を設けることにより、オフ電流を低減、また、トランジスタの耐圧を向上させて信頼性を良くすることができ、また、飽和領域で動作する時に、ドレインとソース間の電圧が変化しても、ドレインとソース間の電流があまり変化せず、フラットな特性にすることができる。

【００６３】

なお、本明細書におけるトランジスタは、様々なタイプを用いることができ、様々な基板上に形成させることができる。したがって、回路の全てが、ガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、ＳＯＩ基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。回路の全てが同じ基板上に形成されていることにより、部品点数を減らしてコストを低減することができ、また、回路部品との接続点数を減らして信頼性を向上させたりすることができる。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板に形成されていなくてもよい。例えば、回路の一部は、ガラス基板にトランジスタを用いて形成し、回路の別の一部は、単結晶基板に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）で接続してガラス基板に配置してもよい。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数を減らしてコストを低減することができ、また、回路部品との接続点数を減らして信頼性を向上させたりすることができる。また、駆動電圧が高い部分や駆動周波数が高い部分は、消費電力が大きくなってしまうので、そのような部分は同じ基板に形成しないようにすれば、消費電力の増加を防ぐことができる。

【００６４】

なお、本明細書においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、Ｒ（赤）Ｇ（緑）Ｂ（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Ｒの画素とＧの画素とＢの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、それ以上の数を用いても良いし、ＲＧＢ以外の色を追加しても良い。例えば、白色を加えて、ＲＧＢＷ（Ｗは白）としてもよい。また、ＲＧＢに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加したものでもよい。また、例えばＲＧＢの中の少なくとも一色について、類似した色を追加してもよい。例えば、Ｒ、Ｇ、Ｂ１、Ｂ２としても

よい。Ｂ１とＢ２とは、どちらも青色であるが、少し周波数が異なっている。このような色要素を用いることにより、より実物に近い表示を行うことができ、消費電力を低減することが出来る。また、別の例としては、１つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とする。よって、一例としては、面積階調を行う場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素とする。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。また、その場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、つまり、一つの色要素を構成する複数の画素において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。なお、一画素（三色分）と記載する場合は、ＲとＧとＢの三画素分を一画素と考える場合であるとする。一画素（一色分）と記載する場合は、一つの色要素につき、複数の画素がある場合、それらをまとめて一画素と考える場合であるとする。

【００６５】

なお、本明細書において、画素は、マトリクス状に配置（配列）されている場合を含んでいる。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、直線上に並んで配置されている場合や、ギザギザな線上に並んでいる場合を含んでいる。よって、例えば三色の色要素（例えばＲＧＢ）でフルカラー表示を行う場合に、ストライプ配置されている場合や、三つの色要素のドットがいわゆるデルタ配置されている場合も含むものとする。さらに、ベイヤー配置されている場合も含んでいる。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、ＲＧＢＷ（Ｗは白）や、ＲＧＢに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。また、色要素のドット毎にその表示領域の大きさが異なっていてもよい。これにより、消費電力を低下、また、表示素子の寿命を延ばすことが出来る。

【００６６】

なお、トランジスタとは、それぞれ、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本明細書においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第１端子、第２端子と表記する場合がある。なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第１端子、第２端子と表記する場合がある。

【００６７】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線またはゲート信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャネル領域やＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）領域などを形成する半導体膜と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。ゲート配線とは、各画素のゲート電極の間を接続、またはゲート電極と別の配線とを接続するための配線のことを言う。

【００６８】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分も存在する。そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線とオーバーラップしてチャネル領域がある場合、その領域はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【００６９】

また、ゲート電極と同じ材料で形成され、ゲート電極とつながっている領域も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線とつながっている領域も、ゲート配線と呼んでも良い。このような領域は、厳密な意味では、チャネル領域とオーバーラップしていなかったり、別のゲート電極と接続させる機能を有してなかったりする場合がある。しかし、製造時にマージンを設ける関係で、ゲート電極やゲート配線と同じ材料で形成され、ゲート電極やゲート配線とつながっている領域がある。よって、そのような領域もゲート電極やゲート配線と呼んでも良い。

【００７０】

また、例えば、マルチゲートのトランジスタにおいて、１つのトランジスタのゲート電極と、別のトランジスタのゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような領域は、ゲート電極とゲート電極とを接続させるための領域であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを１つのトランジスタであると見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極やゲート配線と同じ材料で形成され、それらとつながって配置されているものは、ゲート電極やゲート配線と呼んでも良い。また、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【００７１】

なお、ゲート端子とは、ゲート領域、またはゲート電極の一部や、またはゲート電極と電気的に接続されている領域の一部または全部のことを言う。

【００７２】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線またはソース信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、Ｐ型不純物（ボロンやガリウムなど）やＮ型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけＰ型不純物やＮ型不純物が含まれる領域、いわゆる、ＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電気的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間を接続、またはソース電極と別の配線とを接続するための配線のことを言う。

【００７３】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分も存在する。そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線とオーバーラップしてソース領域がある場合、その領域はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【００７４】

また、ソース電極と同じ材料で形成され、ソース電極とつながっている領域や、ソース電極とソース電極とを接続する部分も、ソース電極と呼んでも良い。また、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線とつながっている領域も、ソース配線と呼んでも良い。このような領域は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造時にマージン設ける関係で、ソース電極やソース配線と同じ材料で形成され、ソース電極やソース配線とつながっている領域がある。よって、そのような領域もソース電極やソース配線と呼んでも良い。

【００７５】

また、例えば、ソース電極とソース配線とを接続している部分の導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【００７６】
なお、ソース端子とは、ソース領域、またはソース電極の一部や、ソース電極と電気的に接続されている領域の一部または全部のことを言う。
【００７７】
なお、ドレインについては、ソースと同様である。
【００７８】
なお、本明細書において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、液晶素子やＥＬ素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでもよい。また、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆるチップオングラス（ＣＯＧ）で接続されたＩＣチップなどを含んでいても良い。さらに、ＩＣや抵抗素子や容量素子やインダクタやトランジスタなどが取り付けられたフレキシブルプリントサーキット（ＦＰＣ）又はプリント配線基板（ＰＷＢ）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでいても良い。さらに、バックライトユニット（導光板やプリズムシートや拡散シートや反射シートや光源（ＬＥＤや冷陰極管など）を含んでいても良い）を含んでいても良い。また、発光装置とは、特にＥＬ素子やＦＥＤで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。
【００７９】
なお、本明細書において、ある物の上に形成されている、あるいは、～上に形成されている、というように、～の上に、あるいは、～上に、という記載については、ある物の上に直接接していることに限定されない。直接接してはいない場合、つまり、間に別のものが挟まっている場合も含むものとする。従って例えば、層Ａの上に（もしくは層Ａ上に）、層Ｂが形成されている、という場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄなど）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。また、～の上方に、という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って例えば、層Ａの上方に、層Ｂが形成されている、という場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄなど）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、～の下に、あるいは、～の下方に、の場合についても、同様であり、直接接している場合と、接していない場合とを含むこととする。
【発明の効果】
【００８０】
本発明により、トランジスタの特性劣化を抑制することができる。そのため、トランジスタの特性劣化が原因のシフトレジスタの誤動作を防止することができる。また、シフトレジスタの誤動作が原因の液晶表示装置の表示不良を抑制することができる。
【図面の簡単な説明】
【００８１】
【図１】実施の形態１を説明する図。
【図２】実施の形態１を説明する図。
【図３】実施の形態１を説明する図。
【図４】実施の形態１を説明する図。
【図５】実施の形態１を説明する図。
【図６】実施の形態１を説明する図。
【図７】実施の形態１を説明する図。
【図８】実施の形態１を説明する図。

【図９】実施の形態１を説明する図。
【図１０】実施の形態１を説明する図。
【図１１】実施の形態１を説明する図。
【図１２】実施の形態１を説明する図。
【図１３】実施の形態２を説明する図。
【図１４】実施の形態２を説明する図。
【図１５】実施の形態２を説明する図。
【図１６】実施の形態２を説明する図。
【図１７】実施の形態２を説明する図。
【図１８】実施の形態２を説明する図。
【図１９】実施の形態３を説明する図。
【図２０】実施の形態３を説明する図。
【図２１】実施の形態３を説明する図。
【図２２】実施の形態３を説明する図。
【図２３】実施の形態４を説明する図。
【図２４】実施の形態４を説明する図。
【図２５】実施の形態４を説明する図。
【図２６】実施の形態４を説明する図。
【図２７】実施の形態５を説明する図。
【図２８】実施の形態５を説明する図。
【図２９】実施の形態５を説明する図。
【図３０】実施の形態５を説明する図。
【図３１】実施の形態５を説明する図。
【図３２】実施の形態６を説明する図。
【図３３】実施の形態６を説明する図。
【図３４】実施の形態６を説明する図。
【図３５】実施の形態６を説明する図。
【図３６】実施の形態７を説明する図。
【図３７】実施の形態７を説明する図。
【図３８】実施の形態７を説明する図。
【図３９】実施の形態７を説明する図。
【図４０】実施の形態８を説明する図。
【図４１】実施の形態８を説明する図。
【図４２】実施の形態８を説明する図。
【図４３】実施の形態８を説明する図。
【図４４】実施の形態１を説明する図。
【図４５】実施の形態１を説明する図。
【図４６】実施の形態９を説明する図。
【図４７】実施の形態９を説明する図。
【図４８】実施の形態９を説明する図。
【図４９】実施の形態９を説明する図。
【図５０】実施の形態９を説明する図。
【図５１】実施の形態９を説明する図。
【図５２】実施の形態９を説明する図。
【図５３】実施の形態９を説明する図。
【図５４】実施の形態９を説明する図。
【図５５】実施の形態９を説明する図。
【図５６】実施の形態１１を説明する図。
【図５７】実施の形態１１を説明する図。
【図５８】実施の形態１１を説明する図。

【図５９】実施の形態１１を説明する図。
【図６０】実施の形態１１を説明する図。
【図６１】実施の形態１２を説明する図。
【図６２】実施の形態１２を説明する図。
【図６３】実施の形態１３を説明する図。
【図６４】実施の形態１２を説明する図。
【図６５】実施の形態１０を説明する図。
【図６６】実施の形態１０を説明する図。
【図６７】実施の形態１０を説明する図。
【図６８】実施の形態１０を説明する図。
【図６９】実施の形態１０を説明する図。
【図７０】実施の形態１０を説明する図。
【図７１】実施の形態１０を説明する図。
【図７２】実施の形態１０を説明する図。
【図７３】実施の形態１０を説明する図。
【図７４】実施の形態１０を説明する図。
【図７５】実施の形態１４を説明する図。
【図７６】実施の形態１４を説明する図。
【図７７】実施の形態１４を説明する図。
【図７８】実施の形態１４を説明する図。
【図７９】実施の形態１４を説明する図。
【図８０】実施の形態１４を説明する図。
【図８１】実施の形態１４を説明する図。
【図８２】実施の形態１４を説明する図。
【図８３】実施の形態１４を説明する図。
【図８４】実施の形態１４を説明する図。
【図８５】実施の形態１５を説明する図。
【図８６】実施の形態１７を説明する図。
【図８７】実施の形態１８を説明する図。
【図８８】実施の形態１８を説明する図。
【図８９】実施の形態１８を説明する図。
【図９０】実施の形態１９を説明する図。
【図９１】実施の形態２０を説明する図。
【図９２】実施の形態１を説明する図。
【図９３】実施の形態２２を説明する図。
【図９４】実施の形態２３を説明する図。
【図９５】実施の形態２３を説明する図。
【図９６】実施の形態２３を説明する図。
【図９７】実施の形態２３を説明する図。
【図９８】実施の形態２３を説明する図。
【図９９】実施の形態２３を説明する図。
【図１００】実施の形態１４を説明する図。
【図１０１】実施の形態１４を説明する図。
【図１０２】実施の形態１７を説明する図。
【図１０３】実施の形態２１を説明する図。
【図１０４】実施の形態１６を説明する図。
【図１０５】実施の形態１６を説明する図。

【発明を実施するための形態】

【００８２】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの

異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

【００８３】

（実施の形態１）

本実施の形態は、本発明の表示装置のシフトレジスタの基本構成について、図面を参照して説明する。図１は、シフトレジスタが有する複数のフリップフロップのうち、ある１段（例えば１段目）のフリップフロップを示している。図１に示すフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４を有する。なお、フリップフロップは、第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線１１４、第５の配線１１５及び第６の配線１１６に接続されている。本実施の形態において、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４はＮチャネル型トランジスタとし、そのゲートとソース間の電圧（Ｖｇｓ）がしきい値電圧（Ｖｔｈ）を上回ったとき、導通状態になるものとする。なお、第１の配線１１１及び第２の配線１１２を、それぞれ第１の電源線、第２の電源線と呼んでもよい。また、第３の配線１１３及び第４の配線１１４を、それぞれ第１の信号線、第２の信号線と呼んでもよい。

【００８４】

第１のトランジスタ１０１の第１端子（ソース端子及びドレイン端子の一方）は第１の配線１１１に接続され、第２端子（ソース端子及びドレイン端子の他方）は第２のトランジスタ１０２のゲート端子に接続され、ゲート端子は第５の配線１１５に接続されている。第３のトランジスタ１０３の第１端子は第２の配線１１２に接続され、第２端子は第２のトランジスタ１０２のゲート端子に接続され、ゲート端子は第４の配線１１４に接続されている。第２のトランジスタ１０２の第１端子は第６の配線１１６に接続され、第２端子は第３の配線１１３に接続されている。第４のトランジスタ１０４の第１端子は第６の配線１１６に接続され、第２端子は第２の配線１１２に接続され、ゲート端子は第４の配線１１４に接続されている。なお、第１のトランジスタ１０１の第２端子と、第２のトランジスタ１０２のゲート端子と、第３のトランジスタ１０３の第１端子との接続箇所をノード１２１とする。

【００８５】

なお、第３のトランジスタ１０３の第２端子及び第４のトランジスタ１０４の第２端子は、第２の配線１１２に接続されていることに限定されず、別々の配線に接続されていてもよい。また、第３のトランジスタ１０３のゲート端子及び第４のトランジスタ１０４のゲート端子は第４の配線１１４に接続されているとは限定されず、別々の配線に接続されていてもよい。

【００８６】

次に、図１で示したフリップフロップの動作について、図２のタイミングチャート及び図３を参照して説明する。なお、図２において、セット期間、選択期間、非選択期間について説明する。なお、非選択期間は、第１の非選択期間、第２の非選択期間及び第３の非選択期間に分割され、第１の非選択期間、第２の非選択期間及び第３の非選択期間を順に繰り返している。

【００８７】

なお、第１の配線１１１にはＶ１の電位が、第２の配線１１２にはＶ２の電位が供給されている。ただし、Ｖ１＞Ｖ２とする。

【００８８】

ただし、第１の配線１１１にはＶ１の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。また、第２の配線１１２にはＶ２の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。

【００８９】

なお、第３の配線１１３、第４の配線１１４及び第５の配線１１５には信号が入力されている。第３の配線１１３に入力される信号は第１のクロック信号であり、第４の配線１１４に入力される信号は第２のクロック信号であり、第５の配線１１５に入力される信号はスタート信号である。また、第３の配線１１３、第４の配線１１４及び第５の配線１１５に入力される信号は、Ｈ信号の電位がＶ１（以下、Ｈレベルともいう）、Ｌ信号の電位がＶ２（以下、Ｌレベルともいう）のデジタル信号である。

【００９０】

ただし、第３の配線１１３には第１のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。また、第４の配線１１４には第２のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。また、第５の配線１１５にはスタート信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。

【００９１】

また、第３の配線１１３、第４の配線１１４及び第５の配線１１５に入力される信号のＨ信号の電位はＶ１、Ｌ信号の電位はＶ２とは限定されず、Ｈ信号の電位がＬ信号の電位よりも高ければ、それらの電位は特に限定されない。

【００９２】

なお、第６の配線１１６からは信号が出力される。第６の配線１１６から出力される信号は、フリップフロップの出力信号であり、次の段のフリップフロップのスタート信号でもある。また、第６の配線１１６から出力される信号は、次の段のフリップフロップの第５の配線１１５に入力される。また、第６の配線１１６から出力される信号は、Ｈ信号の電位がＶ１（以下、Ｈレベルともいう）、Ｌ信号の電位がＶ２（以下、Ｌレベルともいう）のデジタル信号である。

【００９３】

図２において、信号２１３は第３の配線１１３に入力される信号であり、信号２１４は第４の配線１１４に入力される信号であり、信号２１５は第５の配線１１５に入力される信号であり、信号２１６は第６の配線１１６から出力される信号である。また、電位２２１は図１のノード１２１の電位である。

【００９４】

まず、図２の期間Ａ及び図３（Ａ）に示すセット期間では、信号２１３がＬレベルであり、信号２１４がＬレベルになり、信号２１５がＨレベルとなる。したがって、第３のトランジスタ１０３及び第４のトランジスタ１０４はオフとなり、第１のトランジスタ１０１はオンとなる。このとき、第１のトランジスタ１０１の第２端子がソース端子となり、ノード１２１の電位（電位２２１）は第５の配線１１５の電位から第１のトランジスタ１０１のしきい値電圧（Ｖｔｈ１０１）を引いた値になるため、Ｖ１－Ｖｔｈ１０１となる。よって、第２のトランジスタ１０２はオンとなり、第６の配線１１６の電位は第３の配線１１３の電位と等しくなるためＶ２となる。このように、セット期間では、フリップフロップは第２のトランジスタ１０２をオンしたまま、Ｌレベルを第６の配線１１６から出力する。

【００９５】

図２の期間Ｂ及び図３（Ｂ）に示す選択期間では、信号２１３がＨレベルとなり、信号２１４がＬレベルのままであり、信号２１５がＬレベルとなる。したがって、第３のトランジスタ１０３及び第４のトランジスタ１０４はオフのままであり、第１のトランジスタ１０１はオフとなる。このとき、第２のトランジスタ１０２の第２端子がソース端子となり、第６の配線１１６の電位が上昇し始める。ノード１２１の電位（電位２２１）は、ノード１２１が浮遊状態（以下、フローティング状態ともいう）となっているため、第２のトランジスタ１０２のゲート端子と第２端子との間の寄生容量の容量結合により第６の配線１１６の電位と同時に上昇する（ブートストラップ動作ともいう）。よって、第２のトランジスタ１０２のゲートとソース間の電圧ＶｇｓはＶｔｈ１０２＋α（Ｖｔｈ１０２：第

２のトランジスタ１０２のしきい値電圧、α：任意の正の数）となり、第６の配線１１６の電位はＨレベル（Ｖ１）となる。このように、選択期間では、フリップフロップはノード１２１の電位をＶ１＋Ｖｔｈ１０２＋αにすることによって、Ｈレベルを第６の配線１１６から出力することができる。

【００９６】

図２の期間Ｃ及び図３（Ｃ）に示す第１の非選択期間では、信号２１３がＬレベルとなり、信号２１４がＨレベルとなり、信号２１５がＬレベルのままである。したがって、第３のトランジスタ１０３及び第４のトランジスタ１０４がオンとなり、第１のトランジスタ１０１はオフのままである。ノード１２１及び第６の配線１１６は、それぞれ第３のトランジスタ１０３、第４のトランジスタ１０４を介して第２の配線１１２の電位が供給されるためＬレベルとなる。

【００９７】

図２の期間Ｄ及び図３（Ｄ）に示す第２の非選択期間では、信号２１３がＬレベルのままであり、信号２１４がＬレベルとなり、信号２１５がＬレベルのままである。したがって、第３のトランジスタ１０３及び第４のトランジスタ１０４がオフとなり、第１のトランジスタ１０１はオフのままである。したがって、ノード１２１及び第６の配線１１６はＬレベルを維持する。

【００９８】

図２の期間Ｅ及び図３（Ｅ）に示す第３の非選択期間では、信号２１３がＨレベルとなり、信号２１４がＬレベルのままであり、信号２１５がＬレベルのままである。したがって、第１のトランジスタ１０１、第３のトランジスタ１０３及び第４のトランジスタ１０４がオフのままである。したがって、ノード１２１及び第６の配線１１６はＬレベルを維持する。

【００９９】

以上のことから、図１のフリップフロップは、第３のトランジスタ１０３及び第４のトランジスタ１０４は第１の非選択期間のみでオンとなるため、第３のトランジスタ１０３及び第４のトランジスタ１０４の特性劣化（しきい値電圧のシフト）を抑制することができる。なお、図１のフリップフロップは、第１のトランジスタ１０１及び第２のトランジスタ１０２はそれぞれセット期間のみ、セット期間及び選択期間のみでオンとなるため、第１のトランジスタ１０１及び第２のトランジスタ１０２の特性劣化も抑制することができる。

【０１００】

さらに、図１のフリップフロップは、非選択期間のうち、第１の非選択期間においてノード１２１及び第６の配線１１６にＶ２が供給されるためフリップフロップの誤動作を抑制することができる。なぜなら、非選択期間において、一定期間毎（第１の非選択期間）にノード１２１及び第６の配線１１６にＶ２が供給されており、ノード１２１及び第６の配線１１６の電位を安定してＶ２に維持することができるからである。

【０１０１】

なお、図１のフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４が全てＮチャネル型トランジスタで構成されていることを特徴とする。したがって、図１のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【０１０２】

また、図１のフリップフロップは、トランジスタの半導体層として特性劣化（しきい値電圧のシフト）が顕著に表れるアモフファスシリコンを用いても、トランジスタの特性劣化を抑制することができるため、長寿命な表示パネルなどの半導体装置を作製することがで

きる。

【０１０３】

ここで、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４が有する機能を説明する。第１のトランジスタ１０１は、第１の配線１１１の電位を供給するタイミングを選択する機能を有し、入力用トランジスタとして機能する。第２のトランジスタ１０２は、第３の配線１１３の電位を第６の配線１１６に供給するタイミングを選択し、ノード１２１の電位をブートストラップ動作によって上昇させる機能を有し、ブートストラップ用トランジスタとして機能する。第３のトランジスタ１０３は、第２の配線１１２の電位をノード１２１に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第４のトランジスタ１０４は、第２の配線１１２の電位を第６の配線１１６に供給する機能を有し、スイッチングトランジスタとして機能する。

【０１０４】

なお、図１と同様の動作を行うものであれば、トランジスタの配置及び数などは図１に限定されない。図１のフリップフロップの動作を説明した図３から分かるように、本実施の形態では、セット期間、選択期間、第１の非選択期間、第２の非選択期間及び第３の非選択期間は、それぞれ図３（Ａ）乃至（Ｅ）に示す実線のように導通がとれていればよい。よって、これを満たすようにトランジスタ等を配置し、動作させうる構成であれば、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【０１０５】

例えば、図４に示すように、図１に示した第２のトランジスタ１０２のゲート端子と第２端子との間に容量素子４０１を配置してもよい。容量素子４０１を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第２のトランジスタ１０２のゲート端子と第２端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子４０１は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１０６】

図５のフリップフロップにおいても、図１と同様の動作を行うことができる。図５に示すように、図１に示した第１のトランジスタ１０１がダイオード接続となっていてもよい。第１のトランジスタ１０１がダイオード接続されることによって、第１の配線１１１が不要になり、配線及び電源（Ｖ１）を１つずつ減らすことができる。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１０７】

続いて、上述した本実施の形態のフリップフロップを有するシフトレジスタについて図６を参照して説明する。

【０１０８】

シフトレジスタは、第１の配線６１１、第２の配線６１２、第３の配線６１３、第４の配線６１４、第５の配線６１５、第６の配線６１６、配線６２２＿１～６２２＿ｎ及びｎ個（ｎ段）のフリップフロップ６０１＿１～６０１＿ｎを有する。そして、１＋３Ｎ段目（Ｎ：０若しくは正の整数）のフリップフロップ６０１は第１の配線６１１、第２の配線６１２、第３の配線６１３及び第４の配線６１４に接続されている。２＋３Ｎ段目のフリップフロップ６０１は第１の配線６１１、第２の配線６１２、第４の配線６１４及び第５の配線６１５に接続されている。３＋３Ｎ段目のフリップフロップ６０１は第１の配線６１１、第２の配線６１２、第５の配線６１５及び第３の配線６１３に接続されている。また、例えばｉ段目のフリップフロップ６０１＿ｉ（フリップフロップ６０１＿１～６０１＿

ｎのうちいずれか一）のうち、フリップフロップ６０１＿２～フリップフロップ６０１＿ｎ－１は、ｉ－１段目のフリップフロップ６０１＿ｉ－１及びｉ＋１段目のフリップフロップ６０１＿ｉ＋１に接続され、ｉ段目のフリップフロップ６０１＿ｉとｉ＋１段目のフリップフロップ６０１＿ｉ＋１との接続箇所は配線６２２＿ｉ（配線６２２＿１～６２２＿ｎのうちいずれか一）に接続されている。なお、１段目のフリップフロップ６０１＿１は第６の配線６１６と２段目のフリップフロップ６０１＿２に接続され、１段目のフリップフロップ６０１＿１と２段目のフリップフロップ６０１＿２との接続箇所は配線６２２＿１に接続されている。なお、ｎ段目のフリップフロップ６０１＿ｎはｎ－１段目のフリップフロップ６０１＿ｎ－１と配線６２２＿ｎに接続されている。

【０１０９】

なお、１＋３Ｎ段目のフリップフロップ６０１では、第１の配線６１１、第２の配線６１２、第３の配線６１３、第４の配線６１４は、それぞれ図１の第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線１１４に接続されている。２＋３Ｎ段目のフリップフロップ６０１では、第１の配線６１１、第２の配線６１２、第４の配線１１４、第５の配線６１５は、それぞれ図１の第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線１１４に接続されている。３＋３Ｎ段目のフリップフロップ６０１では、第１の配線６１１、第２の配線６１２、第５の配線６１５、第３の配線６１３は、それぞれ図１の第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線６１４に接続されている。また、例えばｉ段目のフリップフロップ６０１＿ｉのうち、フリップフロップ６０１＿２～フリップフロップ６０１＿ｎ－１の図１に示す第５の配線１１５及び第６の配線１１６は、それぞれｉ－１段目のフリップフロップ６０１＿ｉ－１の図１に示す第６の配線１１６、ｉ＋１段目のフリップフロップ６０１＿ｉ＋１の図１に示す第５の配線１１５に接続されている。なお、１段目のフリップフロップ６０１＿１の図１に示す第５の配線１１５及び第６の配線１１６は、それぞれ図６の第６の配線６１６、２段目のフリップフロップ６０１＿２の図１に示す第５の配線１１５に接続されている。なお、ｎ段目のフリップフロップ６０１＿ｎの図１に示す第５の配線１１５及び第６の配線１１６は、それぞれｎ－１段目のフリップフロップ６０１＿ｎ－１の図１に示す第６の配線１１６、図６の配線６２２＿ｎに接続されている。

【０１１０】

次に、図６に示したシフトレジスタの上面図の一形態を図９２に示す。なお、図９２に示すシフトレジスタは、図１のフリップフロップを用いた場合のシフトレジスタであり、ｎ段目のフリップフロップ６０１＿ｎ及びｎ＋１段目のフリップフロップ６０１＿ｎ＋１を示す。図９２のシフトレジスタが有するフリップフロップには、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４が配置されている。そして、図９２のシフトレジスタが有するフリップフロップそれぞれは、第１の配線６１１、第２の配線６１２、第３の配線６１３、第４の配線６１４及び第５の配線６１５に接続されている。なお、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４は、逆スタガ型のトランジスタ構造であり、チャネルエッチ型の場合について説明する。ただし、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４は、チャネル保護型でもよい。また、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４は、トップゲート型のトランジスタとしてもよい。

【０１１１】

また、図９２に示すシフトレジスタのレイアウト図は、第１の導電膜９２０１、半導体層９２０２、コンタクト９２０３及び第２の導電膜９２０４によって構成されている。なお、第１の導電膜９２０１はゲート電極として機能する。半導体層９２０２は不純物を含まない真性の非結晶半導体膜である。コンタクト９２０３は、第１の導電膜９２０１と第２の導電膜９２０４とを電気的に接続するために機能する。

【０１１２】

図９２のシフトレジスタは、第１の配線６１１の配線幅を第３の配線６１３の配線幅、第４の配線６１４の配線幅及び第５の配線６１５の配線幅よりも小さくすることができる。なぜなら、第１の配線６１１に流れる電流は第３の配線６１３、第４の配線６１４及び第５の配線６１５に比べて小さいため、第１の配線６１１の配線幅を小さくしてもシフトレジスタの動作への影響は少ないからである。同様に、図９２のシフトレジスタは、第２の配線６１２の配線幅を第３の配線６１３の配線幅、第４の配線６１４の配線幅及び第５の配線６１５の配線幅よりも小さくすることができる。ただし、第２の配線６１２に流れる電流は第１の配線６１１に流れる電流よりも大きいため、第２の配線６１２の配線幅は第１の配線６１１の配線幅よりも大きいことが望ましい。したがって、図９２のシフトレジスタは、１段分のフリップフロップのピッチを小さくできる。また、図９２のシフトレジスタは、各トランジスタを効率的に配置できる。また、図９２のシフトレジスタは、各トランジスタのチャネル幅を大きくすることができる。

【０１１３】

また、図９２のシフトレジスタは、第２のトランジスタ１０２のチャネル幅を大きくすることで、ブートストラップ動作をより容易に行なうことができる。なぜなら、第２のトランジスタ１０２のチャネル幅が大きいため、第２のトランジスタ１０２のゲート端子と第２端子との間の寄生容量が大きくなるからである。また、図９２のシフトレジスタは、第２のトランジスタ１０２のチャネル幅を大きくすることで、高い駆動能力を得ることができる。なぜなら、第２のトランジスタ１０２のチャネル幅が大きいため、第２のトランジスタ１０２の電流供給能力が大きくなるからである。なお、すでに述べたように、図９２のシフトレジスタは第１の配線６１１及び第２の配線６１２の配線幅を小さくして、各トランジスタを配置できる面積を大きくできる。その場合、図９２のシフトレジスタは第２のトランジスタ１０２のチャネル幅を優先的に大きくすることでより高い駆動能力を得ることができる。したがって、第２のトランジスタのチャネル幅は、第１のトランジスタ１０１のチャネル幅、第３のトランジスタ１０３のチャネル幅、第４のトランジスタ１０４のチャネル幅よりも大きくすることが望ましい。

【０１１４】

また、図９２のシフトレジスタは、第２のトランジスタ１０２のチャネル形状をＵ字型にすることで、第２のトランジスタ１０２のチャネル幅を大きくすることができる。

【０１１５】

なお、図９２に示したレイアウト図の特徴は、他のシフトレジスタにも適用することができる。

【０１１６】

次に、図６に示したシフトレジスタの動作について、図７のタイミングチャートを参照して説明する。

【０１１７】

なお、第１の配線６１１にはＶ１の電位が、第２の配線６１２にはＶ２の電位が供給されている。ただし、Ｖ１＞Ｖ２とする。

【０１１８】

ただし、第１の配線６１１にはＶ１の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。また、第２の配線６１２にはＶ２の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。

【０１１９】

なお、第３の配線６１３、第４の配線６１４、第５の配線６１５、第６の配線６１６には信号が入力されている。第３の配線６１３、第４の配線６１４、第５の配線６１５に入力される信号は位相が１２０度ずつずれた３相のクロック信号である。第６の配線６１６に入力される信号はスタート信号である。また、第３の配線６１３、第４の配線６１４、第５の配線６１５、第６の配線６１６に入力される信号は、Ｈ信号の電位がＶ１、Ｌ信号の電位がＶ２のデジタル信号である。

【０１２０】
ただし、第３の配線６１３、第４の配線６１４及び第５の配線６１５にはそれぞれ位相が１２０度ずつずれた３相のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。また、第６の配線６１６にはスタート信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。
【０１２１】
また、第３の配線６１３、第４の配線６１４、第５の配線６１５及び第６の配線６１６に入力される信号のH信号の電位はＶ１、Ｌ信号の電位はＶ２とは限定されず、H信号の電位がＬ信号の電位よりも高ければ、その電位は特に限定されない。
【０１２２】
なお、配線６２２からは信号が出力される。例えば、配線６２２＿ｉ（ｉは任意の正の数）から出力される信号は、ｉ段目のフリップフロップ６０１＿ｉの出力信号であり、ｉ＋１段目のフリップフロップ６０１＿ｉ＋１入力信号でもある。
【０１２３】
図７において、信号７１６は第６の配線６１６に入力される信号を示している。また、信号７２２＿１、信号７２２＿ｉ、信号７２２＿ｉ＋１、信号７２２＿ｎは、それぞれ１段目、ｉ段目、ｉ＋１段目、ｎ段目の配線６２２から出力される信号（配線６２２の電位）を示している。
【０１２４】
図７に示すように、例えば、ｉ段目のフリップフロップ６０１＿ｉが選択期間になると配線６２２＿ｉにH信号（７２２＿ｉ）を出力する。このとき、ｉ＋１段目のフリップフロップ６０１＿ｉ＋１はセット期間となり配線６２２＿ｉ＋１にＬ信号を出力する。その後、ｉ段目のフリップフロップ６０１＿ｉは第１の非選択期間となり配線６２２＿ｉにＬ信号を出力する。このとき、ｉ＋１段目のフリップフロップ６０１＿ｉ＋１は選択期間となり配線６２２＿ｉ＋１にH信号を出力する。その後、ｉ段目のフリップフロップ６０１＿ｉは第２の非選択期間となり配線６２２＿ｉはＬレベルを維持したまま浮遊状態となる。このとき、ｉ＋１段目のフリップフロップ６０１＿ｉ＋１は第１の非選択期間となり配線６２２＿ｉ＋１にＬ信号を出力する。その後、ｉ段目のフリップフロップ６０１＿ｉは第３の非選択期間となり配線６２２＿ｉはＬレベルを維持したまま浮遊状態のままである。このとき、ｉ＋１段目のフリップフロップ６０１＿ｉ＋１は第２の非選択期間となり配線６２２＿ｉ＋１はＬレベルを維持したまま浮遊状態となる。その後は、ｉ段目のフリップフロップ６０１＿ｉは、次のセット期間まで第１の非選択期間、第２の非選択期間、第３の非選択期間を順に繰り返す。同様に、ｉ＋１段目のフリップフロップ６０１＿ｉ＋１は、次のセット期間（ｉ段目のフリップフロップ６０１＿ｉの選択期間）まで、第３の非選択期間、第１の非選択期間、第２の非選択期間を順に繰り返す。
【０１２５】
以上のことから、図６のシフトレジスタは、３相のクロック信号を用いることができるため、立ち上がりまたは立ち下がりの回数を減らすことができ、省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第３の配線６１３、第４の配線６１４、第５の配線６１５）に接続されているフリップフロップ６０１の段数が単相のクロック信号を用いた場合の２／３になるため、各クロック信号線の負荷を小さくすることができる。
【０１２６】
なお、図６のシフトレジスタは、各段のフリップフロップ６０１の出力信号をバッファを介して、それぞれ各段の配線６２２に出力してもよく、このような構成を図８に示す。図８のシフトレジスタは、各段のフリップフロップ６０１がバッファ８０１を介してそれぞれ各段の配線６２２に接続されているため、動作時における広いマージンを得ることができる。なぜなら、配線６２２に大きな負荷が接続され、配線６２２の信号に遅延や波形のなまりが生じても、シフトレジスタの動作に影響しないからである。なお、バッファ８０

１はインバータや、ＮＡＮＤ、ＮＯＲなどの論理回路や、オペアンプなどや、これらを組み合わせた回路を用いることができる。

【０１２７】

続いて、上述した本実施の形態のシフトレジスタを有する表示装置について図９を参照して説明する。

【０１２８】

表示装置は、信号線駆動回路９０１、走査線駆動回路９０２及び画素部９０３を有し、画素部９０３は、信号線駆動回路９０１から列方向に伸張して配置された複数の信号線Ｓ１～Ｓｍ、走査線駆動回路９０２から行方向に伸張して配置された複数の走査線Ｇ１～Ｇｎ及び信号線Ｓ１～Ｓｍ並びに走査線Ｇ１～Ｇｎに対応してマトリクス状に配置された複数の画素９０４を有する。そして、各画素９０４は、信号線Ｓｊ（信号線Ｓ１～Ｓｍのうちいずれか一）、走査線Ｇｉ（走査線Ｇ１～Ｇｎのうちいずれか一）と接続されている。

【０１２９】

なお、走査線Ｇ１～Ｇｎは、図６及び図８の配線６２２＿１～６２２＿ｎに相当する。

【０１３０】

なお、配線や電極は、アルミニウム（Ａｌ）、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、ネオジウム（Ｎｄ）、クロム（Ｃｒ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、金（Ａｕ）、銀（Ａｇ）、銅（Ｃｕ）、マグネシウム（Ｍｇ）、スカンジウム（Ｓｃ）、コバルト（Ｃｏ）、亜鉛（Ｚｎ）、ニオブ（Ｎｂ）、シリコン（Ｓｉ）、リン（Ｐ）、ボロン（Ｂ）、ヒ素（Ａｓ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）、錫（Ｓｎ）、及び酸素（Ｏ）から選ばれた一つ又は複数の元素、もしくは、群から選ばれた一つ又は複数の元素を成分とする化合物や合金材料（例えば、インジウム錫酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ）、酸化珪素を添加したインジウム錫酸化物（ＩＴＳＯ）、酸化亜鉛（ＺｎＯ）、アルミネオジウム（Ａｌ－Ｎｄ）、マグネシウム銀（Ｍｇ－Ａｇ）など）、もしくは、これらの化合物を組み合わせた物質などを有して形成される。もしくは、それらとシリコンの化合物（シリサイド）（例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど）や、それらと窒素の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン等）を有して形成される。なお、シリコン（Ｓｉ）には、ｎ型不純物（リンなど）やｐ型不純物（ボロンなど）を多く含んでいてもよい。これらの不純物を含むことにより、導電率が向上、また、通常の導体と同様の振る舞いをするので、配線や電極として利用しやすくなる。なお、シリコンは、単結晶でもよいし、多結晶（ポリシリコン）でもよいし、非晶質（アモルファスシリコン）でもよい。単結晶シリコンや多結晶シリコンを用いることにより、抵抗を小さくすることが出来る。また、非晶質シリコンを用いることにより、簡単な製造工程で作ることが出来る。なお、アルミニウムや銀は、導電率が高いため、信号遅延を低減することができ、また、エッチングしやすいので、パターニングしやすく、微細加工を行うことが出来る。なお、銅は、導電率が高いため、信号遅延を低減することが出来る。なお、モリブデンは、ＩＴＯやＩＺＯなどの酸化物半導体や、シリコンと接触しても、材料の不良などの問題が生じることなく製造できたり、パターニングやエッチングがしやすく、また、耐熱性が高いため、望ましい。なお、チタンは、ＩＴＯやＩＺＯなどの酸化物半導体や、シリコンと接触しても、材料の不良などの問題が生じることなく製造できたり、耐熱性が高いため、望ましい。なお、タングステンは、耐熱性が高いため、望ましい。なお、ネオジウムは、耐熱性が高いため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなるため、望ましい。なお、シリコンは、トランジスタが有する半導体層と同時に形成できたり、耐熱性が高いため、望ましい。なお、インジウム錫酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ）、酸化珪素を添加したインジウム錫酸化物（ＩＴＳＯ）、酸化亜鉛（ＺｎＯ）、シリコン（Ｓｉ）は、透光性を有しているため、光を透過させるような部分に用いることができるため、望ましい。たとえば、画素電極や共通電極として用いることができる。

【０１３１】

なお、これらが単層で配線や電極を形成していてもよいし、多層構造になっていてもよい。単層構造で形成することにより、製造工程を簡略化することができ、工程時間を少なくでき、コストを低減することが出来る。また、多層構造にすることにより、それぞれの材料のメリットを生かし、一の材料のデメリットを、他の材料を用いることにより低減させ、性能の良い配線や電極を形成することが出来る。たとえば、抵抗の低い材料（アルミニウムなど）を多層構造の中に含むようにすることにより、配線の低抵抗化を図ることができる。また、耐熱性が高い材料を含むようにすれば、例えば、耐熱性が弱いが、別のメリットを有する材料を、耐熱性が高い材料で挟むような積層構造にすることにより、配線や電極全体として、耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデンやチタンを含む層で挟んだような形にした積層構造にすると望ましい。また、別の材料の配線や電極などと直接接するような部分がある場合、お互いに悪影響を及ぼすことがある。例えば、一方の材料が他方の材料の中に入っていって、性質を変えてしまい、本来の目的を果たせなくなったり、製造するときに、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、ある層を別の層で挟んだり、覆ったりすることにより、問題を解決することが出来る。例えば、インジウム錫酸化物（ＩＴＯ）と、アルミニウムを接触させたい場合は、間に、チタンやモリブデンを挟むことが望ましい。また、シリコンとアルミニウムを接触させたい場合は、間に、チタンやモリブデンを挟むことが望ましい。

【０１３２】

なお、上記説明した配線や電極は、他の表示装置並びにシフトレジスタにも適用することが出来る。

【０１３３】

なお、信号線駆動回路９０１は、信号線Ｓ１～Ｓｍにビデオ信号に応じた電位若しくは電流を入力する。また、信号線駆動回路９０１は、画素部９０３と同一基板上に形成される必要はなく、ＩＣなどの単結晶基板上に形成されていてもよいし、一部を画素部９０３と同一基板上に形成され、残りの部分をＩＣなどの単結晶基板に形成してもよい。

【０１３４】

なお、走査線駆動回路９０２は、走査線Ｇ１～Ｇｎに信号を入力し、走査線Ｇ１～Ｇｎを１行目から順に選択（以下、走査するともいう）する。そして、選択された走査線に接続されている複数の画素９０４も同時に選択される。なお、１つの走査線が選択されている期間を１ゲート選択期間と呼び、１つの走査線が選択されていない期間を非選択期間と呼ぶ。また、走査線駆動回路９０２は図６又は図８に示したシフトレジスタを適用することができる。また、走査線駆動回路９０２は、画素部９０３と同一基板上に形成されていることを特徴とする。

【０１３５】

なお、画素９０４は、選択されている場合には信号線駆動回路９０１から信号線を介してビデオ信号に応じた電位若しくは電流が入力される。ただし、選択されていない場合にはビデオ信号に応じた電位若しくは電流は入力されない。

【０１３６】

次に、図９に示した表示装置の動作について、図１０のタイミングチャートを参照して説明する。なお、図１０において、１画面分の画像を表示する期間に相当する１フレーム期間を示す。なお、１フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカー）を感じないように１／６０秒以下とすることが好ましい。

【０１３７】

なお、図１０のタイミングチャートでは、１行目の走査線Ｇ１、ｉ行目の走査線Ｇｉ、ｉ＋１行目の走査線Ｇｉ＋１及びｎ行目の走査線Ｇｎがそれぞれ選択されるタイミングを示している。

【０１３８】

図１０において、例えばｉ行目の走査線Ｇｉが選択され、走査線Ｇｉに接続されている複数の画素９０４が選択される。そして、走査線Ｇｉに接続されている複数の画素９０４に

はそれぞれビデオ信号が書き込まれ、それぞれの表示素子の輝度若しくは透過率がビデオ信号に応じた値となる。その後、ｉ行目の走査線Ｇｉが非選択になると、ｉ＋１行目の走査線Ｇｉ＋１が選択され、走査線Ｇｉ＋１に接続されている複数の画素９０４が選択される。そして、走査線Ｇｉ＋１に接続されている複数の画素９０４にはそれぞれビデオ信号が書き込まれ、それぞれの表示素子の輝度若しくは透過率がビデオ信号に応じた値となる。なお、各画素９０４は非選択状態になっても書き込まれたビデオ信号を保持するため、それぞれの表示素子はビデオ信号に応じた輝度若しくは透過率を維持する。

【０１３９】

以上のことから、走査線Ｇ１～Ｇｎそれぞれは、１フレーム期間のうち１ゲート選択期間で選択され、１ゲート選択期間以外では非選択期間となり選択されない。１ゲート選択期間の長さは１フレーム期間の長さをｎで割ったものとおおむね等しいため、１フレーム期間のうちほとんどの期間は非選択期間となる。つまり、走査線駆動回路９０２に図６又は図８に示したシフトレジスタを適用した場合には、図６又は図８に示すフリップフロップ６０１＿１～６０１＿ｉそれぞれは１フレーム期間のうちほとんどの期間で第１の非選択期間、第２の非選択期間及び第３の非選択期間を順に繰り返している。したがって、走査線駆動回路９０２は、図６及び図８に示すフリップフロップ６０１＿１～６０１＿ｉそれぞれが有するトランジスタの劣化を抑制することができるため、寿命を長くすることができる。さらに、長寿命な走査線駆動回路９０２を画素部９０３と一体形成した図９の表示装置も寿命を長くすることができる。

【０１４０】

なお、図９のように、画素を選択し、画素にビデオ信号を書き込むことができれば、駆動回路の数や配置などは図９に限定されない。

【０１４１】

例えば、図１１に示すように、走査線Ｇ１～走査線Ｇｎを第１の走査線駆動回路１１０１及び第２の走査線駆動回路１１０２によって走査してもよい。なお、第１の走査線駆動回路１１０１及び第２の走査線駆動回路１１０２は、図９に示した走査線駆動回路９０２と同様の構成であり、同じタイミングで走査線Ｇ１～走査線Ｇｎを走査する。走査線Ｇ１～走査線Ｇｎを第１の走査線駆動回路１１０１及び第２の走査線駆動回路１１０２によって走査することによって、走査線Ｇ１～走査線Ｇｎそれぞれに出力する信号の遅延やなまりが低減され、走査線Ｇ１～走査線Ｇｎが高速に走査される。つまり、図１１の表示装置は、パネルサイズが大きくなり、走査線Ｇ１～走査線Ｇｎの配線抵抗や寄生容量が大きくなっても、走査線Ｇ１～走査線Ｇｎそれぞれに出力する信号の遅延やなまりが低減されるため、大型化を可能にすることができる。さらに、図１１の表示装置は、パネルサイズが大きくなる若しくはパネルが高精細になって画素数が増えることにより、走査線Ｇ１～走査線Ｇｎを高速に走査する必要があっても、走査線Ｇ１～走査線Ｇｎを高速に走査することができるため、大型化、高精細化を可能にすることができる。さらに、図１１の表示装置は、第１の走査線駆動回路１１０１及び第２の走査線駆動回路１１０２のうち一方に不良が生じても、他方の走査線Ｇ１～走査線Ｇｎを走査できるため、冗長性を持たせることができる。なお、図９の構成と共通するところは共通の符号を用いてその説明を省略する。なお、図１１の表示装置には、図９と同様に図１０のタイミングチャートを用いることができる。

【０１４２】

図１２に示した表示装置においても、図９のように画素を選択し、画素にビデオ信号を書き込むことができる。図１２に示すように、第１の走査線駆動回路１２０１及び第２の走査線駆動回路１２０２によって、走査線Ｇ１～走査線Ｇｎを１行毎に走査してもよい。なお、第１の走査線駆動回路１２０１及び第２の走査線駆動回路１２０２は、図９に示した走査線駆動回路９０２と同様の構成であり、駆動タイミングが異なる。第１の走査線駆動回路１２０１が奇数行目の走査線を走査し、第２の走査線駆動回路１２０２が偶数行目の走査線を走査することによって、第１の走査線駆動回路１２０１及び第２の走査線駆動回路１２０２の駆動周波数を小さくでき、第１の走査線駆動回路１２０１及び第２の走査線

駆動回路１２０２が有するフリップフロップの１段分のピッチが広がる。つまり、図１２の表示装置は、第１の走査線駆動回路１２０１及び第２の走査線駆動回路１２０２の駆動周波数を小さくできるため、省電力化を実現できる。さらに、図１２の表示装置は、第１の走査線駆動回路１２０１及び第２の走査線駆動回路１２０２が有するフリップフロップの１段分のピッチが広がるため、効率的にレイアウトでき、額縁を小さくすることができる。さらに、図１２の表示装置は、第１の走査線駆動回路１２０１及び第２の走査線駆動回路１２０２を左右に配置するため、額縁を左右均一にすることができる。なお、図９の構成と共通するところは共通の符号を用いてその説明を省略する。なお、図１２の表示装置には、図９と同様に図１０のタイミングチャートを用いることができる。

【０１４３】

また、図４４に示した表示装置においても、図９のように画素を選択し、画素にビデオ信号を書き込むことができる。図４４に示すように、第１の走査線駆動回路４４０２及び第２の走査線駆動回路４４０３によって、走査線Ｇ１～走査線Ｇｎを１行毎に走査してもよい。また、画素９０４は、１行毎に左右の信号線に接続されている。例えば、ｊ列目の複数の画素９０４は、ｉ行目では信号線Ｓｊ（信号線Ｓ１～信号線Ｓｍ＋１のうちいずれか一）に接続され、ｉ＋１行目では信号線Ｓｊ＋１に接続され、ｉ－１行目では信号線Ｓｊ＋１に接続されている。

【０１４４】

図４４に示した表示装置の動作について、図４５のタイミングチャートを参照して説明する。なお、図４５において、１画面分の画像を表示する期間に相当する１フレーム期間を示す。なお、１フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカー）を感じないように１／６０秒以下とすることが好ましい。

【０１４５】

なお、図４５のタイミングチャートでは、１行目の走査線Ｇ１、ｉ－１行目の走査線Ｇｉ－１、ｉ行目の走査線Ｇｉ、ｉ＋１行目の走査線Ｇｉ＋１及びｎ行目の走査線Ｇｎがそれぞれ選択されるタイミングを示している。図４５のタイミングチャートでは、１つの選択期間を選択期間Ｔａと選択期間Ｔｂとに分割している。

【０１４６】

なお、図４４の表示装置は、１フレーム期間において各信号線に１列毎に正極のビデオ信号と負極のビデオ信号とを入力するだけで、ドット反転駆動をすることができる。また、図４４の表示装置は、１フレーム期間毎に、各信号線に入力するビデオ信号の極性を反転することでフレーム反転駆動をすることができる。なお、図４５のタイミングチャートでは、表示装置がドット反転駆動及びフレーム反転駆動をする場合について説明する。

【０１４７】

図４５において、例えばｉ行目の走査線Ｇｉの選択期間Ｔａは、ｉ－１行目の走査線Ｇｉ－１の選択期間と重なっており、ｉ行目の走査線Ｇｉの選択期間Ｔｂは、ｉ＋１行目の走査線Ｇｉ＋１の選択期間と重なっている。したがって、選択期間Ｔａにおいて、ｉ－１行・ｊ＋１列目の画素９０４に入力されるビデオ信号と同様なものが、ｉ行ｊ列目の画素９０４に入力される。また、選択期間Ｔｂにおいて、ｉ行ｊ列目の画素９０４に入力されるビデオ信号と同様なものが、ｉ＋１行・ｊ－１列目の画素９０４に入力される。なお、選択期間Ｔｂにおいて画素９０４に入力されるビデオ信号が本来のビデオ信号であり、選択期間Ｔａにおいて画素９０４に入力されるビデオ信号が画素９０４のプリチャージ用のビデオ信号である。したがって、画素９０４それぞれは、選択期間Ｔａにおいて入力されるビデオ信号によってプリチャージされ、選択期間Ｔｂにおいて入力されるビデオ信号を保持する。

【０１４８】

以上のことから、図４４の表示装置は、画素９０４に高速にビデオ信号を書き込むことができるため、大型化、高精細化を容易に実現することができる。さらに、図４４の表示装置は、１フレーム期間において信号線各々は同じ極性のビデオ信号が入力されるため、各信号線の充放電が少なく、低消費電力化を実現できる。また、図４４の表示装置は、ビデ

オ信号を供給するためのＩＣの負荷が大幅に低減されるため、ＩＣの発熱や消費電力などを低減することができる。さらに、図４４の表示装置は、第１の走査線駆動回路４４０２及び第２の走査線駆動回路４４０３の駆動周波数を約半分にできる。

【０１４９】

なお、図９、図１１、図１２、及び図４４の表示装置は、画素９０４の構成によって別の配線などを追加してもよい。例えば、一定の電位に保たれている電源線、新たな走査線及び容量線などを追加してもよい。なお、新たに走査線を追加する場合には、図６及び図８に示したシフトレジスタを適用した走査線駆動回路を新たに追加してもよい。

【０１５０】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

【０１５１】

（実施の形態２）

本実施の形態では、実施の形態１とは異なる構成のフリップフロップを図１３に示す。なお、実施の形態１と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０１５２】

図１３に示すフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３、第４のトランジスタ１０４及び第５のトランジスタ１３０５を有する。なお、フリップフロップは、第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線１１４、第５の配線１１５、第６の配線１１６及び第７の配線１３１７に接続されている。本実施の形態において、第５のトランジスタ１３０５はＮチャネル型トランジスタとし、そのゲートとソース間の電圧（Ｖｇｓ）がしきい値電圧（Ｖｔｈ）を上回ったとき、導通状態になるものとする。なお、第７の配線１３１７を、第３の信号線と呼んでもよい。

【０１５３】

第１のトランジスタ１０１の第１端子（ソース端子及びドレイン端子の一方）は第１の配線１１１に接続され、第２端子（ソース端子及びドレイン端子の他方）は第２のトランジスタ１０２のゲート端子に接続され、ゲート端子は第５の配線１１５に接続されている。第３のトランジスタ１０３の第１端子は第２のトランジスタ１０２のゲート端子に接続され、第２端子は第２の配線１１２に接続され、ゲート端子は第４の配線１１４に接続されている。第２のトランジスタ１０２の第１端子は第３の配線１１３に接続され、第２端子は第６の配線１１６に接続されている。第４のトランジスタ１０４の第１端子は第６の配線１１６に接続され、第２端子は第２の配線１１２に接続され、ゲート端子は配線１１４に接続されている。第５のトランジスタ１３０５の第１端子は第６の配線１１６に接続され、第２端子は第２の配線１１２に接続され、ゲート端子は第７の配線１３１７に接続されている。

【０１５４】

なお、第３のトランジスタ１０３の第２端子、第４のトランジスタ１０４の第２端子及び第５のトランジスタ１３０５の第２端子は、第２の配線１１２に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第３のトランジスタ１０３のゲート端子及び第４のトランジスタ１０４のゲート端子は第４の配線１１４に接続されているとは限定されず、別々の配線に接続されていてもよい。

【０１５５】

次に、図１３で示したフリップフロップの動作について、図１４のタイミングチャートを参照して説明する。なお、図１４は、図１３のフリップフロップを図１に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図２のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

【０１５６】
なお、第７の配線１３１７には信号が入力されている。第７の配線１３１７に入力される信号は、第３のクロック信号である。また、第７の配線１３１７に入力される信号は、Ｈ信号の電位がＶ１（以下、Ｈレベルともいう）、Ｌ信号の電位がＶ２（以下、Ｌレベルともいう）のデジタル信号である。
【０１５７】
ただし、第７の配線１３１７には第３のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。
【０１５８】
図１４において、信号１４１７は第７の配線１３１７に入力される信号である。
【０１５９】
図１３のフリップフロップでは、セット期間及び第２の非選択期間において、第５のトランジスタ１３０５がオンとなる。そして、第６の配線１１６は、第５のトランジスタ１３０５を介して第２の配線１１２の電位が供給されるためＬレベルを維持する。
【０１６０】
以上のことから、図１３のフリップフロップは、第１の非選択期間、第２の非選択期間、第３の非選択期間のうち、第１の非選択期間及び第２の非選択期間において、第６の配線１１６にＶ２が供給されるためフリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、一定期間毎（第１の非選択期間及び第２の非選択期間）に第６の配線１１６にＶ２が供給されており、第６の配線１１６の電位を安定してＶ２に維持することができるからである。
【０１６１】
さらに、図１３のフリップフロップの第５のトランジスタ１３０５は、セット期間及び第２の非選択期間のみでオンとなるため、第５のトランジスタ１３０５の特性劣化を抑制することができる。
【０１６２】
なお、図１３のフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３、第４のトランジスタ１０４及び第５のトランジスタ１３０５が全てＮチャネル型トランジスタで構成されていることを特徴とする。したがって、図１３のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。
【０１６３】
また、図１３のフリップフロップは、トランジスタの半導体層として特性劣化（しきい値電圧のシフト）が顕著に表れるアモファスシリコンを用いても、トランジスタの特性劣化を抑制することができるため、長寿命な表示パネルなどの半導体装置を作製することができる。
【０１６４】
ここで、第５のトランジスタ１３０５が有する機能を説明する。第５のトランジスタ１３０５は、第２の配線１１２の電位を第６の配線１１６に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。
【０１６５】
なお、図１３と同様の動作を行うものであれば、トランジスタの配置及び数などは図１３に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。
【０１６６】
例えば、図１５に示すように、図１３に示した第２のトランジスタ１０２のゲート端子と第２端子との間に容量素子１５０１を配置してもよい。容量素子１５０１を配置すること

によって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第２のトランジスタ１０２のゲート端子と第２端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子１５０１は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図１３の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１６７】

図１６のフリップフロップにおいても、図１３と同様の動作を行うことができる。図１６に示すように、図１３に示した第１のトランジスタ１０１がダイオード接続してもよい。第１のトランジスタ１０１がダイオード接続されることによって、第１の配線１１１が不必要になり、配線及び電源（Ｖ１）を１つずつ減らすことができる。なお、図１３の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１６８】

続いて、上述した本実施の形態のフリップフロップを有するシフトレジスタについて図１７を参照して説明する。なお、図１に示したフリップフロップを有するシフトレジスタを説明した図６と共通するところは共通の符号を用いて説明を省略する。

【０１６９】

シフトレジスタは、第１の配線６１１、第２の配線６１２、第３の配線６１３、第４の配線６１４、第５の配線６１５、第６の配線６１６、配線６２２＿１～６２２＿ｎ及びｎ個（ｎ段）のフリップフロップ１７０１＿１～１７０１＿ｎを有する。そして、ｎ個（ｎ段）のフリップフロップ１７０１＿１～１７０１＿ｎそれぞれは、第１の配線６１１、第２の配線６１２、第３の配線６１３、第４の配線６１４、第５の配線６１５に接続されている。また、例えばｉ段目のフリップフロップ１７０１＿ｉ（フリップフロップ１７０１＿１～１７０１＿ｎのうちいずれか一）のうち、フリップフリップ１７０１＿２～フリップフロップ＿ｎ－１は、ｉ－１段目のフリップフロップ１７０１＿ｉ－１及びｉ＋１段目のフリップフロップ１７０１＿ｉ＋１に接続され、ｉ段目のフリップフロップ１７０１＿ｉとｉ＋１段目のフリップフロップ１７０１＿ｉ＋１との接続箇所は配線６２２＿ｉ（配線６２２＿１～６２２＿ｎのうちいずれか一）に接続されている。なお、１段目のフリップフロップ１７０１＿１は第６の配線６１６と２段目のフリップフロップ１７０１＿２に接続され、１段目のフリップフロップ１７０１＿１と２段目のフリップフロップ１７０１＿２との接続箇所は配線６２２＿１に接続されている。なお、ｎ段目のフリップフロップ１７０１＿ｎはｎ－１段目のフリップフロップ１７０１＿ｎ－１と配線６２２＿ｎに接続されている。

【０１７０】

なお、１＋３Ｎ段目のフリップフロップ１７０１では、第１の配線６１１、第２の配線６１２、第３の配線６１３、第４の配線６１４、第５の配線６１５は、それぞれ図１３の第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線１１４、第７の配線１３１７に接続されている。２＋３Ｎ段目のフリップフロップ１７０１では、第１の配線６１１、第２の配線６１２、第４の配線６１４、第５の配線６１５、第３の配線６１３は、それぞれ図１３の第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線１１４、第７の配線１３１７に接続されている。３＋３Ｎ段目のフリップフロップ６０１では、第１の配線６１１、第２の配線６１２、第５の配線６１５、第３の配線６１３、第４の配線６１４は、それぞれ図１３の第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線６１４、第７の配線１３１７に接続されている。また、例えばｉ段目のフリップフロップ１７０１＿ｉのうち、フリップフロップ１７０１＿２～フリップフロップ１７０１＿ｎ－１の図１３に示す第５の配線１１５及び第６の配線１１６は、それぞれｉ－１段目のフリップフロップ１７０１＿ｉ－１の図１３に示す第６の配線１１６、ｉ＋１段目のフリップフロップ１７０１＿ｉ＋１の図１３に示す第５の配線１１５に接続

されている。なお、１段目のフリップフロップ１７０１＿１の図１３に示す第５の配線１１５及び第６の配線１１６は、それぞれ図１７の第６の配線６１６、２段目のフリップフロップ１７０１＿２の図１３に示す第５の配線１１５に接続されている。なお、ｎ段目のフリップフロップ１７０１＿ｎの図１３に示す第５の配線１１５及び第６の配線１１６は、それぞれｎ－１段目のフリップフロップ１７０１＿ｎ－１の図１３に示す第６の配線１１６、図１７の配線６２２＿ｎに接続されている。

【０１７１】

なお、図１７に示したシフトレジスタは、図６に示したシフトレジスタと同様の動作を行うことができる。したがって、図１７に示したシフトレジスタには、図７のタイミングチャートを用いることができる。

【０１７２】

よって、図１７のシフトレジスタは、実施の形態１と同様、３相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第３の配線６１３、第４の配線６１４、第５の配線６１５）に接続されているフリップフロップ１７０１の段数が単相のクロック信号を用いた場合の２／３になるため、各クロック信号線の負荷を小さくすることができる。

【０１７３】

なお、図１７のシフトレジスタは、各段のフリップフロップ１７０１の出力信号をバッファを介して、それぞれ各段の配線６２２に出力してもよく、このような構成を図１８に示す。図１８のシフトレジスタは、各段のフリップフロップ１７０１がバッファ１８０１を介してそれぞれ各段の配線６２２に接続されているため、動作における広いマージンを得ることができる。なぜなら、配線６２２に大きな負荷が接続され、配線６２２の信号に遅延や波形のなまりが生じても、シフトレジスタの動作に影響しないからである。なお、バッファ１８０１はインバータや、ＮＡＮＤ、ＮＯＲなどの論理回路や、オペアンプなどや、これらを組み合わせた回路を用いることができる。

【０１７４】

また、本実施の形態に示したシフトレジスタを図９、図１１、図１２及び図４４の表示装置に適用することができる。実施の形態１と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

【０１７５】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

【０１７６】

（実施の形態３）

本実施の形態では、実施の形態１及び実施の形態２とは異なる構成のフリップフロップを図１９に示す。なお、実施の形態１及び実施の形態２と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０１７７】

図１９に示すフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３、第４のトランジスタ１０４、第５のトランジスタ１３０５、第６のトランジスタ１９０６、第７のトランジスタ１９０７、第８のトランジスタ１９０８及び第９のトランジスタ１９０９を有している。なお、フリップフロップは、第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線１１４、第５の配線１１５、第６の配線１１６及び第７の配線１３１７に接続されている。本実施の形態において、第６のトランジスタ１９０６、第７のトランジスタ１９０７、第８のトランジスタ１９０８及び第９のトランジスタ１９０９はＮチャネル型トランジスタとし、そのゲートとソース間の電圧（Ｖｇｓ）がしきい値電圧（Ｖｔｈ）を上回ったとき、導通状態になるものとする。

【０１７８】
第１のトランジスタ１０１の第１端子（ソース端子及びドレイン端子の一方）は第１の配線１１１に接続され、第２端子（ソース端子及びドレイン端子の他方）は第２のトランジスタ１０２のゲート端子に接続され、ゲート端子は第５の配線１１５に接続されている。第３のトランジスタ１０３の第１端子は第２のトランジスタ１０２のゲート端子に接続され、第２端子は第２の配線１１２に接続され、ゲート端子は第４の配線１１４に接続されている。第２のトランジスタ１０２の第１端子は第３の配線１１３に接続され、第２端子は第６の配線１１６に接続されている。第４のトランジスタ１０４の第１端子は第６の配線１１６に接続され、第２端子は第２の配線１１２に接続され、ゲート端子は配線１１４に接続されている。第５のトランジスタ１３０５の第１端子は第６の配線１１６に接続され、第２端子は第２の配線１１２に接続され、ゲート端子は第７の配線１３１７に接続されている。第６のトランジスタ１９０６の第１端子は第８のトランジスタ１９０８のゲート端子に接続され、第２端子は第２の配線１１２に接続され、ゲート端子は第２のトランジスタ１０２のゲート端子に接続されている。第７のトランジスタ１９０７の第１端子は第１の配線１１１に接続され、第２端子は第８のトランジスタ１９０８のゲート端子に接続され、ゲート端子は第１の配線１１１に接続されている。第８のトランジスタ１９０８の第１端子は第３の配線１１３に接続され、第２端子は第９のトランジスタ１９０９のゲート端子に接続されている。第９のトランジスタ１９０９の第１端子は第６の配線１１６に接続され、第２端子は第２の配線１１２に接続されている。なお、第６のトランジスタ１９０６の第１端子、第７のトランジスタ１９０７の第２端子及び第８のトランジスタ１９０８のゲート端子の接続箇所をノード１９２２とする。また、第８のトランジスタ１９０８の第２端子及び第９のトランジスタ１９０９のゲート端子の接続箇所をノード１９２３とする。

【０１７９】
なお、第３のトランジスタ１０３の第２端子、第４のトランジスタ１０４の第２端子、第５のトランジスタ１３０５の第２端子、第６のトランジスタ１９０６の第２端子及び第９のトランジスタ１９０９の第２端子は第２の配線１１２に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第３のトランジスタ１０３のゲート端子及び第４のトランジスタ１０４のゲート端子は第４の配線に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第１のトランジスタ１０１の第１端子、第７のトランジスタ１９０７の第１端子及び第７のトランジスタ１９０７のゲート端子は第１の配線１１１に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第２のトランジスタ１０２の第１端子及び第８のトランジスタ１９０８の第１端子は第３の配線１１３に接続されているとは限定されず、別々の配線に接続されていてもよい。

【０１８０】
次に、図１９で示したフリップフロップの動作について、図２０のタイミングチャートを参照して説明する。なお、図２０は、図１９のフリップフロップを図１及び図１３に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図２及び図１４のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

【０１８１】
図２０において、電位２０２２は図１９のノード１９２２の電位であり、電位２０２３は図１９のノード１９２３の電位である。

【０１８２】
図１９のフリップフロップでは、第３の非選択期間において、第９のトランジスタ１９０９がオンとなる。そして、第６の配線１１６は、第９のトランジスタ１９０９を介して第２の配線１１２の電位が供給されるためＬレベルを維持する。

【０１８３】
具体的に第９のトランジスタ１９０９のオン及びオフの制御を説明する。まず、第６のトランジスタ１９０６及び第７のトランジスタ１９０７はインバータを構成しており、第６

のトランジスタ１９０６のゲート端子にＨレベルが入力されると、ノード１９２２の電位（電位２０２２）がおおむねＶ２となる。ただし、このときの電位２０２２は、このときの第６のトランジスタ１９０６と第７のトランジスタ１９０７との抵抗比によって決定するため、Ｖ２よりも少し高い値となる。また、第６のトランジスタ１９０６のゲート端子にＬレベルが入力されると、ノード１９２２の電位が第１の配線１１１の電位から第７のトランジスタ１９０７のしきい値電圧（Ｖｔｈ１９０７）を引いた値となるためＶ１－Ｖｔｈ１９０７となる。したがって、第１の非選択期間、第２の非選択期間及び第３の非選択期間では、ノード１２１がＬレベルであり、ノード１９２２がＨレベルになるため第８のトランジスタ１９０８はオンとなる。よって、第９のトランジスタ１９０９は、第３の配線１１３に入力される信号によって制御されるため、第３の非選択期間においてオンとなり、第１の非選択期間及び第２の非選択期間においてはオフとなる。一方で、セット期間及び選択期間では、ノード１２１がＨレベルであり、ノード１９２２がＬレベルになるため第８のトランジスタ１９０８はオフとなる。よって、第９のトランジスタ１９０９のゲート端子の電位がセット期間の前の期間である第１の非選択期間の電位、つまりＬレベルを維持するため、第９のトランジスタ１９０９はオフとなる。

【０１８４】

以上のことから、図１９のフリップフロップは、第１の非選択期間、第２の非選択期間及び第３の非選択期間において、配線１１６にＶ２が供給されるため、フリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、第６の配線１１６にＶ２を供給することができるからである。また、図１９のフリップフロップは、非選択期間において第６の配線１１６にＶ２が供給されるため、第６の配線１１６のノイズを少なくすることができる。

【０１８５】

さらに、図１９のフリップフロップは、第６のトランジスタ１９０６、第７のトランジスタ１９０７、第８のトランジスタ１９０８及び第９のトランジスタ１９０９の特性劣化を抑制することができる。なぜなら、第６のトランジスタ１９０６はセット期間及び選択期間のみでオンとなるからである。また、第７のトランジスタ１９０７は選択期間の後の第１の非選択期間のうちノード１９２２の電位がＶ１－Ｖｔｈ１９０７まで上昇する期間のみでオンとなるからである。また、第８のトランジスタ１９０８は第１の非選択期間、第２の非選択期間及び第３の非選択期間のうちノード１９２３の電位がＶ１－β（β：Ｖｔｈ１９０７＋Ｖｔｈ１９０８）まで上昇する期間のみでオンとなるからである。また、第９のトランジスタ１９０９は第３の非選択期間のみでオンとなるからである。

【０１８６】

なお、図１９のフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３、第４のトランジスタ１０４、第５のトランジスタ１３０５、第６のトランジスタ１９０６、第７のトランジスタ１９０７、第８のトランジスタ１９０８及び第９のトランジスタ１９０９が全てＮチャネル型トランジスタで構成されていることを特徴とする。したがって、図１９のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【０１８７】

また、図１９のフリップフロップは、トランジスタの半導体層として特性劣化（しきい値電圧のシフト）が顕著に表れるアモファスシリコンを用いても、トランジスタの特性劣化を抑制することができるため、長寿命な表示パネルなどの半導体装置を作製することができる。

【０１８８】

ここで、第６のトランジスタ１９０６、第７のトランジスタ１９０７、第８のトランジス

タ１９０８及び第９のトランジスタ１９０９が有する機能を説明する。第６のトランジスタ１９０６は、第２の配線１１２の電位をノード１９２２に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第７のトランジスタ１９０７は、第１の配線１１１の電位をノード１９２２に供給するタイミングを選択する機能を有し、ダイオードとして機能する。第８のトランジスタ１９０８は、第３の配線１１３の電位をノード１９２３に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第９のトランジスタ１９０９は、第２の配線１１２の電位を第６の配線１１６に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。

【０１８９】

なお、図１９と同様の動作を行うものであれば、トランジスタの配置及び数などは図１９に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【０１９０】

例えば、図２１に示すように、図１９に示した第２のトランジスタ１０２のゲート端子と第２端子との間に容量素子２１０１を配置してもよい。容量素子２１０１を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第２のトランジスタ１０２のゲート端子と第２端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子２１０１は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図１９の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１９１】

図２２のフリップフロップにおいても、図１９と同様の動作を行うことができる。図２２に示すように、図１９に示した第１のトランジスタ１０１がダイオード接続してもよい。第１のトランジスタ１０１がダイオード接続されることによって、第１の配線１１１に流れる電流が小さくなるため、第１の配線１１１の配線幅を小さくすることができる。なお、図１９の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１９２】

また、本実施の形態に示したフリップフロップを図１７及び図１８のシフトレジスタに適用することができる。実施の形態１及び実施の形態２と同様、３相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第３の配線６１３、第４の配線６１４、第５の配線６１５）に接続されているフリップフロップ１７０１の段数が単相のクロック信号を用いた場合の２／３となるため、各クロック信号線の負荷を小さくすることができる。

【０１９３】

また、本実施の形態に示したシフトレジスタを図９、図１１、図１２及び図４４の表示装置に適用することができる。実施の形態１及び実施の形態２と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

【０１９４】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

【０１９５】

（実施の形態４）

本実施の形態では、実施の形態１、実施の形態２及び実施の形態３とは異なる構成のフリ

ップフロップを図２３に示す。なお、実施の形態１、実施の形態２及び実施の形態３と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０１９６】

図２３に示すフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３、第４のトランジスタ１０４、第５のトランジスタ１３０５、第６のトランジスタ１９０６、第７のトランジスタ１９０７、第８のトランジスタ１９０８、第９のトランジスタ１９０９、第１０のトランジスタ２３１０、第１１のトランジスタ２３１１及び第１２のトランジスタ２３１２を有している。なお、フリップフロップは、第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線１１４、第５の配線１１５、第６の配線１１６及び第７の配線１３１７に接続されている。本実施の形態において、第１０のトランジスタ２３１０、第１１のトランジスタ２３１１及び第１２のトランジスタ２３１２は、Ｎチャネル型トランジスタとし、そのゲートとソース間の電圧（Ｖｇｓ）がしきい値電圧（Ｖｔｈ）を上回ったとき、導通状態になるものとする。

【０１９７】

第１のトランジスタ１０１の第１端子（ソース端子及びドレイン端子の一方）は第１の配線１１１に接続され、第２端子（ソース端子及びドレイン端子の他方）は第２のトランジスタ１０２のゲート端子に接続され、ゲート端子は第５の配線１１５に接続されている。第３のトランジスタ１０３の第１端子は第２の配線１１２に接続され、第２端子は第２のトランジスタ１０２のゲート端子に接続され、ゲート端子は第４の配線１１４に接続されている。第２のトランジスタ１０２の第１端子は第３の配線１１３に接続され、第２端子は第６の配線１１６に接続されている。第４のトランジスタ１０４の第１端子は第２の配線１１２に接続され、第２端子は第６の配線１１６に接続され、ゲート端子は第４の配線１１４に接続されている。第５のトランジスタ１３０５の第１端子は第２の配線１１２に接続され、第２端子は第６の配線１１６に接続され、ゲート端子は第７の配線１３１７に接続されている。第６のトランジスタ１９０６の第１端子は第２の配線１１２に接続され、第２端子は第８のトランジスタ１９０８のゲート端子及び第１１のトランジスタ２３１１のゲート端子に接続され、ゲート端子は第２のトランジスタ１０２のゲート端子に接続されている。第７のトランジスタ１９０７の第１端子は第１の配線１１１に接続され、第２端子は第８のトランジスタ１９０８のゲート端子及び第１１のトランジスタ２３１１のゲート端子に接続され、ゲート端子は第１の配線１１１に接続されている。第８のトランジスタ１９０８の第１端子は第３の配線１１３に接続され、第２端子は第９のトランジスタ１９０９のゲート端子及び第１０のトランジスタ２３１０のゲート端子に接続されている。第９のトランジスタ１９０９の第１端子は第２の配線１１２に接続され、第２端子は第６の配線１１６に接続されている。第１０のトランジスタ２３１０の第１端子は第２の配線１１２に接続され、第２端子は第２のトランジスタ１０２のゲート端子に接続されている。第１１のトランジスタ２３１１の第１端子は第７の配線１３１７に接続され、第２端子は第１２のトランジスタ２３１２のゲート端子に接続されている。第１２のトランジスタ２３１２の第１端子は第２の配線１１２に接続され、第２端子は第２のトランジスタ１０２のゲート端子に接続されている。なお、第１１のトランジスタ２３１１の第２端子及び第１２のトランジスタ２３１２のゲート端子の接続箇所をノード２３２４とする。

【０１９８】

なお、第３のトランジスタ１０３の第１端子、第４のトランジスタ１０４の第１端子、第５のトランジスタ１３０５の第１端子、第６のトランジスタ１９０６の第１端子、第９のトランジスタ１９０９の第１端子、第１０のトランジスタ２３１０の第１端子及び第１２のトランジスタ２３１２の第１端子は第２の配線１１２に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第３のトランジスタ１０３のゲート端子及び第４のトランジスタ１０４のゲート端子は第４の配線１１４に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第１のトランジスタ１０１の第１端子、第７のトランジスタ１９０７の第１端子及び第７のトランジスタ１９０７のゲート端

子は第１の配線１１１に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第２のトランジスタ１０２の第１端子及び第８のトランジスタ１９０８の第１端子は第３の配線１１３に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第５のトランジスタ１３０５のゲート端子及び第１１のトランジスタ２３１１の第１端子は第７の配線１３１７に接続されているとは限定されず、別々の配線に接続されていてもよい。

【０１９９】

次に、図２３で示したフリップフロップの動作について、図２４のタイミングチャートを参照して説明する。図２４は、図２３のフリップフロップを図１、図１３及び図１９に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図２、図１４及び図２０のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

【０２００】

図２４において、電位２４２４は図２３のノード２３２４の電位である。

【０２０１】

図２３のフリップフロップでは、第３の非選択期間において第１０のトランジスタ２３１０がオンとなる。そして、ノード１２１は、第１０のトランジスタ２３１０を介して第２の配線１１２の電位が供給されるためＬレベルをより安定して維持できる。さらに、図２３のフリップフロップでは、第１の非選択期間において第１２のトランジスタ２３１２がオンとなる。そして、ノード１２１は、第１２のトランジスタ２３１２を介して第２の配線１１２の電位が供給されるためＬレベルをより安定して維持できる。

【０２０２】

具体的に第１２のトランジスタ２３１２のオン及びオフの制御を説明する。なお、第１０のトランジスタ２３１０のオン及びオフの制御は、実施の形態３に示した第９のトランジスタ１９０９のオン及びオフの制御と同様である。まず、図１９のフリップフロップと同様に第６のトランジスタ１９０６及び第７のトランジスタ１９０７はインバータを構成している。したがって、第１の非選択期間、第２の非選択期間及び第３の非選択期間では、ノード１２１がＬレベルでありノード１９２２がＨレベルになるため第１１のトランジスタ２３１１はオンとなる。よって、第１２のトランジスタ２３１２は、第７の配線１３１７に入力される信号によって制御されるため、第２の非選択期間においてオンとなり、第１の非選択期間及び第３の非選択期間においてオフとなる。一方で、セット期間及び選択期間ではノード１２１がＨレベルであり、ノード１９２２がＬレベルになるため第１１のトランジスタ２３１１はオフとなる。よって、第１２のトランジスタ２３１２のゲート端子の電位がセット期間の前の期間である第１の非選択期間の電位、つまりＬレベルを維持するため、第１２のトランジスタ２３１２はオフとなる。

【０２０３】

以上のことから、図２３のフリップフロップは、第１の非選択期間、第２の非選択期間及び第３の非選択期間において、第６の配線１１６及びノード１２１にＶ２が供給されるため、フリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、第６の配線１１６及びノード１２１にＶ２を供給することができるからである。また、図２３のフリップフロップは、非選択期間において第６の配線１１６及びノード１２１にＶ２が供給されるため、第６の配線１１６及びノード１２１のノイズを少なくすることができる。

【０２０４】

さらに、図２３のフリップフロップは、第１０のトランジスタ２３１０、第１１のトランジスタ２３１１及び第１２のトランジスタ２３１２の特性劣化を抑制することができる。なぜなら、第１０のトランジスタ２３１０は第３の非選択期間のみでオンとなるからである。また、第１１のトランジスタ２３１１は第１の非選択期間、第２の非選択期間及び第３の非選択期間のうちノード２３２４の電位がＶ１－γ（γ：Ｖｔｈ１９０７＋Ｖｔｈ２３１１）まで上昇する期間のみでオンとなるからである。また、第１２のトランジスタ２

３１２は、第２の非選択期間のみでオンとなるからである。

【０２０５】

なお、図２３のフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３、第４のトランジスタ１０４、第５のトランジスタ１３０５、第６のトランジスタ１９０６、第７のトランジスタ１９０７、第８のトランジスタ１９０８、第９のトランジスタ１９０９、第１０のトランジスタ２３１０、第１１のトランジスタ２３１１及び第１２のトランジスタ２３１２が全てＮチャネル型トランジスタで構成されていることを特徴とする。したがって、図２３のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【０２０６】

また、図２３のフリップフロップは、トランジスタの半導体層として特性劣化（しきい値電圧のシフト）が顕著に表れるアモフファスシリコンを用いても、トランジスタの特性劣化を抑制することができるため、長寿命な表示パネルなどの半導体装置を作製することができる。

【０２０７】

ここで、第１０のトランジスタ２３１０、第１１のトランジスタ２３１１及び第１２のトランジスタ２３１２が有する機能を説明する。第１０のトランジスタ２３１０は、第２の配線１１２の電位をノード１２１に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第１１のトランジスタ２３１１は、第７の配線１３１７の電位をノード２３２４に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第１２のトランジスタ２３１２は第２の配線１１２の電位をノード１２１に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。

【０２０８】

なお、図２３と同様の動作を行うものであれば、トランジスタの配置及び数などは図２３に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【０２０９】

例えば、図２５に示すように、図２３に示した第２のトランジスタ１０２のゲート端子と第２端子との間に容量素子２５０１を配置してもよい。容量素子２５０１を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第２のトランジスタ１０２のゲート端子と第２端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子２５０１は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図２３の構成と共通するところは共通の符号を用いてその説明を省略する。

【０２１０】

図２６のフリップフロップにおいても、図２３と同様の動作を行うことができる。図２６に示すように、図２３に示した第１のトランジスタ１０１がダイオード接続してもよい。第１のトランジスタ１０１がダイオード接続されることによって、第１の配線１１１に流れる電流が小さくなるため、第１の配線１１１の配線幅を小さくすることができる。

【０２１１】

また、本実施の形態に示したフリップフロップを図１７及び図１８のシフトレジスタに適用することができる。実施の形態１、実施の形態２及び実施の形態３と同様、３相のクロ

ック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第３の配線６１３、第４の配線６１４、第５の配線６１５）に接続されているフリップフロップ１７０１の段数が単相のクロック信号を用いた場合に比べて２／３になるため、各クロック信号線の負荷を小さくすることができる。

【０２１２】

また、本実施の形態に示したシフトレジスタを図９、図１１、図１２及び図４４の表示装置に適用することができる。実施の形態１、実施の形態２及び実施の形態３と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

【０２１３】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

【０２１４】

（実施の形態５）

本実施形態では、フリップフロップが有するトランジスタにＰチャネル型トランジスタを適用した場合について図２７を参照して説明する。なお、Ｐチャネル型トランジスタで構成されるフリップフロップは、Ｎチャネル型トランジスタで構成されるフリップフロップと基本的な構成は同様である。だたし、電源電位及び信号のＨレベル、Ｌレベルが反転している。

【０２１５】

図２７は、シフトレジスタが有する複数のフリップフロップのうち、ある１段（例えば１段目）のフリップフロップを示している。図２７に示すフリップフロップは、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３及び第４のトランジスタ２７０４を有する。なお、フリップフロップは、第１の配線２７１１、第２の配線２７１２、第３の配線２７１３、第４の配線２７１４、第５の配線２７１５及び第６の配線２７１６に接続されている。本実施の形態において、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３及び第４のトランジスタ２７０４はＰチャネル型トランジスタとし、そのゲートとソース間の電圧の絶対値（｜Ｖｇｓ｜）がしきい値電圧（｜Ｖｔｈ｜）を上回ったとき（ＶｇｓがＶｔｈを下回ったとき）、導通状態になるものとする。なお、第１の配線２７１１及び第２の配線２７１２を、それぞれ第１の電源線、第２の電源線と呼んでもよい。また、第３の配線２７１３及び第４の配線２７１４を、それぞれ第１の信号線、第２の信号線と呼んでもよい。

【０２１６】

なお、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３及び第４のトランジスタ２７０４は、それぞれ図１の第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４に相当する。また、第１の配線２７１１、第２の配線２７１２、第３の配線２７１３、第４の配線２７１４、第５の配線２７１５及び第６の配線２７１６は、それぞれ図１の第１の配線１１１、第２の配線１１２、第３の配線１１３、第４の配線１１４、第５の配線１１５、第６の配線１１６に相当する。

【０２１７】

第１のトランジスタ２７０１の第１端子（ソース端子及びドレイン端子の一方）は第１の配線２７１１に接続され、第２端子（ソース端子及びドレイン端子の他方）は第２のトランジスタ２７０２のゲート端子に接続され、ゲート端子は第５の配線２７１５に接続されている。第３のトランジスタ２７０３の第１端子は第２の配線２７１２に接続され、第２端子は第２のトランジスタ２７０２のゲート端子に接続され、ゲート端子は第４の配線２７１４に接続されている。第２のトランジスタ２７０２の第１端子は第３の配線２７１３に接続され、第２端子は第６の配線２７１６に接続されている。第４のトランジスタ２７

０４の第１端子は第２の配線２７１２に接続され、第２端子は第６の配線２７１６に接続され、ゲート端子は第４の配線２７１４に接続されている。なお、第１のトランジスタ２７０１の第２端子と、第２のトランジスタ２７０２のゲート端子と、第３のトランジスタ２７０３の第２端子との接続箇所をノード２７２１とする。

【０２１８】

なお、第３のトランジスタ２７０３の第２端子及び第４のトランジスタ２７０４の第２端子は、第２の配線２７１２に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第３のトランジスタ２７０３のゲート端子及び第４のトランジスタ２７０４のゲート端子は第４の配線２７１４に接続されているとは限定されず、別々の配線に接続されていてもよい。

【０２１９】

次に、図２７で示したフリップフロップの動作について、図２８のタイミングチャート及び図２９を参照して説明する。なお、図２８において、セット期間、選択期間、非選択期間について説明する。なお、非選択期間は、第１の非選択期間、第２の非選択期間及び第３の非選択期間に分割され、第１の非選択期間、第２の非選択期間及び第３の非選択期間を順に繰り返している。

【０２２０】

なお、第１の配線２７１１にはＶ２の電位が、第２の配線２７１２にはＶ１の電位が供給されている。ただし、Ｖ１＞Ｖ２とする。

【０２２１】

ただし、第１の配線２７１１にはＶ２の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。また、第２の配線２７１２にはＶ１の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。

【０２２２】

なお、第３の配線２７１３、第４の配線２７１４及び第５の配線２７１５には信号が入力されている。第３の配線２７１３に入力される信号は第１のクロック信号であり、第４の配線２７１４に入力される信号は第２のクロック信号であり、第５の配線２７１５に入力される信号はスタート信号である。また、第３の配線２７１３、第４の配線２７１４及び第５の配線２７１５に入力される信号は、Ｈ信号の電位がＶ１（以下、Ｈレベルともいう）、Ｌ信号の電位がＶ２（以下、Ｌレベルともいう）のデジタル信号である。

【０２２３】

ただし、第３の配線２７１３には第１のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。また、第４の配線２７１４には第２のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。また、第５の配線２７１５にはスタート信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。

【０２２４】

また、第３の配線２７１３、第４の配線２７１４及び第５の配線２７１５に入力される信号のＨ信号の電位はＶ１、Ｌ信号の電位はＶ２とは限定されず、Ｈ信号の電位がＬ信号の電位よりも高ければ、その電位は特に限定されない。

【０２２５】

なお、第６の配線２７１６からは信号が出力される。第６の配線２７１６から出力される信号は、フリップフロップの出力信号であり、次の段のフリップフロップのスタート信号でもある。また、第６の配線２７１６から出力される信号は、次の段のフリップフロップの第５の配線２７１５に入力される。また、第６の配線２７１６から出力される信号は、Ｈ信号の電位がＶ１（以下、Ｈレベルともいう）、Ｌ信号の電位がＶ２（以下、Ｌレベルともいう）のデジタル信号である。

【０２２６】

図２８において、信号２８１３は第３の配線２７１３に入力される信号であり、信号２８１４は第４の配線２７１４に入力される信号であり、信号２８１５は第５の配線２７１５に入力される信号であり、信号２８１６は第６の配線２７１６から出力される信号である。また、電位２８２１は図２７のノード２７２１の電位である。

【０２２７】

まず、図２８の期間Ａ及び図２９（Ａ）に示すセット期間では、信号２８１３及び信号２８１４がＨレベルであり、信号２８１５がＬレベルとなる。したがって、第３のトランジスタ２７０３及び第４のトランジスタ２７０４はオフとなり、第１のトランジスタ２７０１はオンとなる。このとき、第１のトランジスタ２７０１の第２端子がソース端子となり、ノード２７２１の電位（電位２８２１）は第５の配線２７１５の電位と第１のトランジスタ２７０１のしきい値電圧の絶対値との和になるためＶ２＋｜Ｖｔｈ２７０１｜となる。よって、第２のトランジスタ２７０２はオンとなり、第６の配線２７１６の電位は第３の配線２７１３の電位と等しくなるためＶ１となる。このように、セット期間では、フリップフロップは第２のトランジスタ２７０２をオンしたまま、Ｈレベルを第６の配線２７１６から出力する。

【０２２８】

図２８の期間Ｂ及び図２９（Ｂ）に示す選択期間では、信号２８１３がＬレベルとなり、信号２８１４がＨレベルのままであり、信号２８１５がＨレベルとなる。したがって、第３のトランジスタ２７０３及び第４のトランジスタ２７０４はオフのままであり、第１のトランジスタ２７０１はオフとなる。このとき、第２のトランジスタ２７０２の第２端子がソース端子となり、第６の配線２７１６の電位が減少し始める。ノード２７２１の電位（電位２８２１）は、ノード２７２１が浮遊状態（以下、フローティング状態ともいう）となっているため、第２のトランジスタ２７０２のゲート端子と第２端子との間の寄生容量の容量結合により第６の配線２７１６の電位と同時に減少する（ブートストラップ動作ともいう）。よって、第２のトランジスタ２７０２のゲートとソース間の電圧Ｖｇｓは－｜Ｖｔｈ２７０２｜－α（Ｖｔｈ２７０２：第２のトランジスタ２７０２のしきい値電圧、α：任意の正の数）となり、第６の配線２７１６の電位はＬレベル（Ｖ２）となる。このように、選択期間では、フリップフロップはノード２７２１の電位をＶ２－｜Ｖｔｈ２７０２｜－αにすることによって、Ｌレベルを第６の配線２７１６から出力することができる。

【０２２９】

図２８の期間Ｃ及び図２９（Ｃ）に示す第１の非選択期間では、信号２８１３がＨレベルとなり、信号２８１４がＬレベルとなり、信号２８１５がＨレベルのままである。したがって、第３のトランジスタ２７０３及び第４のトランジスタ２７０４がオンとなり、第１のトランジスタ２７０１はオフのままである。ノード２７２１及び第６の配線２７１６は、それぞれ第３のトランジスタ２７０３、第４のトランジスタ２７０４を介して第２の配線２７１２の電位が供給されるためＨレベルとなる。

【０２３０】

図２８の期間Ｄ及び図２９（Ｄ）に示す第２の非選択期間では、信号２８１３がＨレベルのままであり、信号２８１４がＨレベルとなり、信号２８１５がＨレベルのままである。したがって、第３のトランジスタ２７０３及び第４のトランジスタ２７０４がオフとなり、第１のトランジスタ２７０１はオフのままである。したがって、ノード２７２１及び第６の配線２７１６はＨレベルを維持する。

【０２３１】

図２８の期間Ｅ及び図２９（Ｅ）に示す第３の非選択期間では、信号２８１３がＬレベルとなり、信号２８１４がＨレベルのままであり、信号２８１５がＨレベルのままである。したがって、第１のトランジスタ２７０１、第３のトランジスタ２７０３及び第４のトランジスタ２７０４がオフのままである。したがって、ノード２７２１及び第６の配線２７１６はＨレベルを維持する。

【０２３２】

以上のことから、図２７のフリップフロップは、第３のトランジスタ２７０３及び第４のトランジスタ２７０４は第１の非選択期間のみでオンとなるため、第３のトランジスタ２７０３及び第４のトランジスタ２７０４の特性劣化（しきい値電圧のシフト）を抑制することができる。なお、図２７のフリップフロップは、第１のトランジスタ２７０１及び第２のトランジスタ２７０２はそれぞれセット期間のみ、セット期間及び選択期間のみでオンとなるため、第１のトランジスタ２７０１及び第２のトランジスタ２７０２の特性劣化も抑制することができる。

【０２３３】

さらに、図２７のフリップフロップは、非選択期間のうち、第１の非選択期間においてノード２７２１及び第６の配線２７１６にＶ１が供給されるためフリップフロップの誤動作を抑制することができる。なぜなら、非選択期間において、一定期間毎（第１の非選択期間）にノード２７２１及び第６の配線２７１６にＶ１が供給されており、ノード２７２１及び第６の配線２７１６の電位を安定してＶ１に維持することができるからである。

【０２３４】

なお、図２７のフリップフロップは、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３及び第４のトランジスタ２７０４が全てＰチャネル型トランジスタで構成されていることを特徴とする。したがって、図２７のフリップフロップは、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【０２３５】

ここで、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３及び第４のトランジスタ２７０４が有する機能を説明する。第１のトランジスタ２７０１は、第１の配線２７１１の電位を供給するタイミングを選択する機能を有し、入力用トランジスタとして機能する。第２のトランジスタ２７０２は、第３の配線２７１３の電位を第６の配線２７１６に供給するタイミングを選択し、ノード２７２１の電位をブートストラップ動作によって減少させる機能を有し、ブートストラップ用トランジスタとして機能する。第３のトランジスタ２７０３は、第２の配線２７１２の電位をノード２７２１に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第４のトランジスタ２７０４は、第２の配線２７１２の電位を第６の配線２７１６に供給する機能を有し、スイッチングトランジスタとして機能する。

【０２３６】

なお、図２７と同様の動作を行うものであれば、トランジスタの配置及び数などは図２７に限定されない。図２７のフリップフロップの動作を説明した図２９から分かるように、本実施の形態では、セット期間、選択期間、第１の非選択期間、第２の非選択期間及び第３の非選択期間は、それぞれ図２９（Ａ）乃至（Ｅ）に示す実線のように導通がとれていればよい。よって、これを満たすようにトランジスタ等を配置し、動作させうる構成であれば、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【０２３７】

例えば、図３０に示すように、図２７に示した第２のトランジスタ２７０１のゲート端子と第２端子との間に容量素子３００１を配置してもよい。容量素子３００１を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第２のトランジスタ２７０２のゲート端子と第２端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子３００１は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図２７の構成と共通するところは共通の符号を用いてその説明を省略する。

【０２３８】
なお、容量素子３００１は、図４の容量素子４０１に相当する。
【０２３９】
図３１のフリップフロップにおいても、図２７と同様の動作を行うことができる。図３１に示すように、図２７に示した第１のトランジスタ２７０１がダイオード接続となっていてもよい。第１のトランジスタ２７０１がダイオード接続されることによって、第１の配線２７１１が不必要になり、配線及び電源（Ｖ２）を１つずつ減らすことができる。なお、図２７の構成と共通するところは共通の符号を用いてその説明を省略する。
【０２４０】
また、本実施の形態に示したフリップフロップを図６及び図８のシフトレジスタに適用することができる。実施の形態１乃至実施の形態４と同様、３相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第３の配線６１３、第４の配線６１４、第５の配線６１５）に接続されているフリップフロップ６０１の段数が単相のクロック信号を用いた場合に比べて２／３になるため、各クロック信号線の負荷を小さくすることができる。ただし、第１の配線６１１及び第２の配線６１２に供給される電位と、第３の配線６１３、第４の配線６１４、第５の配線６１５及び第６の配線６１６に入力される信号と、配線６２２に出力される信号はそれぞれ、Ｎチャネル型トランジスタで構成されたフリップフロップを図６及び図８のシフトレジスタに適用した場合と比較して、Ｈレベル、Ｌレベルが反転している。
【０２４１】
また、本実施の形態に示したシフトレジスタを図９、図１１、図１２及び図４４の表示装置に適用することができる。実施の形態１乃至実施の形態４と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。
【０２４２】
なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。
【０２４３】
（実施の形態６）
本実施の形態では、実施の形態５とは異なる構成のＰチャネル型トランジスタで構成されたフリップフロップを図３２に示す。なお、実施の形態５と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。
【０２４４】
図３２に示すフリップフロップは、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３、第４のトランジスタ２７０４及び第５のトランジスタ３２０５を有する。なお、フリップフロップは、第１の配線２７１１、第２の配線２７１２、第３の配線２７１３、第４の配線２７１４、第５の配線２７１５、第６の配線２７１６及び第７の配線３２１７に接続されている。本実施の形態において、第５のトランジスタ３２０５はＰチャネル型トランジスタとし、そのゲートとソース間の電圧の絶対値（｜Ｖｇｓ｜）がしきい値電圧（｜Ｖｔｈ｜）を上回ったとき（ＶｇｓがＶｔｈを下回ったとき）、導通状態になるものとする。なお、第７の配線３２１７を、第３の信号線と呼んでもよい。
【０２４５】
なお、第５のトランジスタ３２０５は、図１３の第５のトランジスタ１３０５に相当する。また、第７の配線３２１７は、図１３の第７の配線１３１７に相当する。
【０２４６】
第１のトランジスタ２７０１の第１端子（ソース端子及びドレイン端子の一方）は第１の配線２７１１に接続され、第２端子（ソース端子及びドレイン端子の他方）は第２のトラ

ンジスタ２７０２のゲート端子に接続され、ゲート端子は第５の配線２７１５に接続されている。第３のトランジスタ２７０３の第１端子は第２の配線２７１２に接続され、第２端子は第２のトランジスタ２７０２のゲート端子に接続され、ゲート端子は第４の配線２７１４に接続されている。第２のトランジスタ２７０２の第１端子は第３の配線２７１３に接続され、第２端子は第６の配線２７１６に接続されている。第４のトランジスタ２７０４の第１端子は第２の配線２７１２に接続され、第２端子は第６の配線２７１６に接続され、ゲート端子は第４の配線２７１４に接続されている。第５のトランジスタ３２０５の第１端子は第２の配線２７１２に接続され、第２端子は第６の配線２７１６に接続され、ゲート端子は第７の配線３２１７に接続されている。

【０２４７】

なお、第３のトランジスタ２７０３の第１端子、第４のトランジスタ２７０４の第１端子及び第５のトランジスタ３２０５の第１端子は、第２の配線２７１２に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第３のトランジスタ２７０３のゲート端子及び第４のトランジスタ２７０４のゲート端子は第４の配線２７１４に接続されているとは限定されず、別々の配線に接続されていてもよい。

【０２４８】

次に、図３２で示したフリップフロップの動作について、図３３のタイミングチャートを参照して説明する。なお、図３３は、図３２のフリップフロップを図２７に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図２８のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

【０２４９】

なお、第７の配線３２１７には信号が入力されている。第７の配線３２１７に入力される信号は、第３のクロック信号である。また、第７の配線３２１７に入力される信号は、Ｈ信号の電位がＶ１（以下、Ｈレベルともいう）、Ｌ信号の電位がＶ２（以下、Ｌレベルともいう）のデジタル信号である。

【０２５０】

ただし、第７の配線３２１７には第３のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。

【０２５１】

図３３において、信号３３１７は第７の配線３２１７に入力される信号である。

【０２５２】

図３２のフリップフロップでは、セット期間及び第２の非選択期間において、第５のトランジスタ３２０５がオンとなる。そして、第６の配線２７１６は、第５のトランジスタ３２０５を介して第２の配線２７１２の電位が供給されるためＨレベルを維持する。

【０２５３】

以上のことから、図３２のフリップフロップは、第１の非選択期間、第２の非選択期間、第３の非選択期間のうち、第１の非選択期間及び第２の非選択期間において、第６の配線２７１６にＶ１が供給されるためフリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、一定期間毎（第１の非選択期間及び第２の非選択期間）に第６の配線２７１６にＶ１が供給されており、第６の配線２７１６の電位を安定してＶ１に維持することができるからである。

【０２５４】

さらに、図３２のフリップフロップは、第５のトランジスタ３２０５はセット期間及び第２の非選択期間のみでオンとなるため、第５のトランジスタ３２０５の特性劣化を抑制することができる。

【０２５５】

なお、図３２のフリップフロップは、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３、第４のトランジスタ２７０４及び第５のトランジスタ３２０５が全てＰチャネル型トランジスタで構成されていることを特徴とする。したがって、図３２のフリップフロップは、製造工程の簡略化を図ることができ、製造コス

トの削減や歩留まりの向上を図ることができる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【０２５６】

ここで、第５のトランジスタ３２０５が有する機能を説明する。第５のトランジスタ３２０５は、第２の配線２７１２の電位を第６の配線２７６に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。

【０２５７】

なお、図３２と同様の動作を行うものであれば、トランジスタの配置及び数などは図３２に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【０２５８】

例えば、図３４に示すように、図３２に示した第２のトランジスタ２７０２のゲート端子と第２端子との間に容量素子３４０１を配置してもよい。容量素子３４０１を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第２のトランジスタ２７０２のゲート端子と第２端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子３４０１は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図３２の構成と共通するところは共通の符号を用いてその説明を省略する。

【０２５９】

なお、容量素子３４０１は、図１５の容量素子１５０１に相当する。

【０２６０】

図３５のフリップフロップにおいても、図３２と同様の動作を行うことができる。図３５に示すように、図３２に示した第１のトランジスタ２７０１がダイオード接続されていてもよい。第１のトランジスタ２７０１がダイオード接続されることによって、第１の配線２７１１が不必要になり、配線及び電源（Ｖ２）を１つずつ減らすことができる。なお、図３２の構成と共通するところは共通の符号を用いてその説明を省略する。

【０２６１】

また、本実施の形態に示したフリップフロップを図１７及び図１８のシフトレジスタに適用することができる。実施の形態１乃至実施の形態５と同様、３相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第３の配線６１３、第４の配線６１４、第５の配線６１５）に接続されているフリップフロップ１７０１の段数が単相のクロック信号を用いた場合に比べて２／３になるため、各クロック信号線の負荷を小さくすることができる。ただし、第１の配線６１１及び第２の配線６１２に供給される電位と、第３の配線６１３、第４の配線６１４、第５の配線６１５及び第６の配線６１６に入力される信号と、配線６２２に出力される信号はそれぞれ、Ｎチャネル型トランジスタで構成されたフリップフロップを図１７及び図１８のシフトレジスタに適用した場合と比較して、Ｈレベル、Ｌレベルが反転している。

【０２６２】

また、本実施の形態に示したシフトレジスタを図９、図１１、図１２及び図４４の表示装置に適用することができる。実施の形態１乃至実施の形態５と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

【０２６３】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施

することができる。
【０２６４】
（実施の形態７）
本実施の形態では、実施の形態５及び実施の形態６とは異なる構成のフリップフロップを図３６に示す。なお、実施の形態５及び実施の形態６と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。
【０２６５】
図３６に示すフリップフロップは、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３、第４のトランジスタ２７０４、第５のトランジスタ３２０５、第６のトランジスタ３６０６、第７のトランジスタ３６０７、第８のトランジスタ３６０８及び第９のトランジスタ３６０９を有している。なお、フリップフロップは、第１の配線２７１１、第２の配線２７１２、第３の配線２７１３、第４の配線２７１４、第５の配線２７１５、第６の配線２７１６及び第７の配線３２１７に接続されている。本実施の形態において、第６のトランジスタ３６０６、第７のトランジスタ３６０７、第８のトランジスタ３６０８及び第９のトランジスタ３６０９はＰチャネル型トランジスタとし、そのゲートとソース間の電圧の絶対値（｜Ｖｇｓ｜）がしきい値電圧（｜Ｖｔｈ｜）を上回ったとき（ＶｇｓがＶｔｈを下回ったとき）、導通状態になるものとする。
【０２６６】
第１のトランジスタ２７０１の第１端子（ソース端子及びドレイン端子の一方）は第１の配線２７１１に接続され、第２端子（ソース端子及びドレイン端子の他方）は第２のトランジスタ２７０２のゲート端子に接続され、ゲート端子は第５の配線２７１５に接続されている。第３のトランジスタ２７０３の第１端子は第２の配線２７１２に接続され、第２端子は第２のトランジスタ２７０２のゲート端子に接続され、ゲート端子は第４の配線２７１４に接続されている。第２のトランジスタ２７０２の第１端子は第３の配線２７１３に接続され、第２端子は第６の配線２７１６に接続されている。第４のトランジスタ２７０４の第１端子は第２の配線２７１２に接続され、第２端子は第６の配線２７１６に接続され、ゲート端子は第４の配線２７１４に接続されている。第５のトランジスタ３２０５の第１端子は第２の配線２７１２に接続され、第２端子は第６の配線２７１６に接続され、ゲート端子は第７の配線３２１７に接続されている。第６のトランジスタ３６０６の第１端子は第２の配線２７１２に接続され、第２端子は第８のトランジスタ３２０８のゲート端子に接続され、ゲート端子は第２のトランジスタ２７０２のゲート端子に接続されている。第７のトランジスタ３６０７の第１端子は第１の配線２７１１に接続され、第２端子は第８のトランジスタ３６０８のゲート端子に接続され、ゲート端子は第１の配線２７１１に接続されている。第８のトランジスタ３６０８の第１端子は第３の配線２７１３に接続され、第２端子は第９のトランジスタ３６０９のゲート端子に接続されている。第９のトランジスタ３６０９の第１端子は第２の配線２７１２に接続され、第２端子は第６の配線２７１６に接続されている。なお、第６のトランジスタ３６０６の第２端子、第７のトランジスタ３６０７の第２端子及び第８のトランジスタ３６０８のゲート端子の接続箇所をノード３６２２とする。また、第８のトランジスタ３６０８の第２端子及び第９のトランジスタ３６０９のゲート端子の接続箇所をノード３６２３とする。
【０２６７】
なお、第３のトランジスタ２７０３の第１端子、第４のトランジスタ２７０４の第１端子、第５のトランジスタ３２０５の第１端子、第６のトランジスタ３６０６の第１端子及び第９のトランジスタ３６０９の第１端子は第２の配線２７１２に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第３のトランジスタ２７０３のゲート端子及び第４のトランジスタ２７０４のゲート端子は第４の配線２７１４に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第１のトランジスタ２７０１の第１端子、第７のトランジスタ３６０７の第１端子及び第７のトランジスタ３６０７のゲート端子は第１の配線２７１１に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第２のトランジスタ２７０２の第１端子及び第８のトラン

ジスタ３６０８の第１端子は第３の配線２７１３に接続されているとは限定されず、別々の配線に接続されていてもよい。

【０２６８】

次に、図３６で示したフリップフロップの動作について、図３７のタイミングチャートを参照して説明する。なお、図３７は、図３６のフリップフロップを図２７及び図３２に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図２８及び図３３のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

【０２６９】

図３７において、電位３７２２は図３６のノード３６２２の電位であり、電位３７２３は図３６のノード３６２３の電位である。

【０２７０】

図３６のフリップフロップでは、第３の非選択期間において、第９のトランジスタ３６０９がオンとなる。そして、第６の配線２７１６は、第９のトランジスタ３６０９を介して第２の配線２７１２の電位が供給されるためＨレベルを維持する。

【０２７１】

具体的に第９のトランジスタ３６０９のオン及びオフの制御を説明する。まず、第６のトランジスタ３６０６及び第７のトランジスタ３６０７はインバータを構成しており、トランジスタ３６０６のゲート端子にＬレベルが入力されると、ノード３６２２の電位（電位３７２２）がおおむねＶ１となる。ただし、このときの電位３７２２は、このときの第６のトランジスタ３６０６と第７のトランジスタ３６０７との抵抗比によって決定するため、Ｖ１よりも少し低い値となる。また、第６のトランジスタ３６０６のゲート端子にＨレベルが入力されると、ノード３６２２の電位が第１の配線２７１１の電位と第７のトランジスタ３６０７のしきい値電圧の絶対値との和となるためＶ２＋｜Ｖｔｈ３６０７｜となる。したがって、第１の非選択期間、第２の非選択期間及び第３の非選択期間では、ノード２７２１がＨレベルであり、ノード３６２２がＬレベルになるため第８のトランジスタ３６０８はオンとなる。よって、第９のトランジスタ３６０９は、第３の配線２７１３に入力される信号によって制御されるため、第３の非選択期間においてオンとなり、第１の非選択期間及び第２の非選択期間においてオフとなる。一方で、セット期間及び選択期間では、ノード２７２１がＬレベルであり、ノード３６２２がＨレベルになるため第８のトランジスタ３６０８はオフとなる。よって、第９のトランジスタ３６０９のゲート端子の電位がセット期間の前の期間である第１の非選択期間の電位、つまりＨレベルを維持するため、第９のトランジスタ３６０９はオフとなる。

【０２７２】

以上のことから、図３６のフリップフロップは、第１の非選択期間、第２の非選択期間及び第３の非選択期間において、第６の配線２７１６にＶ１が供給されるため、フリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、第６の配線２７１６にＶ１を供給することができるからである。また、図３６のフリップフロップは、非選択期間において第６の配線２７１６にＶ１が供給されるため、第６の配線２７１６のノイズを少なくすることができる。

【０２７３】

さらに、図３６のフリップフロップは、第６のトランジスタ３６０６、第７のトランジスタ３６０７、第８のトランジスタ３６０８及び第９のトランジスタ３６０９の特性劣化を抑制することができる。なぜなら、第６のトランジスタ３６０６はセット期間及び選択期間のみでオンとなるからである。また、第７のトランジスタ３６０７は選択期間の後の第１の非選択期間のうちノード３６２２の電位がＶ２＋｜Ｖｔｈ３６０７｜まで減少する期間のみでオンとなるからである。また、第８のトランジスタ３６０８は第１の非選択期間、第２の非選択期間及び第３の非選択期間のうちノード３６２３の電位がＶ２＋δ（δ：｜Ｖｔｈ３６０７｜＋｜Ｖｔｈ３６０８｜）まで減少する期間のみでオンとなるからである。また、第９のトランジスタ３６０９は第３の非選択期間のみでオンとなるからである

。
【０２７４】
なお、図３６のフリップフロップは、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３、第４のトランジスタ２７０４、第５のトランジスタ３２０５、第６のトランジスタ３６０６、第７のトランジスタ３６０７、第８のトランジスタ３６０８及び第９のトランジスタ３６０９が全てＰチャネル型トランジスタで構成されていることを特徴とする。したがって、図３６のフリップフロップは、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。
【０２７５】
ここで、第６のトランジスタ３６０６、第７のトランジスタ３６０７、第８のトランジスタ３６０８及び第９のトランジスタ３６０９が有する機能を説明する。第６のトランジスタ３６０６は、第２の配線２７１２の電位をノード３６２２に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第７のトランジスタ３６０７は、第１の配線２７１１の電位をノード３６２２に供給するタイミングを選択する機能を有し、ダイオードとして機能する。第８のトランジスタ３６０８は、第３の配線２７１３の電位をノード３６２３に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第９のトランジスタ３６０９は、第２の配線２７１２の電位を第６の配線２７１６に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。
【０２７６】
なお、図３６と同様の動作を行うものであれば、トランジスタの配置及び数などは図３６に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。
【０２７７】
例えば、図３８に示すように、図３６に示した第２のトランジスタ２７０２のゲート端子と第２端子との間に容量素子３８０１を配置してもよい。容量素子３８０１を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第２のトランジスタ２７０２のゲート端子と第２端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子３８０１は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図３６の構成と共通するところは共通の符号を用いてその説明を省略する。
【０２７８】
図３９のフリップフロップにおいても、図３６と同様の動作を行うことができる。図３９に示すように、図３６に示した第１のトランジスタ２７０１がダイオード接続してもよい。第１のトランジスタ２７０１がダイオード接続されることによって、第１の配線２７１１に流れる電流が小さくなるため、第１の配線２７１１の配線幅を小さくすることができる。なお、図３６の構成と共通するところは共通の符号を用いてその説明を省略する。
【０２７９】
また、本実施の形態に示したフリップフロップを図１７及び図１８のシフトレジスタに適用することができる。実施の形態１乃至実施の形態６と同様、３相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第３の配線６１３、第４の配線６１４、第５の配線６１５）に接続されているフリップフロップ１７０１の段数が単相のクロック信号を用いた場合の２／３になるため、各クロック信号線の負荷を小さくすることができる。ただし、第１の配線６１１及び第２の配線６１２に供給される電位と、第３の配線６１３、第４の配線６１４、第５の配線６１５及び第６の配線６１６に入力される信号と、配線６２２に出力される信号は

それぞれ、Ｎチャネル型トランジスタで構成されたフリップフロップを図１７及び図１８のシフトレジスタに適用した場合と比較して、Ｈレベル、Ｌレベルが反転している。

【０２８０】

また、本実施の形態に示したシフトレジスタを図９、図１１、図１２及び図４４の表示装置に適用することができる。実施の形態１乃至実施の形態６と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

【０２８１】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

【０２８２】

（実施の形態８）

本実施の形態では、実施の形態５、実施の形態６及び実施の形態７とは異なる構成のフリップフロップを図４０に示す。なお、実施の形態５、実施の形態６及び実施の形態７と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０２８３】

図４０に示すフリップフロップは、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３、第４のトランジスタ２７０４、第５のトランジスタ３２０５、第６のトランジスタ３６０６、第７のトランジスタ３６０７、第８のトランジスタ３６０８、第９のトランジスタ３６０９、第１０のトランジスタ４０１０、第１１のトランジスタ４０１１及び第１２のトランジスタ４０１２を有している。なお、フリップフロップは、第１の配線２７１１、第２の配線２７１２、第３の配線２７１３、第４の配線２７１４、第５の配線２７１５、第６の配線２７１６及び第７の配線３２１７に接続されている。本実施の形態において、第１０のトランジスタ４０１０、第１１のトランジスタ４０１１及び第１２のトランジスタ４０１２は、Ｐチャネル型トランジスタとし、そのゲートとソース間の電圧の絶対値（｜Ｖｇｓ｜）がしきい値電圧（｜Ｖｔｈ｜）を上回ったとき（ＶｇｓがＶｔｈを下回ったとき）、導通状態になるものとする。

【０２８４】

第１のトランジスタ２７０１の第１端子（ソース端子及びドレイン端子の一方）は第１の配線２７１１に接続され、第２端子（ソース端子及びドレイン端子の他方）は第２のトランジスタ２７０２のゲート端子に接続され、ゲート端子は第５の配線２７１５に接続されている。第３のトランジスタ２７０３の第１端子は第２の配線２７１２に接続され、第２端子は第２のトランジスタ２７０２のゲート端子に接続され、ゲート端子は第４の配線２７１４に接続されている。第２のトランジスタ２７０２の第１端子は第３の配線２７１３に接続され、第２端子は第６の配線２７１６に接続されている。第４のトランジスタ２７０４の第１端子は第２の配線２７１２に接続され、第２端子は第６の配線２７１６に接続され、ゲート端子は第４の配線２７１４に接続されている。第５のトランジスタ３２０５の第１端子は第２の配線２７１２に接続され、第２端子は第６の配線２７１６に接続され、ゲート端子は第７の配線３２１７に接続されている。第６のトランジスタ３６０６の第１端子は第２の配線２７１２に接続され、第２端子は第８のトランジスタ３６０８のゲート端子及び第１１のトランジスタ４０１１のゲート端子に接続され、ゲート端子は第２のトランジスタ２７０２のゲート端子に接続されている。第７のトランジスタ３６０７の第１端子は第１の配線２７１１に接続され、第２端子は第８のトランジスタ３６０８のゲート端子及び第１１のトランジスタ４０１１のゲート端子に接続され、ゲート端子は第１の配線２７１１に接続されている。第８のトランジスタ３６０８の第１端子は第３の配線２７１３に接続され、第２端子は第９のトランジスタ３６０９のゲート端子及び第１０のトランジスタ４０１０のゲート端子に接続されている。第９のトランジスタ３６０９の第１

端子は第２の配線２７１２に接続され、第２端子は第６の配線２７１６に接続されている。第１０のトランジスタ４０１０の第１端子は第２の配線２７１２に接続され、第２端子は第２のトランジスタ２７０２のゲート端子に接続されている。第１１のトランジスタ４０１１の第１端子は第７の配線３２１７に接続され、第２端子は第１２のトランジスタ４０１２のゲート端子に接続されている。第１２のトランジスタ４０１２の第１端子は第２の配線２７１２に接続され、第２端子は第２のトランジスタ２７０２のゲート端子に接続されている。なお、第１１のトランジスタ４０１１の第２端子及び第１２のトランジスタ４０１２のゲート端子の接続箇所をノード４０２４とする。

【０２８５】

なお、第３のトランジスタ２７０３の第２端子、第４のトランジスタ２７０４の第２端子、第５のトランジスタ３２０５の第２端子、第６のトランジスタ３６０６の第２端子、第９のトランジスタ３６０９の第２端子、第１０のトランジスタ４０１０の第２端子及び第１２のトランジスタ４０１２の第２端子は第２の配線２７１２に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第３のトランジスタ２７０３のゲート端子及び第４のトランジスタ２７０４のゲート端子は第４の配線２７１４に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第１のトランジスタ２７０１の第１端子、第７のトランジスタ３６０７の第１端子及び第７のトランジスタ３６０７のゲート端子は第１の配線２７１１に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第２のトランジスタ２７０２の第１端子及び第８のトランジスタ３６０８の第１端子は第３の配線２７１３に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第５のトランジスタ３２０５のゲート端子及び第１１のトランジスタ４０１１の第１端子は第７の配線３２１７に接続されているとは限定されず、別々の配線に接続されていてもよい。

【０２８６】

次に、図４０で示したフリップフロップの動作について、図４１のタイミングチャートを参照して説明する。図４１は、図４０のフリップフロップを図２７、図３２及び図３６に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図２８、図３３及び図３７のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

【０２８７】

図４１において、電位４１２４は図４０のノード４０２４の電位である。

【０２８８】

図４０のフリップフロップでは、第３の非選択期間において第１０のトランジスタ４０１０がオンとなる。そして、ノード２７２１は、第１０のトランジスタ４０１０を介して第２の配線２７１２の電位が供給されるためＨレベルをより安定して維持できる。さらに、図４０のフリップフロップでは、第１の非選択期間において第１２のトランジスタ４０１２がオンとなる。そして、ノード２７２１は、第１２のトランジスタ４０１２を介して第２の配線２７１２の電位が供給されるためＨレベルをより安定して維持できる。

【０２８９】

具体的に第１２のトランジスタ４０１２のオン及びオフの制御を説明する。なお、第１０のトランジスタ４０１０のオン及びオフの制御は、実施の形態７に示した第９のトランジスタ３６０９のオン及びオフの制御と同様である。まず、図３６のフリップフロップと同様に第６のトランジスタ３６０６及び第７のトランジスタ３６０７はインバータを構成している。したがって、第１の非選択期間、第２の非選択期間及び第３の非選択期間では、ノード２７２１がＨレベルであり、ノード３６２２がＬレベルになるため第１１のトランジスタ４０１１はオンとなる。よって、第１２のトランジスタ４０１２は、第７の配線３２１７に入力される信号によって制御されるため、第２の非選択期間おいてオンし、第１の非選択期間及び第３の非選択期間においてオフとなる。一方で、セット期間及び選択期間ではノード２７２１がＬレベルであり、ノード３６２２がＨレベルになるため第１１のトランジスタ４０１１はオフとなる。よって、第１２のトランジスタ４０１２のゲート端

子の電位がセット期間の前の期間である第１の非選択期間の電位、つまりＨレベルを維持するため、第１２のトランジスタ４０１２はオフとなる。

【０２９０】

以上のことから、図４０のフリップフロップは、第１の非選択期間、第２の非選択期間及び第３の非選択期間において、第６の配線２７１６及びノード２７２１にＶ１が供給されるため、フリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、第６の配線２７１６及びノード２７２１にＶ１を供給することができるからである。また、図４０のフリップフロップは、非選択期間において第６の配線２７１６及びノード２７２１にＶ１が供給されるため、第６の配線２７１６及びノード２７２１のノイズを少なくすることができる。

【０２９１】

さらに、図４０のフリップフロップは、第１０のトランジスタ４０１０、第１１のトランジスタ４０１１及び第１２のトランジスタ４０１２の特性劣化を抑制することができる。なぜなら、第１０のトランジスタ４０１０は第３の非選択期間のみでオンとなるからである。また、第１１のトランジスタ４０１１は第１の非選択期間、第２の非選択期間及び第３の非選択期間のうちノード４０２４の電位がＶ２＋ε（ε：｜Ｖｔｈ３６０７｜＋｜Ｖｔｈ４０１１｜）まで減少する期間のみでオンとなるからである。また、第１２のトランジスタ４０１２は、第２の非選択期間のみでオンとなるからである。

【０２９２】

なお、図４０のフリップフロップは、第１のトランジスタ２７０１、第２のトランジスタ２７０２、第３のトランジスタ２７０３、第４のトランジスタ２７０４、第５のトランジスタ３２０５、第６のトランジスタ３６０６、第７のトランジスタ３６０７、第８のトランジスタ３６０８、第９のトランジスタ３６０９、第１０のトランジスタ４０１０、第１１のトランジスタ４０１１及び第１２のトランジスタ４０１２が全てＰチャネル型トランジスタで構成されていることを特徴とする。したがって、図４０のフリップフロップは、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【０２９３】

ここで、第１０のトランジスタ４０１０、第１１のトランジスタ４０１１及び第１２のトランジスタ４０１２が有する機能を説明する。第１０のトランジスタ４０１０は、第２の配線２７１２の電位をノード２７２１に供給する機能を有し、スイッチングトランジスタとして機能する。第１１のトランジスタ４０１１は、第７の配線３２１７の電位をノード４０２４に供給する機能を有し、スイッチングトランジスタとして機能する。第１２のトランジスタ４０１２は第２の配線２７１２の電位をノード２７２１に供給する機能を有し、スイッチングトランジスタとして機能する。

【０２９４】

なお、図４０と同様の動作を行うものであれば、トランジスタの配置及び数などは図２３に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【０２９５】

例えば、図４２に示すように、図４０に示した第２のトランジスタ２７０２のゲート端子と第２端子との間に容量素子４２０１を配置してもよい。容量素子４２０１を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第２のトランジスタ２７０２のゲート端子と第２端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子４２０１は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図４０の構成と共通するところは共通の符号を用いてその説明を省略する。

【０２９６】
図４３のフリップフロップにおいても、図４０と同様の動作を行うことができる。図４３に示すように、図４０に示した第１のトランジスタ２７０１がダイオード接続してもよい。第１のトランジスタ２７０１がダイオード接続されることによって、第１の配線２７１１に流れる電流が小さくなるため、第１の配線２７１１の配線幅を小さくする。
【０２９７】
また、本実施の形態に示したフリップフロップを図１７及び図１８のシフトレジスタに適用することができる。実施の形態１乃至実施の形態７と同様、３相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第３の配線６１３、第４の配線６１４、第５の配線６１５）に接続されているフリップフロップ１７０１の段数が単相のクロック信号を用いた場合に比べて２／３になるため、各クロック信号線の負荷を小さくすることができる。ただし、第１の配線６１１及び第２の配線６１２に供給される電位と、第３の配線６１３、第４の配線６１４、第５の配線６１５及び第６の配線６１６に入力される信号と、配線６２２に出力される信号はそれぞれ、Ｎチャネル型トランジスタで構成されたフリップフロップを図１７及び図１８のシフトレジスタに適用した場合と比較して、Ｈレベル、Ｌレベルが反転している。
【０２９８】
また、本実施の形態に示したシフトレジスタを図９、図１１、図１２及び図４４の表示装置に適用することができる。実施の形態１乃至実施の形態７と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。
【０２９９】
なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。
【０３００】
（実施の形態９）
本実施の形態では、実施の形態１乃至実施の形態８に示した表示装置が有する画素の一例について図４６を参照して説明する。
【０３０１】
図４６の画素構成について説明する。図４６（Ａ）に示す画素は、トランジスタ４６０１、容量素子４６０２、表示素子４６２１を有する。なお、画素は、第１の配線４６１１、第２の配線４６１２及び第３の配線４６１３に接続されている。また、表示素子４６２１には図４６（Ｂ）に示すように画素電極４６２３と対向電極４６２２との間の電界によって光の透過率が変化する液晶素子４６３１を用いた場合について説明する。なお、第１の配線４６１１を信号線と呼んでもよい。また、第２の配線４６１２を走査線と呼んでもよい。また、第３の配線４６１３を保持容量線と呼んでもよい。
【０３０２】
なお、トランジスタ４６０１は、Ｎチャネル型のトランジスタを示しているが、Ｐチャネル型のトランジスタであってもよい。実施の形態１乃至実施の形態４では、トランジスタ４６０１としてＮチャネル型のトランジスタを用いるほうが望ましい。なぜなら、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。また、実施の形態５乃至実施の形態８では、トランジスタ４６０１としてＰチャネル型のトランジスタを用いることが望ましい。なぜなら、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることがで

きるからである。
【０３０３】
なお、第１の配線４６１１は、図９、図１１、図１２及び図４４の表示装置に示した信号線Ｓ１～Ｓｍのいずれか一に相当する。第２の配線４６１２は、図９、図１１、図１２及び図４４の表示装置に示した走査線Ｇ１～Ｇｎのいずれか一に相当する。
【０３０４】
なお、第３の配線４６１３は、図９、図１１、図１２及び図４４には図示していないが、すでに述べたように必要に応じて図９、図１１、図１２及び図４４に追加するとよい。
【０３０５】
なお、容量素子４６０２は、表示素子４６２１の画素電極４６２３の電位を保持する役目をしている。よって、容量素子４６０２は、画素電極４６２３と第３の配線４６１３との間に接続されているがこれに限定されない。画素電極４６２３の電位を保持できるように配置されていればよく、別（例えば、前行）の画素の第２の配線４６１２に接続されていてもよいし、対向電極４６２２又は対向電極４６２２に相当する電極に接続されていてもよい。また、表示素子４６２１が容量性を有していれば、容量素子４６０２及び第３の配線４６１３は必ずしも必要ではない。
【０３０６】
動作方法としては、第１の配線４６１１を選択して、トランジスタ４６０１をオン状態にして、第１の配線４６１１からビデオ信号を画素電極４６２３及び容量素子４６０２に入力する。すると、表示素子４６２１がビデオ信号に応じた透過率となる。
【０３０７】
ここで、表示装置を高画質化できる駆動方法について説明する。なお、表示装置を高画質化できる駆動方法として、オーバードライブ駆動方法、コモン線（保持容量線）を制御する駆動方法、バックライトスキャン、高周波駆動方法などを説明する。また、これらの駆動方法は、自由に組み合わせて実施することができる。
【０３０８】
まず、オーバードライブ駆動について、図４７（Ａ）を参照して説明する。図４７（Ａ）は、表示素子の、入力電圧に対する出力輝度の時間変化を表したものである。破線で表した入力電圧１に対する表示素子の出力輝度の時間変化は、同じく破線で表した出力輝度１のようになる。すなわち、目的の出力輝度Ｌｏｗを得るための電圧はＶｉであるが、入力電圧としてＶｉをそのまま入力した場合は、目的の出力輝度Ｌｏｗに達するまでに、素子の応答速度に対応した時間を要してしまう。
【０３０９】
オーバードライブ駆動は、この応答速度を速めるための技術である。具体的には、まず、Ｖｉよりも大きい電圧であるＶｏを素子に一定時間与えることで素子の応答速度を高めて、目的の出力輝度Ｌｏｗに近づけた後に、入力電圧をＶｉに戻す、という方法である。このときの入力電圧は入力電圧２、出力輝度は出力輝度２に表したようになる。出力輝度２のグラフは、目的の輝度Ｌｏｗに至るまでの時間が、出力輝度１のグラフよりも短くなっている。
【０３１０】
なお、図４７（Ａ）においては、入力電圧に対し出力輝度が正の変化をする場合について述べたが、入力電圧に対し出力輝度が負の変化をする場合も、本発明は含んでいる。
【０３１１】
このような駆動を実現するための回路について、図４７（Ｂ）および図４７（Ｃ）を参照して説明する。まず、図４７（Ｂ）を参照して、入力映像信号Ｇｉがアナログ値（離散値でもよい）をとる信号であり、出力映像信号Ｇｏもアナログ値をとる信号である場合について説明する。図４７（Ｂ）に示すオーバードライブ回路は、符号化回路４７０１、フレームメモリ４７０２、補正回路４７０３、ＤＡ変換回路４７０４、を備える。
【０３１２】
入力映像信号Ｇｉは、まず、符号化回路４７０１に入力され、符号化される。つまり、ア

ナログ信号から、適切なビット数のデジタル信号に変換される。その後、変換されたデジタル信号は、フレームメモリ４７０２と、補正回路４７０３と、にそれぞれ入力される。補正回路４７０３には、フレームメモリ４７０２に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路４７０３において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路４７０３に出力切替信号を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。次に、補正された映像信号または当該フレームの映像信号は、ＤＡ変換回路４７０４に入力される。そして、補正された映像信号または当該フレームの映像信号にしたがった値のアナログ信号である出力映像信号Ｇｏが出力される。このようにして、オーバードライブ駆動が実現できる。

【０３１３】

続いて、図４７（Ｃ）を参照して、入力映像信号Ｇｉがデジタル値をとる信号であり、出力映像信号Ｇｏもデジタル値をとる信号である場合について説明する。図４７（Ｃ）に示すオーバードライブ回路は、フレームメモリ４７１２、補正回路４７１３、を備える。

【０３１４】

入力映像信号Ｇｉは、デジタル信号であり、まず、フレームメモリ４７１２と、補正回路４７１３と、にそれぞれ入力される。補正回路４７１３には、フレームメモリ４７１２に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路４７１３において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路４７１３に出力切替信号を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。このようにして、オーバードライブ駆動が実現できる。

【０３１５】

なお、補正された映像信号を得るための数値テーブルの組み合わせは、１ＳＦにおいて取りうる階調の数と、２ＳＦにおいて取りうる階調の数の積となる。この組み合わせの数は、小さいほど、補正回路４７１３内に格納するデータ量が小さくなるため、好ましい。本実施の形態においては、明画像を表示するサブフレームが最高輝度となるまでの中間調においては、暗画像の輝度は０であり、明画像を表示するサブフレームが最高輝度となってから最高階調となるまでは、明画像の輝度は一定であるため、この組み合わせの数を大幅に小さくできる。

【０３１６】

なお、本発明におけるオーバードライブ回路は、入力映像信号Ｇｉがアナログ信号であり、出力映像信号Ｇｏがデジタル信号である場合も含む。このときは、図４７（Ｂ）に示した回路から、ＤＡ変換回路４７０４を省略すればよい。また、本発明におけるオーバードライブ回路は、入力映像信号Ｇｉがデジタル信号であり、出力映像信号Ｇｏがアナログ信号である場合も含む。このときは、図４７（Ｂ）に示した回路から、符号化回路４７０１を省略すればよい。

【０３１７】

次に、コモン線の電位を操作する駆動について、図４８を参照して説明する。図４８（Ａ）は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線１本に対し、コモン線が１本配置されているときの、複数の画素回路を表した図である。図４８（Ａ）に示す画素回路は、トランジスタ４８０１、補助容量４８０２、表示素子４８０３、映像信号線４８０４、走査線４８０５、コモン線４８０６、を備えている。

【０３１８】

なお、トランジスタ４８０１、補助容量４８０２、表示素子４８０３、映像信号線４８０４、走査線４８０５、コモン線４８０６それぞれは、図４６に示したトランジスタ４６０１、容量素子４６０２、表示素子４６２１、第１の配線４６１１、第２の配線４６１２、第３の配線４６１３に相当する。

【０３１９】

トランジスタ４８０１のゲート端子は、走査線４８０５に電気的に接続され、トランジスタ４８０１のソース端子またはドレイン端子の一方は、映像信号線４８０４に電気的に接続され、トランジスタ４８０１のソース端子またはドレイン端子の他方は、補助容量４８０２の一方の端子、および表示素子４８０３の一方の端子に電気的に接続されている。また、補助容量４８０２の他方の端子は、コモン線４８０６に電気的に接続されている。

【０３２０】

まず、走査線４８０５によって選択された画素は、トランジスタ４８０１がオンとなるため、それぞれ、映像信号線４８０４を介して、表示素子４８０３および補助容量４８０２に映像信号に対応した電圧がかかる。このとき、その映像信号が、コモン線４８０６に接続された全ての画素に対して最低階調を表示させるものだった場合、または、コモン線４８０６に接続された全ての画素に対して最高階調を表示させるものだった場合は、画素にそれぞれ映像信号線４８０４を介して映像信号を書き込む必要はない。映像信号線４８０４を介して映像信号を書き込む代わりに、コモン線４８０６の電位を動かすことで、表示素子４８０３にかかる電圧を変えることができる。

【０３２１】

続いて、図４８（Ｂ）は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線１本に対し、コモン線が２本配置されているときの、複数の画素回路を表した図である。図４８（Ｂ）に示す画素回路は、トランジスタ４８１１、補助容量４８１２、表示素子４８１３、映像信号線４８１４、走査線４８１５、第１のコモン線４８１６、第２のコモン線４８１７、を備えている。

【０３２２】

トランジスタ４８１１のゲート端子は、走査線４８１５に電気的に接続され、トランジスタ４８１１のソース端子またはドレイン端子の一方は、映像信号線４８１４に電気的に接続され、トランジスタ４８１１のソース端子またはドレイン端子の他方は、補助容量４８１２の一方の端子、および表示素子４８１３の一方の端子に電気的に接続されている。また、補助容量４８１２の他方の端子は、第１のコモン線４８１６に電気的に接続されている。また、当該画素と隣接する画素においては、補助容量４８１２の他方の端子は、第２のコモン線４８１７に電気的に接続されている。

【０３２３】

図４８（Ｂ）に示す画素回路は、コモン線１本に対し電気的に接続されている画素が少ないため、映像信号線４８１４を介して映像信号を書き込む代わりに、第１のコモン線４８１６または第２のコモン線４８１７の電位を動かすことで、表示素子４８１３にかかる電圧を変えることができる頻度が、顕著に大きくなる。また、ソース反転駆動またはドット反転駆動が可能になる。ソース反転駆動またはドット反転駆動により、素子の信頼性を向上させ、フリッカーを抑えることができる。

【０３２４】

次に、走査型バックライトについて、図４９を参照して説明する。図４９（Ａ）は、冷陰極管を並置した走査型バックライトを示す図である。図４９（Ａ）に示す走査型バックライトは、拡散板４９０１と、Ｎ個の冷陰極管４９０２－１から４９０２－Ｎと、を備える。Ｎ個の冷陰極管４９０２－１から４９０２－Ｎを、拡散板４９０１の後ろに並置することで、Ｎ個の冷陰極管４９０２－１から４９０２－Ｎは、その輝度を変化させて走査することができる。

【０３２５】

走査するときの各冷陰極管の輝度の変化を、図４９（Ｃ）を用いて説明する。まず、冷陰極管４９０２－１の輝度を、一定時間変化させる。そして、その後に、冷陰極管４９０２－１の隣に配置された冷陰極管４９０２－２の輝度を、同じ時間だけ変化させる。このように、冷陰極管４９０２－１から４９０２－Ｎまで、輝度を順に変化させる。なお、図４９（Ｃ）においては、一定時間変化させる輝度は、元の輝度より小さいものとしたが、元の輝度より大きくてもよい。また、冷陰極管４９０２－１から４９０２－Ｎまで走査するとしたが、逆方向に冷陰極管４９０２－Ｎから４９０２－１まで走査してもよい。

【０３２６】
なお、輝度が小さい期間のバックライト輝度は、暗画像を挿入するサブフレームの最高輝度と同程度とするのが好適である。具体的には、暗画像を１ＳＦに挿入する場合は、１ＳＦの最高輝度Ｌｍａｘ１、暗画像を２ＳＦに挿入する場合は、２ＳＦの最高輝度Ｌｍａｘ２、とするのが好ましい。
【０３２７】
なお、走査型バックライトの光源として、ＬＥＤを用いてもよい。その場合の走査型バックライトは、図４９（Ｂ）のようになる。図４９の（Ｂ）に示す走査型バックライトは、拡散板４９１１と、ＬＥＤを並置した光源４９１２－１から４９１２－Ｎと、を備える。走査型バックライトの光源として、ＬＥＤを用いた場合、バックライトを薄く、軽くできる利点がある。また、色再現範囲を広げることができるという利点がある。さらに、ＬＥＤを並置した光源４９１２－１から４９１２－Ｎのそれぞれに並置したＬＥＤも、同様に走査することができるので、点走査型のバックライトとすることもできる。点走査型とすれば、動画像の画質をさらに向上させることができる。
【０３２８】
次に、高周波駆動について、図５０を参照して説明する。図５０（Ａ）は、フレーム周波数が６０Ｈｚのときに暗画像を挿入して駆動するときの図である。５００１は当該フレームの明画像、５００２は当該フレームの暗画像、５００３は次フレームの明画像、５００４は次フレームの暗画像である。６０Ｈｚで駆動する場合は、映像信号のフレームレートと整合性が取り易く、画像処理回路が複雑にならないという利点がある。
【０３２９】
図５０（Ｂ）は、フレーム周波数が９０Ｈｚのときに暗画像を挿入して駆動するときの図である。５０１１は当該フレームの明画像、５０１２は当該フレームの暗画像、５０１３は当該フレームと次フレームと次々フレームから作成した第１の画像の明画像、５０１４は当該フレームと次フレームと次々フレームから作成した第１の画像の暗画像、５０１５は当該フレームと次フレームと次々フレームから作成した第２の画像の明画像、５０１６は当該フレームと次フレームと次々フレームから作成した第２の画像の暗画像である。９０Ｈｚで駆動する場合は、周辺駆動回路の動作周波数をそれほど高速化することなく、効果的に動画像の画質を向上できるという利点がある。
【０３３０】
図５０（Ｃ）は、フレーム周波数が１２０Ｈｚのときに暗画像を挿入して駆動するときの図である。５０２１は当該フレームの明画像、５０２２は当該フレームの暗画像、５０２３は当該フレームと次フレームから作成した画像の明画像、５０２４は当該フレームと次フレームから作成した画像の暗画像、５０２５は次フレームの明画像、５０２６は次フレームの暗画像、５０２７は次フレームと次々フレームから作成した画像の明画像、５０２８は次フレームと次々フレームから作成した画像の暗画像である。１２０Ｈｚで駆動する場合は、動画像の画質改善効果が著しく、ほとんど残像を感じることがないという利点がある。
【０３３１】
図４６に示した画素の上面図及び断面図を図５１乃至図５５に示す。図５１乃至図５５は、液晶の動作モードがそれぞれ異なっている。
【０３３２】
まず、図５１は、液晶表示装置の画素構造のうち、ＴＮ方式と呼ばれるものに、薄膜トランジスタ（ＴＦＴ）を組み合わせた場合の画素の断面図と上面図である。図５１（Ａ）は、画素の断面図であり、図５１（Ｂ）は、画素の上面図である。また、図５１（Ａ）に示す画素の断面図は、図５１（Ｂ）に示す画素の上面図における線分ａ－ａ’に対応している。図５１に示す画素構造の液晶表示装置に本発明を適用することによって、安価に液晶表示装置を製造することができる。
【０３３３】
図５１（Ａ）を参照して、ＴＮ方式の液晶表示装置の画素構造について説明する。液晶表

示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図５１（Ａ）において、２枚の基板は、第１の基板５１０１、および第２の基板５１１６である。第１の基板には、ＴＦＴおよび画素電極を作製し、また、第２の基板には、遮光膜５１１４、カラーフィルター５１１５、第４の導電層５１１３、スペーサ５１１７、および第２の配向膜５１１２を作製してもよい。

【０３３４】

なお、本発明は、第１の基板５１０１にＴＦＴを作製しなくとも実施可能である。ＴＦＴを作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、ＴＦＴを作製して本発明を実施する場合は、より大型の表示装置を得ることができる。

【０３３５】

なお、図５１に示すＴＦＴは、非晶質半導体を用いたボトムゲート型のＴＦＴであり、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本発明はこれに限定されるものではない。使用できるＴＦＴの構造は、ボトムゲート型のＴＦＴではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０３３６】

なお、本発明は、第２の基板５１１６に遮光膜５１１４を作製しなくとも実施可能である。遮光膜５１１４を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜５１１４を作製して本発明を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【０３３７】

なお、本発明は、第２の基板５１１６にカラーフィルター５１１５を作製しなくとも実施可能である。カラーフィルター５１１５を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、カラーフィルター５１１５を作製して本発明を実施する場合は、カラー表示ができる表示装置を得ることができる。

【０３３８】

なお、本発明は、第２の基板５１１６にスペーサ５１１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ５１１７を作製して本発明を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【０３３９】

次に、第１の基板５１０１に施す加工について説明する。第１の基板５１０１は透光性を有する基板が好適であり、例えば石英基板、ガラス基板またはプラスチック基板でもよい。なお、第１の基板５１０１は遮光性の基板でもよく、半導体基板、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板でもよい。

【０３４０】

まず、第１の基板５１０１に第１の絶縁膜５１０２を成膜してもよい。第１の絶縁膜５１０２は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（ＳｉＯｘＮｙ）等の絶縁膜であってもよい。または、これらの膜の少なくとも２つの膜を組み合わせた積層構造の絶縁膜を用いてもよい。第１の絶縁膜５１０２を成膜して本発明を実施する場合は、基板からの不純物が半導体層に影響を及ぼし、ＴＦＴの性質が変化してしまうのを防ぐことができるので、信頼性の高い表示装置を得ることができる。なお、第１の絶縁膜５１０２を成膜せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。

【０３４１】
次に、第１の基板５１０１または第１の絶縁膜５１０２上に、第１の導電層５１０３を形成する。なお、第１の導電層５１０３は、形状を加工して形成してもよい。形状を加工する工程は、次のようなものであることが好適である。まず、第１の導電層５１０３を全面に成膜する。このとき、スパッタ装置、またはＣＶＤ装置などの成膜装置を用いてもよい。次に、全面に成膜した第１の導電層５１０３上に、感光性のレジスト材料を全面に形成する。次に、フォトリソグラフィ法やレーザ直描法などによって、形成したい形状に従ってレジスト材料を感光させる。次に、感光させたレジスト材料、または感光させなかったレジスト材料のうち、どちらか一方を、エッチングによって除去することで、第１の導電層５１０３を形状加工するためのマスクを得ることができる。その後、形成したマスクパターンに従って、第１の導電層５１０３をエッチングにより除去することで、所望のパターンに第１の導電層５１０３を形状加工することができる。なお、第１の導電層５１０３をエッチングする方法には、化学的な方法（ウェットエッチング）と、物理的な方法（ドライエッチング）があるが、第１の導電層５１０３の材料や、第１の導電層５１０３の下層にある材料の性質などを勘案し、適宜選択する。なお、第１の導電層５１０３に使用する材料は、Ｍｏ、Ｔｉ、Ａｌ、Ｎｄ、Ｃｒなどが好適である。または、これらの積層構造であってもよい。さらに、これらの合金を単層または積層構造として、第１の導電層５１０３として形成してもよい。
【０３４２】
次に、第２の絶縁膜５１０４を形成する。このとき、スパッタ装置、またはＣＶＤ装置などの成膜装置を用いてもよい。なお、第２の絶縁膜５１０４に使用する材料は、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などが好適である。または、これらの積層構造であってもよい。なお、第１の半導体層５１０５に接する部分の第２の絶縁膜５１０４は、酸化シリコン膜であることが、特に好適である。それは、酸化シリコン膜にすると半導体層５１０５との界面におけるトラップ準位が少なくなるからである。なお、第１の導電層５１０３をＭｏで形成するときは、第１の導電層５１０３と接する部分の第２の絶縁膜５１０４は窒化シリコン膜が好ましい。それは、窒化シリコン膜はＭｏを酸化させないからである。
【０３４３】
次に、第１の半導体層５１０５を形成する。その後、第２の半導体層５１０６を連続して形成するのが好適である。なお、第１の半導体層５１０５および第２の半導体層５１０６は、形状を加工して形成してもよい。形状を加工する方法は、前述したフォトリソグラフィ法等の方法であることが好適である。なお、第１の半導体層５１０５に使用する材料は、シリコンまたはシリコンゲルマニウム（ＳｉＧｅ）などが好適である。また、第２の半導体層５１０６に使用する材料は、リン等を含んだシリコン等が好適である。
【０３４４】
次に、第２の導電層５１０７を形成する。このとき、スパッタ法または印刷法を用いるのが好適である。なお、第２の導電層５１０７に使用する材料は、透明性を有していても、反射性を有していてもよい。透明性を有する場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物（ＩＴＯ）膜、インジウムスズ酸化物（ＩＴＯ）に酸化珪素を混ぜたインジウムスズ珪素酸化物（ＩＴＳＯ）膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物（ＩＺＯ）膜、酸化亜鉛膜、または酸化スズ膜を用いることができる。なお、ＩＺＯとは、ＩＴＯに２～２０ｗｔ％の酸化亜鉛（ＺｎＯ）を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料である。一方、反射性を有する場合は、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌなどを用いることができる。また、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、ＷとＡｌを積層させた２層構造、ＡｌをＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗなどの金属で挟んだ３層積層構造としても良い。なお、第２の導電層５１０７は、形状を加工して形成してもよい。形状を加工する方法は、前述したフォトリソグラフィ法等の方法であることが好適である。なお、エッチング方法は、ドライエッチングで行なうのが好適である。ドライエッチングはＥＣＲ（Ｅｌｅｃｔｒｏｎ　Ｃｙｃｒｏｔｒｏｎ　Ｒ

ｅｓｏｎａｎｃｅ）やＩＣＰ（Ｉｎｄｕｃｔｉｖｅ Ｃｏｕｐｌｅｄ Ｐｌａｚｍａ）などの高密度プラズマ源を用いたドライエッチング装置によって行われてもよい。

【０３４５】

次に、ＴＦＴのチャネル領域を形成する。このとき、第２の導電層５１０７をマスクとして、第２の半導体層５１０６のエッチングを行なってもよい。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。導電性をもつ第２の半導体層５１０６のエッチングを行なうことで、除去された部分がＴＦＴのチャネル領域となる。なお、第１の半導体層５１０５と第２の半導体層５１０６を連続で形成せずに、第１の半導体層５１０５の形成のあと、ＴＦＴのチャネル領域となる部分にストッパーとなる膜を成膜およびパターン加工し、その後、第２の半導体層５１０６を形成してもよい。こうすることで、第２の導電層５１０７をマスクとして用いないで、ＴＦＴのチャネル領域を形成することができるので、レイアウトパターンの自由度が大きくなる利点がある。また、第２の半導体層５１０６のエッチング時に第１の半導体層５１０５までエッチングしてしまわないため、エッチング不良を起こすことなく、確実にＴＦＴのチャネル領域が形成できる利点がある。

【０３４６】

次に、第３の絶縁膜５１０８を形成する。第３の絶縁膜５１０８は、透明性を有していることが好適である。なお、第３の絶縁膜５１０８に用いる材料は、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）または、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）などが好適である。また、シロキサンを含む材料を用いてもよい。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基としてフルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。第３の絶縁膜５１０８は積層構造でも良い。なお、第３の絶縁膜５１０８は、形状を加工して形成してもよい。形状を加工する方法は、前述したフォトリソグラフィ法等の方法であることが好適である。このとき、同時に第２の絶縁膜５１０４もエッチングすることで、第３の絶縁膜５１０８だけではなく、第１の導電層５１０３とのコンタクトホールを形成することができる。なお、第３の絶縁膜５１０８の表面は、できるだけ平坦であることが好適である。それは、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

【０３４７】

次に、第３の導電層５１０９を形成する。このとき、スパッタ法または印刷法を用いるのが好適である。なお、第３の導電層５１０９に使用する材料は、第２の導電層５１０７と同じく、透明性を有していても、反射性を有していてもよい。なお、第３の導電層５１０９として使用できる材料は、第２の導電層５１０７と同様でもよい。また、第３の導電層５１０９は、形状を加工して形成してもよい。形状を加工する方法は、第２の導電層５１０７と同様でもよい。

【０３４８】

次に、第１の配向膜５１１０を形成する。配向膜５１１０には、ポリイミドなどの高分子膜を用いることができる。なお、第１の配向膜５１１０を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【０３４９】

以上のように作製した第１の基板５１０１と、遮光膜５１１４、カラーフィルター５１１５、第４の導電層５１１３、スペーサ５１１７、および第２の配向膜５１１２を作製した第２の基板５１１６を、シール材によって数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図５１に示すようなＴＮ方式の液晶パネルにおいては、第４の導電層５１１３は、第２の基板５１１６の全面に作製されていてもよい。

【０３５０】
次に、図５１に示す、ＴＮ方式の液晶パネルの画素構造の特徴について説明する。図５１（Ａ）に示した液晶分子５１１８は、長軸と短軸を持った細長い分子である。液晶分子５１１８の向きを示すため、図５１（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子５１１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子５１１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図５１（Ａ）に示した液晶分子５１１８は、第１の基板５１０１に近いものと、第２の基板５１１６に近いものとでは、その長軸の向きが９０度異なっており、これらの中間に位置する液晶分子５１１８の長軸の向きは、これらを滑らかにつなぐような向きとなる。すなわち、図５１（Ａ）に示した液晶分子５１１８は、第１の基板５１０１と第２の基板５１１６の間で、９０度ねじれているような配向状態となっている。
【０３５１】
次に、図５１（Ｂ）を参照して、ＴＮ方式の液晶表示装置に本発明を適用した場合の、画素のレイアウトの一例について説明する。本発明を適用したＴＮ方式の液晶表示装置の画素は、走査線５１２１と、映像信号線５１２２と、容量線５１２３と、ＴＦＴ５１２４と、画素電極５１２５と、画素容量５１２６と、を備えていてもよい。
【０３５２】
走査線５１２１は、ＴＦＴ５１２４のゲート端子と電気的に接続されるため、第１の導電層５１０３で構成されているのが好適である。
【０３５３】
映像信号線５１２２は、ＴＦＴ５１２４のソース端子またはドレイン端子と電気的に接続されるため、第２の導電層５１０７で構成されているのが好適である。また、走査線５１２１と映像信号線５１２２はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。
【０３５４】
容量線５１２３は、画素電極５１２５と平行に配置されることで、画素容量５１２６を形成するための配線であり、第１の導電層５１０３で構成されているのが好適である。なお、図５１（Ｂ）に示すように、容量線５１２３は、映像信号線５１２２に沿って、映像信号線５１２２を囲むように延設されていてもよい。こうすることで、映像信号線５１２２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線５１２２との交差容量を低減させるため、図５１（Ｂ）に示すように、第１の半導体層５１０５を容量線５１２３と映像信号線５１２２の交差領域に設けてもよい。
【０３５５】
ＴＦＴ５１２４は、映像信号線５１２２と画素電極５１２５を導通させるスイッチとして動作する。なお、図５１（Ｂ）に示すように、ＴＦＴ５１２４のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図５１（Ｂ）に示すように、ＴＦＴ５１２４のゲート端子は、第１の半導体層５１０５を囲むように配置してもよい。
【０３５６】
画素電極５１２５は、ＴＦＴ５１２４のソース端子またはドレイン端子の一方に電気的に接続される。画素電極５１２５は、映像信号線５１２２によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線５１２３と画素容量５１２６を形成してもよい。こうすることで、映像信号線５１２２によって伝達された信号電圧を保持する役割も持つことができる。なお、画素電極５１２５は、図５１の（Ｂ）に示すように、矩形であってもよい。こうすることで、画素の開口率を大きくすることができるので、液晶表示装置の効率が向上する。また、画素電極５１２５を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極５１２５を、反射

性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極５１２５を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極５１２５を、反射性をもつ材料で作製した場合は、画素電極５１２５の表面に凹凸を持たせてもよい。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【０３５７】

次に、図５２を参照して、ＶＡ（Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モードの液晶表示装置に、本発明を適用した場合を説明する。図５２は、ＶＡモードの液晶表示装置の画素構造のうち、配向制御用突起を用いることで、液晶分子が様々な向きを持つように制御し、視野角を大きくした、いわゆるＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）方式に、本発明を適用した場合の、画素の断面図と上面図である。図５２（Ａ）は、画素の断面図であり、図５２（Ｂ）は、画素の上面図である。また、図５２（Ａ）に示す画素の断面図は、図５２（Ｂ）に示す画素の上面図における線分ａ－ａ’に対応している。図５２に示す画素構造の液晶表示装置に本発明を適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【０３５８】

図５２（Ａ）を参照して、ＭＶＡ方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図５２（Ａ）において、２枚の基板は、第１の基板５２０１、および第２の基板５２１６である。第１の基板には、ＴＦＴおよび画素電極を作製し、また、第２の基板には、遮光膜５２１４、カラーフィルター５２１５、第４の導電層５２１３、スペーサ５２１７、第２の配向膜５２１２、および配向制御用突起５２１９を作製してもよい。

【０３５９】

なお、本発明は、第１の基板５２０１にＴＦＴを作製しなくとも実施可能である。ＴＦＴを作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、ＴＦＴを作製して本発明を実施する場合は、より大型の表示装置を得ることができる。

【０３６０】

なお、図５２に示すＴＦＴは、非晶質半導体を用いたボトムゲート型のＴＦＴであり、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本発明はこれに限定されるものではない。使用できるＴＦＴの構造は、ボトムゲート型のＴＦＴではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０３６１】

なお、本発明は、第２の基板５２１６に遮光膜５２１４を作製しなくとも実施可能である。遮光膜５２１４を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜５２１４を作製して本発明を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【０３６２】

なお、本発明は、第２の基板５２１６にカラーフィルター５２１５を作製しなくとも実施可能である。カラーフィルター５２１５を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留

まりを向上させることができる。一方、カラーフィルター５２１５を作製して本発明を実施する場合は、カラー表示ができる表示装置を得ることができる。

【０３６３】

なお、本発明は、第２の基板５２１６にスペーサ５２１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ５２１７を作製して本発明を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【０３６４】

次に、第１の基板５２０１に施す加工については、図５１で説明した方法を用いてもよいため、省略する。ここで、第１の基板５２０１、第１の絶縁膜５２０２、第１の導電層５２０３、第２の絶縁膜５２０４、第１の半導体層５２０５、第２の半導体層５２０６、第２の導電層５２０７、第３の絶縁膜５２０８、第３の導電層５２０９、第１の配向膜５２１０が、それぞれ、図５１における第１の基板５１０１、第１の絶縁膜５１０２、第１の導電層５１０３、第２の絶縁膜５１０４、第１の半導体層５１０５、第２の半導体層５１０６、第２の導電層５１０７、第３の絶縁膜５１０８、第３の導電層５１０９、第１の配向膜５１１０、と対応する。なお、図示はしないが、第１の基板側にも、配向制御用突起を設けてもよい。こうすることで、より確実に液晶分子の配向を制御することができる。また、第１の配向膜５２１０および第２の配向膜５２１２は、垂直配向膜でもよい。こうすることで、液晶分子５２１８を垂直に配向することができる。

【０３６５】

以上のように作製した第１の基板５２０１と、遮光膜５２１４、カラーフィルター５２１５、第４の導電層５２１３、スペーサ５２１７、および第２の配向膜５２１２を作製した第２の基板５２１６を、シール材によって数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図５２に示すようなＭＶＡ方式の液晶パネルにおいては、第４の導電層５２１３は、第２の基板５２１６の全面に作製されていてもよい。また、第４の導電層５２１３に接して、配向制御用突起５２１９を作製してもよい。なお、配向制御用突起５２１９の形状に限定はないが、滑らかな曲面を持った形状であるのが好適である。こうすることで、近接する液晶分子５２１８の配向が極近いものとなるため、配向不良が低減する。また、第２の配向膜５２１２が、配向制御用突起５２１９によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。

【０３６６】

次に、図５２に示す、ＭＶＡ方式の液晶パネルの画素構造の特徴について説明する。図５２の（Ａ）に示した液晶分子５２１８は、長軸と短軸を持った細長い分子である。液晶分子５２１８の向きを示すため、図５２の（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子５２１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子５２１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図５２の（Ａ）に示した液晶分子５２１８は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、配向制御用突起５２１９のある部分の液晶分子５２１８は、配向制御用突起５２１９を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【０３６７】

次に、図５２の（Ｂ）を参照して、ＭＶＡ方式の液晶表示装置に本発明を適用した場合の、画素のレイアウトの一例について説明する。本発明を適用したＭＶＡ方式の液晶表示装置の画素は、走査線５２２１と、映像信号線５２２２と、容量線５２２３と、ＴＦＴ５２２４と、画素電極５２２５と、画素容量５２２６と、配向制御用突起５２１９と、を備えていてもよい。

【０３６８】

走査線５２２１は、ＴＦＴ５２２４のゲート端子と電気的に接続されるため、第１の導電層５２０３で構成されているのが好適である。

【０３６９】

映像信号線５２２２は、ＴＦＴ５２２４のソース端子またはドレイン端子と電気的に接続されるため、第２の導電層５２０７で構成されているのが好適である。また、走査線５２２１と映像信号線５２２２はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【０３７０】

容量線５２２３は、画素電極５２２５と平行に配置されることで、画素容量５２２６を形成するための配線であり、第１の導電層５２０３で構成されているのが好適である。なお、図５２（Ｂ）に示すように、容量線５２２３は、映像信号線５２２２に沿って、映像信号線５２２２を囲むように延設されていてもよい。こうすることで、映像信号線５２２２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線５２２２との交差容量を低減させるため、図５２（Ｂ）に示すように、第１の半導体層５２０５を容量線５２２３と映像信号線５２２２の交差領域に設けてもよい。

【０３７１】

ＴＦＴ５２２４は、映像信号線５２２２と画素電極５２２５を導通させるスイッチとして動作する。なお、図５２（Ｂ）に示すように、ＴＦＴ５２２４のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図５２（Ｂ）に示すように、ＴＦＴ５２２４のゲート端子は、第１の半導体層５２０５を囲むように配置してもよい。

【０３７２】

画素電極５２２５は、ＴＦＴ５２２４のソース端子またはドレイン端子の一方に電気的に接続される。画素電極５２２５は、映像信号線５２２２によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線５２２３と画素容量５２２６を形成してもよい。こうすることで、映像信号線５２２２によって伝達された信号電圧を保持する役割も持つことができる。なお、画素電極５２２５は、図５２の（Ｂ）に示すように、矩形であってもよい。こうすることで、画素の開口率を大きくすることができるので、液晶表示装置の効率が向上する。また、画素電極５２２５を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極５２２５を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極５２２５を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極５２２５を、反射性をもつ材料で作製した場合は、画素電極５２２５の表面に凹凸を持たせてもよい。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【０３７３】

次に、図５３を参照して、ＶＡ（Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モードの液晶表示装置に、本発明を適用した場合の、別の例を説明する。図５３は、ＶＡモードの液晶表示装置の画素構造のうち、第４の導電層５３１３にパターン加工を施すことで、液晶分子が様々な向きを持つように制御し、視野角を大きくした、いわゆるＰＶＡ（Ｐａｔｅｒｎｅｄ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）方式に、本発明を適用した場合の、画素の断面図と上面図である。図５３（Ａ）は、画素の断面図であり、図５３（Ｂ）は、画素の上面図である。また、図５３（Ａ）に示す画素の断面図は、図５３（Ｂ）に示す画素

の上面図における線分ａ－ａ’に対応している。図５３に示す画素構造の液晶表示装置に本発明を適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【０３７４】

図５３（Ａ）を参照して、ＰＶＡ方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図５３（Ａ）において、２枚の基板は、第１の基板５３０１、および第２の基板５３１６である。第１の基板には、ＴＦＴおよび画素電極を作製し、また、第２の基板には、遮光膜５３１４、カラーフィルター５３１５、第４の導電層５３１３、スペーサ５３１７、および第２の配向膜５３１２を作製してもよい。

【０３７５】

なお、本発明は、第１の基板５３０１にＴＦＴを作製しなくとも実施可能である。ＴＦＴを作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、ＴＦＴを作製して本発明を実施する場合は、より大型の表示装置を得ることができる。

【０３７６】

なお、図５３に示すＴＦＴは、非晶質半導体を用いたボトムゲート型のＴＦＴであり、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本発明はこれに限定されるものではない。使用できるＴＦＴの構造は、ボトムゲート型のＴＦＴではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０３７７】

なお、本発明は、第２の基板５３１６に遮光膜５３１４を作製しなくとも実施可能である。遮光膜５３１４を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜５３１４を作製して本発明を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【０３７８】

なお、本発明は、第２の基板５３１６にカラーフィルター５３１５を作製しなくとも実施可能である。カラーフィルター５３１５を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、カラーフィルター５３１５を作製して本発明を実施する場合は、カラー表示ができる表示装置を得ることができる。

【０３７９】

なお、本発明は、第２の基板５３１６にスペーサ５３１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ５３１７を作製して本発明を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【０３８０】

次に、第１の基板５３０１に施す加工については、図５１で説明した方法を用いてもよいため、省略する。ここで、第１の基板５３０１、第１の絶縁膜５３０２、第１の導電層５３０３、第２の絶縁膜５３０４、第１の半導体層５３０５、第２の半導体層５３０６、第２の導電層５３０７、第３の絶縁膜５３０８、第３の導電層５３０９、第１の配向膜５３１０が、それぞれ、図５１における第１の基板５１０１、第１の絶縁膜５１０２、第１の導電層５１０３、第２の絶縁膜５１０４、第１の半導体層５１０５、第２の半導体層５１０６、第２の導電層５１０７、第３の絶縁膜５１０８、第３の導電層５１０９、第１の配向膜５１１０、と対応する。なお、第１の基板５３０１側の第３の導電層５３０９に、電

極切り欠き部を設けてもよい。こうすることで、より確実に液晶分子の配向を制御することができる。また、第１の配向膜５３１０および第２の配向膜５３１２は、垂直配向膜でもよい。こうすることで、液晶分子５３１８を垂直に配向することができる。

【０３８１】

以上のように作製した第１の基板５３０１と、遮光膜５３１４、カラーフィルター５３１５、第４の導電層５３１３、スペーサ５３１７、および第２の配向膜５３１２を作製した第２の基板５３１６を、シール材によって数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図５３に示すようなＰＶＡ方式の液晶パネルにおいては、第４の導電層５３１３は、パターン加工を施して、電極切り欠き部５３１９を作製してもよい。なお、電極切り欠き部５３１９の形状に限定はないが、異なる向きを持った複数の矩形を組み合わせた形状であるのが好適である。こうすることで、配向の異なる複数の領域が形成できるので、視野角の大きな液晶表示装置を得ることができる。また、電極切り欠き部５３１９と第４の導電層５３１３の境界における第４の導電層５３１３の形状は、滑らかな曲線であることが好適である。こうすることで、近接する液晶分子５３１８の配向が極近いものとなるため、配向不良が低減する。また、第２の配向膜５３１２が、電極切り欠き部５３１９によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。

【０３８２】

次に、図５３に示す、ＰＶＡ方式の液晶パネルの画素構造の特徴について説明する。図５３（Ａ）に示した液晶分子５３１８は、長軸と短軸を持った細長い分子である。液晶分子５３１８の向きを示すため、図５３（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子５３１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子５３１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図５３（Ａ）に示した液晶分子５３１８は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、電極切り欠き部５３１９のある部分の液晶分子５３１８は、電極切り欠き部５３１９と第４の導電層５３１３の境界を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【０３８３】

次に、図５３（Ｂ）を参照して、ＰＶＡ方式の液晶表示装置に本発明を適用した場合の、画素のレイアウトの一例について説明する。本発明を適用したＰＶＡ方式の液晶表示装置の画素は、走査線５３２１と、映像信号線５３２２と、容量線５３２３と、ＴＦＴ５３２４と、画素電極５３２５と、画素容量５３２６と、電極切り欠き部５３１９と、を備えていてもよい。

【０３８４】

走査線５３２１は、ＴＦＴ５３２４のゲート端子と電気的に接続されるため、第１の導電層５３０３で構成されているのが好適である。

【０３８５】

映像信号線５３２２は、ＴＦＴ５３２４のソース端子またはドレイン端子と電気的に接続されるため、第２の導電層５３０７で構成されているのが好適である。また、走査線５３２１と映像信号線５３２２はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【０３８６】

容量線５３２３は、画素電極５３２５と平行に配置されることで、画素容量５３２６を形成するための配線であり、第１の導電層５３０３で構成されているのが好適である。なお、図５３（Ｂ）に示すように、容量線５３２３は、映像信号線５３２２に沿って、映像信号線５３２２を囲むように延設されていてもよい。こうすることで、映像信号線５３２２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線５３２２との交差容量を低減させるため、図５３の（Ｂ）に示すように、第１の半導体層５３０５を容量線５３２３と映像

信号線５３２２の交差領域に設けてもよい。
【０３８７】
ＴＦＴ５３２４は、映像信号線５３２２と画素電極５３２５を導通させるスイッチとして動作する。なお、図５３（Ｂ）に示すように、ＴＦＴ５３２４のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図５３の（Ｂ）に示すように、ＴＦＴ５３２４のゲート端子は、第１の半導体層５３０５を囲むように配置してもよい。
【０３８８】
画素電極５３２５は、ＴＦＴ５３２４のソース端子またはドレイン端子の一方に電気的に接続される。画素電極５３２５は、映像信号線５３２２によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線５３２３と画素容量５３２６を形成してもよい。こうすることで、映像信号線５３２２によって伝達された信号電圧を保持する役割も持つことができる。なお、画素電極５３２５は、図５３（Ｂ）に示すように、第４の導電層５３１３に設けた電極切り欠き部５３１９の形状に合わせて、電極切り欠き部５３１９のない部分に、画素電極５３２５を切り欠いた部分を形成するのが好適である。こうすることで、液晶分子５３１８の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、画素電極５３２５を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極５３２５を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極５３２５を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極５３２５を、反射性をもつ材料で作製した場合は、画素電極５３２５の表面に凹凸を持たせてもよい。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。
【０３８９】
次に、図５４を参照して、横電界方式の液晶表示装置に、本発明を適用した場合を説明する。図５４は、液晶分子の配向が基板に対して常に水平であるようにスイッチングを行なうために、横方向に電界をかける方式の液晶表示装置の画素構造のうち、画素電極５４２５と共通電極５４２３に櫛歯状のパターン加工を施すことで、横方向に電界をかける方式、いわゆるＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）方式に、本発明を適用した場合の、画素の断面図と上面図である。図５４（Ａ）は、画素の断面図であり、図５４（Ｂ）は、画素の上面図である。また、図５４の（Ａ）に示す画素の断面図は、図５４（Ｂ）に示す画素の上面図における線分ａ－ａ’に対応している。図５４に示す画素構造の液晶表示装置に本発明を適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。
【０３９０】
図５４（Ａ）を参照して、ＩＰＳ方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図５４（Ａ）において、２枚の基板は、第１の基板５４０１、および第２の基板５４１６である。第１の基板には、ＴＦＴおよび画素電極を作製し、また、第２の基板には、遮光膜５４１４、カラーフィルター５４１５、スペーサ５４１７、および第２の配向膜５４１２を作製してもよい。
【０３９１】
なお、本発明は、第１の基板５４０１にＴＦＴを作製しなくとも実施可能である。ＴＦＴ

を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、ＴＦＴを作製して本発明を実施する場合は、より大型の表示装置を得ることができる。

【０３９２】

なお、図５４に示すＴＦＴは、非晶質半導体を用いたボトムゲート型のＴＦＴであり、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本発明はこれに限定されるものではない。使用できるＴＦＴの構造は、ボトムゲート型のＴＦＴではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０３９３】

なお、本発明は、第２の基板５４１６に遮光膜５４１４を作製しなくとも実施可能である。遮光膜５４１４を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜５４１４を作製して本発明を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【０３９４】

なお、本発明は、第２の基板５４１６にカラーフィルター５４１５を作製しなくとも実施可能である。カラーフィルター５４１５を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、カラーフィルター５４１５を作製して本発明を実施する場合は、カラー表示ができる表示装置を得ることができる。

【０３９５】

なお、本発明は、第２の基板５４１６にスペーサ５４１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ５４１７を作製して本発明を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【０３９６】

次に、第１の基板５４０１に施す加工については、図５１で説明した方法を用いてもよいため、省略する。ここで、第１の基板５４０１、第１の絶縁膜５４０２、第１の導電層５４０３、第２の絶縁膜５４０４、第１の半導体層５４０５、第２の半導体層５４０６、第２の導電層５４０７、第３の絶縁膜５４０８、第３の導電層５４０９、第１の配向膜５４１０が、それぞれ、図５１における第１の基板５１０１、第１の絶縁膜５１０２、第１の導電層５１０３、第２の絶縁膜５１０４、第１の半導体層５１０５、第２の半導体層５１０６、第２の導電層５１０７、第３の絶縁膜５１０８、第３の導電層５１０９、第１の配向膜５１１０、と対応する。なお、第１の基板５４０１側の第３の導電層５４０９にパターン加工を施し、互いにかみ合った２つの櫛歯状の形状に形成してもよい。また、一方の櫛歯状の電極は、ＴＦＴ５４２４のソース端子またはドレイ端子の一方と電気的に接続され、他方の櫛歯状の電極は、共通電極５４２３と電気的に接続されていてもよい。こうすることで、液晶分子５４１８に効果的に横方向の電界をかけることができる。

【０３９７】

以上のように作製した第１の基板５４０１と、遮光膜５４１４、カラーフィルター５４１５、スペーサ５４１７、および第２の配向膜５４１２を作製した第２の基板５４１６を、シール材によって数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図示しないが、第２の基板５４１６側に、導電層を形成してもよい。第２の基板５４１６側に導電層を形成することで、外部からの電磁波ノイズの影響を受けにくくすることができる。

【０３９８】

次に、図５４に示す、ＩＰＳ方式の液晶パネルの画素構造の特徴について説明する。図５

４（Ａ）に示した液晶分子５４１８は、長軸と短軸を持った細長い分子である。液晶分子５４１８の向きを示すため、図５４（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子５４１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子５４１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図５４（Ａ）に示した液晶分子５４１８は、その長軸の向きが常に基板と水平の方向を向くように配向している。図５４（Ａ）においては、電界のない状態における配向を表しているが、液晶分子５４１８に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【０３９９】

次に、図５４（Ｂ）を参照して、ＩＰＳ方式の液晶表示装置に本発明を適用した場合の、画素のレイアウトの一例について説明する。本発明を適用したＩＰＳ方式の液晶表示装置の画素は、走査線５４２１と、映像信号線５４２２と、共通電極５４２３と、ＴＦＴ５４２４と、画素電極５４２５と、を備えていてもよい。

【０４００】

走査線５４２１は、ＴＦＴ５４２４のゲート端子と電気的に接続されるため、第１の導電層５４０３で構成されているのが好適である。

【０４０１】

映像信号線５４２２は、ＴＦＴ５４２４のソース端子またはドレイン端子と電気的に接続されるため、第２の導電層５４０７で構成されているのが好適である。また、走査線５４２１と映像信号線５４２２はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。なお、図５４（Ｂ）に示すように、映像信号線５４２２は、画素電極５４２５および共通電極５４２３の形状に合わせるように、画素内で屈曲して形成されていてもよい。こうすることで、画素の開口率を大きくすることができるため、液晶表示装置の効率を向上させることができる。

【０４０２】

共通電極５４２３は、画素電極５４２５と平行に配置されることで、横方向の電界を発生させるための電極であり、第１の導電層５４０３および第３の導電層５４０９で構成されているのが好適である。なお、図５４（Ｂ）に示すように、共通電極５４２３は、映像信号線５４２２に沿って、映像信号線５４２２を囲むように延設されていてもよい。こうすることで、映像信号線５４２２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線５４２２との交差容量を低減させるため、図５４（Ｂ）に示すように、第１の半導体層５４０５を共通電極５４２３と映像信号線５４２２の交差領域に設けてもよい。

【０４０３】

ＴＦＴ５４２４は、映像信号線５４２２と画素電極５４２５を導通させるスイッチとして動作する。なお、図５４（Ｂ）に示すように、ＴＦＴ５４２４のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図５４（Ｂ）に示すように、ＴＦＴ５４２４のゲート端子は、第１の半導体層５４０５を囲むように配置してもよい。

【０４０４】

画素電極５４２５は、ＴＦＴ５４２４のソース端子またはドレイン端子の一方に電気的に接続される。画素電極５４２５は、映像信号線５４２２によって伝達された信号電圧を液晶素子に与えるための電極である。また、共通電極５４２３と画素容量を形成してもよい。こうすることで、映像信号線５４２２によって伝達された信号電圧を保持する役割も持つことができる。なお、画素電極５４２５および櫛歯状の共通電極５４２３は、図５４（Ｂ）に示すように、屈曲した櫛歯状の形状として形成するのが好適である。こうすることで、液晶分子５４１８の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、画素電極５４２５および櫛歯状の共通電

極５４２３を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極５４２５および櫛歯状の共通電極５４２３を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極５４２５および櫛歯状の共通電極５４２３を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極５４２５および櫛歯状の共通電極５４２３を、反射性をもつ材料で作製した場合は、画素電極５４２５および櫛歯状の共通電極５４２３の表面に凹凸を持たせてもよい。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【０４０５】

なお、櫛歯状の画素電極５４２５と、櫛歯状の共通電極５４２３は、ともに第３の導電層５４０９で形成されるとしたが、本発明が適用できる画素構成は、これに限定されず、適宜選択することができる。例えば、櫛歯状の画素電極５４２５と、櫛歯状の共通電極５４２３を、ともに第２の導電層５４０７で形成してもよいし、ともに第１の導電層５４０３で形成してもよいし、どちらか一方を第３の導電層５４０９で形成し、他方を第２の導電層５４０７で形成してもよいし、どちらか一方を第３の導電層５４０９で形成し、他方を第１の導電層５４０３で形成してもよいし、どちらか一方を第２の導電層５４０７で形成し、他方を第１の導電層５４０３で形成してもよい。

【０４０６】

次に、図５５を参照して、別の横電界方式の液晶表示装置に、本発明を適用した場合を説明する。図５５は、液晶分子の配向が基板に対して常に水平であるようにスイッチングを行なうために、横方向に電界をかける方式の液晶表示装置の別の画素構造を示す図である。より詳細には、画素電極５５２５と共通電極５５２３のうち、どちらか一方に櫛歯状のパターン加工を施し、他方は櫛歯状の形状に重なる領域に一様に電極を形成することで、横方向に電界をかける方式、いわゆるＦＦＳ（Ｆｒｉｎｇｅ　Ｆｉｅｌｄ　Ｓｗｉｔｃｈｉｎｇ）方式に、本発明を適用した場合の、画素の断面図と上面図である。図５５（Ａ）は、画素の断面図であり、図５５（Ｂ）は、画素の上面図である。また、図５５（Ａ）に示す画素の断面図は、図５５（Ｂ）に示す画素の上面図における線分ａ－ａ’に対応している。図５５に示す画素構造の液晶表示装置に本発明を適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【０４０７】

図５５（Ａ）を参照して、ＦＦＳ方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図５５（Ａ）において、２枚の基板は、第１の基板５５０１、および第２の基板５５１６である。第１の基板には、ＴＦＴおよび画素電極を作製し、また、第２の基板には、遮光膜５５１４、カラーフィルター５５１５、スペーサ５５１７、および第２の配向膜５５１２を作製してもよい。

【０４０８】

なお、本発明は、第１の基板５５０１にＴＦＴを作製しなくとも実施可能である。ＴＦＴを作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、ＴＦＴを作製して本発明を実施する場合は、より大型の表示装置を得ることができる。

【０４０９】

なお、図５５に示すＴＦＴは、非晶質半導体を用いたボトムゲート型のＴＦＴであり、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本発明はこれに限定

されるものではない。使用できるＴＦＴの構造は、ボトムゲート型のＴＦＴではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０４１０】

なお、本発明は、第２の基板５５１６に遮光膜５５１４を作製しなくとも実施可能である。遮光膜５５１４を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜５５１４を作製して本発明を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【０４１１】

なお、本発明は、第２の基板５５１６にカラーフィルター５５１５を作製しなくとも実施可能である。カラーフィルター５５１５を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、カラーフィルター５５１５を作製して本発明を実施する場合は、カラー表示ができる表示装置を得ることができる。

【０４１２】

なお、本発明は、第２の基板５５１６にスペーサ５５１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ５５１７を作製して本発明を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【０４１３】

次に、第１の基板５５０１に施す加工については、図５１で説明した方法を用いてもよいため、省略する。ここで、第１の基板５５０１、第１の絶縁膜５５０２、第１の導電層５５０３、第２の絶縁膜５５０４、第１の半導体層５５０５、第２の半導体層５５０６、第２の導電層５５０７、第３の絶縁膜５５０８、第３の導電層５５０９、第１の配向膜５５１０が、それぞれ、図５１における第１の基板５１０１、第１の絶縁膜５１０２、第１の導電層５１０３、第２の絶縁膜５１０４、第１の半導体層５１０５、第２の半導体層５１０６、第２の導電層５１０７、第３の絶縁膜５１０８、第３の導電層５１０９、第１の配向膜５１１０、と対応する。

【０４１４】

ただし、図５１と異なる点は、第１の基板５５０１側に、第４の絶縁膜５５１９および第４の導電層５５１３を形成してもよいという点である。より詳細には、第３の導電層５５０９にパターン加工を施したあと、第４の絶縁膜５５１９を成膜し、パターン加工を施してコンタクトホールを形成した後、第４の導電層５５１３を成膜し、同様にパターン加工を施した後、第１の配向膜５５１０を形成してもよい。なお、第４の絶縁膜５５１９および第４の導電層５５１３に使用できる材料および加工方法は、第３の絶縁膜５５０８および第３の導電層５５０９に用いるものと同様のものを用いることができる。また、櫛歯状の電極は、ＴＦＴ５５２４のソース端子またはドレイン端子の一方と電気的に接続され、一様な電極は、共通電極５５２３と電気的に接続されていてもよい。こうすることで、液晶分子５５１８に効果的に横方向の電界をかけることができる。

【０４１５】

以上のように作製した第１の基板５５０１と、遮光膜５５１４、カラーフィルター５５１５、スペーサ５５１７、および第２の配向膜５５１２を作製した第２の基板５５１６を、シール材によって数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図示しないが、第２の基板５５１６側に、導電層を形成してもよい。第２の基板５５１６側に導電層を形成することで、外部からの電磁波ノイズの影響を受けにくくすることができる。

【０４１６】

次に、図５５に示す、ＦＦＳ方式の液晶パネルの画素構造の特徴について説明する。図５５（Ａ）に示した液晶分子５５１８は、長軸と短軸を持った細長い分子である。液晶分子５５１８の向きを示すため、図５５（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子５５１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子５５１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図５５（Ａ）に示した液晶分子５５１８は、その長軸の向きが常に基板と水平の方向を向くように配向している。図５５（Ａ）においては、電界のない状態における配向を表しているが、液晶分子５５１８に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【０４１７】

次に、図５５（Ｂ）を参照して、ＦＦＳ方式の液晶表示装置に本発明を適用した場合の、画素のレイアウトの一例について説明する。本発明を適用したＦＦＳ方式の液晶表示装置の画素は、走査線５５２１と、映像信号線５５２２と、共通電極５５２３と、ＴＦＴ５５２４と、画素電極５５２５と、を備えていてもよい。

【０４１８】

走査線５５２１は、ＴＦＴ５５２４のゲート端子と電気的に接続されるため、第１の導電層５５０３で構成されているのが好適である。

【０４１９】

映像信号線５５２２は、ＴＦＴ５５２４のソース端子またはドレイン端子と電気的に接続されるため、第２の導電層５５０７で構成されているのが好適である。また、走査線５５２１と映像信号線５５２２はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。なお、図５５（Ｂ）に示すように、映像信号線５５２２は、画素電極５５２５の形状に合わせるように、画素内で屈曲して形成されていてもよい。こうすることで、画素の開口率を大きくすることができるため、液晶表示装置の効率を向上させることができる。

【０４２０】

共通電極５５２３は、画素電極５５２５と平行に配置されることで、横方向の電界を発生させるための電極であり、第１の導電層５５０３および第３の導電層５５０９で構成されているのが好適である。なお、図５５（Ｂ）に示すように、共通電極５５２３は、映像信号線５５２２に沿った形状に形成されていてもよい。こうすることで、映像信号線５５２２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線５５２２との交差容量を低減させるため、図５５（Ｂ）に示すように、第１の半導体層５５０５を共通電極５５２３と映像信号線５５２２の交差領域に設けてもよい。

【０４２１】

ＴＦＴ５５２４は、映像信号線５５２２と画素電極５５２５を導通させるスイッチとして動作する。なお、図５５（Ｂ）に示すように、ＴＦＴ５５２４のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図５５（Ｂ）に示すように、ＴＦＴ５５２４のゲート端子は、第１の半導体層５５０５を囲むように配置してもよい。

【０４２２】

画素電極５５２５は、ＴＦＴ５５２４のソース端子またはドレイン端子の一方に電気的に接続される。画素電極５５２５は、映像信号線５５２２によって伝達された信号電圧を液晶素子に与えるための電極である。また、共通電極５５２３と画素容量を形成してもよい。こうすることで、映像信号線５５２２によって伝達された信号電圧を保持する役割も持つことができる。なお、画素電極５５２５は、図５５の（Ｂ）に示すように、屈曲した櫛歯状の形状として形成するのが好適である。こうすることで、液晶分子５５１８の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ること

ができる。また、画素電極５５２５および櫛歯状の共通電極５５２３を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極５５２５および櫛歯状の共通電極５５２３を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極５５２５および櫛歯状の共通電極５５２３を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極５５２５および櫛歯状の共通電極５５２３を、反射性をもつ材料で作製した場合は、画素電極５５２５および櫛歯状の共通電極５５２３の表面に凹凸を持たせてもよい。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【０４２３】

なお、櫛歯状の画素電極５５２５は、第４の導電層５５１３で形成され、一様な共通電極５５２３は、第３の導電層５５０９で形成されるとしたが、本発明が適用できる画素構成は、これに限定されず、ある条件を満たしていれば、適宜選択することができる。より詳細には、第１の基板５５０１から見て、櫛歯状の電極が、一様な電極より液晶に近いほうに位置していればよい。なぜならば、横方向の電界は、櫛歯状の電極から見た場合、常に、一様な電極とは逆方向に発生するからである。つまり、液晶に横電界をかけるためには、櫛歯状の電極は、一様な電極よりも液晶よりに位置していなければならないからである。

【０４２４】

この条件を満たすには、例えば、櫛歯状の電極を第４の導電層５５１３で形成し、一様な電極を第３の導電層５５０９で形成してもよいし、櫛歯状の電極を第４の導電層５５１３で形成し、一様な電極を第２の導電層５５０７で形成してもよいし、櫛歯状の電極を第４の導電層５５１３で形成し、一様な電極を第１の導電層５５０３で形成してもよいし、櫛歯状の電極を第３の導電層５５０９で形成し、一様な電極を第２の導電層５５０７で形成してもよいし、櫛歯状の電極を第３の導電層５５０９で形成し、一様な電極を第１の導電層５５０３で形成してもよいし、櫛歯状の電極を第２の導電層５５０７で形成し、一様な電極を第１の導電層５５０３で形成してもよい。なお、櫛歯状の電極は、ＴＦＴ５５２４のソース領域またはドレイン領域の一方と電気的に接続され、一様な電極は、共通電極５５２３と電気的に接続されるとしたが、この接続は、逆でもよい。その場合は、一様な電極が画素ごとに独立して形成されていてもよい。

【０４２５】

なお、本発明の液晶表示装置が有する液晶素子の動作モードは、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モード、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）、ＡＳＭ（Ａｘｉａｌｌｙ Ｓｙｍｍｅｔｒｉｃ ａｌｉｇｎｅｄ Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｅｎｄ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＰＤＬＣ（Ｐｏｌｙｍｅｒ Ｄｉｓｐｅｒｓｅｄ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード等を自由に用いることができる。

【０４２６】

液晶表示装置に上記実施の形態で示した表示装置の構成を適用することにより、トランジスタの特性劣化を抑制することができる。そのため、トランジスタの特性劣化が原因のシフトレジスタの誤動作を防止することができる。また、シフトレジスタの誤動作が原因の液晶表示装置の表示不良を抑制することができる。

【０４２７】
なお、本実施の形態で示した画素の構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した画素の構成も自由に組み合わせて実施することができる。
【０４２８】
（実施の形態１０）
本実施の形態では、実施の形態１乃至実施の形態８に示した表示装置が有する画素の一例について、実施の形態９とは別の一例を説明する。
【０４２９】
図６５（Ａ）の画素構成について説明する。図６５（Ａ）に示す画素回路は、容量素子６５００、第１のトランジスタ６５０１、第２のトランジスタ６５０２及び表示素子６５２１を有する。なお、画素は、第１の配線６５１１、第２の配線６５１２、第３の配線６５１３に接続されている。また、表示素子６５２１は発光層が画素電極と対向電極６５２２との間に挟持され、画素電極から対向電極６５２２に電流が流れるＥＬ素子を適用することができる。なお、第１の配線６５１１は信号線と呼んでもよい。また、第２の配線６５１２は電源線と呼んでもよい。また、第３の配線６５１３は走査線と呼んでもよい。なお、第１のトランジスタ６５０１は駆動トランジスタと呼んでもよい。また、第２のトランジスタ６５０２は選択用トランジスタと呼んでもよい。
【０４３０】
なお、表示素子６５２１として、ＥＬ素子などの発光素子を適用した場合について説明する。
【０４３１】
なお、トランジスタ６５０１及びトランジスタ６５０２は、Ｎチャネル型のトランジスタを示しているが、Ｐチャネル型のトランジスタであってもよい。実施の形態１乃至実施の形態４では、トランジスタ６５０１及びトランジスタ６５０２としてＮチャネル型のトランジスタを用いるほうが望ましい。なぜなら、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。また、実施の形態５乃至実施の形態８では、トランジスタ６５０１及びトランジスタ６５０２としてＰチャネル型のトランジスタを用いることが望ましい。なぜなら、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。
【０４３２】
なお、第１の配線６５１１は、図９、図１１、図１２及び図４４の表示装置に示した信号線Ｓ１～Ｓｍのいずれか一に相当する。第３の配線６５１３は、図９、図１１、図１２及び図４４の表示装置に示した走査線Ｇ１～Ｇｎのいずれか一に相当する。
【０４３３】
なお、第２の配線６５１２は、図９、図１１、図１２及び図４４には図示していないが、すでに述べたように必要に応じて図９、図１１、図１２及び図４４に追加するとよい。
【０４３４】
第１のトランジスタ６５０１の第１端子は第２の配線６５１２に接続され、第２端子は表示素子６５２１の画素電極に接続されている。第２のトランジスタ６５０２の第１端子は第１の配線６５１１に接続され、第２端子は第１のトランジスタ６５０１のゲート端子に接続され、ゲート端子は第３の配線６５１３に接続されている。容量素子６５００の第１の電極は第２の配線６５１２に接続され、第２の電極は第１のトランジスタ６５０１のゲート端子に接続されている。
【０４３５】
なお、容量素子６５００は、第１のトランジスタ６５０１のゲート端子の電圧を保持する

役目をしている。よって、容量素子６５００は、第１のトランジスタ６５０１と第２の配線６５１２との間に接続されているがこれに限定されない。容量素子６５００は、第１のトランジスタ６５０１のゲート端子の電圧を保持できるように配置されていればよく、別の（例えば、前行）の画素の第３の配線６５１３に接続されてもよい。また、容量素子６５００は、第１のトランジスタ６５０１のゲート容量を用いることで、省略してもよい。

【０４３６】

動作方法としては、第３の配線６５１３を選択し、第２のトランジスタ６５０２をオン状態にして、第１の配線６５１１からビデオ信号を容量素子６５００及び第１のトランジスタ６５０１のゲート端子に入力する。すると、第１のトランジスタ６５０１がゲートとソース間の電圧に応じた電流を表示素子６５２１に流すことで、表示素子６５２１が発光する。

【０４３７】

ところで、表示装置の階調を表現する駆動方式には、表示アナログ階調方式とデジタル階調方式とがある。表示アナログ階調方式には、表示素子の発光強度をアナログ制御する方式と表示素子の発光時間をアナログ制御する方式とがある。アナログ階調方式において表示素子の発光強度をアナログ制御方式がよく用いられる。一方、デジタル階調方式はデジタル制御で表示素子をオンまたはオフさせ、階調を表現している。デジタル階調方式の場合、デジタル信号で処理できるためノイズに強いというメリットがあるが、発光・非発光の２状態しかないため、このままでは２階調しか表現できない。そこで、別の手法を組み合わせて、多階調化を図ることが行われている。多階調化のための手法としては、画素の発光面積に重みをつけてその選択により階調表示を行う面積階調方式と、発光時間に重みをつけてその選択により階調表示を行う時間階調方式とがある。

【０４３８】

このデジタル階調方式と時間階調方式とを組み合わせた場合、図６８に示すように、１フレーム期間を複数のサブフレーム期間（ＳＦｎ）に分割する。各サブフレーム期間は、初期化期間、しきい値電圧書き込み期間及びデータ書き込み期間を有するアドレス期間（Ｔａ）と、発光期間（Ｔｓ）とを有する。なお、サブフレーム期間は表示ビット数ｎに応じた数を１フレーム期間に設ける。また、１フレーム期間において各々のサブフレーム期間における発光期間の長さの比を２（ｎ－１）：２（ｎ－２）：…：２：１とし、各発光期間で表示素子の発光、もしくは非発光を選択し、表示素子が発光している１フレーム期間中の合計時間の差を利用して階調表現を行う。１フレーム期間において、発光している合計時間が長ければ輝度が高く、短ければ輝度が低くなる。なお、図６８においては４ビット階調の例を示しており、１フレーム期間は４つのサブフレーム期間に分割され、発光期間の組み合わせによって、２４＝１６階調を表現できる。なお、発光期間の長さの比は、特に２のべき乗の比としなくても、階調表現は可能である。また、あるサブフレーム期間をさらに分割していても良い。

【０４３９】

なお、上記のように時間階調方式を用いて多階調化を図る場合、下位ビットの発光期間の長さは短いため、発光期間の終了後直ちに次のサブフレーム期間のデータ書き込み動作を開始しようとすると、前のサブフレーム期間のデータ書き込み動作と重複してしまい、正常な動作ができなくなる。そのため、図６５（Ｂ）のように、第３のトランジスタ６５０３を第１のトランジスタ６５０１のゲート端子と第３の配線６５１３との間に設け、発光期間の一部において第３のトランジスタ６５０３がオンし、強制的に第１のトランジスタ６５０１をオフとなり、強制的に非発光状態を作り、非発光状態の期間（消去期間）を設けることで、全行に要するデータ書き込み期間より短い発光も表現することができる。なお、第３のトランジスタ６５０３のオン及びオフは第４の配線６５１４によって制御されている。よって、表示アナログ階調において特に有効であることはもちろんであるが、デジタル階調方式と時間階調方式とを組み合わせた方式においても有効である。なお、非発光状態に作るには表示素子に電流が流れなければ良いため、上述したように第１のトランジスタ６５０１をオフさせる他、第２の配線６５１２の電位を下げたりすることで非発光

状態を得ることができる。また、第１のトランジスタ６５０１と第２の配線６５１２との間に新たなスイッチを設け、そのスイッチを用いて第１のトランジスタ６５０１と第２の配線６５１２とを非導通にすることで非発光状態を得ることもできる。また、第１のトランジスタ６５０１と表示素子６５２１の画素電極との間に新たにスイッチを設け、そのスイッチを用いて表示素子６５２１への電流の供給を止めることで非発光状態を得ることもできる。

【０４４０】

次に、図６５とは別の画素の構成について、図６６を参照して説明する。

【０４４１】

図６６の画素構成について説明する。図６６に示す画素回路は、容量素子６６００、第１のトランジスタ６６０１、第２のトランジスタ６６０２、第３のトランジスタ６６０３及び表示素子６６２１を有する。なお、画素は、第１の配線６６１１、第２の配線６６１２、第３の配線６６１３及び第４の配線６６１４に接続されている。また、表示素子６６２１は画素電極と対向電極６６２２との間に挟持され、画素電極から対向電極６６２２に電流が流れるＥＬ素子を適用することができる。なお、第１の配線６６１１は信号線と呼んでもよい。また、第２の配線６６１２は電源線と呼んでもよい。また、第３の配線６６１３及び第４の配線６６１４は、第１の走査線、第２の走査線と呼んでもよい。なお、第１のトランジスタ６６０１は駆動トランジスタと呼んでもよい。また、第２のトランジスタ６６０２及び第３のトランジスタ６６０３は、第１のスイッチング用トランジスタ、第２のスイッチング用トランジスタと呼んでもよい。

【０４４２】

なお、表示素子６６２１として、ＥＬ素子などの発光素子を適用した場合について説明する。

【０４４３】

なお、第１のトランジスタ６６０１、第２のトランジスタ６６０２及び第３のトランジスタ６６０３は、Ｎチャネル型のトランジスタを示しているが、Ｐチャネル型のトランジスタであってもよい。実施の形態１乃至実施の形態４では、第１のトランジスタ６６０１、第２のトランジスタ６６０２及び第３のトランジスタ６６０３としてＮチャネル型のトランジスタを用いるほうが望ましい。なぜなら、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。また、実施の形態５乃至実施の形態８では、第１のトランジスタ６６０１、第２のトランジスタ６６０２及び第３のトランジスタ６６０３としてＰチャネル型のトランジスタを用いることが望ましい。なぜなら、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。

【０４４４】

なお、第１の配線６６１１は、図９、図１１、図１２及び図４４の表示装置に示した信号線Ｓ１～Ｓｍのいずれか一に相当する。第３の配線６６１３は、図９、図１１、図１２及び図４４の表示装置に示した走査線Ｇ１～Ｇｎのいずれか一に相当する。

【０４４５】

なお、第２の配線６６１２、第４の配線６６１４は、図９、図１１、図１２及び図４４には図示していないが、すでに述べたように必要に応じて図９、図１１、図１２及び図４４に追加するとよい。

【０４４６】

第１のトランジスタ６６０１の第１端子は第２の配線６６１２に接続され、第２端子は表示素子６６２１の画素電極に接続されている。第２のトランジスタ６６０２の第１端子は第１の配線６６１１に接続され、第２端子は表示素子６６２１の画素電極に接続され、ゲート端子は第３の配線６６１３に接続されている。第３のトランジスタ６６０３の第１端

子は第２の配線６６１２に接続され、第２端子は第１のトランジスタ６６０１のゲート端子に接続され、ゲート端子は第４の配線６６１４に接続されている。容量素子６６００の第１の電極は第１のトランジスタ６６０１のゲート端子に接続され、第２の電極は表示素子６６２１の画素電極に接続されている。

【０４４７】

駆動方法としては、第３の配線６６１３及び第４の配線６６１４を選択し、第２のトランジスタ６６０２及び第３のトランジスタ６６０３をオン状態にし、第２の配線６６１２の電位を対向電極６６２２と同じくらいの電位まで下げる。その後、第２の配線６６１２から第１の配線６６１１にビデオ信号に応じた電流を流す（ビデオ信号を入力する）。すると、第１のトランジスタ６６０１のゲート端子の電圧は、ビデオ信号に応じた値となり、そのとき第１のトランジスタ６６０１のゲートとソース間の電圧（ゲート端子と第２端子との電位差）が容量素子６６００に保持される。その後、第２のトランジスタ６６０２及び第３のトランジスタ６６０３をオフとなり、第２の配線６６１２の電位を上昇させることで、表示素子６６２１に電流が流れ始める。このとき、第１のトランジスタ６６０１のゲートとソース間の電圧は容量素子６６００によってビデオ信号に応じた電位を保つため、ビデオ信号の電流と表示素子６６２１に流れる電流とが同じ値となる。すると、表示素子６６２１はビデオ信号に応じた輝度で発光する。

【０４４８】

次に、図６６とは別の画素の構成について、図６７を参照して説明する。

【０４４９】

図６７の画素構成について説明する。図６７に示す画素回路は、容量素子６７００、第１のトランジスタ６７０１、第２のトランジスタ６７０２、第３のトランジスタ６７０３、第４のトランジスタ６７０４及び表示素子６７２１を有する。なお、画素は、第１の配線６７１１、第２の配線６７１２、第３の配線６７１３、第４の配線６７１４及び第５の配線６７１５に接続されている。また、表示素子６７２１は発光層が画素電極と対向電極６７２２との間に挟持され、画素電極から対向電極６７２２に電流が流れるＥＬ素子を適用することができる。なお、第１の配線６７１１は信号線と呼んでもよい。また、第２の配線６７１２は電源線と呼んでもよい。また、第３の配線６７１３及び第４の配線６７１４は、第１の走査線、第２の走査線と呼んでもよい。また、第５の配線６７１５は保持容量線と呼んでもよい。なお、第１のトランジスタ６７０１及び第２のトランジスタ６７０２は第１の駆動トランジスタ、第２の駆動トランジスタと呼んでもよい。また、第３のトランジスタ６７０３及び第４のトランジスタ６７０４は、第１のスイッチング用トランジスタ、第２のスイッチング用トランジスタと呼んでもよい。なお、第１のトランジスタ６７０１及び第２のトランジスタ６７０２は対をなしており、いわゆるカレントミラーの構成となっている。

【０４５０】

なお、表示素子６７２１として、ＥＬ素子などの発光素子を適用した場合について説明する。

【０４５１】

なお、第１のトランジスタ６７０１、第２のトランジスタ６７０２、第３のトランジスタ６７０３及び第４のトランジスタ６７０４は、Ｎチャネル型のトランジスタを示しているが、Ｐチャネル型のトランジスタであってもよい。実施の形態１乃至実施の形態４では、第１のトランジスタ６７０１、第２のトランジスタ６７０２、第３のトランジスタ６７０３及び第４のトランジスタ６７０４としてＮチャネル型のトランジスタを用いるほうが望ましい。なぜなら、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。また、実施の形態５乃至実施の形態８では、第１のトランジスタ６７０１、第２のトランジスタ６７０２、第３の

トランジスタ６７０３及び第４のトランジスタ６７０４としてＰチャネル型のトランジスタを用いることが望ましい。なぜなら、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。

【０４５２】

なお、第１の配線６７１１は、図９、図１１、図１２及び図４４の表示装置に示した信号線Ｓ１～Ｓｍのいずれか一に相当する。第３の配線６７１３は、図９、図１１、図１２及び図４４の表示装置に示した走査線Ｇ１～Ｇｎのいずれか一に相当する。

【０４５３】

なお、第２の配線６７１２、第４の配線６７１４、第５の配線６７１５は、図９、図１１、図１２及び図４４には図示していないが、すでに述べたように必要に応じて図９、図１１、図１２及び図４４に追加するとよい。

【０４５４】

第１のトランジスタ６７０１の第１端子は第２の配線６７１２に接続され、第２端子は表示素子６７２１の画素電極に接続されている。第２のトランジスタ６７０２の第１端子は第３のトランジスタ６７０３の第２端子に接続され、第２端子は表示素子６７２１の画素電極に接続されている。第３のトランジスタ６７０３の第１端子は第１のトランジスタ６７０１のゲート端子及び第２のトランジスタ６７０２のゲート端子に接続され、ゲート端子は第４の配線６７１４に接続されている。第４のトランジスタ６７０４の第１端子は第１の配線６７１１に接続され、第２端子は第１のトランジスタ６７０１のゲート端子及び第２のトランジスタ６７０２のゲート端子に接続され、ゲート端子は第３の配線６７１３に接続されている。容量素子６７００の第１の電極は第５の配線６７１５に接続され、第２の電極は第１のトランジスタ６７０１のゲート端子及び第２のトランジスタ６７０２のゲート端子に接続されている。

【０４５５】

なお、容量素子６７００は、第１のトランジスタ６７０１のゲート端子及び第２のトランジスタ６７０２のゲート端子の電圧を保持する役目をしている。よって、容量素子６７００は、第１のトランジスタ６７０１のゲート端子及び第２のトランジスタ６７０２のゲート端子と第５の配線６７１５との間に接続されているがこれに限定されない。容量素子６７００は、第１のトランジスタ６７０１のゲート端子及び第２のトランジスタ６７０２のゲート端子の電圧を保持できるように配置されていればよく、別の（例えば、前行）の画素の第３の配線６７１３に接続されてもよい。また、容量素子６７００は、第１のトランジスタ６７０１のゲート容量及び第２のトランジスタ６７０２のゲート容量を用いることで、省略してもよい。

【０４５６】

駆動方法としては、第３の配線６７１３及び第４の配線６７１４を選択し、第３のトランジスタ６７０３及び第４のトランジスタ６７０４をオン状態にする。その後、第１の配線６７１１から表示素子６７２１にビデオ信号に応じた電流を流す（ビデオ信号を入力する）。すると、第１のトランジスタ６７０１のゲート端子及び第２のトランジスタ６７０２のゲート端子の電圧は、ビデオ信号に応じた値となる。そして、第１のトランジスタ６７０１のゲート端子及び第２のトランジスタ６７０２のゲート端子の電圧が容量素子６７００に保持される。その後、第３のトランジスタ６７０３及び第４のトランジスタ６７０４がオフとなる。すると、第１のトランジスタ６７０１は、ビデオ信号に応じた電流を表示素子６７２１に供給し、表示素子６７２１はビデオ信号に応じた輝度で発光する。

【０４５７】

次に、図６５（Ａ）、（Ｂ）に示した画素の断面図について説明する。

【０４５８】

図６９（Ａ）に、１つの画素に２つのＴＦＴを有する画素の素子のレイアウト例を示す。また、図６９（Ａ）において、Ｘ－Ｘ’で示される部分の断面図を図６９（Ｂ）に示す。なお、図６９（Ａ）のレイアウト例は、図６５（Ａ）に示した画素に適用することができる。

【０４５９】
図６９（Ａ）に示すように、本発明における画素は、第１のＴＦＴ６９０５、第１の配線６９０６、第２の配線６９０７、第２のＴＦＴ６９０８、第３の配線６９１１、対向電極６９１２、コンデンサ６９１３、画素電極６９１５、隔壁６９１６、有機導電体膜６９１７、有機薄膜６９１８、基板６９１９を有していてもよい。なお、第１のＴＦＴ６９０５はスイッチング用ＴＦＴとして、第１の配線６９０６はゲート信号線として、第２の配線６９０７はソース信号線として、第２のＴＦＴ６９０８は駆動用ＴＦＴとして、第３の配線６９１１は電流供給線として、それぞれ用いられるのが好適である。
【０４６０】
図６９（Ａ）に示すように、第１のＴＦＴ６９０５のゲート電極は、第１の配線６９０６と電気的に接続され、第１のＴＦＴ６９０５のソース端子またはドレイン端子の一方は、第２の配線６９０７と電気的に接続され、第１のＴＦＴ６９０５のソース端子またはドレイン端子は、第２のＴＦＴ６９０８のゲート端子およびコンデンサ６９１３の一方の電極と電気的に接続されているのが好適である。なお、第１のＴＦＴ６９０５のゲート電極は、図６９（Ａ）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第１のＴＦＴ６９０５のオフ状態におけるリーク電流を低減することができる。
【０４６１】
また、第２のＴＦＴ６９０８のソース端子またはドレイン端子の一方は、第３の配線６９１１と電気的に接続され、第２のＴＦＴ６９０８のソース端子またはドレイン端子の他方は、画素電極６９１５と電気的に接続されているのが好適である。こうすることで、画素電極６９１５に流れる電流を、第２のＴＦＴ６９０８によって制御することができる。
【０４６２】
画素電極６９１５上には、有機導電体膜６９１７が設けられ、さらに有機薄膜（有機化合物層）６９１８が設けられていてもよい。有機薄膜（有機化合物層）６９１８上には、対向電極６９１２が設けられていてもよい。なお、対向電極６９１２は、全ての画素で共通に接続されるように、一面に形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。
【０４６３】
有機薄膜（有機化合物層）６９１８から発せられた光は、画素電極６９１５もしくは対向電極６９１２のうちいずれかを透過して発せられる。このとき、図６９（Ｂ）において、画素電極側、すなわちＴＦＴ等が形成されている側に光が発せられる場合を下面射出、対向電極側に光が発せられる場合を上面射出と呼ぶ。
【０４６４】
下面射出の場合、画素電極６９１５は透明導電膜によって形成されるのが好適である。また、上面射出の場合、対向電極６９１２は透明導電膜によって形成されるのが好適である。
【０４６５】
また、カラー表示の発光装置においては、Ｒ・Ｇ・Ｂそれぞれの発光色を持つＥＬ素子を塗り分けても良いし、単色のＥＬ素子を一面に塗り、カラーフィルターによってＲ・Ｇ・Ｂの発光を得るようにしても良い。
【０４６６】
なお、図６９に示した構成はあくまで一例であり、画素レイアウト、断面構成、ＥＬ素子の電極の積層順等に関して、図６９に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、ＬＥＤのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。
【０４６７】
次に、図７０（Ａ）を参照して、１つの画素に３つのＴＦＴを有する画素の素子のレイアウト例について説明する。また、図７０（Ａ）において、Ｘ－Ｘ’で示される部分の断面図を図７０（Ｂ）に示す。なお、図７０（Ａ）のレイアウト例は、図６５（Ｂ）に示した

画素に適用することができる。

【０４６８】

図７０（Ａ）に示すように、本発明における画素は、基板７０００、第１の配線７００１、第２の配線７００２、第３の配線７００３、第４の配線７００４、第１のＴＦＴ７００５、第２のＴＦＴ７００６、第３のＴＦＴ７００７、画素電極７００８、隔壁７０１１、有機導電体膜７０１２、有機薄膜７０１３、対向電極７０１４、を有していてもよい。なお、第１の配線７００１はソース信号線として、第２の配線７００２は書込用ゲート信号線として、第３の配線７００３は消去用ゲート信号線として、第４の配線７００４は電流供給線として、第１のＴＦＴ７００５はスイッチング用ＴＦＴとして、第２のＴＦＴ７００６は消去用ＴＦＴとして、第３のＴＦＴ７００７は駆動用ＴＦＴとして、それぞれ用いられるのが好適である。

【０４６９】

図７０（Ａ）に示すように、第１のＴＦＴ７００５のゲート電極は、第２の配線７００２と電気的に接続され、第１のＴＦＴ７００５のソース端子またはドレイン端子の一方は、第１の配線７００１と電気的に接続され、第１のＴＦＴ７００５のソース端子またはドレイン電極の端子は、第３のＴＦＴ７００７のゲート端子と電気的に接続されているのが好適である。なお、第１のＴＦＴ７００５のゲート電極は、図７０（Ａ）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第１のＴＦＴ７００５のオフ状態におけるリーク電流を低減することができる。

【０４７０】

また、第２のＴＦＴ７００６のゲート電極は、第３の配線７００３と電気的に接続され、第２のＴＦＴ７００６のソース電極またはドレイン電極の一方は、第４の配線７００４と電気的に接続され、第２のＴＦＴ７００６のソース電極またはドレイン電極の他方は、第３のＴＦＴ７００７のゲート電極と電気的に接続されているのが好適である。なお、第２のＴＦＴ７００６のゲート電極は、図７０（Ａ）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第２のＴＦＴ７００６のオフ状態におけるリーク電流を低減することができる。

【０４７１】

また、第３のＴＦＴ７００７のソース端子またはドレイン端子の一方は、第４の配線７００４と電気的に接続され、第３のＴＦＴ７００７のソース端子またはドレイン端子の他方は、画素電極７００８と電気的に接続されているのが好適である。こうすることで、画素電極７００８に流れる電流を、第３のＴＦＴ７００７によって制御することができる。

【０４７２】

画素電極７００８上には、有機導電体膜７０１２が設けられ、さらに有機薄膜（有機化合物層）７０１３が設けられていてもよい。有機薄膜（有機化合物層）７０１３上には、対向電極７０１４が設けられていてもよい。なお、対向電極７０１４は、全ての画素で共通に接続されるように、一面に形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【０４７３】

有機薄膜（有機化合物層）７０１３から発せられた光は、画素電極７００８もしくは対向電極７０１４のうちいずれかを透過して発せられる。このとき、図７０（Ｂ）において、画素電極側、すなわちＴＦＴ等が形成されている側に光が発せられる場合を下面射出、対向電極側に光が発せられる場合を上面射出と呼ぶ。

【０４７４】

下面射出の場合、画素電極７００８は透明導電膜によって形成されるのが好適である。逆に、上面射出の場合、対向電極７０１４は透明導電膜によって形成されるのが好適である。

【０４７５】

また、カラー表示の発光装置においては、Ｒ・Ｇ・Ｂそれぞれの発光色を持つＥＬ素子を塗り分けても良いし、単色のＥＬ素子を一面に形成し、カラーフィルターによってＲ・

Ｇ・Ｂの発光を得るようにしても良い。
【０４７６】
なお、図７０に示した構成はあくまで一例であり、画素レイアウト、断面構成、ＥＬ素子の電極の積層順等に関して、図７０に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、ＬＥＤのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。
【０４７７】
次に、図７１（Ａ）を参照して、１つの画素に４つのＴＦＴを有する画素の素子のレイアウト例について説明する。また、図７１（Ａ）において、Ｘ－Ｘ’で示される部分の断面図を図７１（Ｂ）に示す。
【０４７８】
図７１（Ａ）に示すように、本発明における画素は、基板７１００、第１の配線７１０１、第２の配線７１０２、第３の配線７１０３、第４の配線７１０４、第１のＴＦＴ７１０５、第２のＴＦＴ７１０６、第３のＴＦＴ７１０７、第４のＴＦＴ７１０８、画素電極７１０９、第５の配線７１１１、第６の配線７１１２、隔壁７１２１、有機導電体膜７１２２、有機薄膜７１２３、対向電極７１２４、を有していてもよい。なお、第１の配線７１０１はソース信号線として、第２の配線７１０２は書込用ゲート信号線として、第３の配線７１０３は消去用ゲート信号線として、第４の配線７１０４は逆方向バイアス用信号線として、第１のＴＦＴ７１０５はスイッチング用ＴＦＴとして、第２のＴＦＴ７１０６は消去用ＴＦＴとして、第３のＴＦＴ７１０７は駆動用ＴＦＴとして、第４のＴＦＴ７１０８は逆方向バイアス用ＴＦＴとして、第５の配線７１１１は電流供給線として、第６の配線７１１２は逆方向バイアス用電源線として、それぞれ用いられるのが好適である。
【０４７９】
図７１（Ａ）に示すように、第１のＴＦＴ７１０５のゲート電極は、第２の配線７１０２と電気的に接続され、第１のＴＦＴ７１０５のソース端子またはドレイン端子の一方は、第１の配線７１０１と電気的に接続され、第１のＴＦＴ７１０５のソース端子またはドレイン端子の他方は、第３のＴＦＴ７１０７のゲート電極と電気的に接続されているのが好適である。なお、第１のＴＦＴ７１０５のゲート電極は、図７１（Ａ）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第１のＴＦＴ７１０５のオフ状態におけるリーク電流を低減することができる。
【０４８０】
また、第２のＴＦＴ７１０６のゲート電極は、第３の配線７１０３と電気的に接続され、第２のＴＦＴ７１０６のソース端子またはドレイン端子の一方は、第５の配線７１１１と電気的に接続され、第２のＴＦＴ７１０６のソース端子またはドレイン端子の他方は、第３のＴＦＴ７１０７のゲート電極と電気的に接続されているのが好適である。なお、第２のＴＦＴ７１０６のゲート電極は、図７１（Ａ）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第２のＴＦＴ７１０６のオフ状態におけるリーク電流を低減することができる。
【０４８１】
また、第３のＴＦＴ７１０７のソース端子またはドレイン端子の一方は、第５の配線７１１１と電気的に接続され、第３のＴＦＴ７１０７のソース端子またはドレイン端子の他方は、画素電極７１０９と電気的に接続されているのが好適である。こうすることで、画素電極７１０９に流れる電流を、第３のＴＦＴ７１０７によって制御することができる。
【０４８２】
また、第４のＴＦＴ７１０８のゲート電極は、第４の配線７１０４と電気的に接続され、第４のＴＦＴ７１０８のソース端子またはドレイン端子の一方は、第６の配線７１１２と電気的に接続され、第４のＴＦＴ７１０８のソース電極またはドレイン電極の他方は、画素電極７１０９と電気的に接続されているのが好適である。こうすることで、画素電極７１０９の電位を、第４のＴＦＴ７１０８によって制御することができるので、有機導電体膜７１２２および有機薄膜７１２３などで構成される発光素子に、逆方向のバイアスを印

加することができる。有機導電体膜７１２２および有機薄膜７１２３などで構成される発光素子に逆方向のバイアスを印加することによって、発光素子の信頼性を大きく向上させることができる。

【０４８３】

たとえば、直流電圧（３．６５Ｖ）で駆動した場合の輝度半減時間が４００時間程度である発光素子を、交流電圧（順方向バイアス：３．７Ｖ、逆方向バイアス：１．７Ｖ、デューティ比５０％、交流周波数６０Ｈｚ）で駆動すると、輝度半減時間は７００時間以上となることがわかっている。

【０４８４】

次に、画素電極７１０９上には、有機導電体膜７１２２が設けられ、さらに有機薄膜（有機化合物層）７１２３が設けられていてもよい。有機薄膜（有機化合物層）７１２３上には、対向電極７１２４が設けられていてもよい。なお、対向電極７１２４は、全ての画素で共通に接続されるように、一面に形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【０４８５】

有機薄膜（有機化合物層）７１２３から発せられた光は、画素電極７１０９もしくは対向電極７１２４のうちいずれかを透過して発せられる。このとき、図７１（Ｂ）において、画素電極側、すなわちＴＦＴ等が形成されている側に光が発せられる場合を下面射出、対向電極側に光が発せられる場合を上面射出と呼ぶ。

【０４８６】

下面射出の場合、画素電極７１０９は透明導電膜によって形成されるのが好適である。逆に、上面射出の場合、対向電極７１２４は透明導電膜によって形成されるのが好適である。

【０４８７】

また、カラー表示の発光装置においては、Ｒ・Ｇ・Ｂそれぞれの発光色を持つＥＬ素子を塗り分けても良いし、単色のＥＬ素子を一面に形成し、カラーフィルターによってＲ・Ｇ・Ｂの発光を得るようにしても良い。

【０４８８】

なお、図７１に示した構成はあくまで一例であり、画素レイアウト、断面構成、ＥＬ素子の電極の積層順等に関して、図７１に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、ＬＥＤのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【０４８９】

次に、本発明に適用できるＥＬ素子の構造について説明する。

【０４９０】

本発明に適用できるＥＬ素子は、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型のＥＬ素子と表記する）でもよい。

【０４９１】

混合接合型のＥＬ素子の構造を示す模式図を、図７２に示す。図７２において、７２０１はＥＬ素子の陽極である。７２０２はＥＬ素子の陰極である。陽極７２０１と陰極７２０２の間に挟まれた層が、ＥＬ層に相当する。

【０４９２】

図７２（Ａ）において、ＥＬ層は、正孔輸送材料からなる正孔輸送領域７２０３と、電子輸送材料からなる電子輸送領域７２０４とを含み、正孔輸送領域７２０３は電子輸送領域７２０４よりも陽極側に位置し、且つ、正孔輸送領域７２０３と、電子輸送領域７２０４の間に、正孔輸送材料及び電子輸送材料の両方を含む混合領域７２０５が設けられた構

成とすることができる。

【０４９３】

なお、このとき、陽極７２０１から陰極７２０２の方向に、混合領域７２０５内の正孔輸送材料の濃度は減少し、混合領域７２０５内の電子輸送材料の濃度は増加することを特徴としても良い。

【０４９４】

なお、上記構成において、正孔輸送材料のみからなる正孔輸送領域７２０３が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域７２０５内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、正孔輸送材料のみからなる正孔輸送領域７２０３及び電子輸送材料のみからなる電子輸送領域７２０４が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域７２０５内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、濃度の割合は、陽極や陰極からの距離に依存して変化する構成であってもよい。更に、濃度の割合の変化は連続的であってもよい。濃度勾配の設定の仕方は、自由に設定することが可能である。

【０４９５】

混合領域７２０５内に、発光材料が添加された領域７２０６を有する。発光材料によって、ＥＬ素子の発光色を制御することができる。また、発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオキサドール骨格を含む金属錯体、ベンゾチアゾール骨格を含む金属錯体等の他、各種蛍光色素を用いることができる。これらの発光材料を添加することによって、ＥＬ素子の発光色を制御することができる。

【０４９６】

陽極７２０１としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、錫ドープ酸化インジウム（ＩＴＯ）や、亜鉛ドープ酸化インジウム（ＩＺＯ）、ＺｎＯ、SnO_2、In_2O_3等の透明電極を用いることができる。また、透光性を有する必要が無いならば、陽極７２０１は、不透明の金属材料でもよい。

【０４９７】

また、正孔輸送材料としては、芳香族アミン系の化合物等を用いることができる。

【０４９８】

また、電子輸送材料としては、キノリン誘導体、８－キノリノールまたはその誘導体を配位子とする金属錯体（特に、トリス（８－キノリノラト）アルミニウム（Ａｌｑ３））等を用いることができる。

【０４９９】

陰極７２０２としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウム等の金属を単体で用いることができる。また、これらの金属の合金であっても良いし、これらの金属と他の金属との合金であっても良い。

【０５００】

図７２（Ａ）とは異なる構成のＥＬ素子の模式図を図７２（Ｂ）に示す。なお、図７２（Ａ）と同じ部分は同じ符号を用いて示し、説明は省略する。

【０５０１】

図７２（Ｂ）では、発光材料が添加された領域を有さない。しかし、電子輸送領域７２０４に添加する材料として、電子輸送性及び発光性の両方を有する材料（電子輸送発光材料）、例えば、トリス（８－キノリノライト）アルミニウム（Ａｌｑ３）を用いる構成とし、発光を行うことができる。

【０５０２】

または、正孔輸送領域７２０３に添加する材料として、正孔輸送性及び発光性の両方を有する材料（正孔輸送発光材料）を用いてもよい。

【０５０３】

図７２（Ａ）及び図７２（Ｂ）とは異なる構成のＥＬ素子の模式図を図７２（Ｃ）に示す。なお、図７２（Ａ）及び図７２（Ｂ）と同じ部分は同じ符号を用いて示し、説明は省略する。

【０５０４】

図７２（Ｃ）において、正孔輸送材料に比べて最高被占分子軌道と最低空分子軌道とのエネルギー差が大きい正孔ブロッキング性材料が、混合領域７２０５内に添加された領域７２０７を有する。正孔ブロッキング性材料が添加された領域７２０７を、混合領域７２０５内の発光材料が添加された領域７２０６より陰極７２０２側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔ブロッキング性材料が添加された領域７２０７を設ける構成は、特に、三重項励起子のよる発光（燐光）を利用するＥＬ素子において有効である。

【０５０５】

図７２（Ａ）、図７２（Ｂ）及び図７２（Ｃ）とは異なる構成のＥＬ素子の模式図を図７２（Ｄ）に示す。なお、図７２（Ａ）、図７２（Ｂ）及び図７２（Ｃ）と同じ部分は同じ符号を用いて示し、説明は省略する。

【０５０６】

図７２（Ｄ）において、電子輸送材料に比べて最高被占分子軌道と最低空分子軌道とのエネルギー差が大きい電子ブロッキング性材料が、混合領域７２０５内に添加された領域７２０８を有する。電子ブロッキング性材料が添加された領域７２０８を、混合領域７２０５内の発光材料が添加された領域７２０６より陽極７２０１側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子ブロッキング性材料が添加された領域７２０８を設ける構成は、特に、三重項励起子のよる発光（燐光）を利用するＥＬ素子において有効である。

【０５０７】

図７２（Ｅ）は、図７２（Ａ）、図７２（Ｂ）、図７２（Ｃ）および図７２（Ｄ）とは異なる混合接合型のＥＬ素子の構成を示す模式図である。図７２（Ｅ）では、ＥＬ素子の電極に接するＥＬ層の部分に、金属材料を添加した領域７２０９を有する構成の例を示す。図７２（Ｅ）において、図７２（Ａ）～図７２（Ｄ）と同じ部分は同じ符号を用いて示し説明は省略する。図７２（Ｅ）に示す構成は、たとえば、陰極７２０２としてＭｇＡｇ（Ｍｇ－Ａｇ合金）を用い、電子輸送材料が添加された領域７２０４の、陰極７２０２に接する領域にＡｌ（アルミニウム）合金を添加した領域７２０９を有する構成であってもよい。上記構成によって、陰極の酸化を防止し、且つ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型のＥＬ素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【０５０８】

上記混合接合型のＥＬ素子を作製する手法としては、共蒸着法等を用いることができる。

【０５０９】

図７２（Ａ）～図７２（Ｅ）に示したような混合接合型のＥＬ素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【０５１０】

なお、図７２（Ａ）～図７２（Ｅ）に示した構成は、自由に組み合わせて実施することが可能である。

【０５１１】

なお、混合接合型のＥＬ素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【０５１２】

なお、ＥＬ素子のＥＬ層を構成する有機材料としては、低分子材料でも高分子材料でもよい。また、これらの材料を両方用いてもよい。有機化合物材料として低分子材料を用いる

場合は、蒸着法によって成膜することができる。一方、ＥＬ層として高分子材料を用いる場合では、高分子材料を溶媒に溶かし、スピン塗布法やインクジェット方式で成膜することができる。

【０５１３】

また、ＥＬ層は、中分子材料によって構成されていても良い。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が２０程度以下の有機発光材料を示すものとする。ＥＬ層として中分子材料を用いる場合では、インクジェット方式等で成膜することができる。

【０５１４】

なお、低分子材料と、高分子材料と、中分子材料とを組み合わせて用いても良い。

【０５１５】

また、ＥＬ素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。

【０５１６】

次に、本発明が適用できる表示装置を製造するための蒸着装置について、図面を参照して説明する。

【０５１７】

本発明が適用できる表示装置は、ＥＬ層を形成して製造されてもよい。ＥＬ層は、エレクトロルミネセンスを発現する材料を少なくとも一部に含んで形成される。ＥＬ層は機能の異なる複数の層で構成されても良い。その場合、ＥＬ層は、正孔注入輸送層、発光層、電子注入輸送層などとも呼ばれる機能の異なる層が組み合わさって構成されていてもよい。

【０５１８】

トランジスタが形成された素子基板に、ＥＬ層を形成するための蒸着装置の構成を図７３に示す。この蒸着装置は、搬送室７３６０、７３６１に複数の処理室を連結している。処理室には、基板を供給するロード室７３６２、基板を回収するアンロード室７３６３、その他、加熱処理室７３６８、プラズマ処理室７３７２、ＥＬ材料を蒸着する成膜処理室７３６９、７３７０、７３７１、７３７３、７３７４、７３７５、ＥＬ素子の一方の電極として、アルミニウム若しくはアルミニウムを主成分とする導電膜を形成する成膜処理室７３７６を含んでいる。また、搬送室と各処理室の間にはゲートバルブ７３７７ａ～７３７７ｌが設けられていて、各処理室の圧力は独立して制御可能とされており、処理室間の相互汚染を防いでいる。

【０５１９】

ロード室７３６２から搬送室７３６０に導入された基板は、回転自在に設けられたアーム方式の搬送手段７３６６により、所定の処理室へ搬入される。また、基板は搬送手段７３６６により、ある処理室から他の処理室へ搬送される。搬送室７３６０と搬送室７３６１とは成膜処理室７３７０で連結され、ここで搬送手段７３６６と搬送手段７３６７により基板の受け渡しを行う。

【０５２０】

搬送室７３６０及び搬送室７３６１に連結する各処理室は減圧状態に保持されている。従って、この蒸着装置では、基板は大気に触れることなく連続してＥＬ層の成膜処理が行われる。ＥＬ層の成膜処理が終わった表示パネルは、水蒸気などにより劣化する場合があるので、この蒸着装置では、品質を保持するために大気に触れさせる前に封止処理を行うための封止処理室７３６５が搬送室７３６１に連結されている。封止処理室７３６５は大気圧若しくはそれに近い減圧下におかれているので、搬送室７３６１と封止処理室７３６５の間にも中間処理室７３６４が備えられている。中間処理室７３６４は基板の受け渡しと、室間の圧力を緩衝するために設けられている。

【０５２１】

ロード室、アンロード室、搬送室及び成膜処理室には室内を減圧に保持するための排気手段が備えられている。排気手段としては、ドライポンプ、ターボ分子ポンプ、拡散ポン

プなど各種の真空ポンプを用いることができる。

【０５２２】

図７３の蒸着装置において、搬送室７３６０及び搬送室７３６１に連結される処理室の数やその構成は、ＥＬ素子の積層構造に応じて適宜組み合わせることができる。以下に、その組み合わせの一例を示す。

【０５２３】

加熱処理室７３６８は、最初に下部電極や絶縁隔壁等が形成された基板を加熱して脱ガス処理を行う。プラズマ処理室７３７２は、下地電極表面を希ガスや酸素プラズマ処理を行う。このプラズマ処理は、表面を清浄化、表面状態の安定化、表面の物理的若しくは化学的状態（例えば、仕事関数など）を安定化させるために行う。

【０５２４】

成膜処理室７３６９は、ＥＬ素子の一方の電極と接触する電極バッファ層を形成する処理室である。電極バッファ層はキャリア注入性（正孔注入若しくは電子注入）があり、ＥＬ素子の短絡や暗点欠陥の発生を抑制する層である。代表的には、電極バッファ層は、有機無機混合材料であって、抵抗率が５×１０^{4}～１×１０^{6}Ωｃｍであり、３０～３００ｎｍの厚さに形成される。また、成膜処理室７３７１は正孔輸送層を成膜する処理室である。

【０５２５】

ＥＬ素子における発光層は、単色発光をする場合と白色発光をする場合とで、その構成が異なる。蒸着装置において成膜処理室もそれに応じて配置することが好ましい。例えば、表示パネルに発光色が異なる三種類のＥＬ素子を形成する場合には、各発光色に対応した発光層を成膜する必要がある。この場合、成膜処理室７３７０を第１の発光層の成膜用として、成膜処理室７３７３を第２の発光層の成膜用として、成膜処理室７３７４を第３の発光層の成膜用として用いることができる。発光層ごとに成膜処理室を分けることで、異なる発光材料による相互汚染を防止することができ、成膜処理のスループットを向上させることが出来る。

【０５２６】

また、成膜処理室７３７０、成膜処理室７３７３、成膜処理室７３７４のそれぞれで、発光色が異なる三種類のＥＬ材料を順次蒸着しても良い。この場合、シャドーマスクを使い、蒸着する領域に応じて当該マスクをずらして蒸着を行うことになる。

【０５２７】

白色発光するＥＬ素子を形成する場合には、異なる発光色の発光層を縦積みにして形成する。その場合にも、素子基板が成膜処理室を順次移動して、発光層ごとに成膜することができる。また、同じ成膜処理室で異なる発光層を連続して成膜することもできる。

【０５２８】

成膜処理室７３７６では、ＥＬ層の上に電極を成膜する。電極の形成は、電子ビーム蒸着法やスパッタリング法を適用することもできるが、好ましくは抵抗加熱蒸着法を用いることが好ましい。

【０５２９】

電極の形成まで終了した素子基板は、中間処理室７３６４を経て封止処理室７３６５に搬入される。封止処理室７３６５は、ヘリウム、アルゴン、ネオン、若しくは窒素などの不活性な気体が充填されており、その雰囲気下で素子基板のＥＬ層が形成された側に封止板を貼り付けて封止する。封止された状態において、素子基板と封止板との間には、不活性気体が充填されていても良いし、樹脂材料を充填しておいても良い。封止処理室７３６５には、シール材を描画するディスペンサーや、素子基板に対向して封止板を固定する固定ステージやアームなどの機械的要素、樹脂材料を充填するディスペンサー若しくはスピンコーターなどが備えられている。

【０５３０】

図７４は、成膜処理室の内部構成を示す。成膜処理室は減圧下に保たれていて、図７４では天板７４９１と底板７４９２で挟まれる内側が室内であり、減圧状態に保たれる室内

を示している。

【０５３１】

処理室内には、一つ又は複数個の蒸発源が備えられている。組成の異なる複数の層を成膜する場合や、異なる材料を共蒸着する場合は、複数個の蒸発源を設けることが好ましいからである。図７４では、蒸発源７４８１ａ、７４８１ｂ、７４８１ｃが蒸発源ホルダ７４８０に装着されている。蒸発源ホルダ７４８０は多関節アーム７４８３によって保持されている。多関節アーム７４８３は関節の伸縮によって、蒸発源ホルダ７４８０の位置をその可動範囲内で自在に移動可能としている。また、蒸発源ホルダ７４８０に距離センサー７４８２を設け、蒸発源７４８１ａ～７４８１ｃと基板７４８９との間隔をモニターして、蒸着時における最適な間隔を制御しても良い。その場合には、多関節アームは上下方向（Ｚ方向）にも変位する多関節アームとしても良い。

【０５３２】

基板ステージ７４８６と基板チャック７４８７は一対となって基板７４８９を固定する。基板ステージ７４８６はヒータを内蔵させて基板７４８９を加熱できるように構成しても良い。基板７４８９は、基板チャック７４８７により、基板ステージ７４８６に固定されまた搬出入される。蒸着に際しては、必要に応じて蒸着するパターンに対応して開口部を備えたシャドーマスク７４９０を用いることもできる。その場合、シャドーマスク７４９０は、基板７４８９と蒸発源７４８１ａ～７４８１ｃの間に配置されるようにする。シャドーマスク７４９０はマスクチャック７４８８により、基板７４８９と密着若しくは一定の間隔を持って固定される。シャドーマスク７４９０のアライメントが必要な場合には、処理室内にカメラを配置し、マスクチャック７４８８にＸ－Ｙ－θ方向に微動する位置決め手段を備えることで、その位置合わせを行う。

【０５３３】

蒸発源７４８１には、蒸着材料を蒸発源に連続して供給する蒸着材料供給手段が付加されている。蒸着材料供給手段は、蒸発源７４８１と離れた位置に配置される材料供給源７４８５ａ、７４８５ｂ、７４８５ｃと、その両者の間を繋ぐ材料供給管７４８４を有している。典型的には、材料供給源７４８５ａ、７４８５ｂ、７４８５ｃは蒸発源７４８１に対応して設けられている。図７４の場合は、材料供給源７４８５ａと蒸発源７４８１ａが対応している。材料供給源７４８５ｂと蒸発源７４８１ｂ、材料供給源７４８５ｃと蒸発源７４８１ｃについても同様である。

【０５３４】

蒸着材料の供給方式には、気流搬送方式、エアロゾル方式などが適用できる。気流搬送方式は、蒸着材料の微粉末を気流に乗せて搬送するもので、不活性ガスなどを用いて蒸発源７４８１に搬送する。エアロゾル方式は、蒸着材料を溶剤中に溶解または分散させた原料液を搬送し、噴霧器によりエアロゾル化し、エアロゾル中の溶媒を気化させながら行う蒸着である。いずれの場合にも、蒸発源７４８１には加熱手段が設けられ、搬送された蒸着材料を蒸発させて基板７４８９に成膜する。図７４の場合、材料供給管７４８４は柔軟に曲げることができ、減圧状態下においても変形しない程度の剛性を持った細管で構成されている。

【０５３５】

気流搬送方式やエアロゾル方式を適用する場合には、成膜処理室内を大気圧若しくはそれ以下であって、好ましくは１３３Ｐａ～１３３００Ｐａの減圧下で成膜を行えば良い。成膜処理室内にはヘリウム、アルゴン、ネオン、クリプトン、キセノン、若しくは窒素などの不活性気体を充填し、または当該気体を供給しながら（同時に排気しながら）、圧力の調節を行うことができる。また、酸化膜を形成する成膜処理室では、酸素、亜酸化窒素などの気体を導入して酸化雰囲気としておいても良い。また、有機材料を蒸着する成膜処理室内には水素などの気体を導入して還元雰囲気にしておいても良い。

【０５３６】

その他の蒸着材料の供給方法として、材料供給管７４８４の中にスクリューを設け蒸着材料を蒸発源に向けて連続的に押し出す構成としても良い。

【０５３７】
この蒸着装置によれば、大画面の表示パネルであっても、均一性良く、連続して成膜することができる。また、蒸発源に蒸着材料が無くなる度に、その都度蒸着材料を補給する必要がないので、スループットを向上することができる。
【０５３８】
（実施の形態１１）
本実施の形態では、実施の形態１乃至実施の形態８に示した表示装置が有する信号線駆動回路について説明する。
【０５３９】
図５６の信号線駆動回路について説明する。図５６に示す信号線駆動回路は、ドライバＩＣ５６０１、スイッチ群５６０２＿１～５６０２＿M、第１の配線５６１１、第２の配線５６１２、第３の配線５６１３及び配線５６２１＿１～５６２１＿Mを有する。また、スイッチ群５６０２＿１～５６０２＿Mそれぞれは、第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃを有する。
【０５４０】
ドライバＩＣ５６０１は第１の配線５６１１、第２の配線５６１２、第３の配線５６１３及び配線５６２１＿１～５６２１＿Mに接続されている。そして、スイッチ群５６０２＿１～５６０２＿Mそれぞれは、第１の配線５６１１、第２の配線５６１２、第３の配線５６１３及びスイッチ群５６０２＿１～５６０２＿Mそれぞれに対応した配線５６２１＿１～５６２１＿Mのうちいずれかに接続されている。そして、配線５６２１＿１～５６２１＿Mそれぞれは、第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃを介して、３つの信号線に接続されている。例えば、Ｊ列目の配線５６２１＿Ｊ（配線５６２１＿１～配線５６２１＿Mのうちいずれか一）は、スイッチ群５６０２＿Ｊが有する第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃを介して、信号線Ｓｊ－１、信号線Ｓｊ、信号線Ｓｊ＋１に接続されている。
【０５４１】
なお、ドライバＩＣ５６０１は、単結晶基板若しくは多結晶半導体を用いたガラス基板上に形成されていることが望ましい。また、スイッチ群５６０２＿１～５６０２＿Mは、実施の形態１乃至実施の形態８に示した画素部と同一基板上に形成されていることが望ましい。したがって、ドライバＩＣ５６０１とスイッチ群５６０２＿１～５６０２＿MとはＦＰＣなどを介して接続するとよい。
【０５４２】
次に、図５６に示した信号線駆動回路の動作について、図５７のタイミングチャートを参照して説明する。なお、図５７のタイミングチャートは、ｉ行目の走査線Ｇｉが選択されている場合のタイミングチャートを示している。また、ｉ行目の走査線Ｇｉの選択期間は、第１のサブ選択期間Ｔ１、第２のサブ選択期間Ｔ２及び第３のサブ選択期間Ｔ３に分割されている。なお、図５６の信号線駆動回路は、他の行の走査線が選択されている場合でも図５７と同様の動作をする。
【０５４３】
なお、第１の配線５６１１、第２の配線５６１２及び第３の配線５６１３には信号が入力されている。第１の配線５６１１に入力される信号によって第１のスイッチ５６０３ａのオン及びオフが制御される。第２の配線５６１２に入力される信号によって第２のスイッチ５６０３ｂのオン及びオフが制御される。第３の配線５６１３に入力される信号によって、第３のスイッチ５６０３ｃのオン及びオフが制御される。
【０５４４】
なお、図５７のタイミングチャートは、Ｊ列目の配線５６２１＿Ｊが第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃを介して、信号線Ｓｊ－１、信号線Ｓｊ、信号線Ｓｊ＋１に接続されている場合について示している。
【０５４５】

なお、図５７のタイミングチャートは、ｉ行目の走査線Ｇｉが選択されるタイミング、第１のスイッチ５６０３ａのオン及びオフのタイミング５７０３ａ、第２のスイッチ５６０３ｂのオン及びオフのタイミング５７０３ｂ、第３のスイッチ５６０３ｃのオン及びオフのタイミング５７０３ｃ及びＪ列目の配線５６２１＿Ｊに入力される信号５７２１＿Ｊを示している。

【０５４６】

なお、配線５６２１＿１～配線５６２１＿Ｍには第１のサブ選択期間Ｔ１、第２のサブ選択期間Ｔ２及び第３のサブ選択期間Ｔ３において、それぞれ別のビデオ信号が入力されている。例えば、第１のサブ選択期間Ｔ１において配線５６２１＿Ｊに入力されるビデオ信号は信号線Ｓｊ－１に入力され、第２のサブ選択期間Ｔ２において配線５６２１＿Ｊに入力されるビデオ信号は信号線Ｓｊに入力され、第３のサブ選択期間Ｔ３において配線５６２１＿Ｊに入力されるビデオ信号は信号線Ｓｊ＋１に入力される。また、第１のサブ選択期間Ｔ１、第２のサブ選択期間Ｔ２及び第３のサブ選択期間Ｔ３において、配線５６２１＿Ｊに入力されるビデオ信号をそれぞれＤａｔａｊ－１、Ｄａｔａｊ、Ｄａｔａｊ＋１とする。

【０５４７】

図５７に示すように、第１のサブ選択期間Ｔ１において第１のスイッチ５６０３ａがオンし、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃがオフとなる。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊ－１が、第１のスイッチ５６０３ａを介して信号線Ｓｊ－１に入力される。第２のサブ選択期間Ｔ２では、第２のスイッチ５６０３ｂがオンし、第１のスイッチ５６０３ａ及び第３のスイッチ５６０３ｃがオフとなる。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊが、第２のスイッチ５６０３ｂを介して信号線Ｓｊに入力される。第３のサブ選択期間Ｔ３では、第３のスイッチ５６０３ｃがオンし、第１のスイッチ５６０３ａ及び第２のスイッチ５６０３ｂがオフとなる。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊ＋１が、第３のスイッチ５６０３ｃを介して信号線Ｓｊ＋１に入力される。

【０５４８】

以上のことから、図５６の信号線駆動回路は、１ゲート選択期間を３つに分割することで、１ゲート選択期間中に１つの配線５６２１から３つの信号線にビデオ信号を入力することができる。したがって、図５６の信号線駆動回路は、ドライバＩＣ５６０１が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約１／３にすることができる。接続数が約１／３になることによって、図５６の信号線駆動回路は、信頼性、歩留まりなどを上げることができる。

【０５４９】

なお、本実施形態の信号線駆動回路を実施形態１乃至実施形態８に示した表示装置に適用することによって、さらに画素部が形成されている基板と外部基板との接続数を減らすことができる。したがって、本発明の表示装置は、信頼性及び歩留まりを高くすることができる。

【０５５０】

次に、第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃにＮチャネル型のトランジスタを適用した場合について図５９を参照して説明する。なお、図５６と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０５５１】

第１のトランジスタ５９０３ａが第１のスイッチ５６０３ａに相当し、第２のトランジスタ５９０３ｂが第２のスイッチ５６０３ｂに相当し、第３のトランジスタ５９０３ｃが第３のスイッチ５６０３ｃに相当する。

【０５５２】

例えば、スイッチ群５６０２＿Ｊの場合、第１のトランジスタ５９０３ａは、第１端子が配線５６２１＿Ｊに接続され、第２端子が信号線Ｓｊ－１に接続され、ゲート電極が第１

の配線５６１１に接続されている。第２のトランジスタ５９０３ｂは、第１端子が配線５６２１＿Ｊに接続され、第２端子が信号線Ｓｊに接続され、ゲート電極が第２の配線５６１２に接続されている。第３のトランジスタ５９０３ｃは、第１端子が配線５６２１＿Ｊに接続され、第２端子が信号線Ｓｊ＋１に接続され、ゲート電極が第３の配線５６１３に接続されている。

【０５５３】

なお、第１のトランジスタ５９０３ａ、第２のトランジスタ５９０３ｂ、第３のトランジスタ５９０３ｃは、それぞれスイッチングトランジスタとして機能する。また、第１のトランジスタ５９０３ａ、第２のトランジスタ５９０３ｂ、第３のトランジスタ５９０３ｃは、それぞれゲート電極に入力される信号がＨレベルのときにオンとなり、ゲート電極に入力される信号がＬレベルのときにオフとなる。

【０５５４】

なお、第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃとしてＮチャネル型のトランジスタを用いることによって、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。したがって、図５９の信号線駆動回路は実施の形態１乃至実施の形態４の表示装置に適用することが望ましい。

【０５５５】

図５９の信号線駆動回路では、第１のトランジスタ５９０３ａ、第２のトランジスタ５９０３ｂ、第３のトランジスタ５９０３ｃとしてＮチャネル型のトランジスタを用いた場合について説明したが、第１のトランジスタ５９０３ａ、第２のトランジスタ５９０３ｂ、第３のトランジスタ５９０３ｃとしてＰチャネル型のトランジスタを用いてもよい。このとき、トランジスタはゲート電極に入力される信号がＬレベルのときにオンとなり、ゲート電極に入力される信号がＨレベルのときにオフとなる。なお、第１のトランジスタ５９０３ａ、第２のトランジスタ５９０３ｂ、第３のトランジスタ５９０３ｃとしてＰチャネル型のトランジスタを用いた場合は、実施の形態５乃至実施の形態８の表示装置に適用することが望ましい。

【０５５６】

なお、図５６のように、１ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいてある１つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、スイッチの配置や数、駆動方法などは限定されない。例えば、３つ以上のサブ選択期間それぞれにおいて１つの配線から３つ以上の信号線それぞれにビデオ信号を入力する場合は、スイッチ及びスイッチを制御するための配線を追加すればよい。ただし、１ゲート選択期間を４つ以上のサブ選択期間に分割すると、１つのサブ選択期間が短くなる。したがって、１ゲート選択期間は、２つ又は３つのサブ選択期間に分割することが望ましい。

【０５５７】

例えば、図５８のタイミングチャートに示すように、１つの選択期間をプリチャージ期間Ｔｐ、第１のサブ選択期間Ｔ１、第２のサブ選択期間Ｔ２、第３のサブ選択期間Ｔ３に分割してもよい。なお、図５８のタイミングチャートは、ｉ行目の走査線Ｇｉが選択されるタイミング、第１のスイッチ５６０３ａのオン及びオフのタイミング５８０３ａ、第２のスイッチ５６０３ｂのオン及びオフのタイミング５８０３ｂ、第３のスイッチ５６０３ｃのオン及びオフのタイミング５８０３ｃ及びＪ列目の配線５６２１＿Ｊに入力される信号５８２１＿Ｊを示している。図５８に示すように、プリチャージ期間Ｔｐにおいて第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃがオンとなる。このとき、配線５６２１＿Ｊに入力されるプリチャージ電圧Ｖｐが第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃを介してそれぞれ

信号線Ｓｊ－１、信号線Ｓｊ、信号線Ｓｊ＋１に入力される。第１のサブ選択期間Ｔ１において第１のスイッチ５６０３ａがオンし、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃがオフとなる。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊ－１が、第１のスイッチ５６０３ａを介して信号線Ｓｊ－１に入力される。第２のサブ選択期間Ｔ２では、第２のスイッチ５６０３ｂがオンし、第１のスイッチ５６０３ａ及び第３のスイッチ５６０３ｃがオフとなる。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊが、第２のスイッチ５６０３ｂを介して信号線Ｓｊに入力される。第３のサブ選択期間Ｔ３では、第３のスイッチ５６０３ｃがオンし、第１のスイッチ５６０３ａ及び第２のスイッチ５６０３ｂがオフとなる。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊ＋１が、第３のスイッチ５６０３ｃを介して信号線Ｓｊ＋１に入力される。

【０５５８】

以上のことから、図５８のタイミングチャートのように動作させた図５６の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。また、信号線がプリチャージされているため、画素が正確なビデオ信号を保持することができる。もちろん、図５８のタイミングチャートのように動作させた図５６の信号線駆動回路は、図５７のタイミングチャートのように動作させた図５６の信号線駆動回路と同様に、ドライバＩＣ５６０１が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約１／３にすることができ、接続数が約１／３になることによって、信頼性、歩留まりなどを上げることができる。なお、図５７と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０５５９】

図６０においても、図５６のように、１ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいてある１つの配線から複数の信号線それぞれにビデオ信号を入力することができる。なお、図６０は、信号線駆動回路のうちＪ列目のスイッチ群６０２２＿Ｊのみを示している。スイッチ群６０２２＿Ｊは、第１のトランジスタ６００１、第２のトランジスタ６００２、第３のトランジスタ６００３、第４のトランジスタ６００４、第５のトランジスタ６００５、第６のトランジスタ６００６を有している。第１のトランジスタ６００１、第２のトランジスタ６００２、第３のトランジスタ６００３、第４のトランジスタ６００４、第５のトランジスタ６００５、第６のトランジスタ６００６はＮチャネル型のトランジスタである。スイッチ群６０２２＿Ｊは、第１の配線６０１１、第２の配線６０１２、第３の配線６０１３、第４の配線６０１４、第５の配線６０１５、第６の配線６０１６、配線５６２１＿Ｊ、信号線Ｓｊ－１、信号線Ｓｊ、信号線Ｓｊ＋１に接続されている。

【０５６０】

第１のトランジスタ６００１の第１端子は配線５６２１＿Ｊに接続され、第２端子は信号線Ｓｊ－１に接続され、ゲート端子は第１の配線６０１１に接続されている。第２のトランジスタ６００２の第１端子は配線５６２１＿Ｊに接続され、第２端子は信号線Ｓｊ－１に接続され、ゲート端子は第２の配線６０１２に接続されている。第３のトランジスタ６００３の第１端子は配線５６２１＿Ｊに接続され、第２端子は信号線Ｓｊに接続され、ゲート端子は第３の配線６０１３に接続されている。第４のトランジスタ６００４の第１端子は配線５６２１＿Ｊに接続され、第２端子は信号線Ｓｊに接続され、ゲート端子は第４の配線６０１４に接続されている。第５のトランジスタ６００５の第１端子は配線５６２１＿Ｊに接続され、第２端子は信号線Ｓｊ＋１に接続され、ゲート端子は第５の配線６０１５に接続されている。第６のトランジスタ６００６の第１端子は配線５６２１＿Ｊに接続され、第２端子は信号線Ｓｊ＋１に接続され、ゲート端子は第６の配線６０１６に接続されている。

【０５６１】

なお、第１のトランジスタ６００１、第２のトランジスタ６００２、第３のトランジスタ６００３、第４のトランジスタ６００４、第５のトランジスタ６００５、第６のトランジ

スタ６００６は、それぞれスイッチングトランジスタとして機能する。また、第１のトランジスタ６００１、第２のトランジスタ６００２、第３のトランジスタ６００３、第４のトランジスタ６００４、第５のトランジスタ６００５、第６のトランジスタ６００６は、それぞれゲート端子に入力される信号がＨレベルのときにオンとなり、ゲート端子に入力される信号がＬレベルのときにオフとなる。

【０５６２】

なお、第１の配線６０１１及び第２の配線６０１２は、図５９の第１の配線５９１１に相当する。第３の配線６０１３及び第４の配線６０１４は、図５９の第２の配線５９１２に相当する。第５の配線６０１５及び第６の配線６０１６は、図５９の第３の配線５９１３に相当する。なお、第１のトランジスタ６００１及び第２のトランジスタ６００２は、図５９の第１のトランジスタ５９０３ａに相当する。第３のトランジスタ６００３及び第４のトランジスタ６００４は、図５９の第２のトランジスタ５９０３ｂに相当する。第５のトランジスタ６００５及び第６のトランジスタ６００６は、図５９の第３のトランジスタ５９０３ｃに相当する。

【０５６３】

図６０では、図５７に示した第１のサブ選択期間Ｔ１において第１のトランジスタ６００１又は第２のトランジスタ６００２のどちらかがオンとなる。第２のサブ選択期間Ｔ２において第３のトランジスタ６００３又は第４のトランジスタ６００４のどちらかがオンとなる。第３のサブ選択期間Ｔ３において第５のトランジスタ６００５又は第６のトランジスタ６００６のどちらかがオンとなる。また、図５８に示したプリチャージ期間Ｔｐにおいて第１のトランジスタ６００１、第３のトランジスタ６００３及び第５のトランジスタ６００５か、第２のトランジスタ６００２、第４のトランジスタ６００４及び第６のトランジスタ６００６のどちらかがオンとなる。

【０５６４】

したがって、図６０では、各トランジスタのオン時間を短くすることができるため、各トランジスタの特性劣化を抑制することができる。なぜなら、例えば図５７に示した第１のサブ選択期間Ｔ１においては、第１のトランジスタ６００１又は第２のトランジスタ６００２のどちらかがオンとなればビデオ信号を信号線Ｓｊ－１に入力することができるからである。なお、例えば図５７に示した第１のサブ選択期間Ｔ１において、第１のトランジスタ６００１及び第２のトランジスタ６００２を同時にオンとなることによって、高速にビデオ信号を信号線Ｓｊ－１に入力することもできる。

【０５６５】

なお、第１のトランジスタ６００１、第３のトランジスタ６００３及び第５のトランジスタ６００５、第２のトランジスタ６００２、第４のトランジスタ６００４及び第６のトランジスタ６００６としてＮチャネル型のトランジスタを用いることによって、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。したがって、図６０の信号線駆動回路は実施の形態１乃至実施の形態４の表示装置に適用することが望ましい。

【０５６６】

なお、図６０では、２つのトランジスタを配線５６２１と信号線との間に並列に接続する場合について説明した。しかし、これに限定されず、３つ以上のトランジスタを配線５６２１と信号線との間に並列に接続してもよい。こうすることで、さらに各トランジスタの特性劣化を抑制することができる。

【０５６７】

なお、本実施の形態で示した信号線駆動回路は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した信号線駆動回路の構成も自由に組み合わせて実施することができる。

【０５６８】
（実施の形態１２）
本実施の形態では、実施の形態１乃至実施の形態８に示した表示装置の静電破壊による不良を防止するための構成について説明する。
【０５６９】
なお、静電破壊とは、人体又は物体に蓄積された正又は負の電荷が半導体デバイスに触れた時にデバイスの入出力端子を介して瞬時に放電されることで、デバイス内部に大電流が流れて発生する破壊のことである。
【０５７０】
図６１（Ａ）は、保護ダイオードによって走査線に発生する静電破壊を防止するための構成を示す。図６１（Ａ）は、保護ダイオードを配線６１１１と走査線との間に配置した構成である。なお、図示はしないが、ｉ行目の走査線Ｇｉには複数の画素が接続されている。なお、保護ダイオードとしては、トランジスタ６１０１を用いる。なお、トランジスタ６１０１はＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６１０１の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。
【０５７１】
なお、保護ダイオードは１つだけ配置されているが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。
【０５７２】
トランジスタ６１０１は第１端子がｉ行目の走査線Ｇｉに接続され、第２端子が配線６１１１に接続され、ゲート端子がｉ行目の走査線Ｇｉに接続されている。
【０５７３】
図６１（Ａ）の動作について説明する。配線６１１１にはある電位が入力されており、その電位は、ｉ行目の走査線Ｇｉに入力される信号のＬレベルよりも低い電位である。正又は負の電荷がｉ行目の走査線Ｇｉに放電されていない場合、ｉ行目の走査線Ｇｉの電位はＨレベル若しくはＬレベルであるため、トランジスタ６１０１はオフとなる。一方、負の電荷がｉ行目の走査線Ｇｉに放電された場合、ｉ行目の走査線Ｇｉの電位は瞬間的に下がる。このとき、ｉ行目の走査線Ｇｉの電位が配線６１１１の電位からトランジスタ６１０１のしきい値電圧を引いた値よりも低くなると、トランジスタ６１０１がオンとなり、電流がトランジスタ６１０１を介して配線６１１１に流れる。したがって、図６１（Ａ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。
【０５７４】
なお、図６１（Ｂ）は、正の電荷がｉ行目の走査線Ｇｉに放電された場合に静電破壊を防止するための構成である。保護ダイオードとして機能するトランジスタ６１０２が走査線と配線６１１２との間に配置されている。なお、保護ダイオードは１つだけ配置されているが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ６１０２はＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６１０２の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。トランジスタ６１０２は第１端子がｉ行目の走査線Ｇｉに接続され、第２端子が配線６１１２に接続され、ゲート端子が配線６１１２に接続されている。なお、配線６１１２には、ｉ行目の走査線Ｇｉに入力される信号のＨレベルよりも高い電位が入力されている。したがって、トランジスタ６１０２は、電荷がｉ行目の走査線Ｇｉに放電されていない場合には、オフとなる。一方、正の電荷がｉ行目の走査線Ｇｉに放電された場合、ｉ行目の走査線Ｇｉの電位は瞬間的に上昇する。このとき、ｉ行目の走査線Ｇｉの電位が配線６１１２の電位とトランジスタ６１０２のしきい値電圧との和よりも高くなると、トランジスタ６１０２がオンとなり、電流がトランジスタ６１０２を介して配線６１１

２に流れる。したがって、図６１（Ｂ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【０５７５】

なお、図６１（Ｃ）に示すように、図６１（Ａ）と図６１（Ｂ）とを組み合わせた構成にすることで、正の電荷がｉ行目の走査線Ｇｉに放電された場合でも、負の電荷がｉ行目の走査線Ｇｉに放電された場合でも、画素の静電破壊を防止することができる。なお、図６１（Ａ）、（Ｂ）と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０５７６】

図６２（Ａ）は、保護ダイオードとして機能するトランジスタ６２０１を走査線と保持容量線との間に接続した場合の構成を示す。なお、保護ダイオードは１つだけ配置されているが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ６２０１はＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６２０１の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。なお、配線６２１１は、保持容量線として機能する。トランジスタ６２０１の第１端子はｉ行目の走査線Ｇｉに接続され、第２端子は配線６２１１に接続され、ゲート電極はｉ行目の走査線Ｇｉに接続されている。なお、配線６２１１には、ｉ行目の走査線Ｇｉに入力される信号のＬレベルよりも低い電位が入力されている。したがって、トランジスタ６２０１は、電荷がｉ行目の走査線Ｇｉに放電されていない場合には、オフとなる。一方、負の電荷がｉ行目の走査線Ｇｉに放電された場合、ｉ行目の走査線Ｇｉの電位は瞬間的に下がる。このとき、ｉ行目の走査線Ｇｉの電位が配線６２１１の電位からトランジスタ６２０１のしきい値電圧を引いた値よりも低くなると、トランジスタ６２０１がオンとなり、電流がトランジスタ６２０１を介して配線６２１１に流れる。したがって、図６２（Ａ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。また、図６２（Ａ）に示した構成では、保持容量線を電荷を逃がす配線として利用しているので、新たに配線を追加する必要がない。

【０５７７】

なお、図６２（Ｂ）は、正の電荷がｉ行目の走査線Ｇｉに放電された場合に静電破壊を防止するための構成である。ここでは、配線６２１１には、ｉ行目の走査線Ｇｉに入力される信号のＨレベルよりも高い電位が入力されている。したがって、トランジスタ６２０２は、電荷がｉ行目の走査線Ｇｉに放電されていない場合には、オフとなる。一方、正の電荷がｉ行目の走査線Ｇｉに放電された場合、ｉ行目の走査線Ｇｉの電位は瞬間的に上昇する。このとき、ｉ行目の走査線Ｇｉの電位が配線６２１１の電位とトランジスタ６２０２のしきい値電圧との和よりも高くなると、トランジスタ６２０２がオンとなり、電流がトランジスタ６２０２を介して配線６２１１に流れる。したがって、図６２（Ｂ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。また、図６２（Ａ）に示した構成では、保持容量線を電荷を逃がす配線として利用しているので、新たに配線を追加する必要がない。なお、図６２（Ｂ）と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０５７８】

次に、保護ダイオードによって信号線に発生する静電破壊を防止するための構成を図６４（Ａ）に示す。図６４（Ａ）は、保護ダイオードを配線６４１１と信号線との間に配置した場合の構成である。なお、図示はしないがｊ列目の信号線Ｓｊには複数の画素が接続されている。なお、保護ダイオードとしては、トランジスタ６４０１を用いる。なお、トランジスタ６４０１はＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６４０１の極性は信号線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。

【０５７９】
なお、保護ダイオードは１つだけ配置されているが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。
【０５８０】
トランジスタ６４０１は第１端子がｊ列目の信号線Ｓｊに接続され、第２端子が配線６４１１に接続され、ゲート端子がｊ列目の信号線Ｓｊに接続されている。
【０５８１】
図６４（Ａ）の動作について説明する。配線６４１１にはある電位が入力されており、その電位は、ｊ列目の信号線Ｓｊに入力されるビデオ信号の最小値よりも低い電位である。正又は負の電荷がｊ列目の信号線Ｓｊに放電されていない場合、ｊ列目の信号線Ｓｊの電位はビデオ信号と同電位であるため、トランジスタ６４０１はオフとなる。一方、負の電荷がｊ列目の信号線Ｓｊに放電された場合、ｊ列目の信号線Ｓｊの電位は瞬間的に下がる。このとき、ｊ列目の信号線Ｓｊの電位が配線６４１１の電位からトランジスタ６４０１のしきい値電圧を引いた値よりも低くなると、トランジスタ６４０１がオンとなり、電流がトランジスタ６４０１を介して配線６４１１に流れる。したがって、図６４（Ａ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。
【０５８２】
なお、図６４（Ｂ）は、正の電荷がｊ列目の信号線Ｓｊに放電された場合に静電破壊を防止するための構成である。保護ダイオードとして機能するトランジスタ６４０２が信号線と配線６４１２との間に配置されている。なお、保護ダイオードは１つだけ配置されているが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ６４０２はＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６４０２の極性は信号線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。トランジスタ６４０２は第１端子がｊ列目の信号線Ｓｊに接続され、第２端子が配線６４１２に接続され、ゲート端子が配線６４１２に接続されている。なお、配線６４１２には、ｊ列目の信号線Ｓｊに入力されるビデオ信号の最大値よりも高い電位が入力されている。したがって、トランジスタ６４０２は、電荷がｊ列目の信号線Ｓｊに放電されていない場合ときには、オフとなる。一方、正の電荷がｊ列目の信号線Ｓｊに放電された場合、ｊ列目の信号線Ｓｊの電位は瞬間的に上昇する。このとき、ｊ列目の信号線Ｓｊの電位が配線６４１２の電位とトランジスタ６４０２のしきい値電圧との和よりも高くなると、トランジスタ６４０２がオンとなり、電流がトランジスタ６４０２を介して配線６４１２に流れる。したがって、図６４（Ｂ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。
【０５８３】
なお、図６４（Ｃ）に示すように、図６４（Ａ）と図６４（Ｂ）とを組み合わせた構成にすることで、正の電荷がｊ列目の信号線Ｓｊに放電された場合でも、負の電荷がｊ列目の信号線Ｓｊに放電された場合でも、画素の静電破壊を防止することができる。なお、図６４（Ａ）、（Ｂ）と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。
【０５８４】
本実施の形態では、走査線及び信号線に接続された画素の静電破壊を防止するための構成を説明した。しかし、本実施の形態の構成は、走査線及び信号線に接続された画素の静電破壊の防止だけに適用されるものではない。例えば、実施の形態１乃至実施の形態８に示した走査線駆動回路及び信号線駆動回路に接続されている信号又は電位が入力された配線に本実施の形態を適用する場合は、走査線駆動回路及び信号線駆動回路の静電破壊を防止することができる。
【０５８５】

なお、本実施の形態で示した表示装置は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示装置の構成も自由に組み合わせて実施することができる。

【０５８６】

（実施の形態１３）

本実施の形態では、実施の形態１乃至実施の形態８に示した表示装置に適用できる表示装置の新たな構成について説明する。

【０５８７】

図６３（Ａ）は、ダイオード接続されたトランジスタをある走査線と別の走査線との間に配置した場合の構成である。図６３（Ａ）では、ｉ－１行目の走査線Ｇｉ－１とｉ行目の走査線Ｇｉとの間にダイオード接続されたトランジスタ６３０１ａを配置し、ｉ行目の走査線Ｇｉとｉ＋１行目の走査線Ｇｉ＋１との間にダイオード接続されたトランジスタ６３０１ｂを配置した場合の構成を示している。なお、トランジスタ６３０１ａ及びトランジスタ６３０１ｂはＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６３０１ａ及びトランジスタ６３０１ｂの極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。

【０５８８】

なお、図６３（Ａ）では、代表してｉ－１行目の走査線Ｇｉ－１、ｉ行目の走査線Ｇｉ及びｉ＋１行目の走査線Ｇｉ＋１を示しているが、他の走査線も同様にダイオード接続されたトランジスタが配置されている。

【０５８９】

トランジスタ６３０１ａの第１端子はｉ行目の走査線Ｇｉに接続され、第２端子はｉ－１行目の走査線Ｇｉ－１に接続され、ゲート端子はＧｉ－１行目の走査線Ｇｉ－１に接続されている。トランジスタ６３０１ｂの第１端子はｉ＋１行目の走査線Ｇｉ＋１に接続され、第２端子はｉ行目の走査線Ｇｉに接続され、ゲート端子はｉ行目の走査線Ｇｉに接続されている。

【０５９０】

図６３（Ａ）の動作について説明する。実施の形態１乃至実施の形態４に示した走査線駆動回路では、非選択期間において、ｉ－１行目の走査線Ｇｉ－１、ｉ行目の走査線Ｇｉ及びｉ＋１行目の走査線Ｇｉ＋１はＬレベルを維持している。したがって、トランジスタ６３０１ａ及びトランジスタ６３０１ｂはオフとなる。しかしながら、例えばノイズなどによってｉ行目の走査線Ｇｉの電位が上昇した場合、ｉ行目の走査線Ｇｉが画素を選択してしまい、画素に不正なビデオ信号が書き込まれてしまう。そこで、図６３（Ａ）のようにダイオード接続したトランジスタを走査線間に配置しておくことで、画素に不正なビデオ信号が書き込まれることを防止することができる。なぜなら、ｉ行目の走査線Ｇｉの電位がｉ－１行目の走査線Ｇｉ－１の電位とトランジスタ６３０１ａのしきい値電圧との和以上に上昇すると、トランジスタ６３０１ａがオンとなり、ｉ行目の走査線Ｇｉの電位が下がる。したがって、ｉ行目の走査線Ｇｉによって画素が選択されることはないからである。

【０５９１】

なお、図６３（Ａ）の構成は、特に走査線駆動回路と画素部とを同一基板上に一体形成した場合に有利である。なぜなら、Ｎチャネル型のトランジスタ、又はＰチャネル型のトランジスタだけで構成されている走査線駆動回路では、走査線が浮遊状態になることがあり、走査線にノイズが発生しやすいからである。

【０５９２】

なお、図６３（Ｂ）は、走査線間に配置するダイオード接続されたトランジスタの向きを逆にした場合の構成である。なお、トランジスタ６３０２ａ及びトランジスタ６３０２ｂはＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６３０２ａ及びトランジスタ６３０２ｂの極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。図６３（Ｂ）では、トラン

ジスタ６３０２ａの第１端子がｉ行目の走査線Ｇｉに接続され、第２端子がｉ－１行目の走査線Ｇｉ－１に接続され、ゲート端子がｉ行目の走査線Ｇｉに接続されている。トランジスタ６３０２ｂの第１端子がｉ＋１行目の走査線Ｇｉ＋１に接続され、第２端子がｉ行目の走査線Ｇｉに接続され、ゲート端子がｉ＋１行目の走査線Ｇｉ＋１に接続されている。図６３（Ｂ）は、図６４（Ａ）と同様に、ｉ行目の走査線Ｇｉの電位がｉ＋１行目の走査線Ｇｉ＋１の電位とトランジスタ６３０２ｂのしきい値電圧との和以上に上昇すると、トランジスタ６３０２ｂがオンとなり、ｉ行目の走査線Ｇｉの電位が下がる。したがって、ｉ行目の走査線Ｇｉによって画素が選択されることはなく、画素に不正なビデオ信号が書き込まれることを防止することができる。

【０５９３】

なお、図６３（Ｃ）に示すように、図６３（Ａ）と図６３（Ｂ）とを組み合わせた構成にすることで、ｉ行目の走査線Ｇｉの電位が上昇しても、トランジスタ６３０１ａ及びトランジスタ６３０２ｂがオンとなるので、ｉ行目の走査線Ｇｉの電位が下がる。なお、図６３（Ｃ）では、電流が２つのトランジスタを介して流れるので、より大きいノイズを除去することが可能である。なお、図６３（Ａ）、（Ｂ）と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０５９４】

なお、図６２（Ａ）及び（Ｂ）に示すように、走査線と保持容量線との間にダイオード接続したトランジスタを配置しても図６３（Ａ）、（Ｂ）、（Ｃ）と同様の効果を得ることができる。

【０５９５】

なお、本実施の形態で示した表示装置は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示装置の構成も自由に組み合わせて実施することができる。

【０５９６】

（実施の形態１４）

本実施の形態では、上記実施の形態で示した画素構成を有する表示パネルの構成について図１００（ａ）、（ｂ）を用いて説明する。

【０５９７】

なお、図１００（ａ）は、表示パネルを示す上面図、図１００（ｂ）は図１００（ａ）をＡ－Ａ’で切断した断面図である。点線で示された信号制御回路１０００１、画素部１０００２、第１のゲートドライバ１０００３、第２のゲートドライバ１０００６を有する。また、封止基板１０００４、シール材１０００５を有し、シール材１０００５で囲まれた内側は、空間１０００７になっている。

【０５９８】

なお、配線１０００８は第１のゲートドライバ１０００３、第２のゲートドライバ１０００６及び信号制御回路１０００１に入力される信号を伝送するための配線であり、外部入力端子となるＦＰＣ（フレキシブルプリントサーキット）１０００９からビデオ信号、クロック信号、スタート信号等を受け取る。ＦＰＣ１０００９と表示パネルとの接続部上にはＩＣチップ（メモリ回路や、バッファ回路などが形成された半導体チップ）１００１９がＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）等で実装されている。なお、ここではＦＰＣしか図示されていないが、このＦＰＣにはプリント配線基板（ＰＷＢ）が取り付けられていてもよい。本明細書における表示装置とは、表示パネル本体だけでなく、それにＦＰＣもしくはＰＷＢが取り付けられた状態をも含むものとする。また、ＩＣチップなどが実装されたものを含むものとする。

【０５９９】

次に、断面構造について図１００（ｂ）を用いて説明する。基板１００１０上には画素部１０００２とその周辺駆動回路（第１のゲートドライバ１０００３、第２のゲートドライバ１０００６及び信号制御回路１０００１）が形成されているが、ここでは、信号制御回路１０００１と、画素部１０００２が示されている。

【０６００】
なお、信号制御回路１０００１はＮチャネル型であるトランジスタ１００２０やＮチャネル型であるトランジスタ１００２１のように単極性のトランジスタで構成されている。なお、画素構成には図４６、図６５、図６６及び図６７の画素構成を適用することにより単極性のトランジスタで画素を構成することができる。よって、周辺駆動回路をＮチャネル型トランジスタで構成すれば単極性表示パネルを作製することができる。もちろん、単極性のトランジスタだけでなくＰチャネル型トランジスタも用いてＣＭＯＳ回路を形成してもよい。
【０６０１】
なお、トランジスタ１００２０、及びトランジスタ１００２１がＰチャネル型だった場合でも、周辺駆動回路をＰチャネル型トランジスタで構成すれば単極性の表示パネルを作成することができる。もちろん、単極性のトランジスタだけでなくＮチャネル型トランジスタも用いてＣＭＯＳ回路を形成してもよい。
【０６０２】
また、本実施の形態では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をＩＣチップなどに形成し、ＣＯＧなどで実装してもよい。その場合には駆動回路は単極性にする必要がなくＮチャネル型トランジスタとＰチャネル型トランジスタとを組み合わせて用いることができる。
【０６０３】
また、画素部１０００２はトランジスタ１００１１と、トランジスタ１００１２とを有している。なお、トランジスタ１００１２のソース端子は第１の電極（画素電極）１００１３と接続されている。また、第１の電極１００１３の端部を覆って絶縁物１００１４が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。
【０６０４】
また、カバレッジを良好なものとするため、絶縁物１００１４の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物１００１４の材料としてポジ型の感光性アクリルを用いた場合、絶縁物１００１４の上端部のみに曲率半径（０．２μｍ～３μｍ）を有する曲面を持たせることが好ましい。また、絶縁物１００１４として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。
【０６０５】
第１の電極１００１３上には、有機化合物を含む層１００１６、および第２の電極（対向電極）１００１７がそれぞれ形成されている。ここで、陽極として機能する第１の電極１００１３に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ＩＴＯ（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（ＩＺＯ）膜、窒化チタン膜、クロム膜、タングステン膜、Ｚｎ膜、Ｐｔ膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との３層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。
【０６０６】
また、有機化合物を含む層１００１６は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層１００１６には、元素周期表第４族金属錯体をその一部に用いることとし、その他、組み合わせて用いることのできる材料としては、低分子系材料であっても高分子系材料であってもよい。また、有機化合物を含む層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施の形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。
【０６０７】
さらに、有機化合物を含む層１００１６上に形成される第２の電極１００１７に用いる材

料としては、仕事関数の小さい材料（Ａｌ、Ａｇ、Ｌｉ、Ｃａ、またはこれらの合金ＭｇＡｇ、ＭｇＩｎ、ＡｌＬｉ、CaF_2、または窒化カルシウム）を用いればよい。なお、有機化合物を含む層１００１６で生じた光が第２の電極１００１７を透過させる場合には、第２の電極（陰極）１００１７として、膜厚を薄くした金属薄膜と、透明導電膜（ＩＴＯ（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（In_2O_3－ＺｎＯ）、酸化亜鉛（ＺｎＯ）等）との積層を用いるのがよい。

【０６０８】

さらにシール材１００００５で封止基板１００００４を基板１００１０と貼り合わせることにより、基板１００１０、封止基板１００００４、およびシール材１００００５で囲まれた空間１００００７に発光素子１００１８が備えられた構造になっている。なお、空間１００００７には、不活性気体（窒素やアルゴン等）が充填される場合の他、シール材１００００５で充填される構成も含むものとする。

【０６０９】

なお、シール材１００００５にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板１００００４に用いる材料としてガラス基板や石英基板の他、ＦＲＰ（Ｆｉｂｅｒｇｌａｓｓ－ＲｅｉｎｆｏｒｃｅｄＰｌａｓｔｉｃｓ）、ＰＶＦ（ポリビニルフロライド）、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

【０６１０】

以上のようにして、本発明の表示装置の画素構成を有する表示パネルを得ることができる。なお、上述した構成は一例であって本発明の表示装置の表示パネルの構成はこれに限定されない。

【０６１１】

図１００に示すように、信号制御回路１００００１、画素部１００００２、第１のゲートドライバ１００００３及び第２のゲートドライバ１００００６を一体形成することで、表示装置の低コスト化が図れる。また、この場合において、信号制御回路１００００１、画素部１００００２、第１のゲートドライバ１００００３及び第２のゲートドライバ１００００６に用いられるトランジスタを単極性とすることで作製工程の簡略化が図れるためさらなる低コスト化が図れる。

【０６１２】

なお、表示パネルの構成としては、図１００（ａ）に示したように信号制御回路１００００１、画素部１００００２、第１のゲートドライバ１００００３及び第２のゲートドライバ１００００６を一体形成した構成に限られず、信号制御回路１００００１に相当する図１０１に示す信号制御回路１０１０１をＩＣチップ上に形成して、ＣＯＧ等で表示パネルに実装した構成としてもよい。なお、図１０１（ａ）の基板１０１００、画素部１０１０２、第１のゲートドライバ１０１０３、第２のゲートドライバ１０１０４、ＦＰＣ１０１０５、ＩＣチップ１０１０６、ＩＣチップ１０１０７、封止基板１０１０８、シール材１０１０９は図１００（ａ）の基板１００１０、画素部１００００２、第１のゲートドライバ１００００３、第２のゲートドライバ１００００６、ＦＰＣ１００００９、ＩＣチップ１００１９、封止基板１００００４、シール材１００００５に相当する。

【０６１３】

つまり、駆動回路の高速動作が要求される信号制御回路のみを、ＣＭＯＳ等を用いてＩＣチップに形成し、低消費電力化を図る。また、ＩＣチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

【０６１４】

そして、第２のゲートドライバ１０１０３や第１のゲートドライバ１０１０４を画素部１０１０２と一体形成することで、低コスト化が図れる。そして、この第２のゲートドライバ１０１０３、第１のゲートドライバ１０１０４及び画素部１０１０２は単極性のトランジスタで構成することでさらなる低コスト化が図れる。画素部１０１０２の有する画素の構成としては実施の形態１０で示した画素を適用することができる。

【０６１５】
こうして、高精細な表示装置の低コスト化が図れる。また、ＦＰＣ１０１０５と基板１０１００との接続部において機能回路（メモリやバッファ）が形成されたＩＣチップを実装することで基板面積を有効利用することができる。
【０６１６】
また、図１００（ａ）の信号制御回路１０００１、第１のゲートドライバ１０００３及び第２のゲートドライバ１０００６に相当する図１０１（ｂ）の信号制御回路１０１１１、第１のゲートドライバ１０１１４及び第２のゲートドライバ１０１１３をＩＣチップ上に形成して、ＣＯＧ等で表示パネルに実装した構成としてもよい。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするためには、画素部に用いられるトランジスタの半導体層にはアモルファスシリコンを用いることが望ましい。なお、図１０１（ｂ）の基板１０１１０、画素部１０１１２、ＦＰＣ１０１１５、ＩＣチップ１０１１６、ＩＣチップ１０１１７、封止基板１０１１８、シール材１０１１９は図１００（ａ）の基板１００１０、画素部１０００２、ＦＰＣ１０００９、ＩＣチップ１００１９、ＩＣチップ１００２２、封止基板１０００４、シール材１０００５に相当する。
【０６１７】
また、画素部１０１１２のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。
【０６１８】
また、画素の行方向及び列方向に第２のゲートドライバ、第１のゲートドライバ及び信号制御回路を設けなくてもよい。例えば、図７５（ａ）に示すようにＩＣチップ上に形成された周辺駆動回路７５０１が図１０１（ｂ）に示す、第１のゲートドライバ１０１１４、第２のゲートドライバ１０１１３及び信号制御回路１０１１１の機能を有するようにしてもよい。なお、図７５（ａ）の基板７５００、画素部７５０２、ＦＰＣ７５０４、ＩＣチップ７５０５、ＩＣチップ７５０６、封止基板７５０７、シール材７５０８は図１００（ａ）の基板１００１０、画素部１０００２、ＦＰＣ１０００９、ＩＣチップ１００１９、ＩＣチップ１００２２、封止基板１０００４、シール材１０００５に相当する。
【０６１９】
なお、図７５（ａ）の表示装置の配線の接続を説明する模式図を図７５（ｂ）に示す。基板７５１０、周辺駆動回路７５１１、画素部７５１２、ＦＰＣ７５１３、ＦＰＣ７５１４を有する。ＦＰＣ７５１３より周辺駆動回路７５１１に外部からの信号及び電源電位が入力される。そして、周辺駆動回路７５１１からの出力は、画素部７５１２の有する画素に接続された行方向及び列方向の配線に入力される。
【０６２０】
さらに、発光素子１００１８に適用可能な発光素子の例を図７６（ａ）、（ｂ）に示す。つまり、上記実施の形態で示した画素に適用可能な発光素子の構成について図７６（ａ）、（ｂ）を用いて説明する。
【０６２１】
図７６（ａ）の発光素子は、基板７６０１の上に陽極７６０２、正孔注入材料からなる正孔注入層７６０３、その上に正孔輸送材料からなる正孔輸送層７６０４、発光層７６０５、電子輸送材料からなる電子輸送層７６０６、電子注入材料からなる電子注入層７６０７、そして陰極７６０８を積層させた素子構造である。ここで、発光層７６０５は、一種類の発光材料のみから形成されることもあるが、２種類以上の材料から形成されてもよい。また、素子の構造は、この構造に限定されない。
【０６２２】
また、図７６（ａ）で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し

、発光領域を二つの領域にわけることによって得られる白色発光素子などにも応用可能である。

【０６２３】

図７６（ａ）に示す本実施の形態で示す素子作製方法は、まず、陽極７６０２（ＩＴＯ）を有する基板７６０１に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極７６０８を蒸着で形成する。

【０６２４】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【０６２５】

正孔注入材料としては、有機化合物であればポルフィリン系の化合物や、フタロシアニン（以下「H_2Pc」と記す）、銅フタロシアニン（以下「ＣｕＰｃ」と記す）などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸（以下「ＰＳＳ」と記す）をドープしたポリエチレンジオキシチオフェン（以下「ＰＥＤＯＴ」と記す）や、ポリアニリンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド（以下「ＰＩ」と記す）がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム（以下「アルミナ」と記す）の超薄膜などがある。

【０６２６】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系（すなわち、ベンゼン環－窒素の結合を有するもの）の化合物である。広く用いられている材料として、４，４’－ビス（ジフェニルアミノ）－ビフェニル（以下、「ＴＡＤ」と記す）や、その誘導体である４，４’－ビス［Ｎ－（３－メチルフェニル）－Ｎ－フェニル－アミノ］－ビフェニル（以下、「ＴＰＤ」と記す）、４，４’－ビス［Ｎ－（１－ナフチル）－Ｎ－フェニル－アミノ］－ビフェニル（以下、「α－ＮＰＤ」と記す）がある。４，４’，４”－トリス（Ｎ，Ｎ－ジフェニル－アミノ）－トリフェニルアミン（以下、「ＴＤＡＴＡ」と記す）、４，４’，４”－トリス［Ｎ－（３－メチルフェニル）－Ｎ－フェニル－アミノ］－トリフェニルアミン（以下、「ＭＴＤＡＴＡ」と記す）などのスターバースト型芳香族アミン化合物が挙げられる。

【０６２７】

電子輸送材料としては、金属錯体がよく用いられ、Ａｌｑ、ＢＡｌｑ、トリス（４－メチル－８－キノリノラト）アルミニウム（以下、「Ａｌｍｑ」と記す）、ビス（１０－ヒドロキシベンゾ［ｈ］－キノリナト）ベリリウム（以下、「Ｂｅｂｑ」と記す）などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス［２－（２－ヒドロキシフェニル）－ベンゾオキサゾラト］亜鉛（以下、「$Zn(BOX)_2$」と記す）、ビス［２－（２－ヒドロキシフェニル）－ベンゾチアゾラト］亜鉛（以下、「$Zn(BTZ)_2$」と記す）などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、２－（４－ビフェニリル）－５－（４－ｔｅｒｔ－ブチルフェニル）－１，３，４－オキサジアゾール（以下、「ＰＢＤ」と記す）、ＯＸＤ－７などのオキサジアゾール誘導体、ＴＡＺ、３－（４－ｔｅｒｔ－ブチルフェニル）－４－（４－エチルフェニル）－５－（４－ビフェニリル）－１、２、４－トリアゾール（以下、「ｐ－ＥｔＴＡＺ」と記す）などのトリアゾール誘導体、バソフェナントロリン（以下、「ＢＰｈｅｎ」と記す）、ＢＣＰなどのフェナントロリン誘導体が電子輸送性を有する。

【０６２８】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウ

ムアセチルアセトネート（以下、「Ｌｉ（ａｃａｃ）」と記す）や８－キノリノラト－リチウム（以下、「Ｌｉｑ」と記す）などのアルカリ金属錯体も有効である。

【０６２９】

発光材料としては、先に述べたＡｌｑ、Ａｌｍｑ、ＢｅＢｑ、ＢＡｌｑ、Ｚｎ（ＢＯＸ）$_2$、Ｚｎ（ＢＴＺ）$_2$などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としは、青色の４，４’－ビス（２，２－ジフェニル－ビニル）－ビフェニルや、赤橙色の４－（ジシアノメチレン）－２－メチル－６－（ｐ－ジメチルアミノスチリル）－４Ｈ－ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス（２－フェニルピリジン）イリジウム、ビス（２－（４’－トリル）ピリジナト－Ｎ，Ｃ２’）アセチルアセトナトイリジウム（以下「ａｃａｃＩｒ（ｔｐｙ）$_2$」と記す）、２，３，７，８，２３，１３，１７，１８－オクタエチル－２１Ｈ，２３Ｈポルフィリン－白金などが知られている。

【０６３０】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の発光素子を作製することができる。

【０６３１】

また、実施の形態１０で示した表示素子６５２１には図７６（ｂ）に示すように図７６（ａ）とは逆の順番に層を形成した発光素子を用いることができる。つまり、基板７６１１の上に陰極７６１８、電子注入材料からなる電子注入層７６１７、その上に電子輸送材料からなる電子輸送層７６１６、発光層７６１５、正孔輸送材料からなる正孔輸送層７６１４、正孔注入材料からなる正孔注入層７６１３、そして陽極７６１２を積層させた素子構造である。

【０６３２】

また、発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の表示装置の画素構成はどの射出構造の発光素子にも適用することができる。

【０６３３】

上面射出構造の発光素子について図７７（ａ）を用いて説明する。

【０６３４】

基板７７００上に駆動用トランジスタ７７０１が形成され、駆動用トランジスタ７７０１のソース端子に接して第１の電極７７０２が形成され、その上に有機化合物を含む層７７０３と第２の電極７７０４が形成されている。

【０６３５】

また、第１の電極７７０２は発光素子の陽極である。そして第２の電極７７０４は発光素子の陰極である。つまり、第１の電極７７０２と第２の電極７７０４とで有機化合物を含む層７７０３が挟まれているところが発光素子となる。

【０６３６】

また、ここで、陽極として機能する第１の電極７７０２に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Ｚｎ膜、Ｐｔ膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との３層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【０６３７】

また、陰極として機能する第２の電極７７０４に用いる材料としては、仕事関数の小さい材料（Ａｌ、Ａｇ、Ｌｉ、Ｃａ、またはこれらの合金ＭｇＡｇ、ＭｇＩｎ、ＡｌＬｉ、ＣａＦ$_2$、または窒化カルシウム）からなる金属薄膜と、透明導電膜（ＩＴＯ（インジウム

スズ酸化物）、インジウム亜鉛酸化物（ＩＺＯ）、酸化亜鉛（ＺｎＯ）等）との積層を用いるのがよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【０６３８】

こうして、図７７（ａ）の矢印に示すように発光素子からの光を上面に取り出すことが可能になる。つまり、図１００の表示パネルに適用した場合には、封止基板１０００４側に光が射出することになる。従って上面射出構造の発光素子を表示装置に用いる場合には封止基板１０００４は光透過性を有する基板を用いる。

【０６３９】

また、光学フィルムを設ける場合には、封止基板１０００４に光学フィルムを設ければよい。

【０６４０】

なお、第１の電極７７０２を陰極として機能するＭｇＡｇ、ＭｇＩｎ、ＡｌＬｉ等の仕事関数の小さい材料からなる金属膜を用いることができる。そして、第２の電極７７０４にはＩＴＯ（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（ＩＺＯ）などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができる。

【０６４１】

また、下面射出構造の発光素子について図７７（ｂ）を用いて説明する。射出構造以外は図７７（ａ）と同じ構造の発光素子であるため同じ符号を用いて説明する。

【０６４２】

ここで、陽極として機能する第１の電極７７０２に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ＩＴＯ（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（ＩＺＯ）膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【０６４３】

また、陰極として機能する第２の電極７７０４に用いる材料としては、仕事関数の小さい材料（Ａｌ、Ａｇ、Ｌｉ、Ｃａ、またはこれらの合金ＭｇＡｇ、ＭｇＩｎ、ＡｌＬｉ、CaF_2、またはCa_3N_2からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

【０６４４】

こうして、図７７（ｂ）の矢印に示すように発光素子からの光を下面に取り出すことが可能になる。つまり、図１００の表示パネルに適用した場合には、基板１００１０側に光が射出することになる。従って下面射出構造の発光素子を表示装置に用いる場合には基板１００１０は光透過性を有する基板を用いる。

【０６４５】

また、光学フィルムを設ける場合には、基板１００１０に光学フィルムを設ければよい。

【０６４６】

両面射出構造の発光素子について図７７（ｃ）を用いて説明する。射出構造以外は図７７（ａ）と同じ構造の発光素子であるため同じ符号を用いて説明する。

【０６４７】

ここで、陽極として機能する第１の電極７７０２に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ＩＴＯ（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（ＩＺＯ）膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【０６４８】

また、陰極として機能する第２の電極７７０４に用いる材料としては、仕事関数の小さい材料（Ａｌ、Ａｇ、Ｌｉ、Ｃａ、またはこれらの合金ＭｇＡｇ、ＭｇＩｎ、ＡｌＬｉ、CaF_2、または窒化カルシウム）からなる金属薄膜と、透明導電膜（ＩＴＯ（インジウムスズ酸化物）、酸化インジウム酸化亜鉛合金（In_2O_3－ＺｎＯ）、酸化亜鉛（ＺｎＯ

）等）との積層を用いるのがよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【０６４９】

こうして、図７７（ｃ）の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。つまり、図１００の表示パネルに適用した場合には、基板１００１０側と封止基板１０００４側に光が射出することになる。従って両面射出構造の発光素子を表示装置に用いる場合には基板１００１０および封止基板１０００４は、ともに光透過性を有する基板を用いる。

【０６５０】

また、光学フィルムを設ける場合には、基板１００１０および封止基板１０００４の両方に光学フィルムを設ければよい。

【０６５１】

また、白色の発光素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

【０６５２】

図７８に示すように、基板７８００上に下地膜７８０２が形成され、その上に駆動用トランジスタ７８０１が形成され、駆動用トランジスタ７８０１のソース端子に接して第１の電極７８０３が形成され、その上に有機化合物を含む層７８０４と第２の電極７８０５が形成されている。

【０６５３】

また、第１の電極７８０３は発光素子の陽極である。そして第２の電極７８０５は発光素子の陰極である。つまり、第１の電極７８０３と第２の電極７８０５とで有機化合物を含む層７８０４が挟まれているところが発光素子となる。図７８の構成では白色光を発光する。そして、発光素子の上部に赤色のカラーフィルター７８０６Ｒ、緑色のカラーフィルター７８０６Ｇ、青色のカラーフィルター７８０６Ｂを設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス（ＢＭともいう）７８０７が設けられている。

【０６５４】

上述した発光素子の構成は組み合わせて用いることができ、本発明の表示装置に適宜用いることができる。また、上述した表示パネルの構成や、発光素子は例示であり、もちろん画素構成は他の構成の表示装置に適用することもできる。

【０６５５】

次に、表示パネルの画素部の部分断面図を示す。

【０６５６】

まず、トランジスタの半導体層に結晶性半導体膜（ポリシリコン（ｐ－Ｓｉ：Ｈ）膜）を用いた場合について図７９及び図８０を用いて説明する。

【０６５７】

ここで、半導体層は、例えば基板上にアモルファスシリコン（ａ－Ｓｉ）膜を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であればよい。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でもよい。

【０６５８】

そして、アモルファスシリコン膜をレーザ結晶化法や、ＲＴＡやファーネスアニール炉を用いた熱結晶化法や、結晶化を助長する金属元素を用いた熱結晶化法などにより結晶化させる。もちろん、これらを組み合わせて行ってもよい。

【０６５９】

上述した結晶化処理によって、非晶質半導体膜に部分的に結晶化された領域が形成される。

【０６６０】

さらに、部分的に結晶性が高められた結晶性半導体膜を所望の形状にパターニングして、

結晶化された領域から島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層に用いる。

【０６６１】

図７９に示すように、基板７９０１上に下地膜７９０２が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ７９１８のチャネル形成領域７９０３及びソース領域又はドレイン領域となる不純物領域７９０５、並びに容量素子７９１９の下部電極となるチャネル形成領域７９０６、ＬＤＤ領域７９０７及び不純物領域７９０８を有する。なお、チャネル形成領域７９０３及びチャネル形成領域７９０６にはチャネルドープが行われていてもよい。

【０６６２】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜７９０２としては、窒化アルミニウムや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

【０６６３】

半導体層上にはゲート絶縁膜７９０９を介してゲート電極７９１０及び容量素子の上部電極７９１１が形成されている。

【０６６４】

駆動トランジスタ７９１８及び容量素子７９１９を覆って層間絶縁物７９１２が形成され、層間絶縁物７９１２上にコンタクトホールを介して配線７９１３が不純物領域７９０５と接している。配線７９１３に接して画素電極７９１４が形成され、画素電極７９１４の端部及び配線７９１３を覆って第２の層間絶縁物７９１５が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。そして、画素電極７９１４上に有機化合物を含む層７９１６及び対向電極７９１７が形成され、画素電極７９１４と対向電極７９１７とで有機化合物を含む層７９１６が挟まれた領域では発光素子７９２０が形成されている。

【０６６５】

また、図７９（ｂ）に示すように、容量素子７９１９の下部電極の一部を構成するＬＤＤ領域が、上部電極７９１１と重なるような領域７９２１を設けてもよい。なお、図７９（ａ）と共通するところは共通の符号を用い、説明は省略する。

【０６６６】

また、図８０（ａ）に示すように、駆動トランジスタ７９１８の不純物領域７９０５と接する配線７９１３と同じ層に形成された第２の上部電極８０９１を有していてもよい。なお、図７９（ａ）と共通するところは共通の符号を用い、説明は省略する。第２の上部電極８０９１と上部電極７９１１とで層間絶縁物７９１２を挟みこみ、第２の容量素子を構成している。また、第２の上部電極８０９１は不純物領域７９０８と接しているため、上部電極７９１１とチャネル形成領域７９０６とで下地膜７９０２を挟みこんで構成される第１の容量素子と、上部電極７９１１と第２の上部電極８０９１とで層間絶縁物７９１２を挟みこんで構成される第２の容量素子と、が並列に接続され、第１の容量素子と第２の容量素子からなる容量素子８０９２を構成している。この容量素子８０９２の容量は第１の容量素子と第２の容量素子の容量を加算した合成容量であるため、小さい面積で大きな容量の容量素子を形成することができる。つまり、本発明の表示装置において画素構成の容量素子として用いるとより開口率の向上が図れる。

【０６６７】

また、図８０（ｂ）に示すような容量素子の構成としてもよい。基板８００１上に下地膜８００２が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ８０１８のチャネル形成領域８００３及びソース領域又はドレイン領域となる不純物領域８００５を有する。なお、チャネル形成領域８００３はチャネルドープが行われていてもよい。

【０６６８】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることがで

きる。また、下地膜７９０２としては、窒化アルミニウムや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

【０６６９】

半導体層上にはゲート絶縁膜８００６を介してゲート電極８００７及び第１の電極８００８が形成されている。

【０６７０】

駆動トランジスタ８０１８及び第１の電極８００８を覆って第１の層間絶縁物８００９が形成され、第１の層間絶縁物８００９上にコンタクトホールを介して配線８０１０が不純物領域８００５と接している。また、配線８０１０と同じ材料からなる同層の第２の電極８０１１が形成される。

【０６７１】

さらに、配線８０１０及び第２の電極８０１１を覆うように第２の層間絶縁物８０１２が形成され、第２の層間絶縁物８０１２上にコンタクトホールを介して、配線８０１０と接して画素電極８０１３が形成されている。また、画素電極８０１３と同じ材料からなる同層の第３の電極８０１４が形成されている。ここで、第１の電極８００８、第２の電極８０１１及び第３の電極８０１４からなる容量素子８０１９が形成される。

【０６７２】

画素電極８０１３と第３の電極８０１４の端部を覆って第３の層間絶縁物８０１５が形成され、第３の層間絶縁物８０１５及び第３の電極８０１４上に有機化合物を含む層８０１６及び対向電極８０１７が形成され、画素電極８０１３と対向電極８０１７とで有機化合物を含む層８０１６が挟まれた領域では発光素子８０２０が形成されている。

【０６７３】

上述したように、結晶性半導体膜を半導体層に用いたトランジスタの構成は図７９及び図８０に示したような構成が挙げられる。なお、図７９及び図８０に示したトランジスタの構造はトップゲートの構造のトランジスタの一例である。つまり、トランジスタはＰ型でもＮ型でもよい。Ｎ型の場合には、ＬＤＤ領域はゲート電極と重なった構成としてもよいし、ゲート電極と重なってない構成としてもよいし、又はＬＤＤ領域の一部の領域が重なった構成としてもよい。さらに、ゲート電極はテーパー形状でもよく、ゲート電極のテーパー部の下部にＬＤＤ領域が自己整合的に設けられた構成としてもよい。また、ゲート電極は二つに限らず三以上のマルチゲート構造でもよいし、一つのゲート電極でもよい。

【０６７４】

本発明の表示装置の画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に結晶性半導体膜を用いることで、例えば、図１００Ａにおける第１のゲートドライバ１００００３、第２のゲートドライバ１００００６及び信号制御回路１００００１を画素部１００００２と一体形成することが容易になる。

【０６７５】

また、半導体層にポリシリコンを用いたトランジスタの構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり、半導体層の下にゲート電極が位置するボトムゲートのトランジスタを適用した表示パネルの部分断面を図８１に示す。

【０６７６】

基板８１０１上に下地膜８１０２が形成されている。さらに下地膜８１０２上にゲート電極８１０３が形成されている。また、ゲート電極８１０３と同層に同じ材料からなる第１の電極８１０４が形成されている。ゲート電極８１０３の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【０６７７】

また、ゲート電極８１０３及び第１の電極８１０４を覆うようにゲート絶縁膜８１０５が形成されている。ゲート絶縁膜８１０５としては酸化珪素膜や窒化珪素膜などが用いられる。

【０６７８】

また、ゲート絶縁膜８１０５上に、半導体層が形成されている。半導体層は駆動トランジスタ８１２２のチャネル形成領域８１０６、ＬＤＤ領域８１０７及びソース領域又はドレイン領域となる不純物領域８１０８、並びに容量素子８１２３の第２の電極となるチャネル形成領域８１０９、ＬＤＤ領域８１１０及び不純物領域８１１１を有する。なお、チャネル形成領域８１０６及びチャネル形成領域８１０９はチャネルドープが行われていてもよい。

【０６７９】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜８１０２としては、窒化アルミニウムや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

【０６８０】

半導体層を覆って第１の層間絶縁物８１１２が形成され、第１の層間絶縁物８１１２上にコンタクトホールを介して配線８１１３が不純物領域８１０８と接している。また、配線８１１３と同層に同じ材料で第３の電極８１１４が形成されている。第１の電極８１０４、第２の電極、第３の電極８１１４によって容量素子８１２３が構成されている。

【０６８１】

また、第１の層間絶縁物８１１２には開口部８１１５が形成されている。駆動トランジスタ８１２２、容量素子８１２３及び開口部８１１５を覆うように第２の層間絶縁物８１１６が形成され、第２の層間絶縁物８１１６上にコンタクトホールを介して、画素電極８１１７が形成されている。また、画素電極８１１７の端部を覆って絶縁物８１１８が形成されている。例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。そして、画素電極８１１７上に有機化合物を含む層８１１９及び対向電極８１２０が形成され、画素電極８１１７と対向電極８１２０とで有機化合物を含む層８１１９が挟まれた領域では発光素子８１２１が形成されている。そして、発光素子８１２１の下部に開口部８１１５が位置している。つまり、発光素子８１２１からの発光を基板側から取り出すときには開口部８１１５を有するため透過率を高めることができる。

【０６８２】

また、図８１（ａ）において画素電極８１１７と同層に同じ材料を用いて第４の電極８１２４を形成して、図８１（ｂ）のような構成としてもよい。すると、第１の電極８１０４、第２の電極、第３の電極８１１４及び第４の電極８１２４によって構成される容量素子８１２３を形成することができる。

【０６８３】

次に、トランジスタの半導体層にアモルファスシリコン（ａ－Ｓｉ：Ｈ）膜を用いた場合について説明する。図８２にはトップゲートのトランジスタ、図８３及び図８４にはボトムゲートのトランジスタの場合について示す。

【０６８４】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図８２（ａ）に示す。基板８２０１上に下地膜８２０２が形成されている。さらに下地膜８２０２上に画素電極８２０３が形成されている。また、画素電極８２０３と同層に同じ材料からなる第１の電極８２０４が形成されている。

【０６８５】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜８２０２としては、窒化アルミニウムや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

【０６８６】

また、下地膜８２０２上に配線８２０５及び配線８２０６が形成され、画素電極８２０３の端部が配線８２０５で覆われている。配線８２０５及び配線８２０６の上部にＮ型の導電型を有するＮ型半導体層８２０７及びＮ型半導体層８２０８が形成されている。また、配線８２０５と配線８２０６の間であって、下地膜８２０２上に半導体層８２０９が形成されている。そして、半導体層８２０９の一部はＮ型半導体層８２０７及びＮ型半導体層

８２０８上にまで延長されている。なお、この半導体層はアモルファスシリコン（ａ－Ｓｉ：Ｈ）、微結晶半導体（μ－Ｓｉ：Ｈ）等の非結晶性を有する半導体膜で形成されている。また、半導体層８２０９上にゲート絶縁膜８２１０が形成されている。また、ゲート絶縁膜８２１０と同層の同じ材料からなる絶縁膜８２１１が第１の電極８２０４上にも形成されている。なお、ゲート絶縁膜８２１０としては酸化珪素膜や窒化珪素膜などが用いられる。

【０６８７】

また、ゲート絶縁膜８２１０上に、ゲート電極８２１２が形成されている。また、ゲート電極と同層に同じ材料でなる第２の電極８２１３が第１の電極８２０４上に絶縁膜８２１１を介して形成されている。第１の電極８２０４及び第２の電極８２１３で絶縁膜８２１１を挟まれた容量素子８２１９が形成されている。また、画素電極８２０３の端部、駆動トランジスタ８２１８及び容量素子８２１９を覆い、層間絶縁膜８２１４が形成されている。

【０６８８】

層間絶縁膜８２１４及びその開口部に位置する画素電極８２０３上に有機化合物を含む層８２１５及び対向電極８２１６が形成され、画素電極８２０３と対向電極８２１６とで有機化合物を含む層８２１５が挟まれた領域では発光素子８２１７が形成されている。

【０６８９】

また、図８２（ａ）に示す第１の電極８２０４を図８２（ｂ）に示すように第１の電極８２２０で形成してもよい。第１の電極８２２０は配線８２０５及び８２０６と同層の同一材料で形成されている。

【０６９０】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示装置のパネルの部分断面を図８３に示す。

【０６９１】

基板８３０１上に下地膜８３０２が形成されている。さらに下地膜８３０２上にゲート電極８３０３が形成されている。また、ゲート電極と同層に同じ材料からなる第１の電極８３０４が形成されている。ゲート電極８３０３の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【０６９２】

また、ゲート電極８３０３及び第１の電極８３０４を覆うようにゲート絶縁膜８３０５が形成されている。ゲート絶縁膜８３０５としては酸化珪素膜や窒化珪素膜などが用いられる。

【０６９３】

また、ゲート絶縁膜８３０５上に、半導体層８３０６が形成されている。また、半導体層８３０６と同層に同じ材料からなる半導体層８３０７が形成されている。

【０６９４】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜８２０２としては、窒化アルミニウムや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

【０６９５】

半導体層８３０６上にはＮ型の導電性を有するＮ型半導体層８３０８、８３０９が形成され、半導体層８３０７上にはＮ型半導体層８３１０が形成されている。

【０６９６】

Ｎ型半導体層８３０８、８３０９上にはそれぞれ配線８３１１、８３１２が形成され、Ｎ型半導体層８３１０上には配線８３１１及び８３１２と同層の同一材料からなる導電層８３１３が形成されている。

【０６９７】

半導体層８３０７、Ｎ型半導体層８３１０及び導電層８３１３からなる第２の電極が構成

される。なお、この第２の電極と第１の電極８３０４で下地膜８３０２を挟み込んだ構造の容量素子８３２０が形成されている。

【０６９８】

また、配線８３１１の一方の端部は延在し、その延在した配線８３１１上部に接して画素電極８３１４が形成されている。

【０６９９】

また、画素電極８３１４の端部、駆動トランジスタ８３１９及び容量素子８３２０を覆うように絶縁物８３１５が形成されている。

【０７００】

画素電極８３１４及び絶縁物８３１５上には有機化合物を含む層８３１６及び対向電極８３１７が形成され、画素電極８３１４と対向電極８３１７とで有機化合物を含む層８３１６が挟まれた領域では発光素子８３１８が形成されている。

【０７０１】

容量素子の第２の電極の一部となる半導体層８３０７及びＮ型半導体層８３１０は設けなくても良い。つまり第２の電極は導電層８３１３とし、第１の電極８３０４と導電層８３１３でゲート絶縁膜が挟まれた構造の容量素子としてもよい。

【０７０２】

なお、図８３（ａ）において、配線８３１１を形成する前に画素電極８３１４を形成することで、図８３（ｂ）に示すような、画素電極８３１４からなる第２の電極８３２１と第１の電極８３０４でゲート絶縁膜８３０５が挟まれた構造の容量素子８３２２を形成することができる。

【０７０３】

なお、図８３では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図８４（ａ）、（ｂ）を用いて説明する。

【０７０４】

図８４（ａ）に示すチャネル保護型構造のトランジスタは図８３（ａ）に示したチャネルエッチ構造の駆動トランジスタ８３１９の半導体層８３０６のチャネルが形成される領域上にエッチングのマスクとなる絶縁物８４０１が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【０７０５】

また、同様に、図８４（ｂ）に示すチャネル保護型構造のトランジスタは図８３（ｂ）に示したチャネルエッチ構造の駆動トランジスタ８３１９の半導体層８３０６のチャネルが形成される領域上にエッチングのマスクとなる絶縁物８４０１が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【０７０６】

本発明の表示装置の画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に非晶質半導体膜を用いることで、製造コストを削減することができる。例えば、図６６や図６７に示す画素構成を用いることで非晶質半導体膜を適用することが可能である。

【０７０７】

なお、本発明の表示装置の画素構成に適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限らず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

【０７０８】

また、表示パネルの駆動に上記実施の形態で示した表示装置の構成を適用することにより、トランジスタの特性劣化を抑制することができる。そのため、トランジスタの特性劣化が原因のシフトレジスタの誤動作を防止することができる。また、シフトレジスタの誤動作が原因の表示パネルの表示不良を抑制することができる。

【０７０９】

なお、本実施の形態で示した表示パネルの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示パネルの構成も自由に組み合わせて実施することができる。

【０７１０】

（実施の形態１５）

本実施形態においては、本発明を適用できる半導体装置が薄膜トランジスタ（ＴＦＴ）を素子として有する場合の半導体装置の作製方法について、図面を参照して説明する。

【０７１１】

図８５は、本発明を適用できる半導体装置が有することのできるＴＦＴの構造および製造プロセスの例を示す図である。図８５（Ａ）は、本発明を適用できる半導体装置が有することのできるＴＦＴの構造の例を示す図である。また、図８５（Ｂ）乃至（Ｇ）は、本発明を適用できる半導体装置が有することのできるＴＦＴの製造プロセスの例を示す図である。

なお、本発明を適用できる半導体装置が有することのできるＴＦＴの構造および製造プロセスは、図８５に示すものに限定されず、様々な構造および製造プロセスを用いることができる。

【０７１２】

まず、図８５（Ａ）を参照し、本発明を適用できる半導体装置が有することのできるＴＦＴの構造の例について説明する。図８５（Ａ）は複数の異なる構造を有するＴＦＴの断面図である。ここで、図８５（Ａ）においては、複数の異なる構造を有するＴＦＴを並置して示しているが、これは、発明を適用できる半導体装置が有することのできるＴＦＴの構造を説明するための表現であり、発明を適用できる半導体装置が有することのできるＴＦＴが、実際に図８５（Ａ）のように並置されている必要はなく、必要に応じてつくり分けることができる。

【０７１３】

次に、本発明を適用できる半導体装置が有することのできるＴＦＴを構成する各層の特徴について説明する。

【０７１４】

基板８５１１は、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。また、このような基板であれば、その面積や形状に大きな制限はないため、基板８５１１として、例えば、１辺が１メートル以上であって、矩形状のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

【０７１５】

絶縁膜８５１２は、下地膜として機能する。基板８５１１からＮａなどのアルカリ金属やアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜８５１２としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、絶縁膜８５１２を２層構造で設ける場合、１層目の絶縁膜として窒化酸化珪素膜を設け、２層目の絶縁膜として酸化窒化珪素膜を設けるとよい。また絶縁膜８５１２を３層構造で設ける場合、１層目の絶縁膜として酸化窒化珪素膜を設け、２層目の絶縁膜として窒化酸化珪素膜を設け、３層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

【０７１６】

半導体膜８５１３、８５１４、８５１５は、非晶質（アモルファス）半導体またはセミアモルファス半導体（ＳＡＳ）で形成することができる。また、多結晶半導体膜を用いても

良い。ＳＡＳは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第３の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、０．５～２０ｎｍの結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが５２０ｃｍ－１よりも低波数側にシフトしている。Ｘ線回折では珪素結晶格子に由来するとされる（１１１）、（２２０）の回折ピークが観測される。未結合手（ダングリングボンド）の終端として水素またはハロゲンを少なくとも１原子％またはそれ以上含ませている。ＳＡＳは、珪素を含有した気体をグロー放電分解（プラズマＣＶＤ）して形成する。珪素を含有した気体としては、SiH_4、その他にもSi_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、SiF_4などを用いることが可能である。またGeF_4を混合させても良い。この珪素を含有した気体をＨ２、または、Ｈ２とＨｅ、Ａｒ、Ｋｒ、Ｎｅから選ばれた一種または複数種の希ガス元素で希釈してもよい。希釈率は２～１０００倍の範囲。圧力は概略０．１Ｐａ～１３３Ｐａの範囲、電源周波数は１ＭＨｚ～１２０ＭＨｚ、好ましくは１３ＭＨｚ～６０ＭＨｚ。基板加熱温度は３００℃以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は$1\times10^{20}cm^{-1}$以下とすることが望ましく、特に、酸素濃度は$5\times10^{19}/cm^3$以下、好ましくは$1\times10^{19}/cm^3$以下とする。ここでは、公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いてシリコン（Ｓｉ）を主成分とする材料（例えばSi_xGe_{1-x}等）で非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、ＲＴＡ又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの公知の結晶化法により結晶化させる。

【０７１７】

絶縁膜８５１６は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。

【０７１８】

ゲート電極８５１７は、単層の導電膜、または二層、三層の導電膜の積層構造とすることができる。ゲート電極８５１７の材料としては、公知の導電膜を用いることができる。たとえば、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、クロム（Ｃｒ）、シリコン（Ｓｉ）などの元素の単体膜、または、元素の窒化膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または、元素を組み合わせた合金膜（代表的にはＭｏ－Ｗ合金、Ｍｏ－Ｔａ合金）、または、元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

【０７１９】

絶縁膜８５１８は、公知の手段（スパッタ法やプラズマＣＶＤ法等）により、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、またはこれらの積層構造で設けることができる。

【０７２０】

絶縁膜８５１９は、酸化珪素、窒化珪素（、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜はもちろん、その他にもエポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂からなる単層または積層構造で設けることができる。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、本発明における半導体装置において、絶縁膜８５１８を設けずにゲート電極８５１７を覆うように直接絶縁膜８５１９

を設けることも可能である。
【０７２１】
導電膜８５２３は、Ａｌ、Ｎｉ、Ｃ、Ｗ、Ｍｏ、Ｔｉ、Ｐｔ、Ｃｕ、Ｔａ、Ａｕ、Ｍｎなどの元素の単体膜、または、元素の窒化膜、または、元素を組み合わせた合金膜、または、元素のシリサイド膜などを用いることができる。例えば、元素を複数含む合金として、ＣとＴｉを含有したＡｌ合金、Ｎｉを含有したＡｌ合金、ＣとＮｉを含有したＡｌ合金、ＣとＭｎを含有したＡｌ合金等を用いることができる。また、積層構造で設ける場合、ＡｌをＭｏまたはＴｉなどで挟み込んだ構造とすることができる。こうすることで、Ａｌの熱や化学反応に対する耐性を向上することができる。
【０７２２】
次に、図８５（Ａ）に示した、複数の異なる構造を有するＴＦＴの断面図を参照して、各々の構造の特徴について説明する。
【０７２３】
８５０１は、シングルドレインＴＦＴであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体膜８５１３、８５１５は、それぞれ不純物の濃度が異なり、半導体膜８５１３はチャネル領域、半導体膜８５１５はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体膜の抵抗率を制御できる。また、半導体膜と導電膜８５２３との電気的な接続状態を、オーミック接続に近づけることができる。なお、不純物の量の異なる半導体膜を作り分ける方法としては、ゲート電極８５１７をマスクとして半導体膜に不純物をドーピングする方法を用いることができる。
【０７２４】
８５０２は、ゲート電極８５１７に一定以上のテーパー角を有するＴＦＴであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体膜８５１３、８５１４、８５１５は、それぞれ不純物濃度が異なり、半導体膜８５１３はチャネル領域、半導体膜８５１４は低濃度ドレイン（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ：ＬＤＤ）領域、半導体膜８５１５はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体膜の抵抗率を制御できる。また、半導体膜と導電膜８５２３との電気的な接続状態を、オーミック接続に近づけることができる。また、ＬＤＤ領域を有するため、ＴＦＴ内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる半導体膜を作り分ける方法としては、ゲート電極８５１７をマスクとして半導体膜に不純物をドーピングする方法を用いることができる。ＴＦＴ８５０２においては、ゲート電極８５１７が一定以上のテーパー角を有しているため、ゲート電極８５１７を通過して半導体膜にドーピングされる不純物の濃度に勾配を持たせることができ、簡便にＬＤＤ領域を形成することができる。
【０７２５】
８５０３は、ゲート電極８５１７が少なくとも２層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有するＴＦＴである。ゲート電極８５１７がこのような形状であることによって、フォトマスクを追加することなく、ＬＤＤ領域を形成することができる。なお、ＴＦＴ８５０３のように、ＬＤＤ領域がゲート電極８５１７と重なっている構造を、特にＧＯＬＤ構造（Ｇａｔｅ　Ｏｖｅｒｌａｐｐｅｄ　ＬＤＤ）と呼ぶ。なお、ゲート電極８５１７の形状をこのような形状とする方法としては、次のような方法を用いてもよい。まず、ゲート電極８５１７をパターニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜（テーパー）のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、下層のゲート電極が上層のゲート電極よりも長い形状のゲート電極が形成される。その後、２回、不純物元素をドーピングすることによって、チャネル領域として用いる半導体膜８５１３、ＬＤＤ領域として用いる半導体膜８５１４、ソース端子及びドレイン端子として用いる半導体膜８５１５が形成される。

【０７２６】
なお、ゲート電極８５１７と重なっているＬＤＤ領域をＬｏｖ領域、ゲート電極８５１７と重なっていないＬＤＤ領域をＬｏｆｆ領域と呼ぶことにする。ここで、Ｌｏｆｆ領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Ｌｏｖ領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造のＴＦＴを作製することが好ましい。たとえば、本発明における半導体装置を表示装置として用いる場合、画素ＴＦＴは、オフ電流値を抑えるために、Ｌｏｆｆ領域を有するＴＦＴを用いることが好適である。一方、周辺回路におけるＴＦＴは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、Ｌｏｖ領域を有するＴＦＴを用いることが好適である。
【０７２７】
８５０４は、ゲート電極８５１７の側面に接して、サイドウォール８５２１を有するＴＦＴである。サイドウォール８５２１を有することによって、サイドウォール８５２１と重なる領域をＬＤＤ領域とすることができる。
【０７２８】
８５０５は、半導体膜にマスクを用いてドーピングすることにより、ＬＤＤ（Ｌｏｆｆ）領域を形成したＴＦＴである。こうすることにより、確実にＬＤＤ領域を形成することができ、ＴＦＴのオフ電流値を低減することができる。
【０７２９】
８５０６は、半導体膜にマスクを用いてドーピングすることにより、ＬＤＤ（Ｌｏｖ）領域を形成したＴＦＴである。こうすることにより、確実にＬＤＤ領域を形成することができ、ＴＦＴのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。
【０７３０】
次に、図８５（Ｂ）乃至（Ｇ）を参照して、本発明を適用できる半導体装置が有することのできるＴＦＴの製造プロセスの例を説明する。なお、本発明を適用できる半導体装置が有することのできるＴＦＴの構造および製造プロセスは、図８５に示すものに限定されず、様々な構造および製造プロセスを用いることができる。
【０７３１】
本発明においては、基板８５１１、絶縁膜８５１２、半導体膜８５１３、８５１４、８５１５、絶縁膜８５１６、絶縁膜８５１８、または絶縁膜８５１９の表面に、プラズマ処理を用いて酸化または窒化を行うことにより、半導体膜または絶縁膜を酸化または窒化することができる。このように、プラズマ処理を用いて半導体膜または絶縁膜を酸化または窒化することによって、当該半導体膜または絶縁膜の表面を改質し、ＣＶＤ法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。
【０７３２】
まず、基板８５１１の表面をフッ酸（ＨＦ）、アルカリまたは純水を用いて洗浄する。基板８５１１は、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。なお、ここでは基板８５１１としてガラス基板を用いる場合を示す。
【０７３３】
ここで、基板８５１１の表面にプラズマ処理を行うことで、基板８５１１の表面を酸化または窒化することによって、基板８５１１の表面に酸化膜または窒化膜を形成してもよい（図８５（Ｂ））。表面にプラズマ処理を行うことで形成された酸化膜または窒化膜などの絶縁膜を、以下では、プラズマ処理絶縁膜とも記す。図８５（Ｂ）においては、絶縁膜８５３１がプラズマ処理絶縁膜である。一般的に、ガラスやプラスチック等の基板上に薄

膜トランジスタ等の半導体素子を設ける場合、ガラスやプラスチック等に含まれるＮａなどのアルカリ金属やアルカリ土類金属等の不純物元素が半導体素子に混入して汚染することによって、半導体素子の特性に影響を及ぼす恐れがある。しかし、ガラスやプラスチック等からなる基板の表面を窒化することにより、基板に含まれるＮａなどのアルカリ金属やアルカリ土類金属等の不純物元素が半導体素子に混入するのを防止することができる。

【０７３４】

なお、プラズマ処理により表面を酸化する場合には、酸素雰囲気下（例えば、酸素（O_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下または酸素と水素（H_2）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により表面を窒化する場合には、窒素雰囲気下（例えば、窒素（N_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下または窒素と水素と希ガス雰囲気下またはNH_3と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばＡｒを用いることができる。また、ＡｒとＫｒを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。たとえば、Ａｒを用いた場合にはプラズマ処理絶縁膜にＡｒが含まれている。

【０７３５】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が$1\times10^{11}cm^{-3}$以上$1\times10^{13}cm^{-3}$以下であり、プラズマの電子温度が０．５ｅｖ以上１．５ｅＶ以下で行うことが好適である。プラズマの電子密度が高密度であり、被処理物付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が$1\times10^{11}cm^{-3}$以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することよって形成される酸化膜または窒化膜は、ＣＶＤ法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が１ｅＶ以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも１００度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（２．４５ＧＨｚ）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【０７３６】

なお、図８５（Ｂ）においては、基板８５１１の表面をプラズマ処理することによってプラズマ処理絶縁膜を形成する場合を示しているが、本発明は、基板８５１１の表面にプラズマ処理絶縁膜を形成しない場合も含む。

【０７３７】

なお、図８５（Ｃ）乃至（Ｇ）においては、被処理物の表面をプラズマ処理することによって形成されるプラズマ処理絶縁膜を図示しないが、本発明においては、基板８５１１、絶縁膜８５１２、半導体膜８５１３、８５１４、８５１５、絶縁膜８５１６、絶縁膜８５１８、または絶縁膜８５１９の表面に、プラズマ処理を行なうことによって形成されるプラズマ処理絶縁膜が存在する場合も含む。

【０７３８】

次に、基板８５１１上に公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いて絶縁膜８５１２を形成する（図８５（Ｃ））。絶縁膜８５１２としては、酸化珪素または酸化窒化珪素を用いることができる。

【０７３９】

ここで、絶縁膜８５１２の表面にプラズマ処理を行い、絶縁膜８５１２を酸化または窒化することによって、絶縁膜８５１２の表面にプラズマ処理絶縁膜を形成してもよい。絶縁膜８５１２の表面を酸化することによって、絶縁膜８５１２の表面を改質しピンホール等の欠陥の少ない緻密な膜を得ることができる。また、絶縁膜８５１２の表面を酸化することによって、Ｎ原子の含有率が低いプラズマ処理絶縁膜を形成することができるため、プ

ラズマ処理絶縁膜に半導体膜を設けた場合にプラズマ処理絶縁膜と半導体膜界面特性が向上する。また、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

【０７４０】

次に、絶縁膜８５１２上に島状の半導体膜８５１３、８５１４を形成する（図８５（Ｄ））。島状の半導体膜８５１３、８５１４は、絶縁膜８５１２上に公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いてシリコン（Ｓｉ）を主成分とする材料（例えばSi_xGe_{1-x}等）等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、ＲＴＡ又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の公知の結晶化法により行うことができる。なお、ここでは、島状の半導体膜の端部を直角に近い形状（θ＝８５～１００°）で設ける。また、低濃度ドレイン領域となる半導体膜８５１４は、マスクを用いて不純物をドーピングすることによって形成されてもよい。

【０７４１】

ここで、半導体膜８５１３、８５１４の表面にプラズマ処理を行い、半導体膜８５１３、８５１４の表面を酸化または窒化することによって、半導体膜８５１３、８５１４の表面にプラズマ処理絶縁膜を形成してもよい。例えば、半導体膜８５１３、８５１４としてＳｉを用いた場合、プラズマ処理絶縁膜として、酸化珪素または窒化珪素が形成される。また、プラズマ処理により半導体膜８５１３、８５１４を酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜８５１３、８５１４に接して酸化珪素が形成され、当該酸化珪素の表面に窒化酸化珪素が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素雰囲気下（例えば、酸素（O_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下または酸素と水素（H_2）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下（例えば、窒素（N_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下または窒素と水素と希ガス雰囲気下またはNH_3と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばＡｒを用いることができる。また、ＡｒとＫｒを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。たとえば、Ａｒを用いた場合にはプラズマ処理絶縁膜にＡｒが含まれている。

【０７４２】

次に、絶縁膜８５１６を形成する（図８５（Ｅ））。絶縁膜８５１６は、公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いて、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素（ｘ＞ｙ）等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。なお、半導体膜８５１３、８５１４の表面をプラズマ処理することにより、半導体膜８５１３、８５１４の表面にプラズマ処理絶縁膜を形成した場合には、プラズマ処理絶縁膜を絶縁膜８５１６として用いることも可能である。

【０７４３】

ここで、絶縁膜８５１６の表面にプラズマ処理を行い、絶縁膜８５１６の表面を酸化または窒化することによって、絶縁膜８５１６の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

【０７４４】

また、一旦酸素雰囲気下でプラズマ処理を行うことにより絶縁膜８５１６を酸化させた後

に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。このように、絶縁膜８５１６にプラズマ処理を行い、絶縁膜８５１６の表面を酸化または窒化することによって、絶縁膜８５１６の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、ＣＶＤ法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、薄膜トランジスタの特性を向上させることができる。

【０７４５】

次に、ゲート電極８５１７を形成する（図８５（Ｆ））。ゲート電極８５１７は、公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いて形成することができる。

【０７４６】

ＴＦＴ８５０１においては、ゲート電極８５１７を形成した後に不純物ドーピングを行なうことで、ソース領域及びドレイン領域として用いる半導体膜８５１５を形成することができる。

【０７４７】

ＴＦＴ８５０２においては、ゲート電極８５１７を形成した後に不純物ドーピングを行なうことで、ＬＤＤ領域として用いる８５１４と、ソース領域及びドレイン領域として用いる半導体膜８５１５を形成することができる。

【０７４８】

ＴＦＴ８５０３においては、ゲート電極８５１７を形成した後に不純物ドーピングを行なうことで、ＬＤＤ領域として用いる８５１４と、ソース領域及びドレイン領域として用いる半導体膜８５１５を形成することができる。

【０７４９】

ＴＦＴ８５０４においては、ゲート電極８５１７の側面にサイドウォール８５２１を形成した後、不純物ドーピングを行なうことで、ＬＤＤ領域として用いる８５１４と、ソース領域及びドレイン領域として用いる半導体膜８５１５を形成することができる。

なお、サイドウォール８５２１は、酸化珪素または窒化珪素を用いることができる。サイドウォール８５２１をゲート電極８５１７の側面に形成する方法としては、たとえば、ゲート電極８５１７を形成した後に、酸化珪素または窒化珪素を公知の方法で成膜した後に、異方性エッチングによって酸化珪素膜または窒化珪素膜をエッチングする方法を用いることができる。こうすることで、ゲート電極８５１７の側面にのみ酸化珪素または窒化珪素膜を残すことができるので、ゲート電極８５１７の側面にサイドウォール８５２１を形成することができる。

【０７５０】

ＴＦＴ８５０５においては、ゲート電極８５１７を覆うようにマスク８５２２を形成した後、不純物ドーピングを行なうことで、ＬＤＤ（Ｌｏｆｆ）領域として用いる８５１４と、ソース領域及びドレイン領域として用いる半導体膜８５１５を形成することができる。

【０７５１】

ＴＦＴ８５０６においては、ゲート電極８５１７を形成した後に不純物ドーピングを行なうことで、ＬＤＤ（Ｌｏｖ）領域として用いる８５１４と、ソース領域及びドレイン領域として用いる半導体膜８５１５を形成することができる。

【０７５２】

次に、絶縁膜８５１８を形成する（図８５（Ｇ））。絶縁膜８５１８は、公知の手段（スパッタ法やプラズマＣＶＤ法等）により、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、またはこれらの積層構造で設けることができる。

【０７５３】

ここで、絶縁膜８５１８の表面にプラズマ処理を行い、絶縁膜８５１８の表面を酸化または窒化することによって、絶縁膜８５１８の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ

、Ｘｅの少なくとも一つを含む）を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

【０７５４】

次に、絶縁膜８５１９を形成する。絶縁膜８５１９は、公知の手段（スパッタ法やプラズマＣＶＤ法等）により、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜を用いることができる他に、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂の単層構造、またはこれらの積層構造で設けることができる。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、プラズマ処理絶縁膜には、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）が含まれており、例えばＡｒを用いた場合にはプラズマ処理絶縁膜中にＡｒが含まれている。

【０７５５】

絶縁膜８５１９としてポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂等を用いた場合、絶縁膜８５１９の表面をプラズマ処理により酸化または窒化することにより、当該絶縁膜の表面を改質することができる。表面を改質することによって、絶縁膜８５１９の強度が向上し開口部形成時等におけるクラックの発生やエッチング時の膜減り等の物理的ダメージを低減することが可能となる。また、絶縁膜８５１９の表面が改質されることによって、絶縁膜８５１９上に導電膜８５２３を形成する場合に導電膜との密着性が向上する。例えば、絶縁膜８５１９としてシロキサン樹脂を用いてプラズマ処理を用いて窒化を行った場合、シロキサン樹脂の表面が窒化されることにより窒素または希ガスを含むプラズマ処理絶縁膜が形成され、物理的強度が向上する。

【０７５６】

次に、半導体膜８５１５と電気的に接続された導電膜８５２３を形成するため、絶縁膜８５１９、絶縁膜８５１８、絶縁膜８５１６にコンタクトホールを形成する。なお、コンタクトホールの形状はテーパー状であってもよい。こうすることで、導電膜８５２３のカバレッジを向上させることができる。

【０７５７】

なお、本実施の形態で示した半導体装置の作製方法は、本明細書中の他の実施の形態に示した表示装置の作製方法にも適用させることができる。また、本実施の形態で示した半導体装置の作製方法も自由に組み合わせて実施することができる。

【０７５８】

（実施の形態１６）

本実施の形態では、トランジスタを始めとする半導体装置を作製するプロセスとして、ハーフトーン方式について説明する。

【０７５９】

図１０４はトランジスタ、容量素子、抵抗素子を含む半導体装置の断面構造を示す図である。図１０４は、Ｎチャネル型トランジスタ１０４０１、Ｎチャネル型トランジスタ１０４０２、容量素子１０４０４、抵抗素子１０４０５、Ｐチャネル型トランジスタ１０４０３が示されている。各トランジスタは半導体層１０５０５、絶縁層１０５０８、ゲート電極１０５０９を備えている。ゲート電極１０５０９は、第１導電層１０５０３と第２導電層１０５０２の積層構造で形成されている。また、図１０５（Ａ）～（Ｅ）は、図１０４で示すトランジスタ、容量素子、抵抗素子に対応する上面図であり、合わせて参照することができる。

【０７６０】

図１０４において、Ｎチャネル型トランジスタ１０４０１は、チャネル長方向（キャリアの流れる方向）において、ゲート電極の両側に低濃度ドレイン（ＬＤＤ）とも呼ばれ、配線１０５０４とコンタクトを形成するソース領域及びドレイン領域を形成する不純物領域１０５０６の不純物濃度よりも低濃度にドープされた不純物領域１０５０７が半導体層１０５０５に形成されている。不純物領域１０５０６と不純物領域１０５０７には、Ｎチャネル型トランジスタ１０４０１を構成する場合、Ｎ型を付与する不純物としてリンなどが添加されている。ＬＤＤはホットエレクトロン劣化や短チャネル効果を抑制する手段として形成される。

【０７６１】

図１０５（Ａ）で示すように、Ｎチャネル型トランジスタ１０４０１のゲート電極１０５０９において、第１導電層１０５０３は、第２導電層１０５０２の両側に広がって形成されている。この場合において、第１導電層１０５０３の膜厚は、第２導電層１０５０２の膜厚よりも薄く形成されている。第１導電層１０５０３の厚さは、１０～１００ｋＶの電界で加速されたイオン種を通過させることが可能な厚さに形成されている。不純物領域１０５０７はゲート電極１０５０９の第１導電層１０５０３と重なるように形成されている。すなわち、ゲート電極１０５０９とオーバーラップするＬＤＤ領域を形成している。この構造は、ゲート電極１０５０９において、第２導電層１０５０２をマスクとして、第１導電層１０５０３を通して一導電型の不純物を添加することにより、自己整合的に不純物領域１０５０７を形成している。すなわち、ゲート電極とオーバーラップするＬＤＤを自己整合的に形成している。

【０７６２】

図１０４において、Ｎチャネル型トランジスタ１０４０２は、ゲート電極の片側に不純物領域１０５０６の不純物濃度よりも低濃度にドープされた不純物領域１０５０７が半導体層１０５０５に形成されている。図１０５（Ｂ）で示すように、Ｎチャネル型トランジスタ１０４０２のゲート電極１０５０９において、第１導電層１０５０３は、第２導電層１０５０２の片側に広がって形成されている。この場合も同様に、第２導電層１０５０２をマスクとして、第１導電層１０５０３を通して一導電型の不純物を添加することにより、自己整合的にＬＤＤを形成することができる。

【０７６３】

片側にＬＤＤを有するトランジスタは、ソース端子及びドレイン端子間に正電圧のみ、もしくは負電圧のみが印加されるトランジスタに適用すればよい。具体的には、インバータ回路、ＮＡＮＤ回路、ＮＯＲ回路、ラッチ回路といった論理ゲートを構成するトランジスタや、センスアンプ、定電圧発生回路、ＶＣＯといったアナログ回路を構成するトランジスタに適用すればよい。

【０７６４】

図１０４において、容量素子１０４０４は、第１導電層１０５０３と半導体層１０５０５とで絶縁層１０５０８を挟んで形成されている。容量素子１０４０４を形成する半導体層１０５０５には、不純物領域１０５１０と不純物領域１０５１１を備えている。不純物領域１０５１１は、半導体層１０５０５において第１導電層１０５０３と重なる位置に形成される。また、不純物領域１０５１０は配線１０５０４とコンタクトを形成する。不純物領域１０５１１は、第１導電層１０５０３を通して一導電型の不純物を添加することができるので、不純物領域１０５１０と不純物領域１０５１１に含まれる不純物濃度は同じにすることもできるし、異ならせることも可能である。いずれにしても、容量素子１０４０４において、半導体層１０５０５は電極として機能させるので、一導電型の不純物を添加して低抵抗化しておくことが好ましい。また、第１導電層１０５０３は、図１０５（Ｃ）に示すように、第２導電層１０５０２を補助的な電極として利用することにより、電極として十分に機能させることができる。このように、第１導電層１０５０３と第２導電層１０５０２を組み合わせた複合的な電極構造とすることにより、容量素子１０４０４を自己整合的に形成することができる。

【０７６５】

図１０４において、抵抗素子１０４０５は、第１導電層１０５０３によって形成されている。第１導電層１０５０３は３０～１５０ｎｍ程度の厚さに形成されるので、その幅や長さを適宜設定して抵抗素子を構成することができる。

【０７６６】

抵抗素子は、高濃度に不純物元素を含む半導体層や、膜厚の薄い金属層によって構成すればよい。抵抗値が膜厚、膜質、不純物濃度、活性化率などに依存する半導体層に対して、金属層は、膜厚、膜質で抵抗値が決定するため、ばらつきが小さく好ましい。抵抗素子１０４０５の上面図を図１０５（Ｄ）に示す。

【０７６７】

図１０４において、Ｐチャネル型トランジスタ１０４０３は、半導体層１０５０５に不純物領域１０５１２を備えている。この不純物領域１０５１２は、配線１０５０４とコンタクトを形成するソース領域及びドレイン領域を形成する。ゲート電極１０５０９の構成は第１導電層１０５０３と第２導電層１０５０２が重畳した構成となっている。Ｐチャネル型トランジスタ１０４０３はＬＤＤを設けないシングルドレイン構造のトランジスタである。Ｐチャネル型トランジスタ１０４０３を形成する場合、不純物領域１０５１２にはＰ型を付与する不純物として硼素などが添加される。一方、不純物領域１０５１２にリンを添加すればシングルドレイン構造のＮチャネル型トランジスタとすることもできる。Ｐチャネル型トランジスタ１０４０３の上面図を図１０５（Ｅ）に示す。

【０７６８】

半導体層１０５０５及び絶縁層１０５０８の一方若しくは双方に対してマイクロ波で励起され、電子温度が２ｅＶ以下、イオンエネルギーが５ｅＶ以下、電子密度が10^{11}～10^{13}／ｃｍ^{3}程度である高密度プラズマ処理によって酸化又は窒化処理してもよい。このとき、基板温度を３００～４５０℃とし、酸化雰囲気（O_2、N_2Oなど）又は窒化雰囲気（N_2、NH_3など）で処理することにより、半導体層１０５０５と絶縁層１０５０８の界面の欠陥準位を低減することができる。絶縁層１０５０８に対してこの処理を行うことにより、この絶縁層の緻密化を図ることができる。すなわち、荷電欠陥の生成を抑えトランジスタのしきい値電圧の変動を抑えることができる。また、トランジスタを３Ｖ以下の電圧で駆動させる場合には、このプラズマ処理により酸化若しくは窒化された層を絶縁層１０５０８として適用することができる。また、トランジスタの駆動電圧が３Ｖ以上の場合には、このプラズマ処理で半導体層１０５０５の表面に形成した絶縁層とＣＶＤ法（プラズマＣＶＤ法若しくは熱ＣＶＤ法）で堆積した絶縁層とを組み合わせて絶縁層１０５０８を形成することができる。また、同様にこの絶縁層は、容量素子１０４０４の誘電体層としても利用することができる。この場合、このプラズマ処理で形成された絶縁層は、１～１０ｎｍの厚さで形成され、緻密な膜であるので、大きな電荷容量を持つ容量素子を形成することができる。

【０７６９】

図１０４及び図１０５を参照して説明したように、膜厚の異なる導電層を組み合わせることにより、さまざまな構成の素子を形成することができる。第１導電層のみが形成される領域と、第１導電層と第２導電層が積層されている領域は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて形成することができる。すなわち、フォトリソグラフィー工程において、フォトレジストを露光する際に、フォトマスクの透過光量を調節して、現像されるレジストマスクの厚さを異ならせる。この場合、フォトマスクまたはレチクルに解像度限界以下のスリットを設けて上記複雑な形状を有するレジストを形成してもよい。また、現像後に約２００℃のベークを行ってフォトレジスト材料で形成されるマスクパターンを変形させてもよい。

【０７７０】

また、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いることにより、第１導電層のみが形成される領域と、第１導電層と第２導電層が積層されている領域を連続して形成することができる。

図１０５（Ａ）に示すように、第１導電層のみが形成される領域を半導体層上に選択的に形成することができる。このような領域は、半導体層上において有効であるが、それ以外の領域（ゲート電極と連続する配線領域）では必要がない。このフォトマスク若しくはレチクルを用いることにより、配線部分は、第１導電層のみの領域を作らないで済むので、配線密度を実質的に高めることができる。

【０７７１】

図１０４及び図１０５の場合には、第１導電層はタングステン（Ｗ）、クロム（Ｃｒ）、タンタル（Ｔａ）、窒化タンタルまたはモリブデン（Ｍｏ）などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物を３０～５０ｎｍの厚さで形成する。また、第２導電層はタングステン（Ｗ）、クロム（Ｃｒ）、タンタル（Ｔａ）、窒化タンタルまたはモリブデン（Ｍｏ）などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物で３００～６００ｎｍの厚さに形成する。例えば、第１導電層と第２導電層をそれぞれ異なる導電材料を用い、後に行うエッチング工程でエッチングレートの差が生じるようにする。一例として、第１導電層として窒化タンタル膜を用い、第２導電層としてタングステン膜を用いることができる。

【０７７２】

本実施の形態では、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて、電極構造の異なるトランジスタ、容量素子、抵抗素子を、同じパターニング工程によって作り分けることができることを示している。これにより、回路の特性に応じて、形態の異なる素子を、工程を増やすことなく作り込み、集積化することができる。

【０７７３】

なお、本実施の形態で示した半導体装置の作製方法は、本明細書中の他の実施の形態に示した表示装置の作製方法にも適用させることができる。また、本実施の形態で示した半導体装置の作製方法も自由に組み合わせて実施することができる。

【０７７４】

（実施の形態１７）

本実施の形態では、本発明の表示装置に発光素子を設けた場合に適用することのできる他の構成を、図８６及び図１０２を用いて説明する。

【０７７５】

エレクトロルミネセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機ＥＬ素子、後者は無機ＥＬ素子と呼ばれている。

【０７７６】

無機ＥＬ素子は、その素子構成により、分散型無機ＥＬ素子と薄膜型無機ＥＬ素子とに分類される。前者は、発光材料の粒子をバインダ中に分散させた電界発光層を有し、後者は、発光材料の薄膜からなる電界発光層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。なお、得られる発光のメカニズムとしては、ドナー準位とアクセプター準位を利用するドナー－アクセプター再結合型発光と、金属イオンの内殻電子遷移を利用する局在型発光とがある。一般的に、分散型無機ＥＬではドナー－アクセプター再結合型発光、薄膜型無機ＥＬ素子では局在型発光である場合が多い。

【０７７７】

本発明で用いることのできる発光材料は、母体材料と発光中心となる不純物元素とで構成される。含有させる不純物元素を変化させることで、様々な色の発光を得ることができる。発光材料の作製方法としては、固相法や液相法（共沈法）などの様々な方法を用いることができる。また、噴霧熱分解法、複分解法、プレカーサーの熱分解反応による方法、逆ミセル法やこれらの方法と高温焼成を組み合わせた方法、凍結乾燥法などの液相法なども用いることができる。

【０７７８】

固相法は、母体材料と、不純物元素又は不純物元素を含む化合物を秤量し、乳鉢で混合、

電気炉で加熱、焼成を行い反応させ、母体材料に不純物元素を含有させる方法である。焼成温度は、７００～１５００℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。固相法では、液相法などの他の方法と比べて比較的高温での焼成を必要とするが、簡単な方法であるため、生産性がよく大量生産に適している。

【０７７９】

液相法（共沈法）は、母体材料又は母体材料を含む化合物と、不純物元素又は不純物元素を含む化合物を溶液中で反応させ、乾燥させた後、焼成を行う方法である。発光材料の粒子が均一に分布し、粒径が小さく、固相法の焼成温度よりも低い焼成温度でも反応が進むことができる。

【０７８０】

発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛、硫化カドミウム、硫化カルシウム、硫化イットリウム、硫化ガリウム、硫化ストロンチウム、硫化バリウム等を用いることができる。また、酸化物としては、例えば、酸化亜鉛、酸化イットリウム等を用いることができる。また、窒化物としては、例えば、窒化アルミニウム、窒化ガリウム、窒化インジウム等を用いることができる。さらに、セレン化亜鉛、テルル化亜鉛等も用いることができ、硫化カルシウム－ガリウム、硫化ストロンチウム－ガリウム、硫化バリウム－ガリウム、等の３元系の混晶であってもよい。

【０７８１】

局在型発光の発光中心として、マンガン（Ｍｎ）、銅（Ｃｕ）、サマリウム（Ｓｍ）、テルビウム（Ｔｂ）、エルビウム（Ｅｒ）、ツリウム（Ｔｍ）、ユーロピウム（Ｅｕ）、セリウム（Ｃｅ）、プラセオジウム（Ｐｒ）などを用いることができる。なお、電荷補償として、フッ素（Ｆ）、塩素（Ｃｌ）などのハロゲン元素が添加されていてもよい。

【０７８２】

一方、ドナー－アクセプター再結合型発光の発光中心として、ドナー準位を形成する第１の不純物元素及びアクセプター準位を形成する第２の不純物元素を含む発光材料を用いることができる。第１の不純物元素は、例えば、フッ素（Ｆ）、塩素（Ｃｌ）、アルミニウム（Ａｌ）等を用いることができる。第２の不純物元素としては、例えば、銅（Ｃｕ）、銀（Ａｇ）等を用いることができる。

【０７８３】

ドナー－アクセプター再結合型発光の発光材料を固相法を用いて合成する場合、母体材料と、第１の不純物元素又は第１の不純物元素を含む化合物と、第２の不純物元素又は第２の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。母体材料としては、上述した母体材料を用いることができ、第１の不純物元素又は第１の不純物元素を含む化合物としては、例えば、フッ素（Ｆ）、塩素（Ｃｌ）、硫化アルミニウム等を用いることができ、第２の不純物元素又は第２の不純物元素を含む化合物としては、例えば、銅（Ｃｕ）、銀（Ａｇ）、硫化銅、硫化銀等を用いることができる。焼成温度は、７００～１５００℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。

【０７８４】

また、固相反応を利用する場合の不純物元素として、第１の不純物元素と第２の不純物元素で構成される化合物を組み合わせて用いてもよい。この場合、不純物元素が拡散されやすく、固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに、余分な不純物元素が入らないため、純度の高い発光材料が得ることができる。第１の不純物元素と第２の不純物元素で構成される化合物としては、例えば、塩化銅、塩化銀等を用いることができる。

【０７８５】

なお、これらの不純物元素の濃度は、母体材料に対して０．０１～１０ａｔｏｍ％であればよく、好ましくは０．０５～５ａｔｏｍ％の範囲である。

【０７８６】

薄膜型無機ＥＬの場合、電界発光層は、上記発光材料を含む層であり、抵抗加熱蒸着法、電子ビーム蒸着（ＥＢ蒸着）法等の真空蒸着法、スパッタリング法等の物理気相成長法（ＰＶＤ）、有機金属ＣＶＤ法、ハイドライド輸送減圧ＣＶＤ法等の化学気相成長法（ＣＶＤ）、原子層エピタキシ法（ＡＬＥ）等を用いて形成することができる。

【０７８７】

図８６（Ａ）乃至（Ｃ）に発光素子として用いることのできる薄膜型無機ＥＬ素子の一例を示す。図８６（Ａ）乃至（Ｃ）において、発光素子は、第１の電極層８６００、電界発光層８６０２、第２の電極層８６０３を含む。

【０７８８】

図８６（Ｂ）及び図８６（Ｃ）に示す発光素子は、図８６（Ａ）の発光素子において、電極層と電界発光層間に絶縁層を設ける構造である。図８６（Ｂ）に示す発光素子は、第１の電極層８６００と電界発光層８６０２との間に絶縁層８６０４を有し、図８６（Ｃ）に示す発光素子は、第１の電極層８６００と電界発光層８６０２との間に絶縁層８６０４ａ、第２の電極層８６０３と電界発光層８６０２との間に絶縁層８６０４ｂとを有している。このように絶縁層は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層からなる積層でもよい。

【０７８９】

また、図８６（Ｂ）では第１の電極層８６００に接するように絶縁層８６０４が設けられているが、絶縁層と電界発光層の順番を逆にして、第２の電極層８６０３に接するように絶縁層８６０４を設けてもよい。

【０７９０】

分散型無機ＥＬの場合、粒子状の発光材料をバインダ中に分散させ膜状の電界発光層を形成する。発光材料の作製方法によって、十分に所望の大きさの粒子が得られない場合は、乳鉢等で粉砕などによって粒子状に加工すればよい。バインダとは、粒状の発光材料を分散した状態で固定し、電界発光層としての形状に保持するための物質である。発光材料は、バインダによって電界発光層中に均一に分散し固定される。

【０７９１】

分散型無機ＥＬの場合、電界発光層の形成方法は、選択的に電界発光層を形成できる液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷など）、スピンコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。膜厚は特に限定されることはないが、好ましくは、１０～１０００ｎｍの範囲である。また、発光材料及びバインダを含む電界発光層において、発光材料の割合は５０ｗｔ％以上８０ｗｔ％以下とするよい。

【０７９２】

図１０２（Ａ）乃至（Ｃ）に発光素子として用いることのできる分散型無機ＥＬ素子の一例を示す。図１０２（Ａ）における発光素子は、第１の電極層１０２００、電界発光層１０２０２、第２の電極層１０２０３の積層構造を有し、電界発光層１０２０２中にバインダによって保持された発光材料１０２０１を含む。

【０７９３】

本実施の形態に用いることのできるバインダとしては、有機材料や無機材料を用いることができ、有機材料及び無機材料の混合材料を用いてもよい。有機材料としては、シアノエチルセルロース系樹脂のように、比較的誘電率の高いポリマーや、ポリエチレン、ポリプロピレン、ポリスチレン系樹脂、シリコーン樹脂、エポキシ樹脂、フッ化ビニリデンなどの樹脂を用いることができる。また、芳香族ポリアミド、ポリベンゾイミダゾール（ｐｏｌｙｂｅｎｚｉｍｉｄａｚｏｌｅ）などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサ

ンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、オキサゾール樹脂（ポリベンゾオキサゾール）等の樹脂材料を用いてもよい。これらの樹脂に、チタン酸バリウムやチタン酸ストロンチウムなどの高誘電率の微粒子を適度に混合して誘電率を調整することもできる。

【０７９４】

バインダに含まれる無機材料としては、酸化珪素、窒化珪素、酸素及び窒素を含む珪素、窒化アルミニウム、酸素及び窒素を含むアルミニウムまたは酸化アルミニウム、酸化チタン、チタン酸バリウム、チタン酸ストロンチウム、チタン酸鉛、ニオブ酸カリウム、ニオブ酸鉛、酸化タンタル、タンタル酸バリウム、タンタル酸リチウム、酸化イットリウム、酸化ジルコニウム、硫化亜鉛その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。有機材料に、誘電率の高い無機材料を含ませる（添加等によって）ことによって、発光材料及びバインダよりなる電界発光層の誘電率をより制御することができ、より誘電率を大きくすることができる。

【０７９５】

作製工程において、発光材料はバインダを含む溶液中に分散されるが本実施の形態に用いることのできるバインダを含む溶液の溶媒としては、バインダ材料が溶解し、電界発光層を形成する方法（各種ウエットプロセス）及び所望の膜厚に適した粘度の溶液を作製できるような溶媒を適宜選択すればよい。有機溶媒等を用いることができ、例えばバインダとしてシロキサン樹脂を用いる場合は、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテート（ＰＧＭＥＡともいう）、３－メトシキ－３メチル－１－ブタノール（ＭＭＢともいう）などを用いることができる。

【０７９６】

図１０２（Ｂ）及び図１０２（Ｃ）に示す発光素子は、図１０２（Ａ）の発光素子において、電極層と電界発光層間に絶縁層を設ける構造である。図１０２（Ｂ）に示す発光素子は、第１の電極層１０２００と電界発光層１０２０２との間に絶縁層１０２０４を有し、図１０２（Ｃ）に示す発光素子は、第１の電極層１０２００と電界発光層１０２０２との間に絶縁層１０２０４ａ、第２の電極層１０２０３と電界発光層１０２０２との間に絶縁層１０２０４ｂとを有している。このように絶縁層は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層からなる積層でもよい。

【０７９７】

また、図１０２（Ｂ）では第１の電極層１０２００に接するように絶縁層１０２０４が設けられているが、絶縁層と電界発光層の順番を逆にして、第２の電極層１０２０３に接するように絶縁層１０２０４を設けてもよい。

【０７９８】

図８６における絶縁層８６０４、図１０２における絶縁層１０２０４のような絶縁層は、特に限定されることはないが、絶縁耐圧が高く、緻密な膜質であることが好ましく、さらには、誘電率が高いことが好ましい。例えば、酸化シリコン、酸化イットリウム、酸化チタン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、チタン酸バリウム、チタン酸ストロンチウム、チタン酸鉛、窒化シリコン、酸化ジルコニウム等やこれらの混合膜又は２種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、ＣＶＤ等により成膜することができる。また、絶縁層はこれら絶縁材料の粒子をバインダ中に分散して成膜してもよい。バインダ材料は、電界発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは１０～１０００ｎｍの範囲である。

【０７９９】

本実施の形態で示す発光素子は、電界発光層を挟持する一対の電極層間に電圧を印加することで発光が得られるが、直流駆動又は交流駆動のいずれにおいても動作することができる。

【０８００】

なお、本実施の形態で示した表示装置は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示装置の構成も自由に組み合わせて実施することができる。

【０８０１】

（実施の形態１８）

図８７は表示パネル８７０１と、回路基板８７０２を組み合わせた表示モジュールを示している。回路基板８７０２には、例えば、コントロール回路８７０３や信号分割回路８７０４などが形成されている。また、表示パネル８７０１と回路基板８７０２とは、接続配線８７０８を介して接続されている。

【０８０２】

この表示パネル８７０１は、表示素子が各画素に設けられた画素部８７０５と、走査線駆動回路８７０６、選択された画素にビデオ信号を供給する信号線駆動回路８７０７を有している。画素は、実施の形態９及び実施の形態１０と同様である。走査線駆動回路８７０６は、実施の形態１乃至実施の形態８と同様である。信号線駆動回路８７０７は、実施の形態１１と同様である。

【０８０３】

ただし、すでに述べたように、信号線駆動回路８７０７は必ずしも必要ではなく、回路基板８７０２から接続配線８７０８を介して選択された画素にビデオ信号を供給してもよい。また、走査線駆動回路８７０６は画素部８７０５の両側に配置されていてもよい。

【０８０４】

この表示モジュールにより液晶テレビ受像機又はＥＬテレビ受信機を完成させることができる。図８８は、テレビ受像機の主要な構成を示すブロック図である。チューナ８８０１は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路８８０２と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路８８０３と、その映像信号をドライバＩＣの入力仕様に変換するためのコントロール回路８８０４により処理される。コントロール回路８８０４は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路８８０５を設け、入力デジタル信号をｍ個に分割して供給する構成としても良い。

【０８０５】

チューナ８８０１で受信した信号のうち、音声信号は音声信号増幅回路８８０６に送られ、その出力は音声信号処理回路８８０７を経てスピーカー８８０８に供給される。制御回路８８０９は受信局（受信周波数）や音量の制御情報を入力部８８１０から受け、チューナ８８０１や音声信号処理回路８８０７に信号を送出する。

【０８０６】

図８９に示すように、表示モジュールを筐体８９０１に組みこんで、テレビ受像機を完成させることができる。表示モジュールにより、表示パネル８９０２が形成される。また、スピーカー８９０３、操作スイッチ８９０４などが適宜備えられている。

【０８０７】

このテレビ受像機は、表示パネル８９０２を含んで構成されることにより、部品数を削減することができる。したがって、このテレビ受信機は安価に製造することができる。

【０８０８】

勿論、本発明はテレビ受像機に限定されず、コンピュータのモニターをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【０８０９】

なお、本実施の形態で示した表示パネルや表示モジュールの構成は、本明細書中の他の実

施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示パネルや表示モジュールの構成も自由に組み合わせて実施することができる。

【０８１０】

（実施の形態１９）

図９０（Ａ）は表示パネル９００１とプリント基板９００２を組み合わせたモジュールを示している。表示パネル９００１は、複数の画素が設けられた画素部９００３、第１の走査線駆動回路９００４、第２の走査線駆動回路９００５及び信号線駆動回路９００６を有している。もちろん、表示パネル９００１の構成は、図９、図１１、図１２及び図４４と同様な構成にしてもよい。

【０８１１】

プリント基板９００２には、コントローラ９００７、中央処理装置（ＣＰＵ）９００８、メモリ９００９、電源回路９００１０、音声処理回路９００１１及び送受信回路９００１２などが備えられている。プリント基板９００２と表示パネル９００１は、ＦＰＣ（フレキシブルプリントサーキット）９００１３により接続されている。ＦＰＣ９００１３には、容量素子、バッファ回路などを設け、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることを防ぐ構成としても良い。また、コントローラ９００７、音声処理回路９００１１、メモリ９００９、ＣＰＵ９００８、電源回路９００１０などは、ＣＯＧ（Ｃｈｉｐ　ｏｎ　Ｇｌａｓｓ）方式を用いて表示パネル９００１に実装することもできる。ＣＯＧ方式により、プリント基板９００２の規模を縮小することができる。

【０８１２】

プリント基板９００２に備えられたインターフェース（Ｉ／Ｆ）部９００１４を介して、各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行なうためのアンテナ用ポート９００１５が、プリント基板９００２に設けられている。

【０８１３】

図９０（Ｂ）は、図９０（Ａ）に示したモジュールのブロック図を示す。このモジュールは、メモリ９００９としてＶＲＡＭ９００１６、ＤＲＡＭ９００１７、フラッシュメモリ９００１８などが含まれている。ＶＲＡＭ９００１６にはパネルに表示する画像のデータが、ＤＲＡＭ９００１７には画像データまたは音声データが、フラッシュメモリ９００１８には各種プログラムが記憶されている。

【０８１４】

電源回路９００１０は、表示パネル９００１、コントローラ９００７、ＣＰＵ９００８、音声処理回路９００１１、メモリ９００９、送受信回路９００１２を動作させる電力を供給する。またパネルの仕様によっては、電源回路９００１０に電流源が備えられている場合もある。

【０８１５】

ＣＰＵ９００８は、制御信号生成回路９００２０、デコーダ９００２１、レジスタ９００２２、演算回路９００２３、ＲＡＭ９００２４、ＣＰＵ９００８用のインターフェース９００１９などを有している。インターフェース９００１９を介してＣＰＵ９００８に入力された各種信号は、一旦レジスタ９００２２に保持された後、演算回路９００２３、デコーダ９００２１などに入力される。演算回路９００２３では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ９００２１に入力された信号はデコードされ、制御信号生成回路９００２０に入力される。制御信号生成回路９００２０は入力された信号に基づき、各種命令を含む信号を生成し、演算回路９００２３において指定された場所、具体的にはメモリ９００９、送受信回路９００１２、音声処理回路９００１１、コントローラ９００７などに送る。

【０８１６】

メモリ９００９、送受信回路９００１２、音声処理回路９００１１、コントローラ９００７は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【０８１７】

入力手段９００２５から入力された信号は、インターフェース部９００１４を介してプリント基板９００２に実装されたＣＰＵ９００８に送られる。制御信号生成回路９００２０は、ポインティングデバイスやキーボードなどの入力手段９００２５から送られてきた信号に従い、ＶＲＡＭ９００１６に格納してある画像データを所定のフォーマットに変換し、コントローラ９００７に送付する。

【０８１８】

コントローラ９００７は、パネルの仕様に合わせてＣＰＵ９００８から送られてきた画像データを含む信号にデータ処理を施し、表示パネル９００１に供給する。またコントローラ９００７は、電源回路９００１０から入力された電源電圧やＣＰＵ９００８から入力された各種信号をもとに、Ｈｓｙｎｃ信号、Ｖｓｙｎｃ信号、クロック信号ＣＬＫ、交流電圧（ＡＣ　Ｃｏｎｔ）、切り替え信号Ｌ／Ｒを生成し、表示パネル９００１に供給する。

【０８１９】

送受信回路９００１２では、アンテナ９００２８において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、ＶＣＯ（Ｖｏｌｔａｇｅ　Ｃｏｎｔｒｏｌｌｅｄ　Ｏｓｃｉｌｌａｔｏｒ）、ＬＰＦ（Ｌｏｗ　Ｐａｓｓ　Ｆｉｌｔｅｒ）、カプラ、バランなどの高周波回路を含んでいる。送受信回路９００１２において送受信される信号のうち音声情報を含む信号が、ＣＰＵ９００８からの命令に従って、音声処理回路９００１１に送られる。

【０８２０】

ＣＰＵ９００８の命令に従って送られてきた音声情報を含む信号は、音声処理回路９００１１において音声信号に復調され、スピーカー９００２７に送られる。またマイク９００２６から送られてきた音声信号は、音声処理回路９００１１において変調され、ＣＰＵ９００８からの命令に従って、送受信回路９００１２に送られる。

【０８２１】

コントローラ９００７、ＣＰＵ９００８、電源回路９００１０、音声処理回路９００１１、メモリ９００９を、本実施の形態のパッケージとして実装することができる。本実施の形態は、アイソレータ、バンドパスフィルタ、ＶＣＯ（Ｖｏｌｔａｇｅ　Ｃｏｎｔｒｏｌｌｅｄ　Ｏｓｃｉｌｌａｔｏｒ）、ＬＰＦ（Ｌｏｗ　Ｐａｓｓ　Ｆｉｌｔｅｒ）、カプラ、バランなどの高周波回路以外であれば、どのような回路にも応用することができる。

【０８２２】

なお、本実施の形態で示した表示パネルや表示モジュールの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示パネルや表示モジュールの構成も自由に組み合わせて実施することができる。

【０８２３】

（実施の形態２０）

図９１は、実施の形態１９のモジュールを含む携帯電話機の一態様を示している。表示パネル９１０１はハウジング９１０３０に脱着自在に組み込まれる。ハウジング９１０３０は表示パネル９１０１のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル９１０１を固定したハウジング９１０３０はプリント基板９１０３１に嵌着されモジュールとして組み立てられる。

【０８２４】

表示パネル９１０１はＦＰＣ９１０１３を介してプリント基板９１０３１に接続される。プリント基板９１０３１には、スピーカ９１０３２、マイクロフォン９１０３３、送受信回路９１０３４、ＣＰＵ及びコントローラなどを含む信号処理回路９１０３５が形成されている。このようなモジュールと、入力手段９１０３６、バッテリ９１０３７を組み合わせ、筐体９１０３９に収納する。表示パネル９１０１の画素部は筐体９１０３９に形成された開口窓から視認できように配置する。

【０８２５】

表示パネル９１０１は、複数の画素を有する画素部と、走査線駆動回路を有している。走

査線駆動回路を画素部と一体形成することによって、図９１の携帯電話機は、安価に製造することができる。また、表示モジュールの部品数が少なくなるため、歩留まりの増加、軽量化、小型化などのメリットを得ることができる。

【０８２６】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、表示パネルを複数備えたり、筐体を適宜複数に分割して蝶番により開閉式とした構成としても、上記した作用効果を奏することができる。

【０８２７】

なお、本実施の形態で示した表示パネルや表示モジュールの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示パネルや表示モジュールの構成も自由に組み合わせて実施することができる。

【０８２８】

（実施の形態２１）

本実施の形態は、実施の形態１９で説明した表示モジュールを含む携帯電話機１０３００を完成させる一例について例示する。

【０８２９】

図１０３で示す携帯電話機は、操作スイッチ類１０３０４、マイクロフォン１０３０５などが備えられた本体（Ａ）１０３０１と、表示パネル（Ａ）１０３０８、表示パネル（Ｂ）１０３０９、スピーカ１０３０６などが備えられた本体（Ｂ）１０３０２とが、蝶番１０３１０で開閉可能に連結されている。表示パネル（Ａ）１０３０８と表示パネル（Ｂ）１０３０９は、回路基板１０３０７と共に本体（Ｂ）１０３０２の筐体１０３０３の中に収納される。表示パネル（Ａ）１０３０８及び表示パネル（Ｂ）１０３０９の画素部は筐体１０３０３に形成された開口窓から視認できように配置される。

【０８３０】

表示パネル（Ａ）１０３０８と表示パネル（Ｂ）１０３０９は、その携帯電話機１０３００の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネルＡ１０３０８を主画面とし、表示パネルＢ１０３０９を副画面として組み合わせることができる。

【０８３１】

表示パネル（Ａ）１０３０８及び表示パネル（Ｂ）１０３０９は、複数の画素を有する画素部と、走査線駆動回路を有している。走査線駆動回路を画素部と一体形成することによって、図１０３の携帯電話機は、安価に製造することができる。また、表示モジュールの部品数が少なくなるため、歩留まりの増加、軽量化、小型化などのメリットを得ることができる。

【０８３２】

このような表示パネルを用いることにより、表示パネル（Ａ）１０３０８を文字や画像を表示する高精細のカラー表示画面とし、表示パネル（Ｂ）１０３０９を文字情報を表示する単色の情報表示画面とすることができる。特に表示パネル（Ｂ）１０３０９をアクティブマトリクス型として、高精細化をすることにより、さまざまな文字情報を表示して、一画面当たりの情報表示密度を向上させることができる。例えば、表示パネル（Ａ）１０３０８を、２～２．５インチで６４階調、２６万色のＱＶＧＡ（３２０ドット×２４０ドット）とし、表示パネル（Ｂ）１０３０９を、単色で２～８階調、１８０～２２０ｐｐｉの高精細パネルとして、ローマ字、ひらがな、カタカナをはじめ、漢字やアラビア文字などを表示することができる。

【０８３３】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番１０３１０の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類１０３０４、表示パネル（Ａ）１０３０８、表示パネル（Ｂ）１０３０９を一つの筐体内に納めた構成としても、上記した作用効果を奏すること

ができる。また、表示部を複数個そなえた情報表示端末に本実施の形態の構成を適用しても、同様な効果を得ることができる。

【０８３４】

なお、本実施の形態で示した表示パネルや表示モジュールの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示パネルや表示モジュールの構成も自由に組み合わせて実施することができる。

【０８３５】

（実施の形態２２）

本発明は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはＤｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうる発光装置を備えた装置）などが挙げられる。

【０８３６】

図９３（Ａ）は発光装置であり、筐体９３００１、支持台９３００２、表示部９３００３、スピーカー部９３００４、ビデオ入力端子９３００５等を含む。本発明の表示装置を表示部９３００３に用いることができる。なお、発光装置は、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用発光装置が含まれる。本発明の表示装置を表示部９３００３に用いた発光装置は、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【０８３７】

図９３（Ｂ）はカメラであり、本体９３１０１、表示部９３１０２、受像部９３１０３、操作キー９３１０４、外部接続ポート９３１０５、シャッターボタン９３１０６等を含む。

【０８３８】

本発明を表示部９３１０２に用いたデジタルカメラは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【０８３９】

図９３（Ｃ）はコンピュータであり、本体９３２０１、筐体９３２０２、表示部９３２０３、キーボード９３２０４、外部接続ポート９３２０５、ポインティングデバイス９３２０６等を含む。本発明を表示部９３２０３に用いたコンピュータは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【０８４０】

図９３（Ｄ）はモバイルコンピュータであり、本体９３３０１、表示部９３３０２、スイッチ９３３０３、操作キー９３３０４、赤外線ポート９３３０５等を含む。本発明を表示部９３３０２に用いたモバイルコンピュータは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【０８４１】

図９３（Ｅ）は記録媒体を備えた携帯型の画像再生装置（具体的にはＤＶＤ再生装置）であり、本体９３４０１、筐体９３４０２、表示部Ａ９３４０３、表示部Ｂ９３４０４、記録媒体（ＤＶＤ等）読み込み部９３４０５、操作キー９３４０６、スピーカー部９３４０７等を含む。表示部Ａ９３４０３は主として画像情報を表示し、表示部Ｂ９３４０４は主として文字情報を表示することができる。本発明を表示部Ａ９３４０３や表示部Ｂ９３４０４に用いた画像再生装置は、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【０８４２】

図９３（Ｆ）はゴーグル型ディスプレイであり、本体９３５０１、表示部９３５０２、

アーム部９３５０３を含む。本発明を表示部９３５０２に用いたゴーグル型ディスプレイは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【０８４３】

図９３（Ｇ）はビデオカメラであり、本体９３６０１、表示部９３６０２、筐体９３６０３、外部接続ポート９３６０４、リモコン受信部９３６０５、受像部９３６０６、バッテリー９３６０７、音声入力部９３６０８、操作キー９３６０９等を含む。本発明を表示部９３６０２に用いたビデオカメラは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【０８４４】

図９３（Ｈ）は携帯電話機であり、本体９３７０１、筐体９３７０２、表示部９３７０３、音声入力部９３７０４、音声出力部９３７０５、操作キー９３７０６、外部接続ポート９３７０７、アンテナ９３７０８等を含む。本発明を表示部９３７０３に用いた携帯電話機は、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【０８４５】

このように本発明は、あらゆる電子機器に適用することが可能である。

【０８４６】

なお、本実施の形態で示した電子機器の構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。

【０８４７】

（実施の形態２３）

本実施の形態については、本発明の表示装置の画素構成を表示部に用いた表示パネルを用いた応用例について、応用形態を図示し説明する。本発明の表示装置の画素構成を表示部に用いた表示パネルは、移動体や建造物等と一体に設けられた構成をとることもできる。

【０８４８】

本発明の表示装置の画素構成を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図９４に示す。図９４（ａ）は、表示装置一体型の移動体の例として電車車両本体９４０１におけるドアのガラス戸のガラスに表示パネル９４０２を用いた例について示す。図９４（ａ）に示す本発明の表示装置の画素構成を表示部に有する表示パネル９４０２は、外部からの信号により表示部で表示される画像の切り替えが容易である。そのため、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替え、より効果的な広告効果が実現できる。

【０８４９】

なお、本発明の表示装置の画素構成を表示部に有する表示パネルは、図９４（ａ）で示した電車車両本体におけるドアのガラスにのみ適用可能であることに限定されることなく、その形状を異ならせることにより、ありとあらゆる場所に適用可能である。図９４（ｂ）にその一例について説明する。

【０８５０】

図９４（ｂ）は、電車車両本体における車内の様子について図示したものである。図９４（ｂ）において、図９４（ａ）で示したドアのガラス戸の表示パネル９４０２の他に、ガラス窓に設けられた表示パネル９４０３、及び天井より吊り下げられた表示パネル９４０４を示す。本発明の表示装置の画素構成を具備する表示パネル９４０３は、自発光型の表示素子を具備するため、混雑時には広告用の画像を表示し、混雑時以外には表示を行わないことで、電車からの外観をも見ることもできる。また、本発明の表示装置の画素構成を具備する表示パネル９４０４はフィルム状の基板に有機トランジスタなどのスイッチング素子を設け、自発光型の表示素子を駆動することで、表示パネル自体を湾曲させて表示を行うことも可能である。

【０８５１】

また、本発明の表示装置の画素構成を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図９５にて説明する。

【０８５２】
本発明の表示装置の画素構成を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図９５に示す。図９５は、表示装置一体型の移動体の例として自動車の車体９５０１に一体に取り付けられた表示パネル９５０２の例について示す。図９５に示す本発明の表示装置の画素構成を表示部に有する表示パネル９５０２は、自動車の車体と一体に取り付けられており、車体の動作や車体内外から入力される情報をオンデマンドに表示、また、自動車の目的地までのナビゲーション機能をも有する。
【０８５３】
なお、本発明の表示装置の画素構成を表示部に有する表示パネルは、図９５で示した車体のフロント部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、ガラス窓、ドアなどありとあらゆる場所に適用可能である。
【０８５４】
また、本発明の表示装置の画素構成を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図９６にて説明する。
【０８５５】
本発明の表示装置の画素構成を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図９６に示す。図９６（ａ）は、表示装置一体型の移動体の例として飛行機車体９６０１内の客席天井部に一体に取り付けられた表示パネル９６０２の例について示す。図９６（ａ）に示す本発明の表示装置の画素構成を表示部に有する表示パネル９６０２は、飛行機車体９６０１とヒンジ部９６０３を介して一体に取り付けられており、ヒンジ部９６０３の伸縮により乗客は表示パネル９６０２の視聴が可能になる。表示パネル９６０２は乗客が操作することで情報を表示、また、広告や娯楽手段として利用できる機能を有する。また、図９６（ｂ）に示すように、ヒンジ部を折り曲げて飛行機車体９６０１に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、飛行機車体９６０１の誘導灯としても利用可能である。
【０８５６】
なお、本発明の表示装置の画素構成を表示部に有する表示パネルは、図９６で示した飛行機車体９６０１の天井部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、座席やドアなどありとあらゆる場所に適用可能である。例えば座席前の座席後方に表示パネルを設け、操作・視聴を行う構成であってもよい。
【０８５７】
なお、本実施の形態において、移動体としては電車車両本体、自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、多岐に渡る。本発明の表示装置の画素構成を適用することにより、表示パネルの小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備する移動体を提供することができる。また特に、外部からの信号により、移動体内における表示パネルの表示を一斉に切り替えることが容易であるため、不特定多数の顧客を対象といた広告表示盤、また緊急災害時の情報表示板としても極めて有用であるといえる。
【０８５８】
また、本発明の表示装置の画素構成を表示部に有する表示パネルを用いた応用例について、建造物に用いた応用形態を図９７を用いて説明する。
【０８５９】
図９７は本発明の表示装置の画素構成を表示部に有する表示パネルとして、フィルム状の基板に有機トランジスタなどのスイッチング素子を設け、自発光型の表示素子を駆動することにより表示パネル自身を湾曲させて表示可能な表示パネルとし、その応用例について説明する。図９７においては、建造物として電柱等の屋外に設けられた柱状体の有する曲面に表示パネルを具備し、ここでは柱状体として電柱９７０１に表示パネル９７０２を具備する構成について示す。

【０８６０】
図９７に示す表示パネル９７０２は、電柱の高さの真ん中あたりに位置させ、人間の視点より高い位置に設ける。そして移動体９７０３から表示パネルを視認することにより、表示パネル９７０２における画像を認識することができる。電柱のように屋外で繰り返し林立し、林立した電柱に設けた表示パネル９７０２において同じ映像を表示させることにより、視認者は情報表示、広告表示を視認することができる。図９７において電柱９７０１に設けられた表示パネル９７０２は、外部より同じ画像を表示させることが容易であるため、極めて効率的な情報表示、及び広告効果が実現できる。また、本発明の表示装置の表示パネルには、表示素子として自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。

【０８６１】
また、本発明の表示装置の画素構成を用いた表示装置を表示部に有する表示パネルを用いた応用例について、図９７とは別の建造物の応用形態を図９８にて説明する。

【０８６２】
本発明の表示装置の画素構成を表示部に有する表示パネルの応用例として、図９８に示す。図９８は、表示装置一体型の例としてユニットバス９８０１内の側壁に一体に取り付けられた表示パネル９８０２の例について示す。図９８に示す本発明の表示装置の画素構成を用いた表示部を有する表示パネル９８０２は、ユニットバス９８０１と一体に取り付けられており、入浴者は表示パネル９８０２の視聴が可能になる。表示パネル９８０２は入浴者が操作することで情報を表示、また広告や娯楽手段として利用できる機能を有する。

【０８６３】
なお、本発明の表示装置の画素構成を表示部に有する表示パネルは、図９８で示したユニットバス９８０１の側壁にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、鏡面の一部や浴槽自体と一体にするなどありとあらゆる場所に適用可能である。

【０８６４】
また図９９に建造物内に大型の表示部を有するテレビジョン装置を設けた例について示す。図９９は、筐体９９１０、表示部９９１１、操作部であるリモコン装置９９１２、スピーカー部９９１３等を含む。本発明の表示装置の画素構成を表示部に有する表示パネルは、表示部９９１１の作製に適用される。図９９のテレビジョン装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【０８６５】
なお、本実施の形態において、建造物として、柱状体として電柱、ユニットバス等を例としたが、本実施の形態はこれに限定されず、表示パネルを備えることのできる建造物であれば適用することができる。本発明の表示装置の画素構成を適用することにより、表示装置の小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備する移動体を提供することができる。

【０８６６】
なお、本実施の形態で示した表示パネルの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。

【符号の説明】
【０８６７】
１０１　トランジスタ
１０２　トランジスタ
１０３　トランジスタ
１０４　トランジスタ
１１１　配線
１１２　配線
１１３　配線
１１４　配線

１１５　配線
１１６　配線
１２１　ノード
１３１　絶縁膜
２１３　信号
２１４　信号
２１５　信号
２１６　信号
２２１　電位
２７２　配線
２７６　配線
４０１　容量素子
４０２　容量素子
６０１　フリップフロップ
６０２　フリップフロップ
６１１　配線
６１２　配線
６１３　配線
６１４　配線
６１５　配線
６１６　配線
６２１　配線
６２２　配線
７１６　信号
７２２　信号
８０１　バッファ
８１ａ　蒸発源
９０１　信号線駆動回路
９０２　走査線駆動回路
９０３　画素部
９０４　画素
１１０１　走査線駆動回路
１１０２　走査線駆動回路
１２０１　走査線駆動回路
１２０２　走査線駆動回路
１３０５　トランジスタ
１３１７　配線
１４１７　信号
１５０１　容量素子
１７０１　フリップフロップ
１８０１　バッファ
１９０６　トランジスタ
１９０７　トランジスタ
１９０８　トランジスタ
１９０９　トランジスタ
１９２２　ノード
１９２３　ノード
２０２２　電位
２０２３　電位
２１０１　容量素子

２３１０　トランジスタ
２３１１　トランジスタ
２３１２　トランジスタ
２３２４　ノード
２４２４　電位
２５０１　容量素子
２７０１　トランジスタ
２７０２　トランジスタ
２７０３　トランジスタ
２７０４　トランジスタ
２７１１　配線
２７１２　配線
２７１３　配線
２７１４　配線
２７１５　配線
２７１６　配線
２７２１　ノード
２８１３　信号
２８１４　信号
２８１５　信号
２８１６　信号
２８２１　電位
３００１　容量素子
３２０５　トランジスタ
３２０７　配線
３２０８　トランジスタ
３２１７　配線
３３１７　信号
３４０１　容量素子
３６０６　トランジスタ
３６０７　トランジスタ
３６０８　トランジスタ
３６０９　トランジスタ
３６２２　ノード
３６２３　ノード
３７２２　電位
３７２３　電位
３８０１　容量素子
４０１０　トランジスタ
４０１１　トランジスタ
４０１２　トランジスタ
４０２４　ノード
４１２４　電位
４２０１　容量素子
４４０２　走査線駆動回路
４４０３　走査線駆動回路
４５０１　トランジスタ
４５０２　容量素子
４５１１　配線
４５１２　配線

４５１３　配線
４５２１　表示素子
４５２２　対向電極
４５２３　画素電極
４５３１　液晶素子
４７０１　符号化回路
４７０２　フレームメモリ
４７０３　補正回路
４７０４　ＤＡ変換回路
４７１２　フレームメモリ
４７１３　補正回路
４８０１　トランジスタ
４８０２　補助容量
４８０３　表示素子
４８０４　映像信号線
４８０５　走査線
４８０６　コモン線
４８１１　トランジスタ
４８１２　補助容量
４８１３　表示素子
４８１４　映像信号線
４８１５　走査線
４８１６　コモン線
４８１７　コモン線
４９０１　拡散板
４９０２　冷陰極管
４９０３　画素部
４９１１　拡散板
４９１２　光源
４９３１　信号制御回路
５１０１　基板
５１０２　絶縁膜
５１０３　導電層
５１０４　絶縁膜
５１０５　半導体層
５１０６　半導体層
５１０７　導電層
５１０８　絶縁膜
５１０９　導電層
５１１０　配向膜
５１１２　配向膜
５１１３　導電層
５１１４　遮光膜
５１１５　カラーフィルター
５１１６　基板
５１１７　スペーサ
５１１８　液晶分子
５１２１　走査線
５１２２　映像信号線
５１２３　容量線

５１２４　ＴＦＴ
５１２５　画素電極
５１２６　画素容量
５２０１　基板
５２０２　絶縁膜
５２０３　導電層
５２０４　絶縁膜
５２０５　半導体層
５２０６　半導体層
５２０７　導電層
５２０８　絶縁膜
５２０９　導電層
５２１０　配向膜
５２１２　配向膜
５２１３　導電層
５２１４　遮光膜
５２１５　カラーフィルター
５２１６　基板
５２１７　スペーサ
５２１８　液晶分子
５２１９　配向制御用突起
５２２１　走査線
５２２２　映像信号線
５２２３　容量線
５２２４　ＴＦＴ
５２２５　画素電極
５２２６　画素容量
５３０１　基板
５３０２　絶縁膜
５３０３　導電層
５３０４　絶縁膜
５３０５　半導体層
５３０６　半導体層
５３０７　導電層
５３０８　絶縁膜
５３０９　導電層
５３１０　配向膜
５３１２　配向膜
５３１３　導電層
５３１４　遮光膜
５３１５　カラーフィルター
５３１６　基板
５３１７　スペーサ
５３１８　液晶分子
５３１９　部
５３２１　走査線
５３２２　映像信号線
５３２３　容量線
５３２４　ＴＦＴ
５３２５　画素電極

５３２６　画素容量
５４０１　基板
５４０２　絶縁膜
５４０３　導電層
５４０４　絶縁膜
５４０５　半導体層
５４０６　半導体層
５４０７　導電層
５４０８　絶縁膜
５４０９　導電層
５４１０　配向膜
５４１２　配向膜
５４１４　遮光膜
５４１５　カラーフィルター
５４１６　基板
５４１７　スペーサ
５４１８　液晶分子
５４２１　走査線
５４２２　映像信号線
５４２３　共通電極
５４２４　ＴＦＴ
５４２５　画素電極
５５０１　基板
５５０２　絶縁膜
５５０３　導電層
５５０４　絶縁膜
５５０５　半導体層
５５０６　半導体層
５５０７　導電層
５５０８　絶縁膜
５５０９　導電層
５５１０　配向膜
５５１２　配向膜
５５１３　導電層
５５１４　遮光膜
５５１５　カラーフィルター
５５１６　基板
５５１７　スペーサ
５５１８　液晶分子
５５１９　絶縁膜
５５２１　走査線
５５２２　映像信号線
５５２３　共通電極
５５２４　ＴＦＴ
５５２５　画素電極
５６０１　ドライバＩＣ
５６０２　スイッチ群
５６１１　配線
５６１２　配線
５６１３　配線

５６２１　配線
５７２１　信号
５８２１　信号
５９０３ａ　トランジスタ
５９０３ｂ　トランジスタ
５９０３ｃ　トランジスタ
５９１１　配線
５９１２　配線
５９１３　配線
６００１　トランジスタ
６００２　トランジスタ
６００３　トランジスタ
６００４　トランジスタ
６００５　トランジスタ
６００６　トランジスタ
６０１１　配線
６０１２　配線
６０１３　配線
６０１４　配線
６０１５　配線
６０１６　配線
６０２２　スイッチ群
６１０１　トランジスタ
６１０２　トランジスタ
６１１１　配線
６１１２　配線
６２０１　トランジスタ
６２１１　配線
６４０１　トランジスタ
６４０２　トランジスタ
６４１１　配線
６４１２　配線
６５００　容量素子
６５０１　トランジスタ
６５０２　トランジスタ
６５０３　トランジスタ
６５１１　配線
６５１２　配線
６５１３　配線
６５１４　配線
６５２１　表示素子
６５２２　対向電極
６５２３　画素電極
６６００　容量素子
６６０１　トランジスタ
６６０２　トランジスタ
６６０３　トランジスタ
６６１１　配線
６６１２　配線
６６１３　配線

６６１４　配線
６６２１　表示素子
６６２２　対向電極
６６２３　画素電極
６７００　容量素子
６７０１　トランジスタ
６７０２　トランジスタ
６７０３　トランジスタ
６７０４　トランジスタ
６７１１　配線
６７１２　配線
６７１３　配線
６７１４　配線
６７１５　配線
６７２１　表示素子
６７２２　対向電極
６７２３　画素電極
６９０５　ＴＦＴ
６９０６　配線
６９０７　配線
６９０８　ＴＦＴ
６９１１　配線
６９１２　対向電極
６９１３　コンデンサ
６９１５　画素電極
６９１６　隔壁
６９１７　有機導電体膜
６９１８　有機薄膜
６９１９　基板
７０００　基板
７００１　配線
７００２　配線
７００３　配線
７００４　配線
７００５　ＴＦＴ
７００６　ＴＦＴ
７００７　ＴＦＴ
７００８　画素電極
７０１１　隔壁
７０１２　有機導電体膜
７０１３　有機薄膜
７０１４　対向電極
７１００　基板
７１０１　配線
７１０２　配線
７１０３　配線
７１０４　配線
７１０５　ＴＦＴ
７１０６　ＴＦＴ
７１０７　ＴＦＴ

７１０８　ＴＦＴ
７１０９　画素電極
７１１１　配線
７１１２　配線
７１２１　隔壁
７１２２　有機導電体膜
７１２３　有機薄膜
７１２４　対向電極
７２０１　陽極
７２０２　陰極
７２０３　正孔輸送領域
７２０４　電子輸送領域
７２０５　混合領域
７２０６　領域
７２０７　領域
７２０８　領域
７２０９　領域
７３６０　搬送室
７３６１　搬送室
７３６２　ロード室
７３６３　アンロード室
７３６４　中間処理室
７３６５　封止処理室
７３６６　搬送手段
７３６７　搬送手段
７３６８　加熱処理室
７３６９　成膜処理室
７３７０　成膜処理室
７３７１　成膜処理室
７３７２　プラズマ処理室
７３７３　成膜処理室
７３７４　成膜処理室
７３７６　成膜処理室
７４８０　蒸発源ホルダ
７４８１　蒸発源
７４８２　距離センサー
７４８３　多関節アーム
７４８４　材料供給管
７４８６　基板ステージ
７４８７　基板チャック
７４８８　マスクチャック
７４８９　基板
７４９０　シャドーマスク
７４９１　天板
７４９２　底板
７５００　基板
７５０１　周辺駆動回路
７５０２　画素部
７５０４　第ＦＰＣ
７５０５　ＩＣチップ

７５０６　ＩＣチップ
７５０７　封止基板
７５０８　シール材
７５１０　基板
７５１１　周辺駆動回路
７５１２　画素部
７５１３　ＦＰＣ
７５１４　ＦＰＣ
７６０１　基板
７６０２　陽極
７６０３　正孔注入層
７６０４　正孔輸送層
７６０５　発光層
７６０６　電子輸送層
７６０７　電子注入層
７６０８　陰極
７６１１　基板
７６１２　陽極
７６１３　正孔注入層
７６１４　正孔輸送層
７６１５　発光層
７６１６　電子輸送層
７６１７　電子注入層
７６１８　陰極
７７００　基板
７７０１　駆動用トランジスタ
７７０２　電極
７７０３　層
７７０４　電極
７８００　基板
７８０１　駆動用トランジスタ
７８０２　下地膜
７８０３　電極
７８０４　層
７８０５　電極
７８０７　ブラックマトリクス
７９０１　基板
７９０２　下地膜
７９０３　チャネル形成領域
７９０５　不純物領域
７９０６　チャネル形成領域
７９０７　ＬＤＤ領域
７９０８　不純物領域
７９０９　ゲート絶縁膜
７９１０　ゲート電極
７９１１　上部電極
７９１２　層間絶縁物
７９１３　配線
７９１４　画素電極
７９１５　層間絶縁物

７９１６　層
７９１７　対向電極
７９１８　駆動トランジスタ
７９１９　容量素子
７９２０　発光素子
７９２１　領域
８００１　基板
８００２　下地膜
８００３　チャネル形成領域
８００５　不純物領域
８００６　ゲート絶縁膜
８００７　ゲート電極
８００８　電極
８００９　層間絶縁物
８０１０　配線
８０１１　電極
８０１２　層間絶縁物
８０１３　画素電極
８０１４　電極
８０１５　絶縁物
８０１５　層間絶縁物
８０１６　層
８０１７　対向電極
８０１８　駆動トランジスタ
８０１９　容量素子
８０２０　発光素子
８０９１　上部電極
８０９２　容量素子
８１０１　基板
８１０２　下地膜
８１０３　ゲート電極
８１０４　電極
８１０５　ゲート絶縁膜
８１０６　チャネル形成領域
８１０７　ＬＤＤ領域
８１０８　不純物領域
８１０９　チャネル形成領域
８１１０　ＬＤＤ領域
８１１１　不純物領域
８１１２　層間絶縁物
８１１３　配線
８１１４　電極
８１１５　開口部
８１１６　層間絶縁物
８１１７　画素電極
８１１８　絶縁物
８１１９　層
８１２０　対向電極
８１２１　発光素子
８１２２　駆動トランジスタ

８１２３　容量素子
８１２４　電極
８１２５　容量素子
８２０１　基板
８２０２　下地膜
８２０３　画素電極
８２０４　電極
８２０５　配線
８２０６　配線
８２０７　Ｎ型半導体層
８２０８　Ｎ型半導体層
８２０９　半導体層
８２１０　ゲート絶縁膜
８２１１　絶縁膜
８２１２　ゲート電極
８２１３　電極
８２１４　層間絶縁膜
８２１５　層
８２１６　対向電極
８２１７　発光素子
８２１８　駆動トランジスタ
８２１９　容量素子
８２２０　電極
８３０１　基板
８３０２　下地膜
８３０３　ゲート電極
８３０４　電極
８３０５　ゲート絶縁膜
８３０６　半導体層
８３０７　半導体層
８３０８　Ｎ型半導体層
８３１０　Ｎ型半導体層
８３１１　配線
８３１３　導電層
８３１４　画素電極
８３１５　絶縁物
８３１６　層
８３１７　対向電極
８３１８　発光素子
８３１９　駆動トランジスタ
８３２０　容量素子
８３２１　電極
８３２２　容量素子
８４０１　絶縁物
８５１１　基板
８５１２　絶縁膜
８５１３　半導体膜
８５１４　半導体膜
８５１５　半導体膜
８５１６　絶縁膜

８５１７　ゲート電極
８５１８　絶縁膜
８５１９　絶縁膜
８５２１　サイドウォール
８５２２　マスク
８５２３　導電膜
８６００　電極層
８６０１　電界発光層
８６０２　電界発光層
８６０３　電極層
８６０４　絶縁層
８７０１　表示パネル
８７０２　回路基板
８７０３　コントロール回路
８７０４　信号分割回路
８７０５　画素部
８７０６　走査線駆動回路
８７０７　信号線駆動回路
８７０８　接続配線
８８０１　チューナ
８８０２　映像信号増幅回路
８８０３　映像信号処理回路
８８０４　コントロール回路
８８０５　信号分割回路
８８０６　音声信号増幅回路
８８０７　音声信号処理回路
８８０８　スピーカー
８８０９　制御回路
８８１０　入力部
８９０１　筐体
８９０２　表示パネル
８９０３　スピーカー
８９０４　操作スイッチ
９００１　表示パネル
９００２　プリント基板
９００３　画素部
９００４　走査線駆動回路
９００５　走査線駆動回路
９００６　信号線駆動回路
９００７　コントローラ
９００８　ＣＰＵ
９００９　メモリ
９１００　表示素子
９１０１　表示パネル
９２０１　導電膜
９２０２　半導体層
９２０３　コンタクト
９２０４　導電膜
９４０１　電車車両本体
９４０２　表示パネル

９４０３　表示パネル
９４０４　表示パネル
９５０１　車体
９５０２　表示パネル
９６０１　飛行機車体
９６０２　表示パネル
９６０３　ヒンジ部
９７０１　電柱
９７０２　表示パネル
９７０３　移動体
９８０１　ユニットバス
９８０２　表示パネル
９９１０　筐体
９９１１　表示部
９９１２　リモコン装置
９９１３　スピーカー部
１０００１　信号制御回路
１０００２　画素部
１０００３　ゲートドライバ
１０００４　封止基板
１０００５　シール材
１０００６　ゲートドライバ
１０００７　空間
１０００８　配線
１０００９　ＦＰＣ
１００１０　基板
１００１１　トランジスタ
１００１２　トランジスタ
１００１３　電極
１００１４　絶縁物
１００１６　層
１００１７　電極
１００１８　発光素子
１００１９　ＩＣチップ
１００２０　トランジスタ
１００２１　トランジスタ
１００２２　ＩＣチップ
１００４０　基板
１０１００　基板
１０１０１　信号制御回路
１０１０２　画素部
１０１０３　ゲートドライバ
１０１０４　ゲートドライバ
１０１０５　ＦＰＣ
１０１０６　ＩＣチップ
１０１０７　ＩＣチップ
１０１０８　封止基板
１０１０９　シール材
１０１１０　基板
１０１１１　信号制御回路

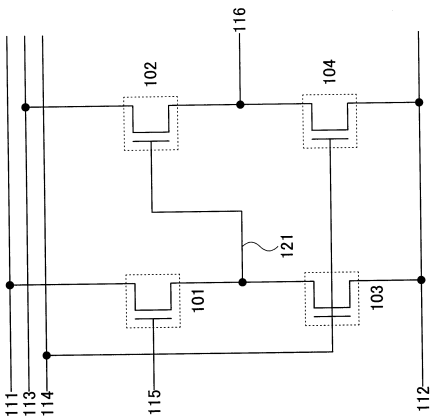
１０１１２　画素部
１０１１３　ゲートドライバ
１０１１４　ゲートドライバ
１０１１５　ＦＰＣ
１０１１６　ＩＣチップ
１０１１７　ＩＣチップ
１０１１８　封止基板
１０１１９　シール材
１０２００　電極層
１０２０１　発光材料
１０２０２　電界発光層
１０２０３　電極層
１０２０４　絶縁層
１０３００　携帯電話機
１０３０１　本体（Ａ）
１０３０２　本体（Ｂ）
１０３０３　筐体
１０３０４　操作スイッチ類
１０３０５　マイクロフォン
１０３０６　スピーカ
１０３０７　回路基板
１０３０８　表示パネル（Ａ）
１０３０９　表示パネル（Ｂ）
１０３１０　蝶番
１０４０１　Ｎチャネル型トランジスタ
１０４０２　Ｎチャネル型トランジスタ
１０４０３　Ｐチャネル型トランジスタ
１０４０４　容量素子
１０４０５　抵抗素子
１０５０２　導電層
１０５０３　導電層
１０５０４　配線
１０５０５　半導体層
１０５０６　不純物領域
１０５０７　不純物領域
１０５０８　絶縁層
１０５０９　ゲート電極
１０５１０　不純物領域
１０５１１　不純物領域
１０５１２　不純物領域
４９０２Ａ　ゲートドライバ
４９０２Ｂ　ゲートドライバ
５６０３ａ　スイッチ
５６０３ｂ　スイッチ
５６０３ｃ　スイッチ
５７０３ａ　タイミング
５７０３ｂ　タイミング
５７０３ｃ　タイミング
５８０３ａ　タイミング
５８０３ｂ　タイミング

５８０３ｃ　タイミング
５９０３ａ　トランジスタ
５９０３ｂ　トランジスタ
５９０３ｃ　トランジスタ
６３０１ａ　トランジスタ
６３０１ｂ　トランジスタ
６３０２ａ　トランジスタ
６３０２ｂ　トランジスタ
７３７７ａ　ゲートバルブ
７４８１ａ　蒸発源
７４８１ｂ　蒸発源
７４８１ｃ　蒸発源
７４８５ａ　材料供給源
７４８５ｂ　材料供給源
７４８５ｃ　材料供給源
７８０６Ｂ　カラーフィルター
７８０６Ｇ　カラーフィルター
７８０６Ｒ　カラーフィルター
８６０４ａ　絶縁層
８６０４ｂ　絶縁層
９００１０　電源回路
９００１１　音声処理回路
９００１２　送受信回路
９００１３　ＦＰＣ
９００１４　インターフェース部
９００１５　アンテナ用ポート
９００１６　ＶＲＡＭ
９００１７　ＤＲＡＭ
９００１８　フラッシュメモリ
９００１９　インターフェース
９００２０　制御信号生成回路
９００２１　デコーダ
９００２２　レジスタ
９００２３　演算回路
９００２４　ＲＡＭ
９００２５　入力手段
９００２６　マイク
９００２７　スピーカー
９００２８　アンテナ
９１０１３　ＦＰＣ
９１０３０　ハウジング
９１０３１　プリント基板
９１０３２　スピーカ
９１０３３　マイクロフォン
９１０３４　送受信回路
９１０３５　信号処理回路
９１０３６　入力手段
９１０３７　バッテリ
９１０３９　筐体
９３００１　筐体

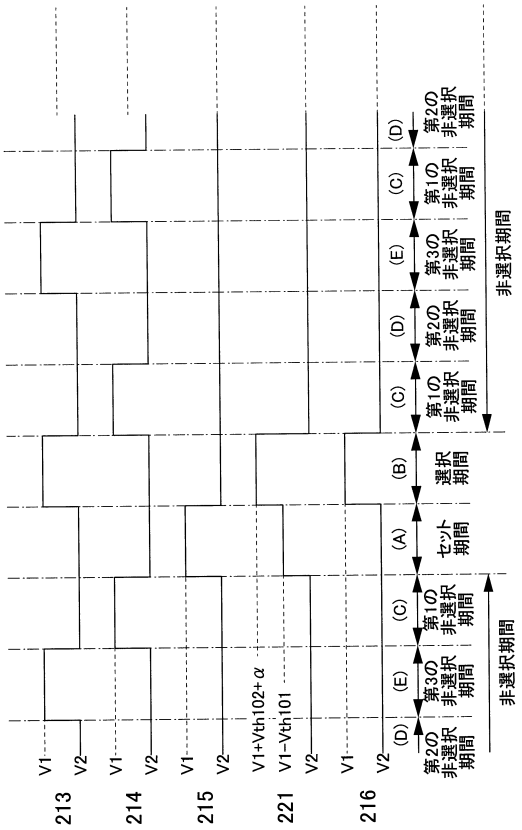
９３００２　支持台
９３００３　表示部
９３００４　スピーカー部
９３００５　ビデオ入力端子
９３１０１　本体
９３１０２　表示部
９３１０３　受像部
９３１０４　操作キー
９３１０５　外部接続ポート
９３１０６　シャッターボタン
９３２０１　本体
９３２０２　筐体
９３２０３　表示部
９３２０４　キーボード
９３２０５　外部接続ポート
９３２０６　ポインティングデバイス
９３３０１　本体
９３３０２　表示部
９３３０３　スイッチ
９３３０４　操作キー
９３３０５　赤外線ポート
９３４０１　本体
９３４０２　筐体
９３４０３　表示部Ａ
９３４０４　表示部Ｂ
９３４０５　部
９３４０６　操作キー
９３４０７　スピーカー部
９３５０１　本体
９３５０２　表示部
９３５０３　アーム部
９３６０１　本体
９３６０２　表示部
９３６０３　筐体
９３６０４　外部接続ポート
９３６０５　リモコン受信部
９３６０６　受像部
９３６０７　バッテリー
９３６０８　音声入力部
９３６０９　操作キー
９３７０１　本体
９３７０２　筐体
９３７０３　表示部
９３７０４　音声入力部
９３７０５　音声出力部
９３７０６　操作キー
９３７０７　外部接続ポート
９３７０８　アンテナ
１０２０４ａ　絶縁層
１０２０４ｂ　絶縁層

【要約】
【課題】出力信号のノイズが小さく、且つトランジスタの特性劣化を抑制することができるシフトレジスタを提供する。
【解決手段】第１のトランジスタ、第２のトランジスタ、第３のトランジスタ及び第４のトランジスタを設け、第１のトランジスタにおいて、第１端子を第１の配線に接続し、第２端子を第２のトランジスタのゲート端子に接続し、ゲート端子を第５の配線に接続し、第２のトランジスタにおいて第１端子を第３の配線に接続し、第２端子を第６の配線に接続し、第３のトランジスタにおいて第１端子を第２の配線に接続し、第２端子を第２のトランジスタのゲート端子に接続し、ゲート端子を第４の配線に接続し、第４のトランジスタにおいて第１端子を第２の配線に接続し、第２端子を第６の配線に接続し、ゲート端子を第４の配線に接続することを特徴としている。
【選択図】図１

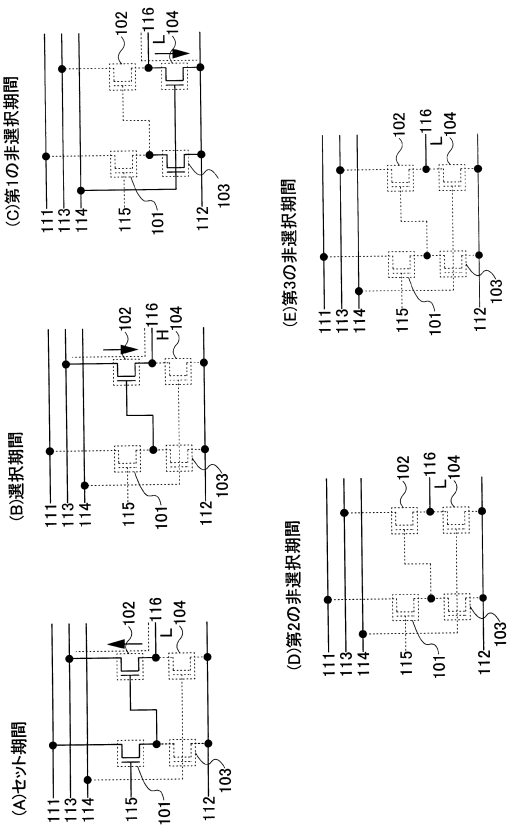
【図１】



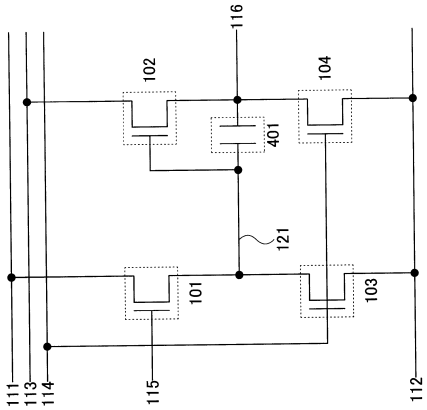
【図２】



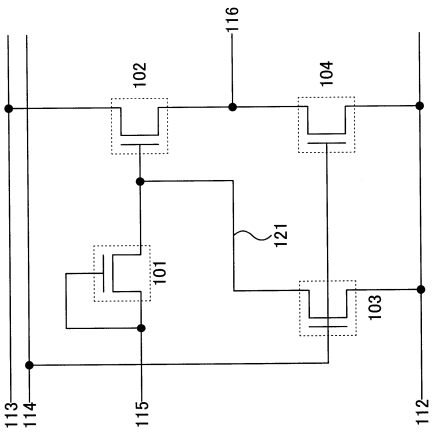
【図３】


(A)セット期間
(B)選択期間
(C)第1の非選択期間
(D)第2の非選択期間
(E)第3の非選択期間
H
L
111
113
114
115
101
112
103
102
116
104

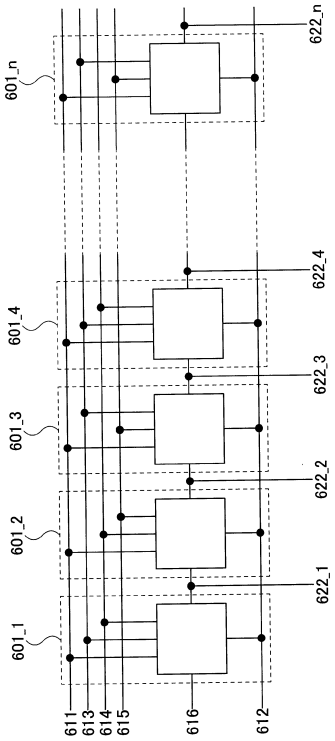
【図４】


102
116
104
401
121
101
103
111
113
114
115
112

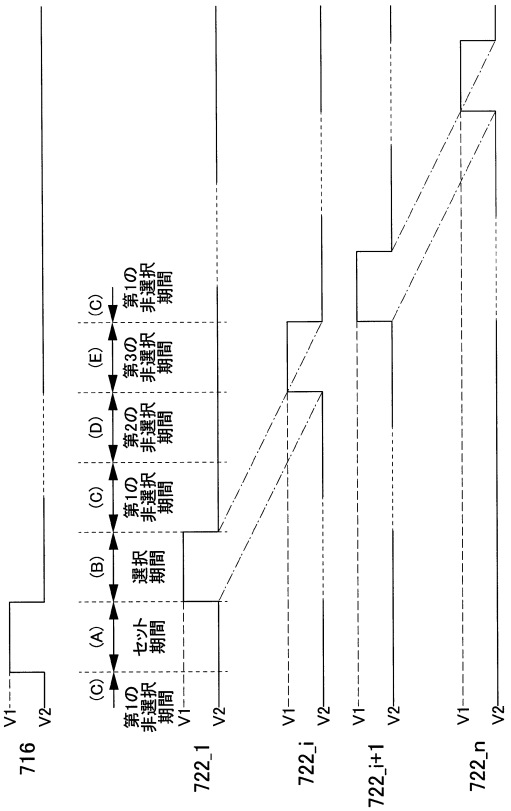
【図５】


102
116
104
121
101
103
113
114
115
112

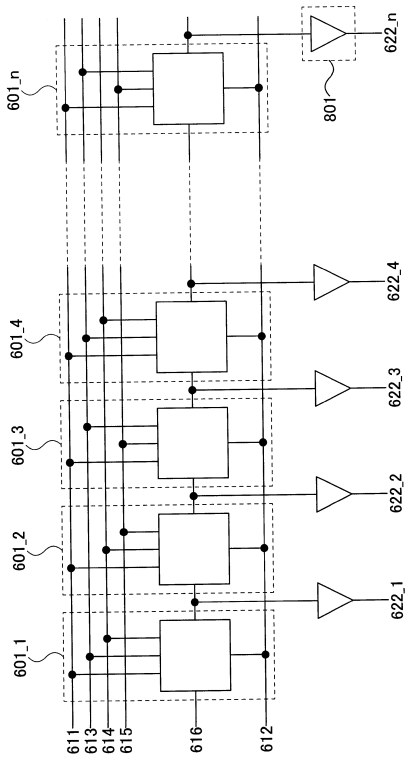
【図６】


601_n
622_n
601_4
622_4
601_3
622_3
601_2
622_2
601_1
622_1
611
613
614
615
616
612

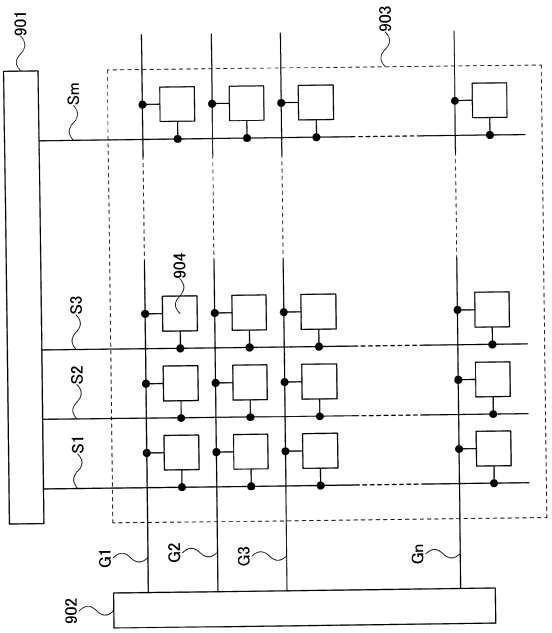
【図７】


(A)
セット期間
(B)
選択期間
(C)
第1の非選択期間
(D)
第2の非選択期間
(E)
第3の非選択期間
(C)
第1の非選択期間
V1
V2
716
722_1
722_j
722_j+1
722_n

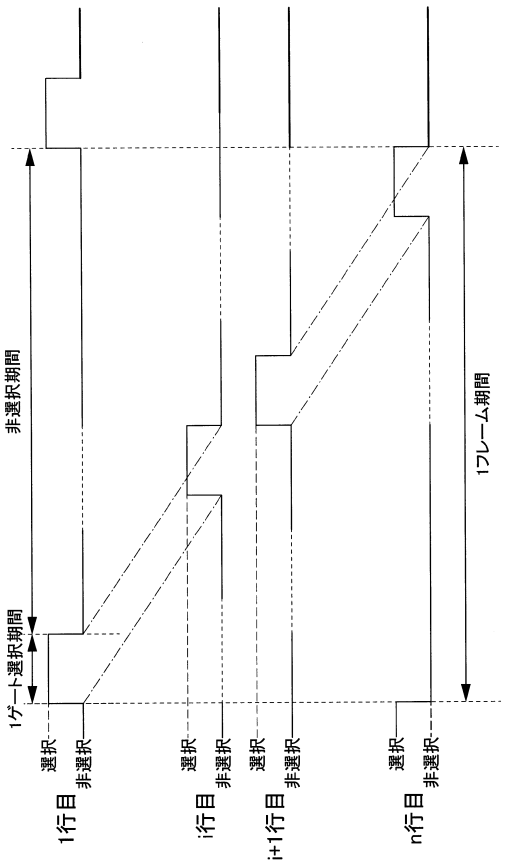
【図８】


601_n
622_n
801
601_4
622_4
601_3
622_3
601_2
622_2
601_1
622_1
611
613
614
615
616
612

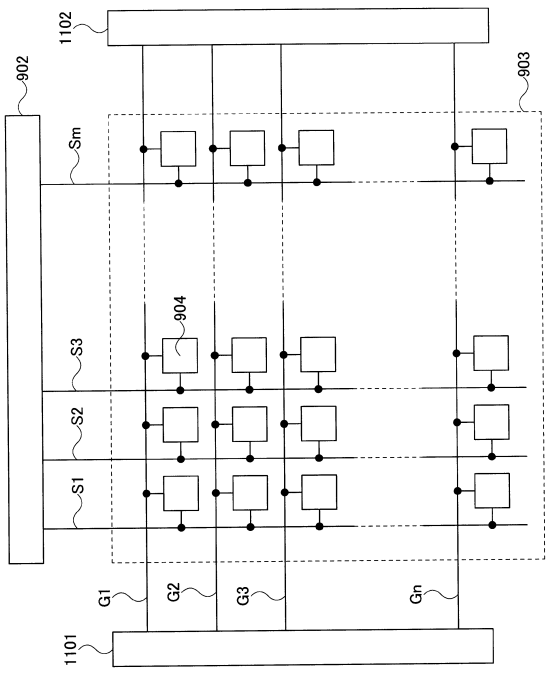
【図９】


901
903
Sm
904
S3
S2
S1
G1
G2
G3
Gn
902

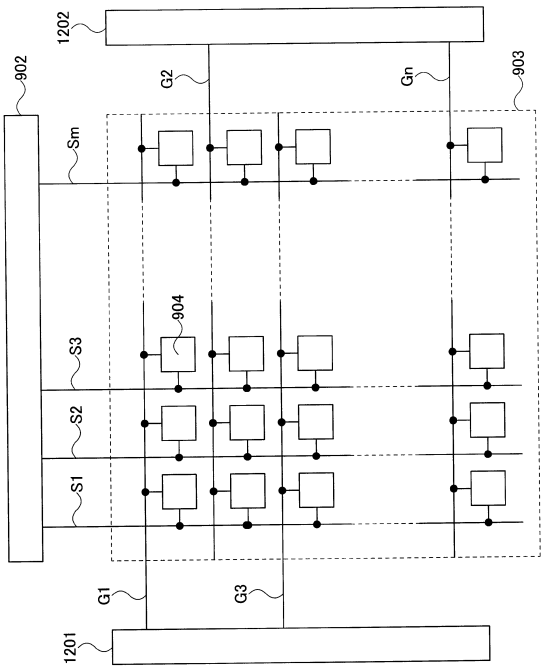
【図１０】


非選択期間
1ゲート選択期間
1フレーム期間
選択
非選択
1行目
i行目
i+1行目
n行目

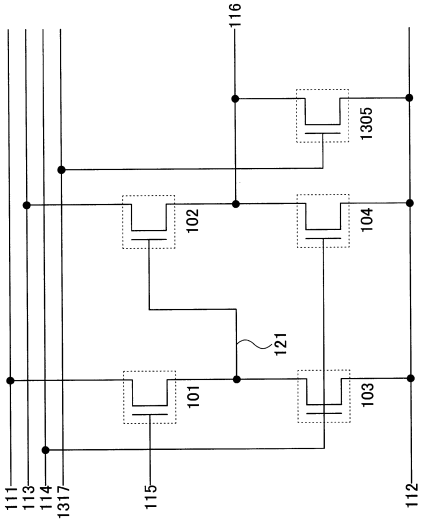
【図１１】


1102
902
903
Sm
904
S3
S2
S1
G1
G2
G3
Gn
1101

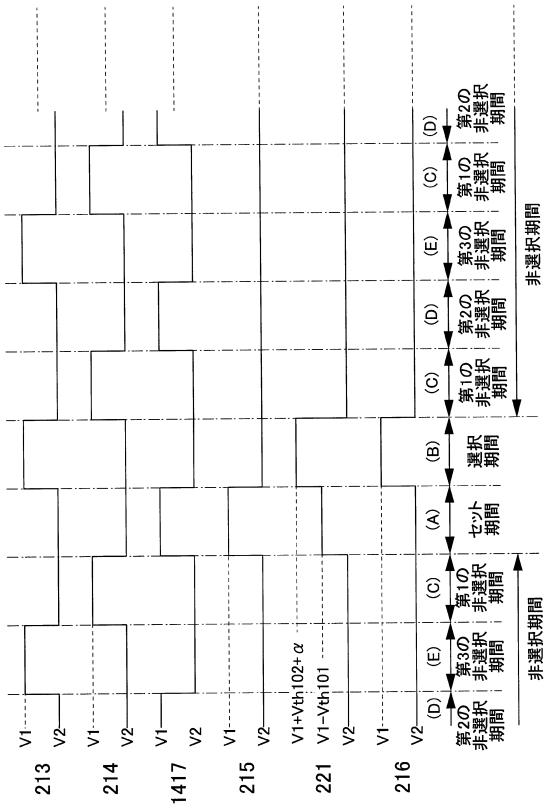
【図１２】



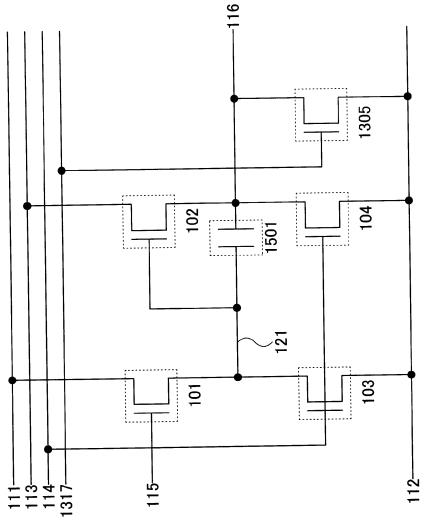
【図１３】



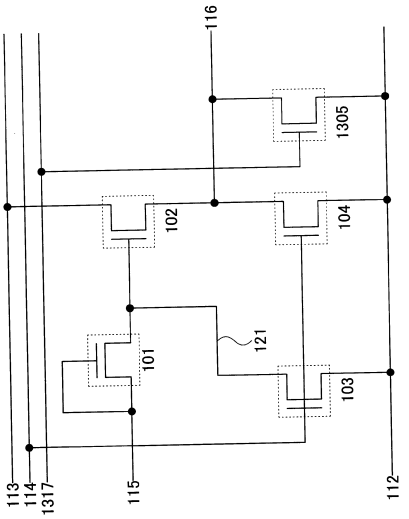
【図１４】



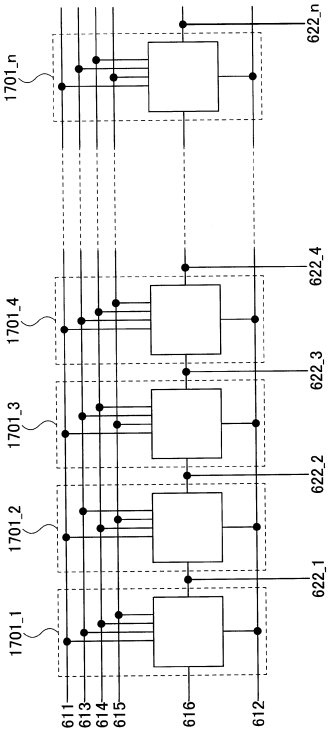
【図１５】



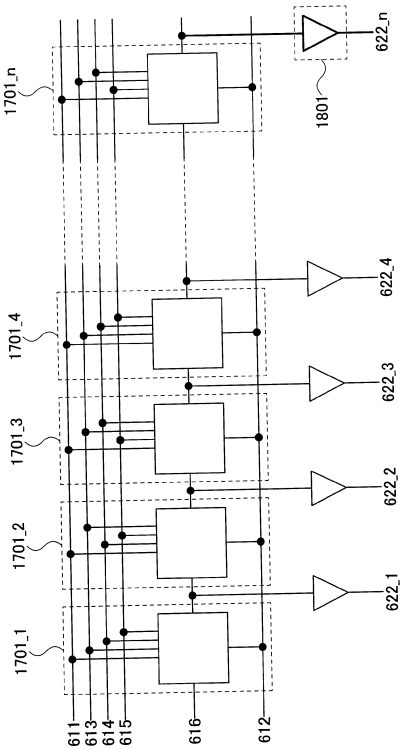
【図１６】



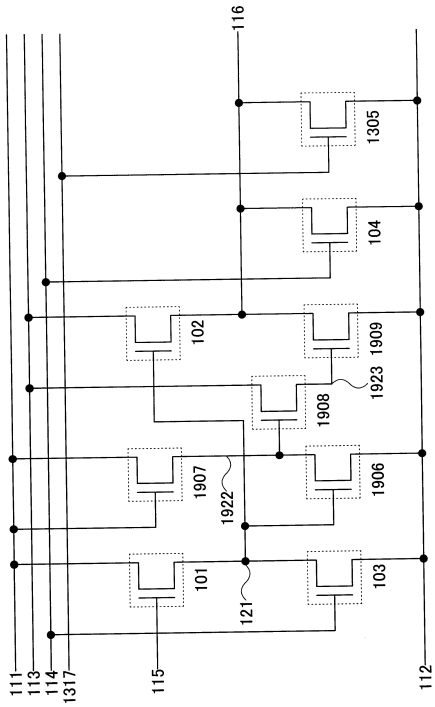
【図１７】



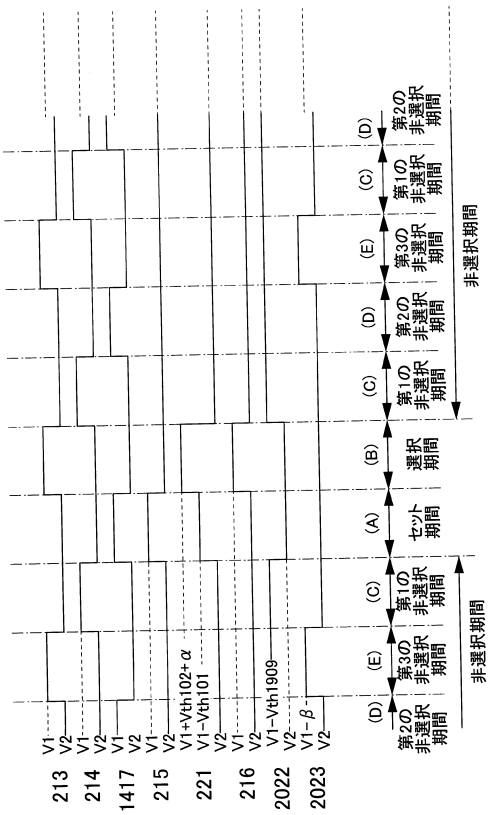
【図１８】



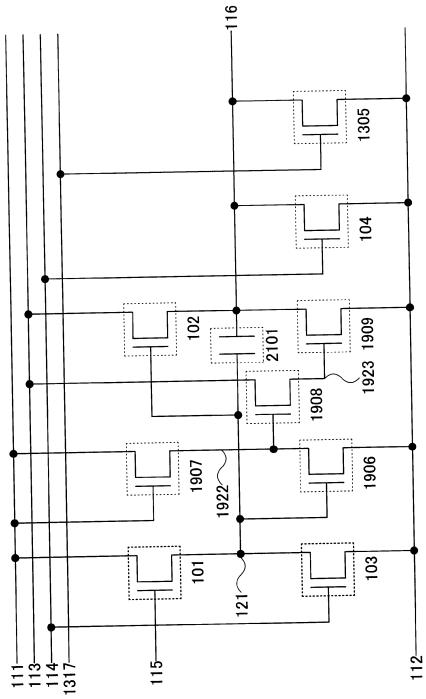
【図１９】



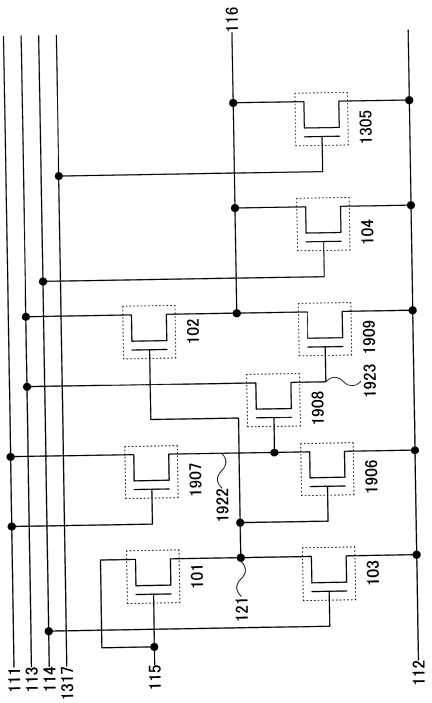
【図２０】



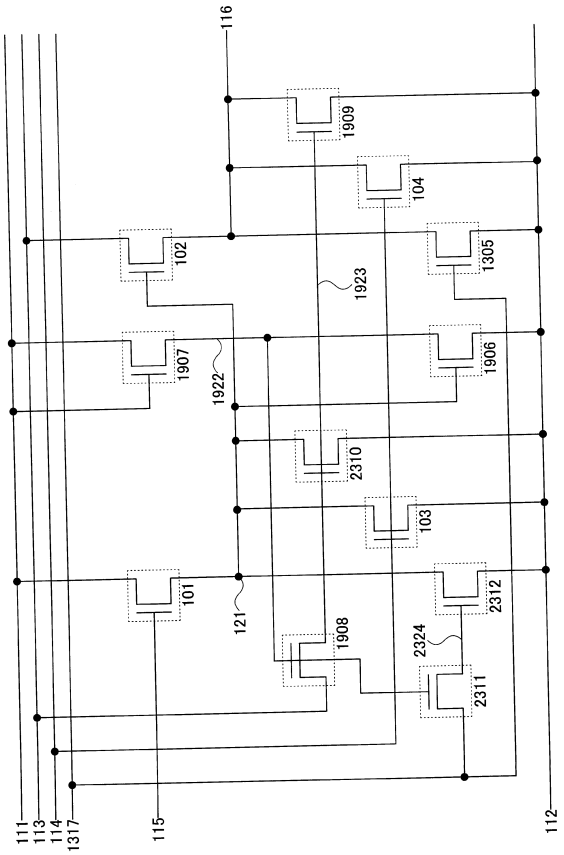
【図２１】



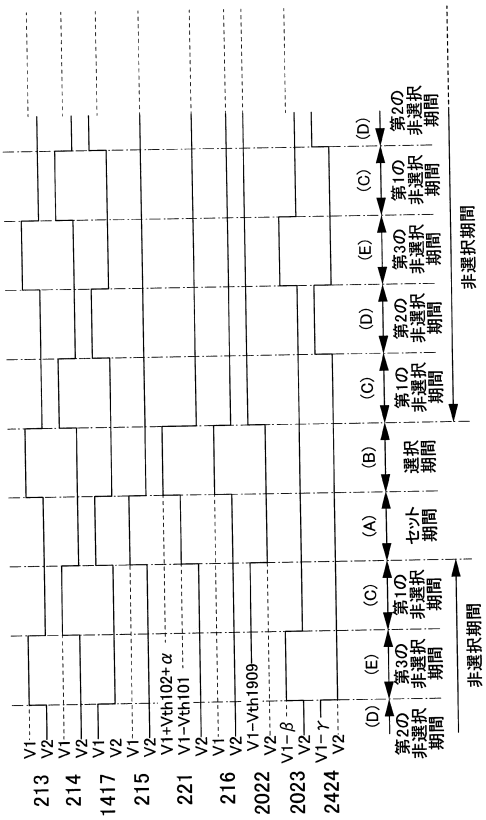
【図２２】



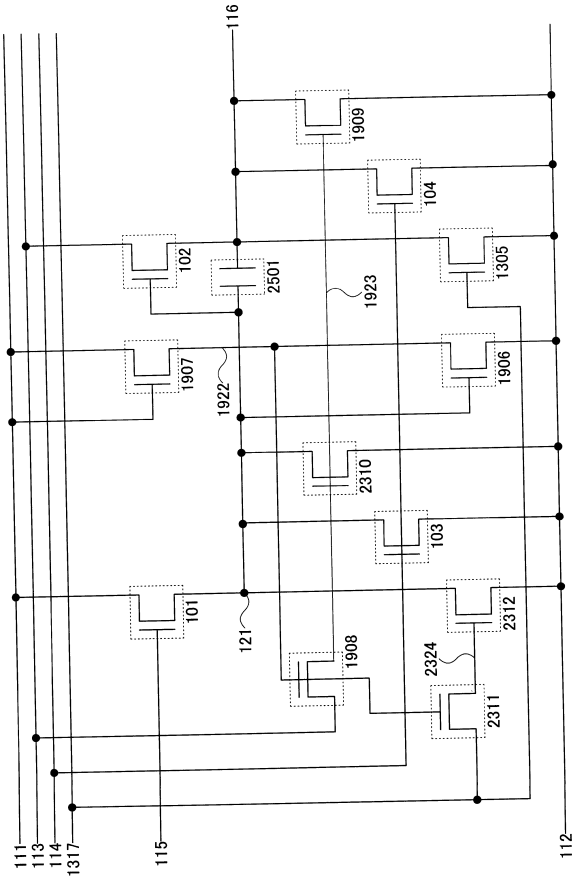
【図２３】



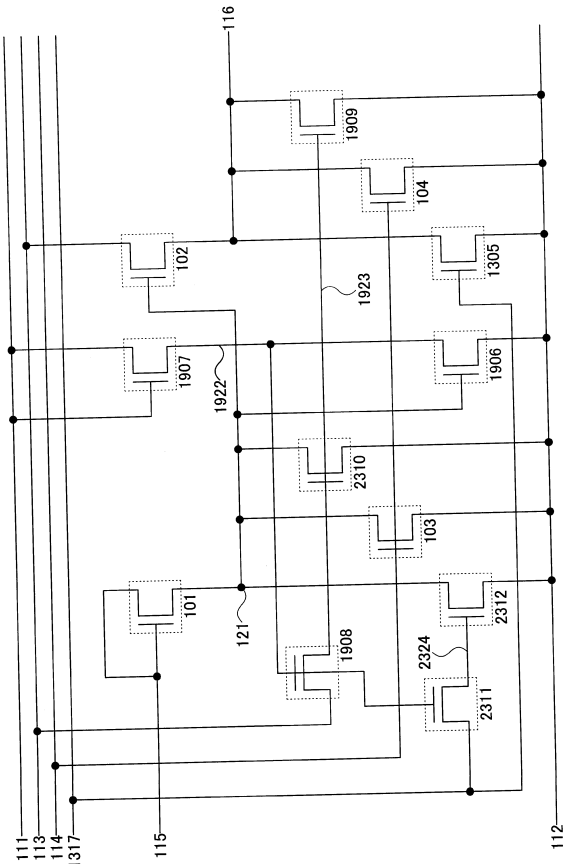
【図２４】



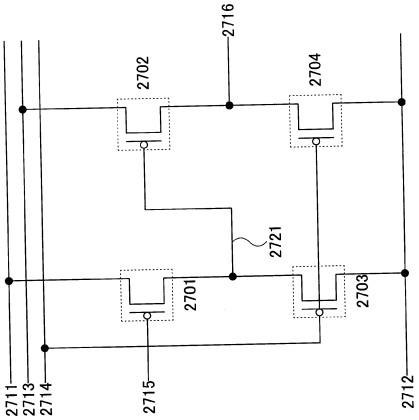
【図２５】



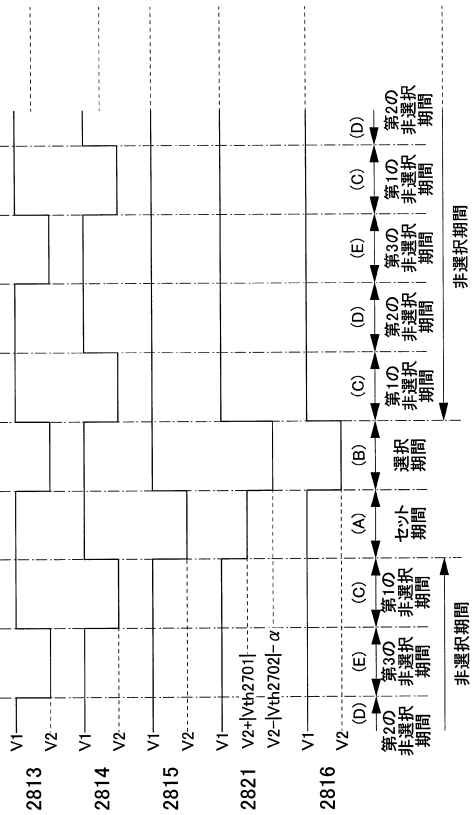
【図２６】



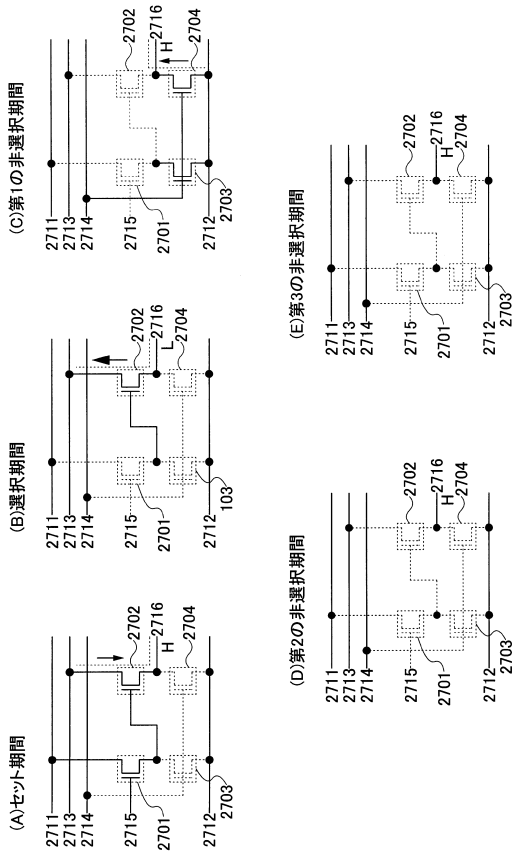
【図２７】



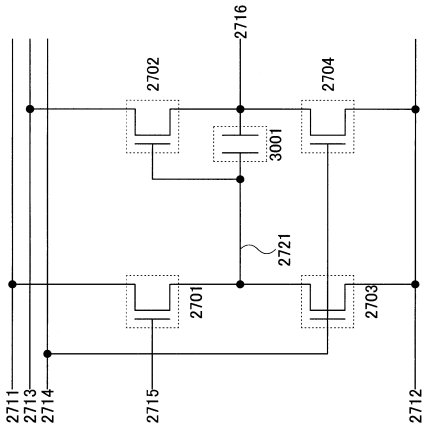
【図２８】



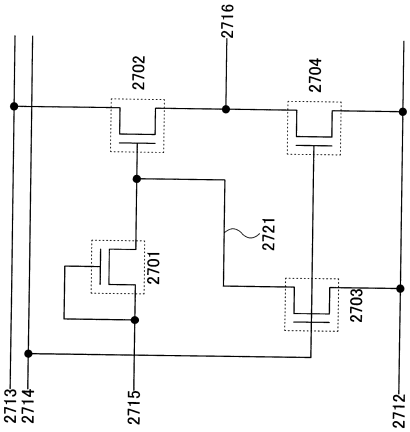
【図２９】



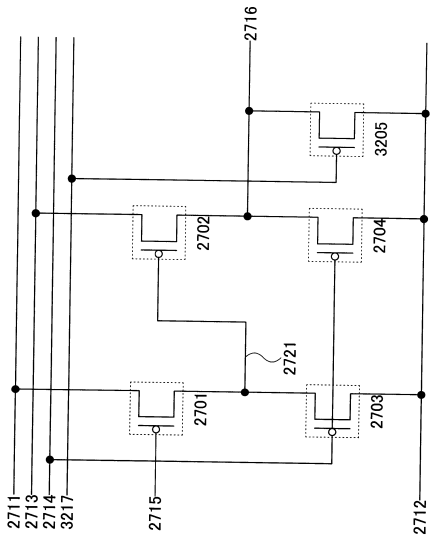
【図３０】



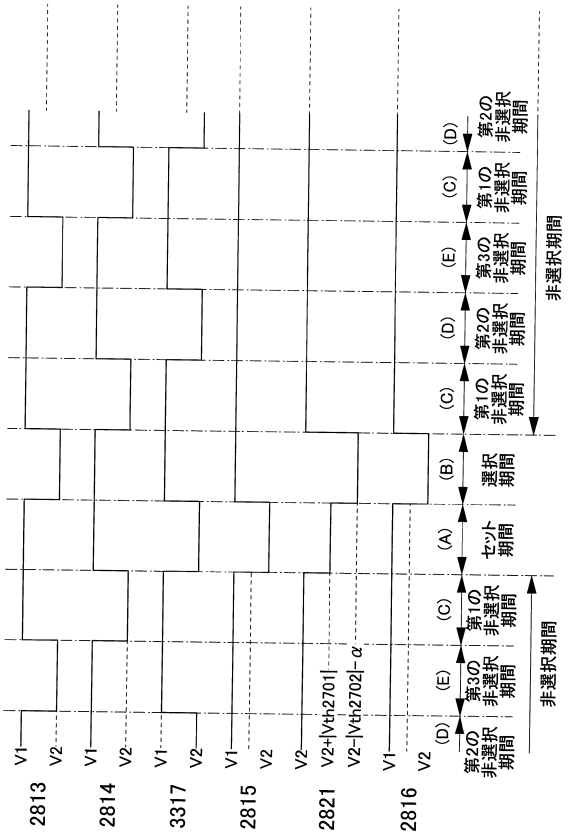
【図３１】



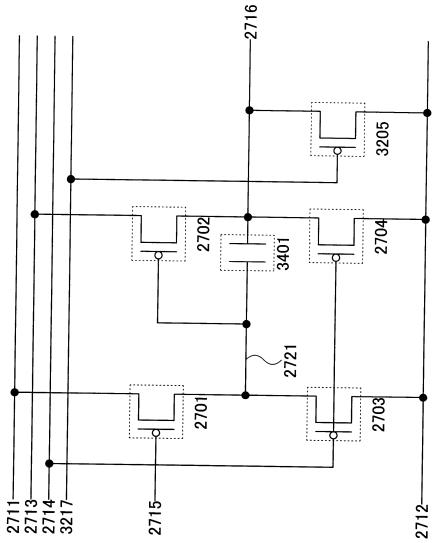
【図３２】



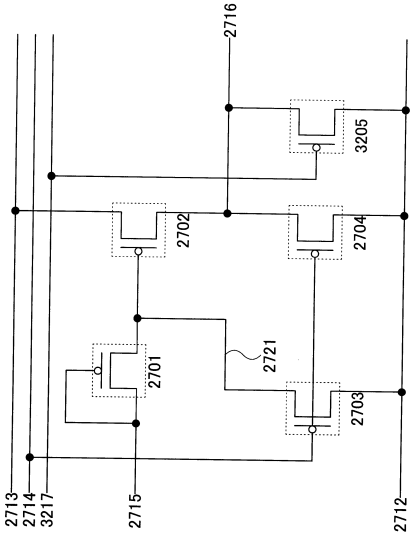
【図３３】



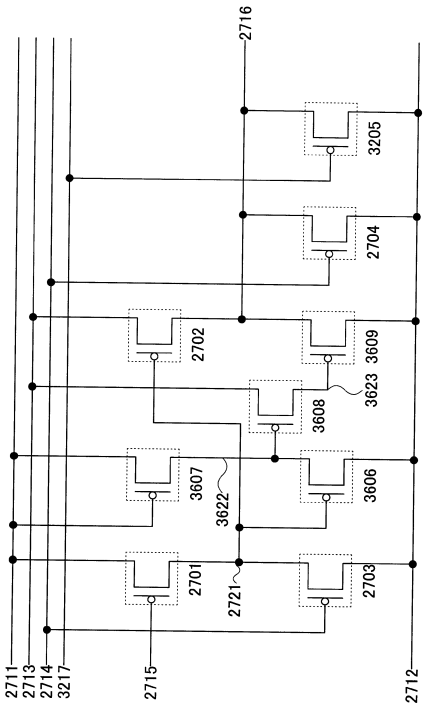
【図３４】



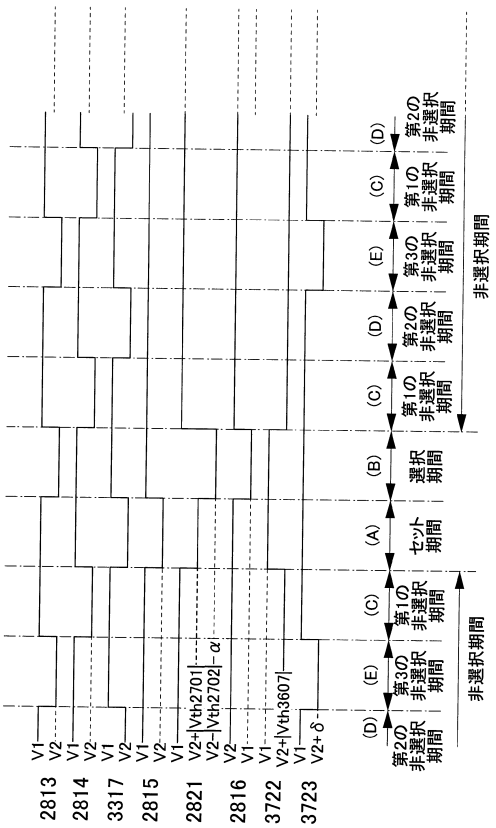
【図３５】



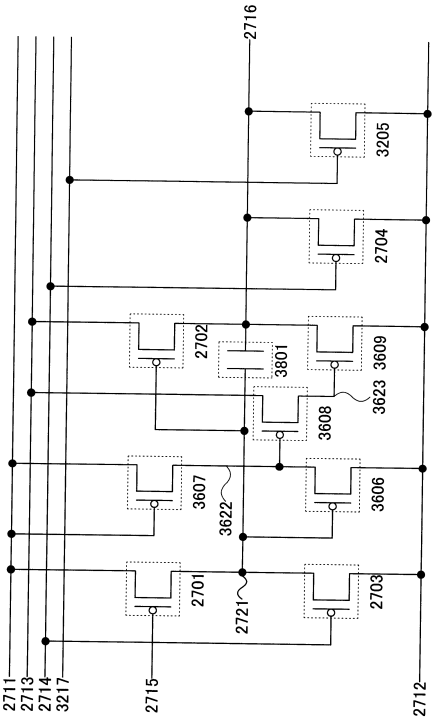
【図３６】



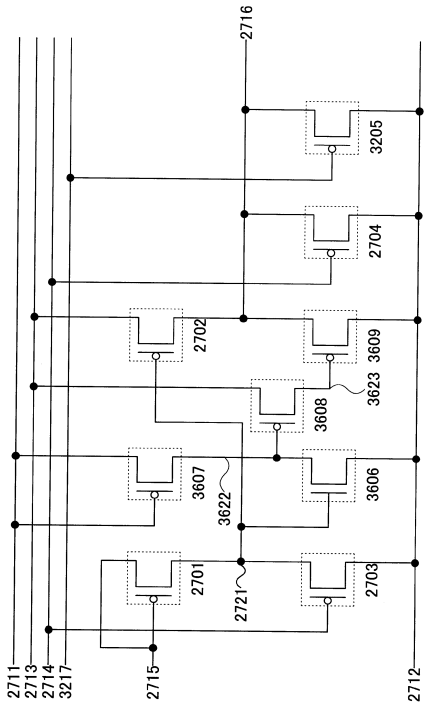
【図３７】



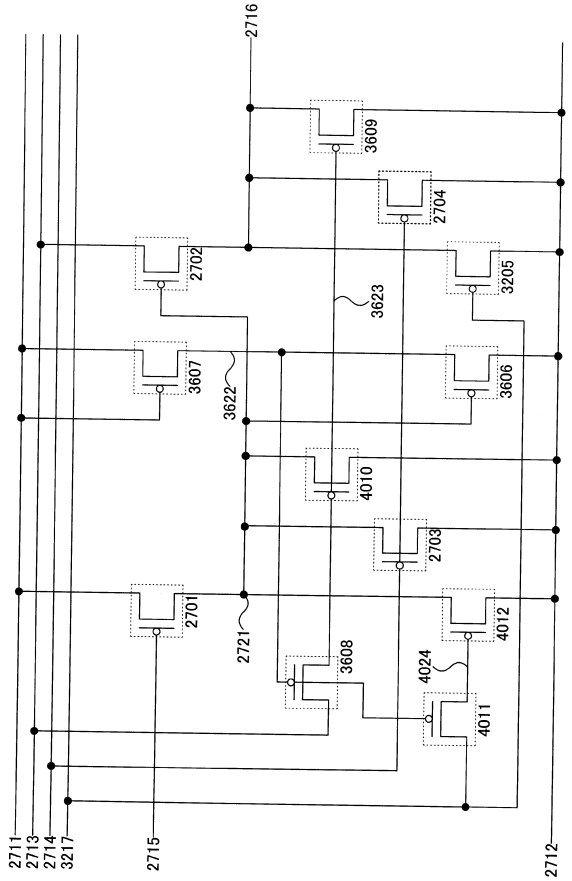
【図３８】



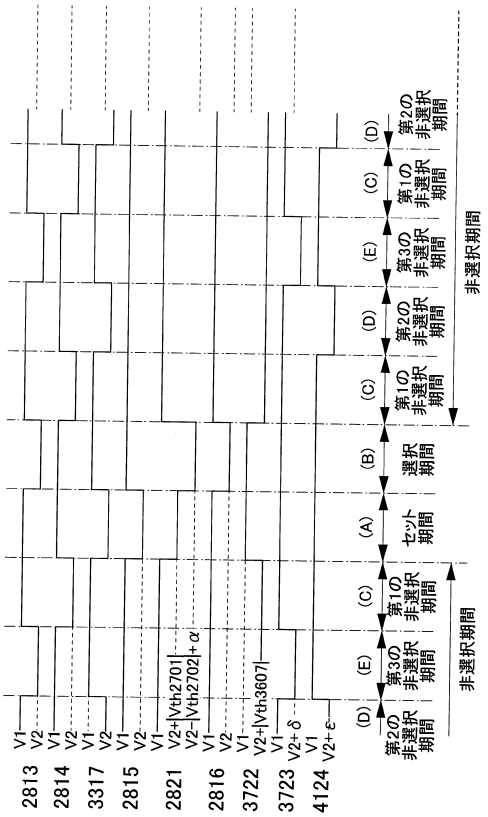
【図３９】



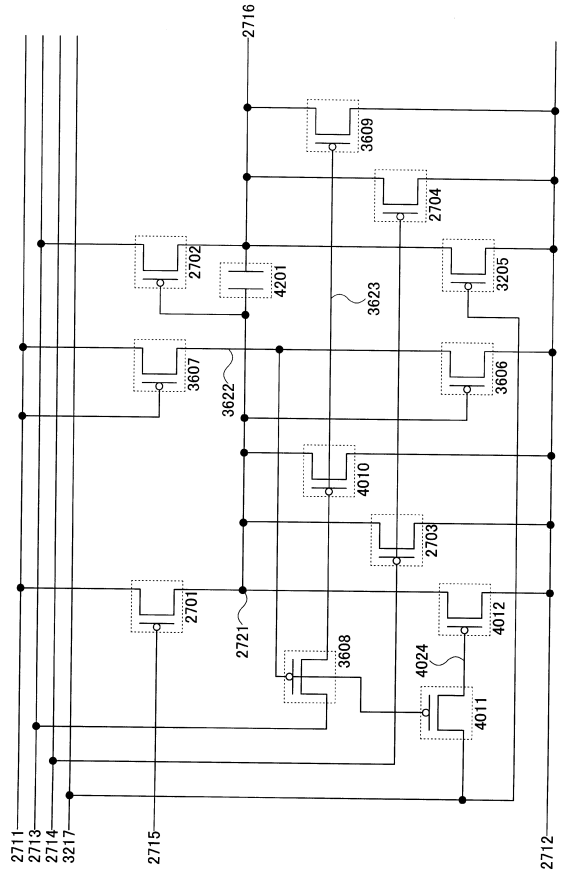
【図４０】



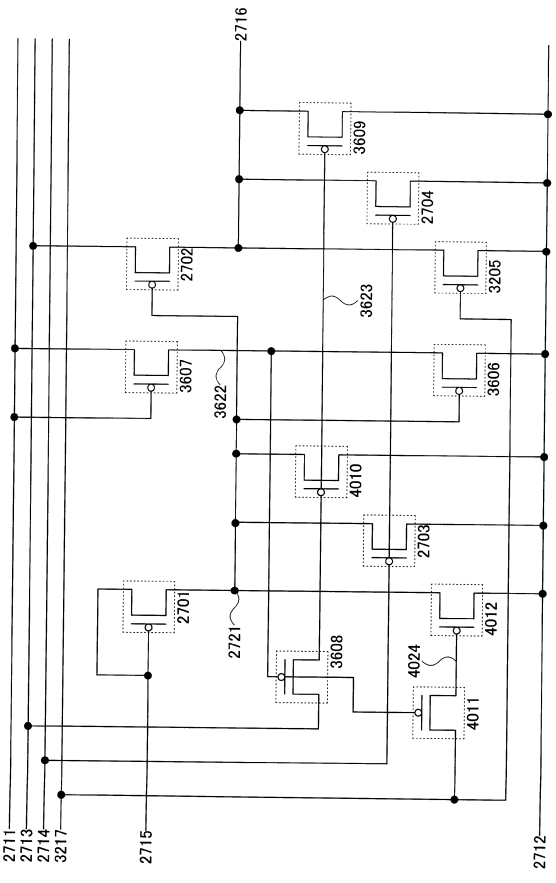
【図４１】



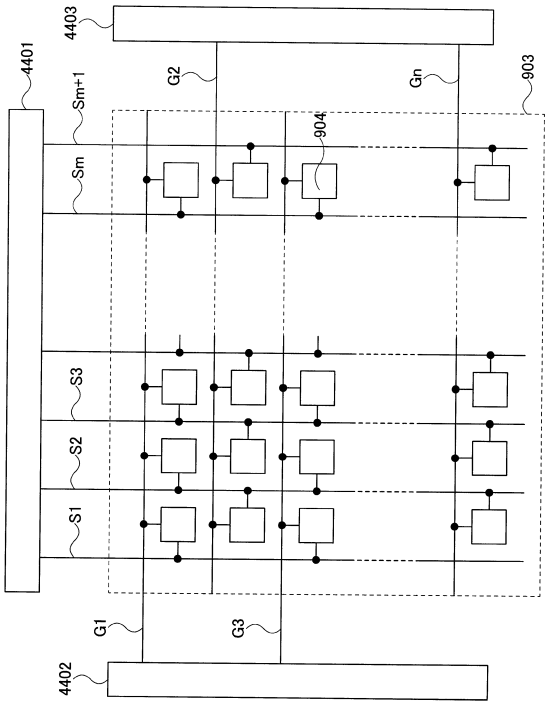
【図４２】



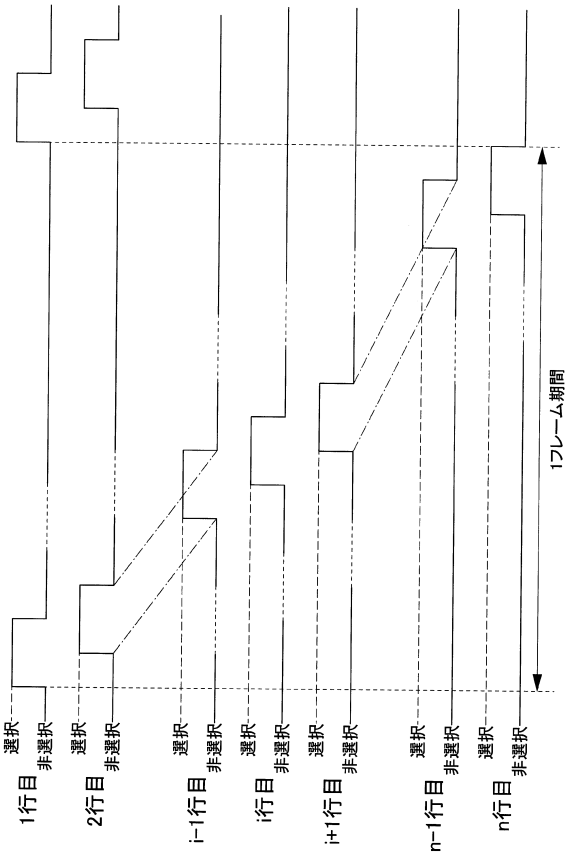
【図４３】



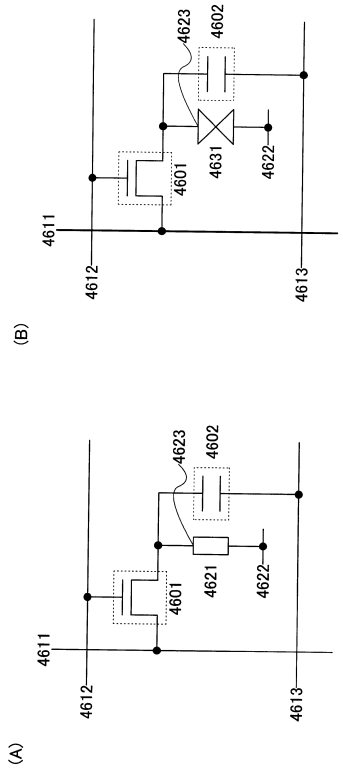
【図４４】



【図４５】

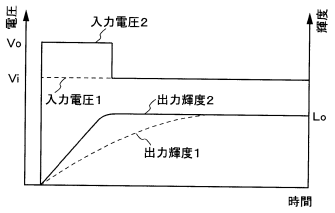


【図４６】

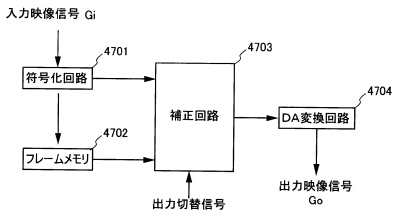


【図４７】

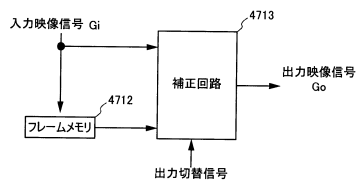
（Ａ）電圧と輝度



（Ｂ）オーバードライブ回路（アナログ）

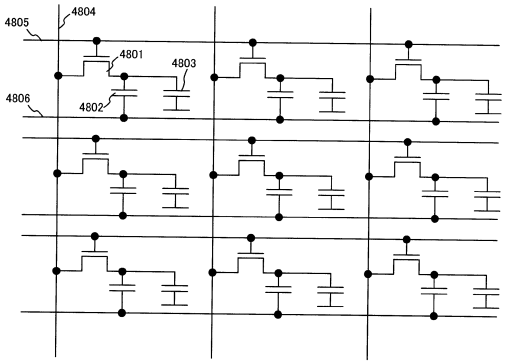


（Ｃ）オーバードライブ回路（デジタル）

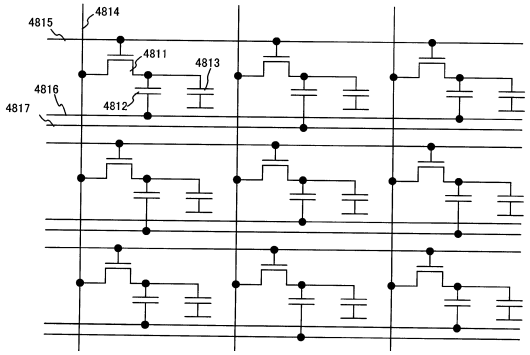


【図４８】

（Ａ）コモン線１本

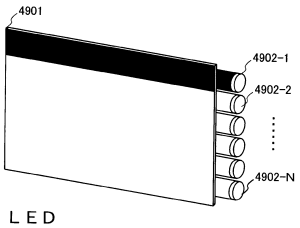


（Ｂ）コモン線２本

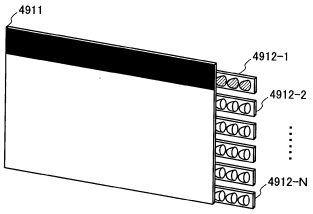


【図４９】

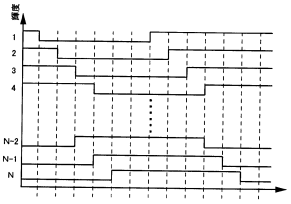
（Ａ）冷陰極管



（Ｂ）ＬＥＤ

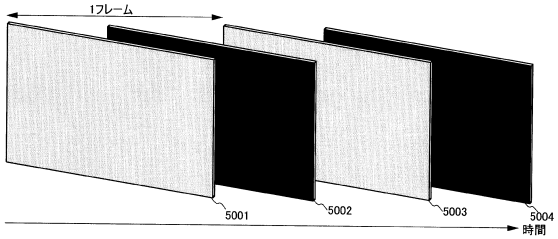


（Ｃ）スキャン

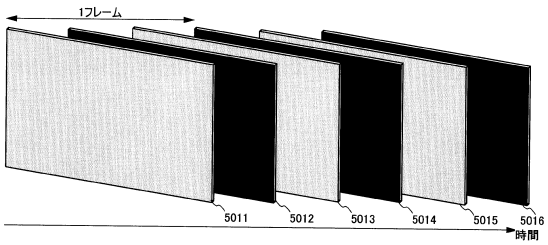


【図５０】

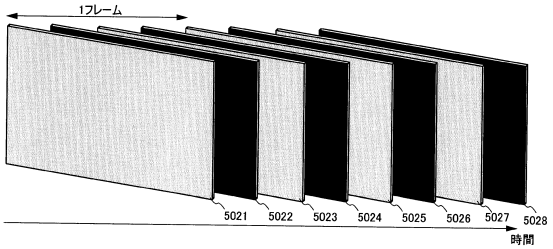
（Ａ）60Hz黒挿入



（Ｂ）90Hz黒挿入

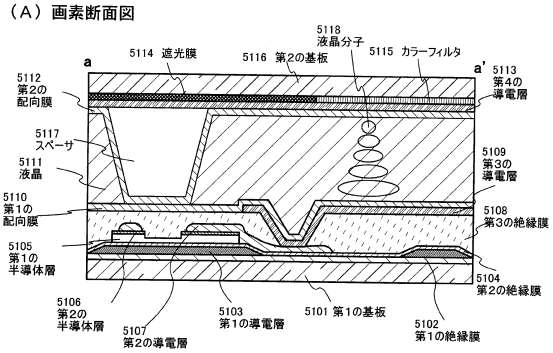


（Ｃ）120Hz黒挿入

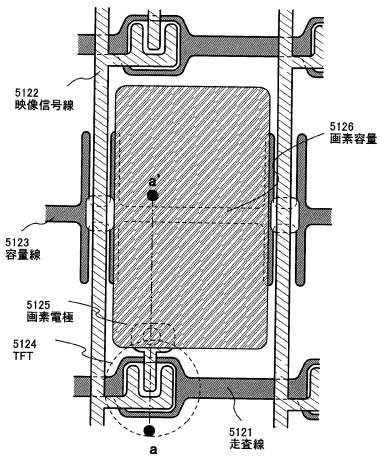


【図５１】

（Ａ）画素断面図

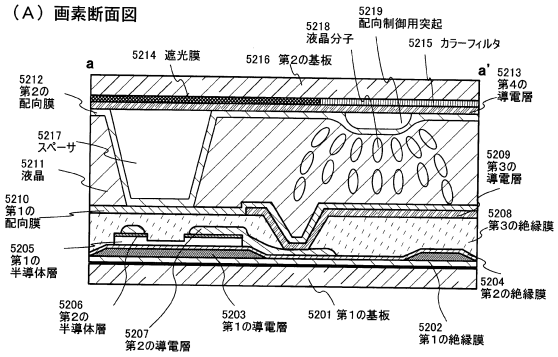


（Ｂ）画素上面図

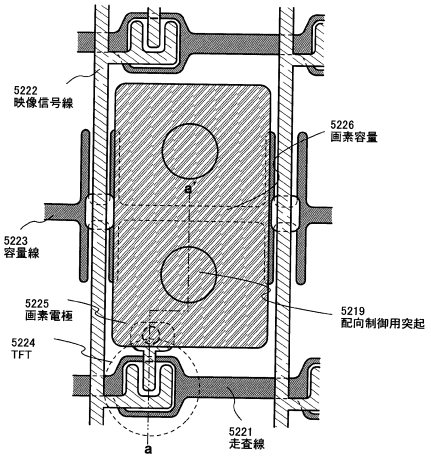


【図５２】

（Ａ）画素断面図

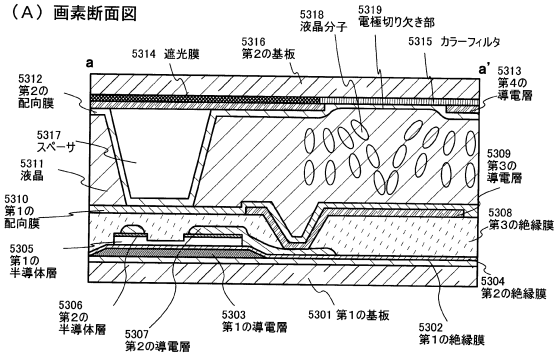


（Ｂ）画素上面図

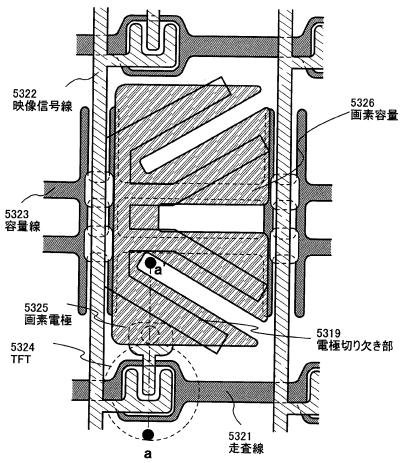


【図５３】

（Ａ）画素断面図

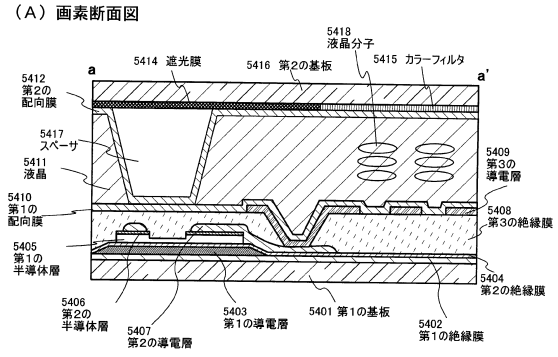


（Ｂ）画素上面図

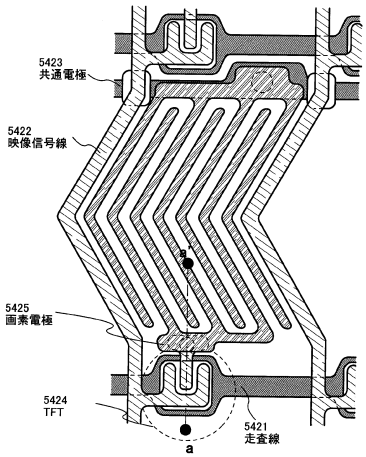


【図５４】

（Ａ）画素断面図

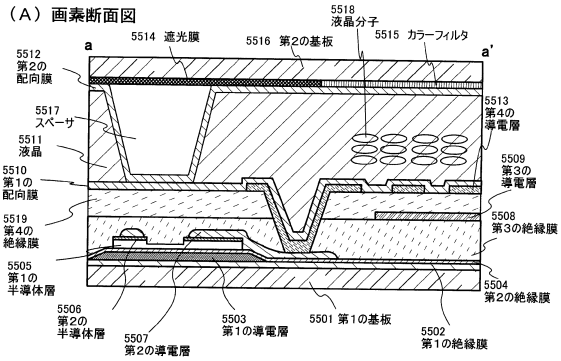


（Ｂ）画素上面図

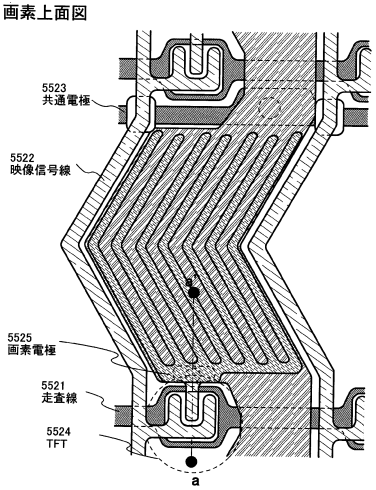


【図５５】

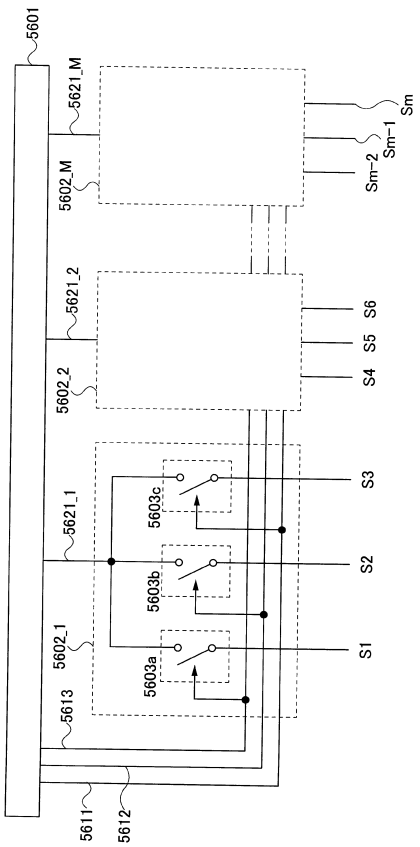
（Ａ）画素断面図



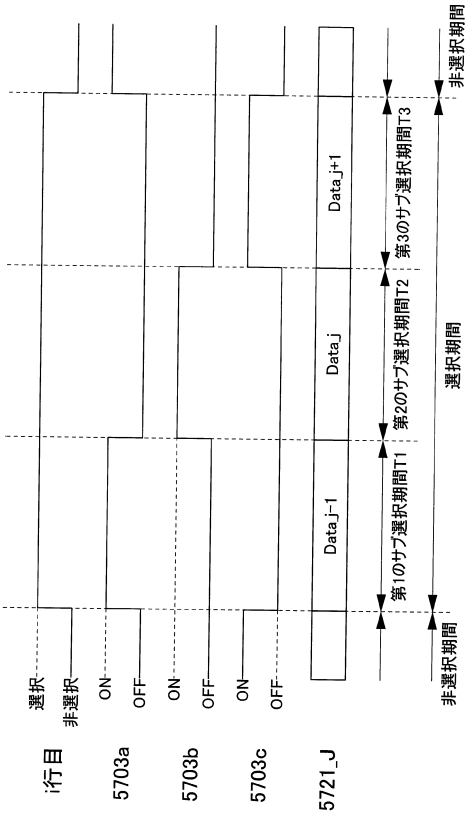
（Ｂ）画素上面図



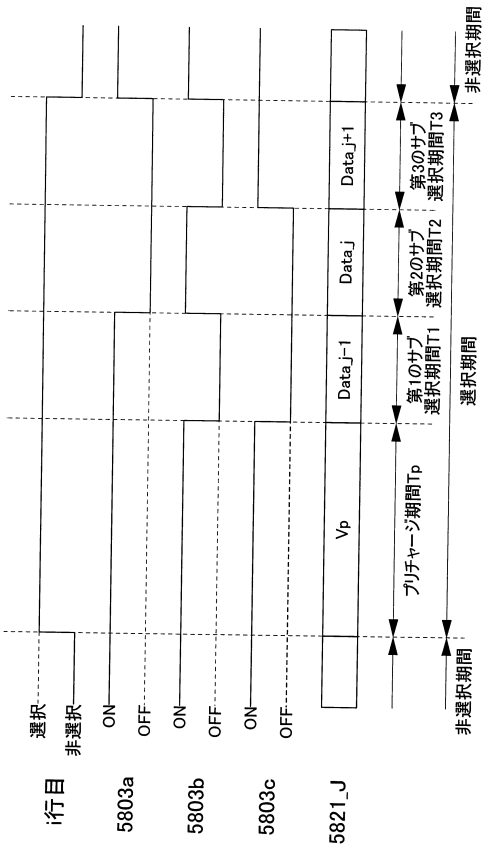
【図５６】



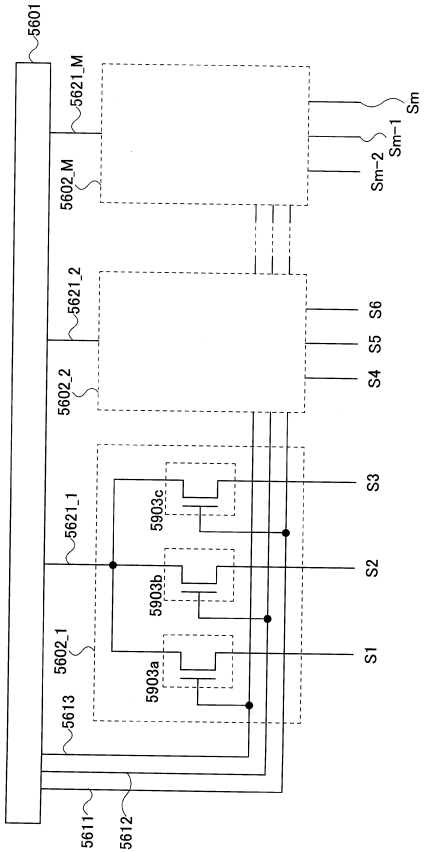
【図５７】



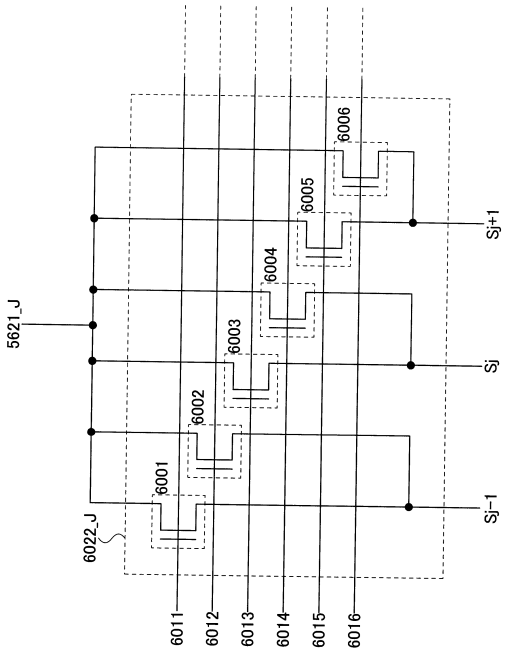
【図５８】



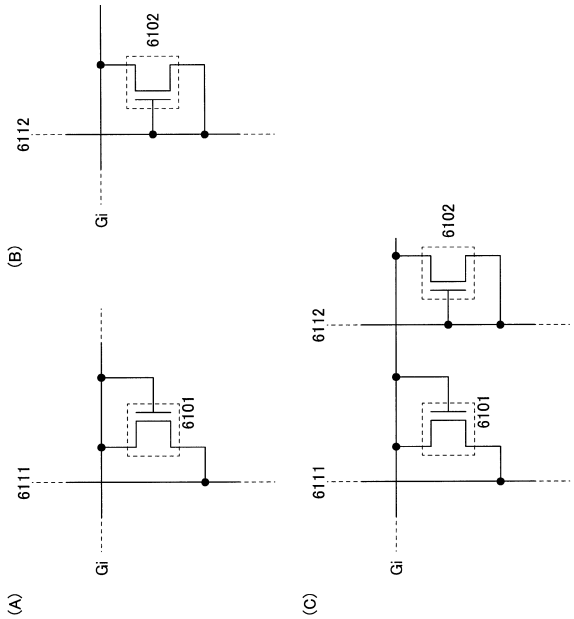
【図５９】



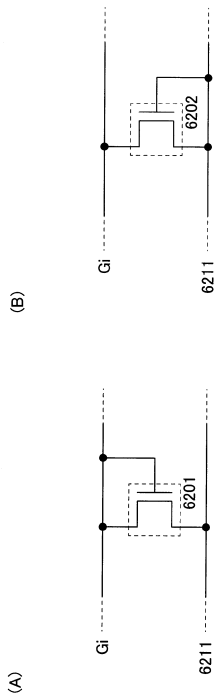
【図６０】



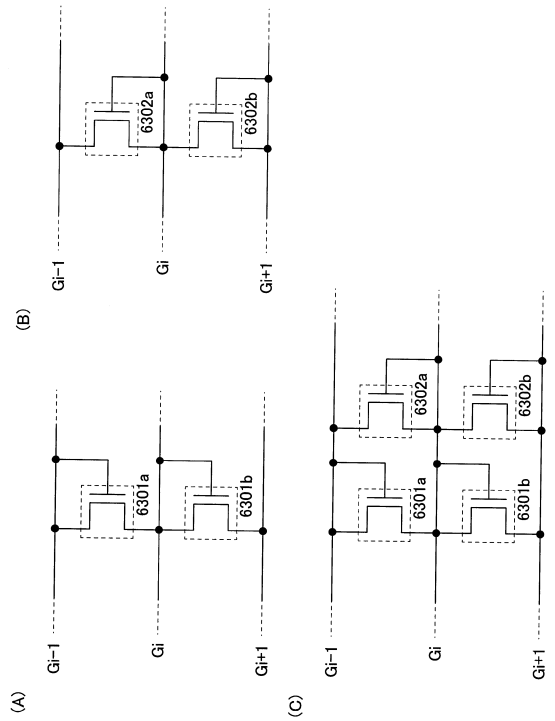
【図６１】



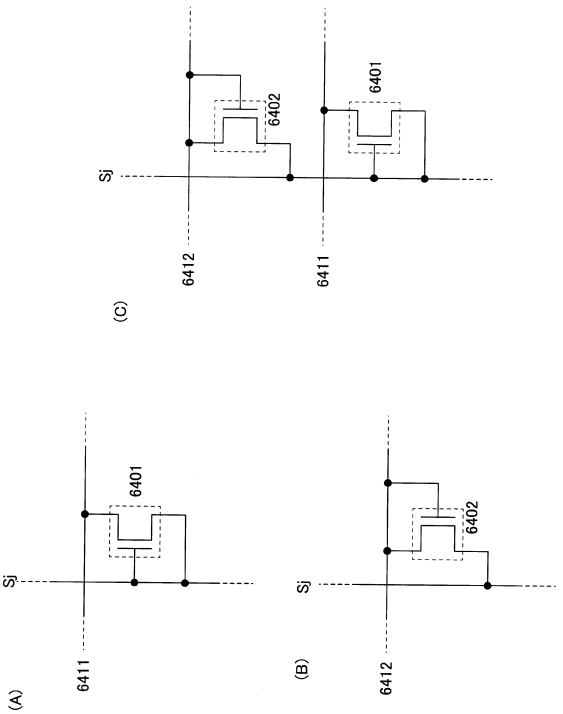
【図６２】



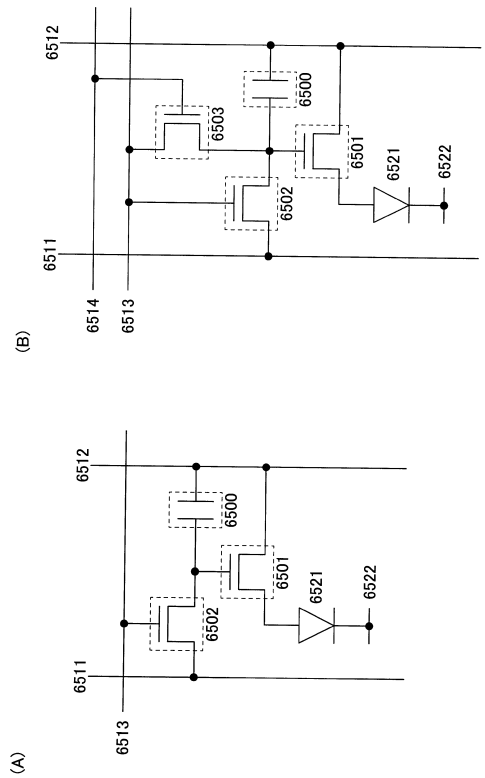
【図６３】



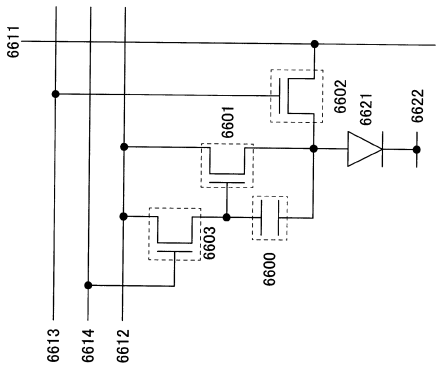
【図６４】



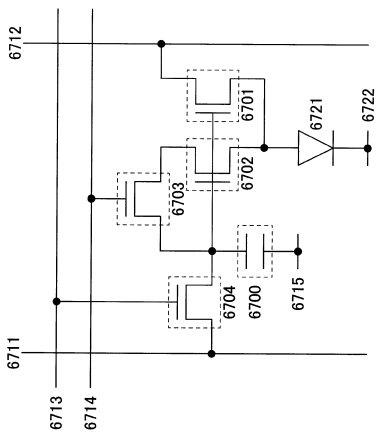
【図６５】



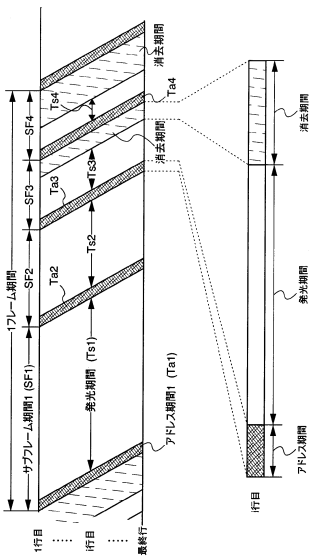
【図６６】



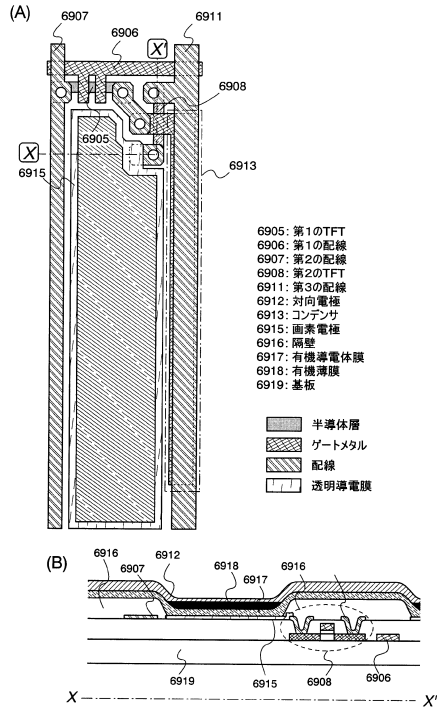
【図６７】



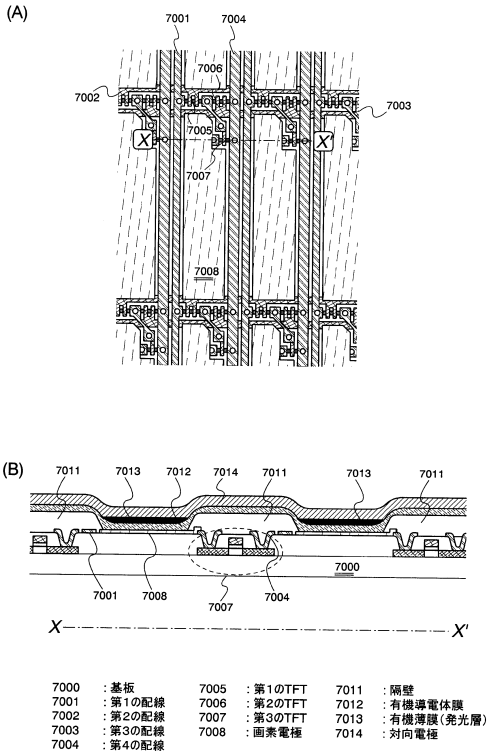
【図６８】



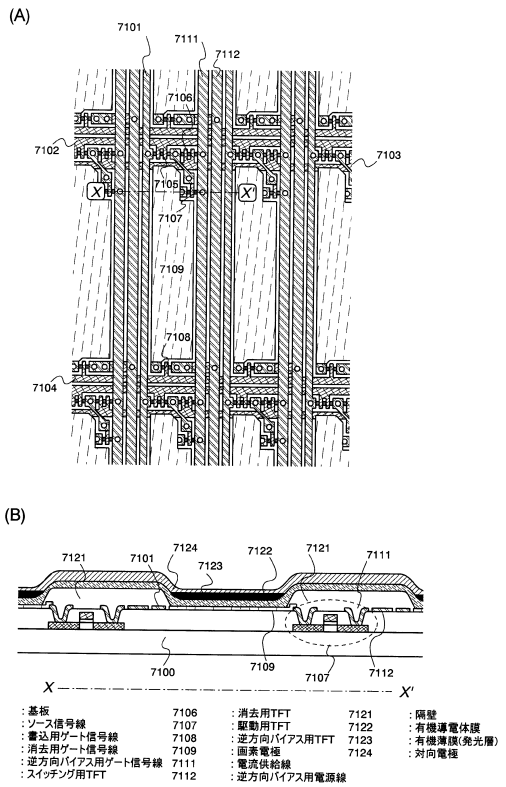
【図６９】



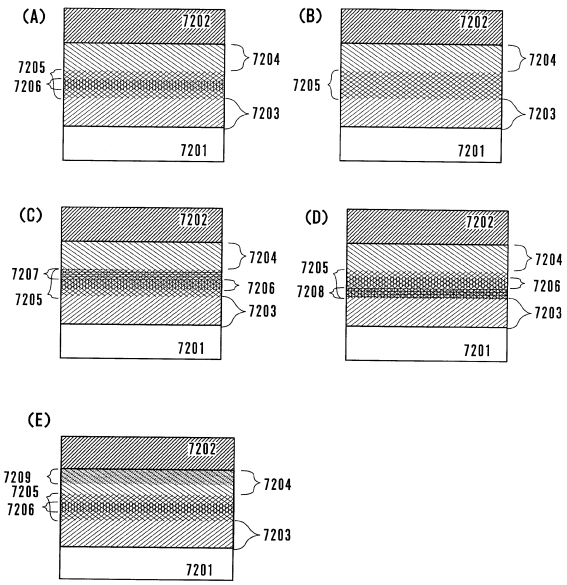
【図７０】



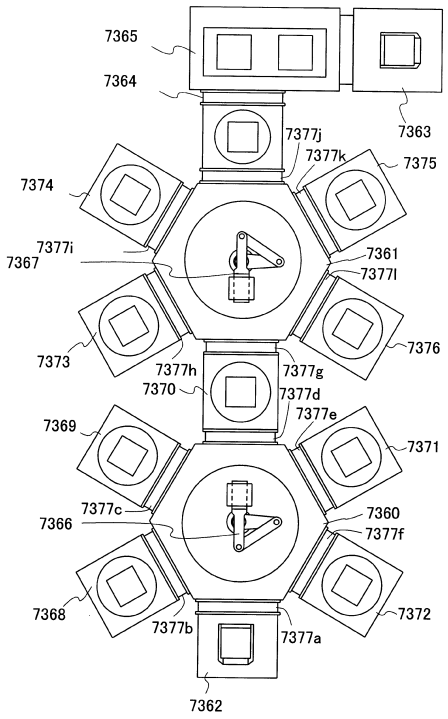
【図７１】



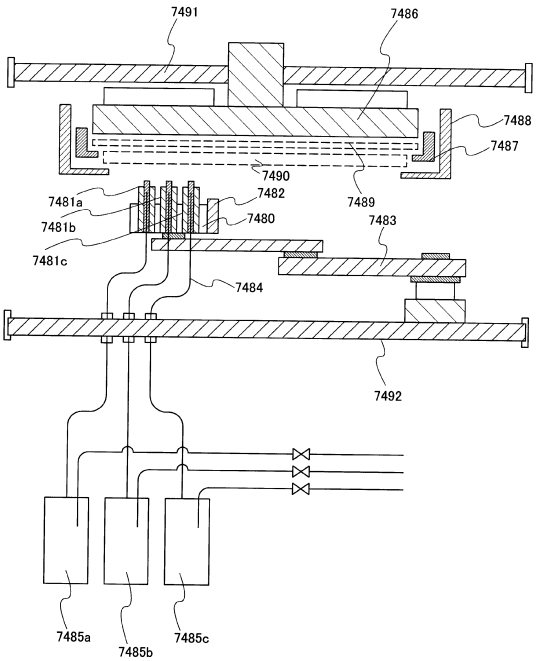
【図７２】



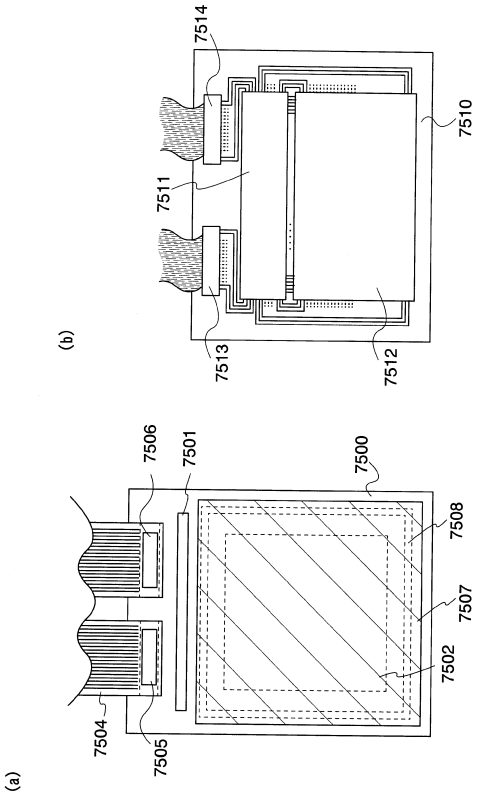
【図７３】



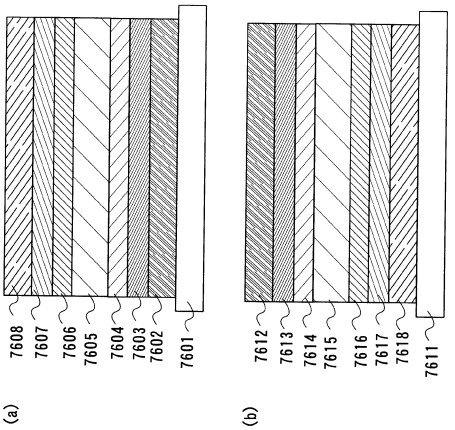
【図７４】



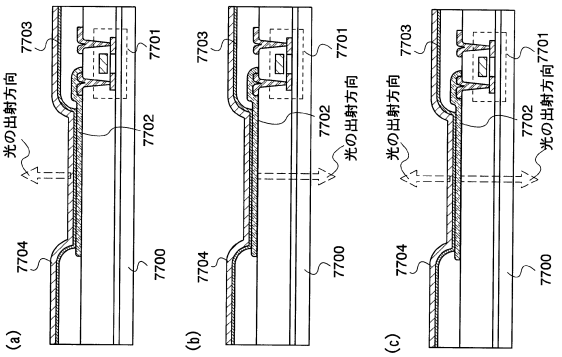
【図７５】



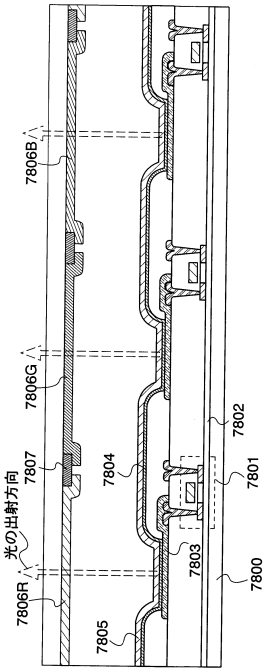
【図７６】



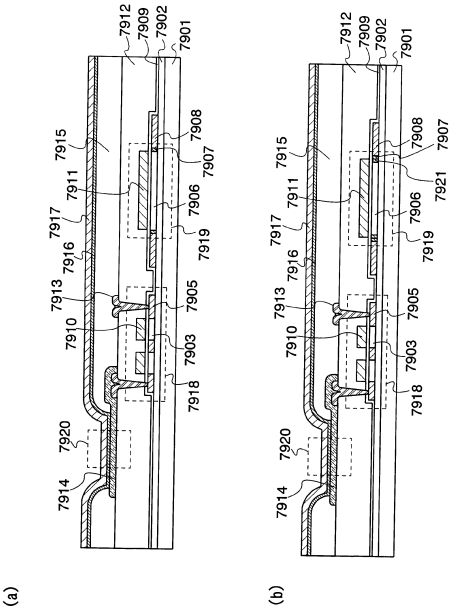
【図７７】



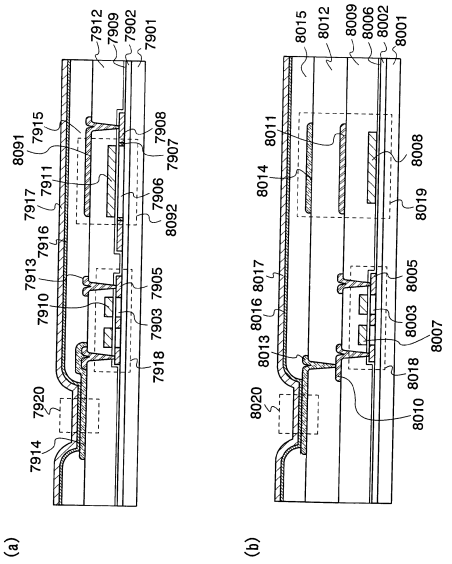
【図７８】



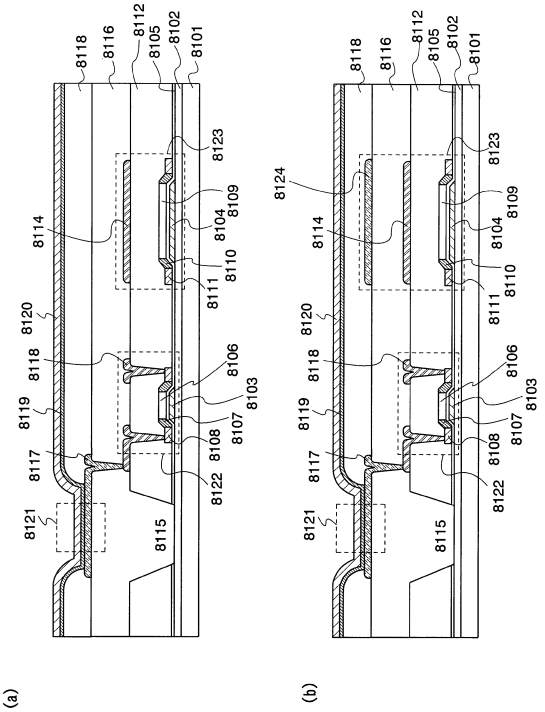
【図７９】



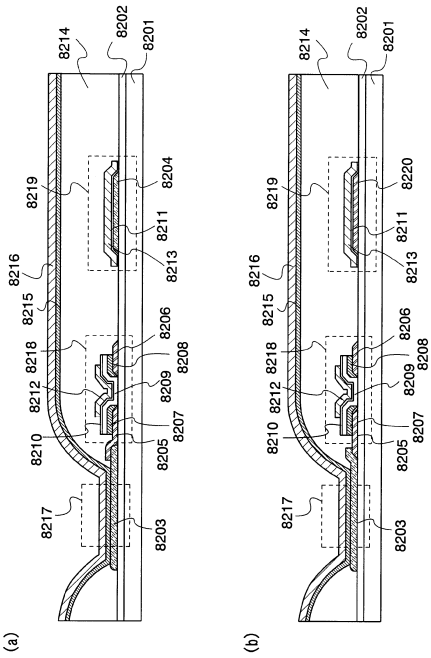
【図８０】



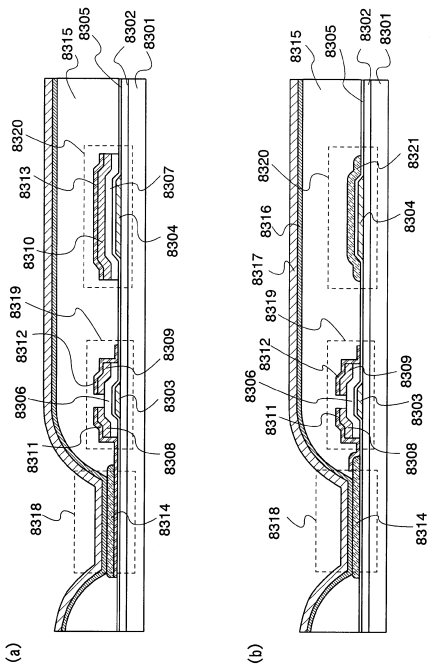
【図８１】



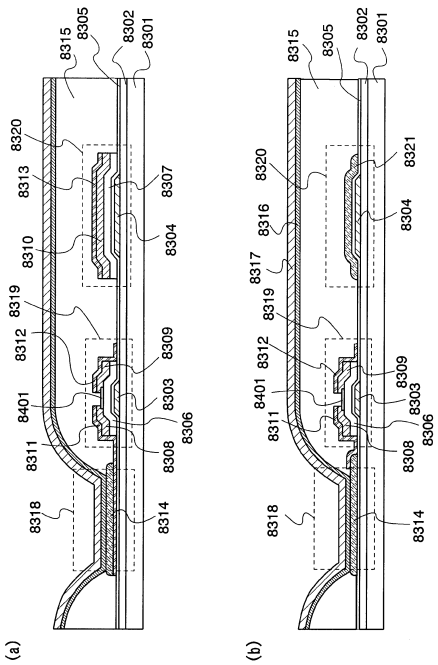
【図８２】



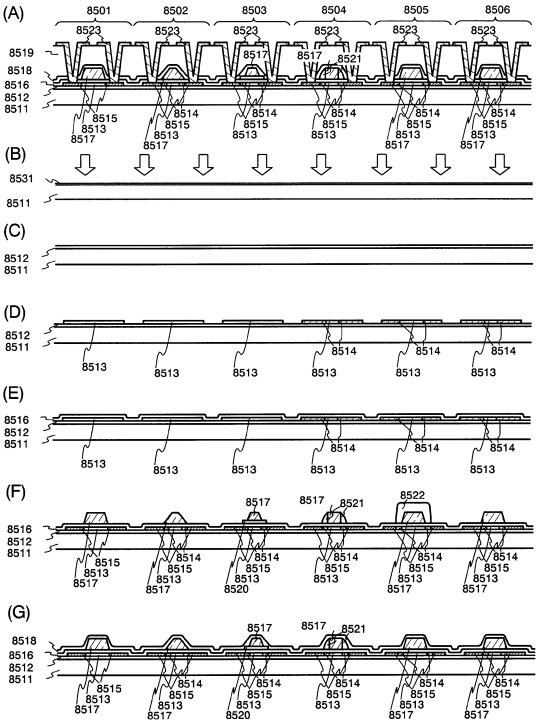
【図８３】



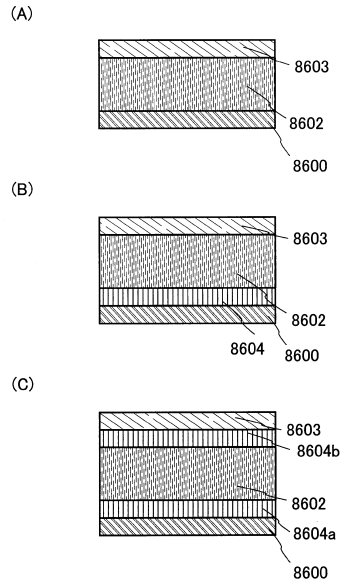
【図８４】



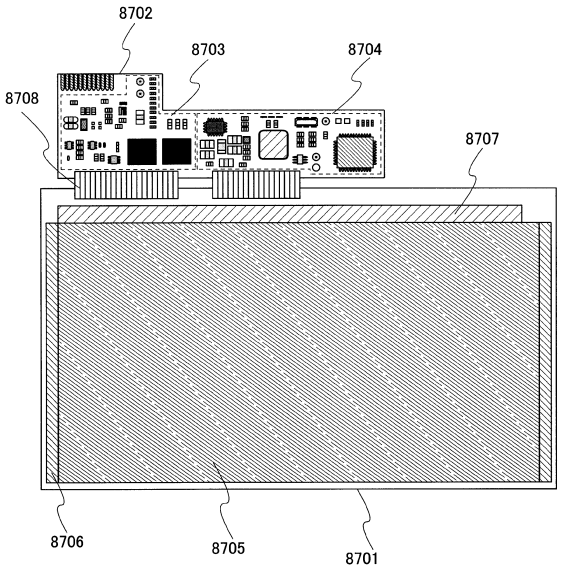
【図８５】



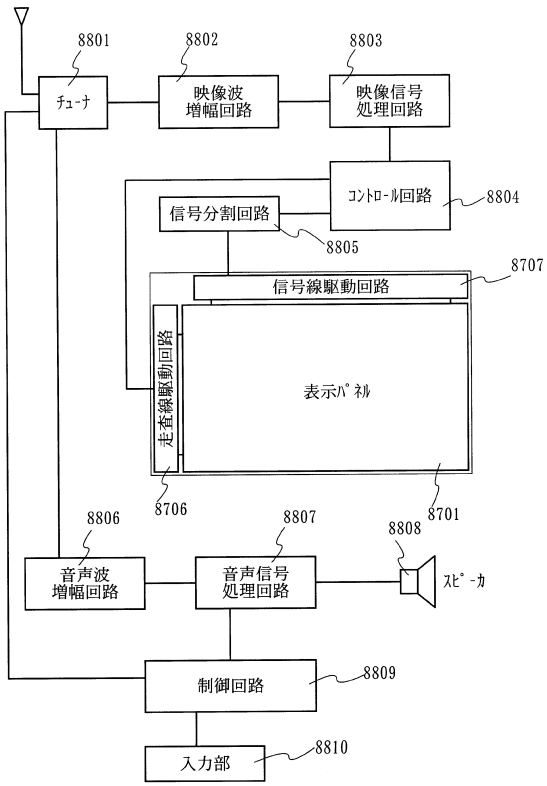
【図８６】



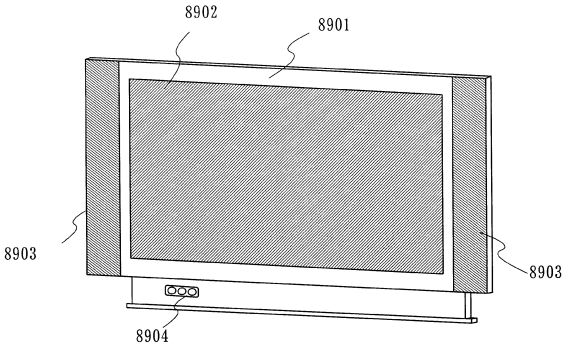
【図８７】



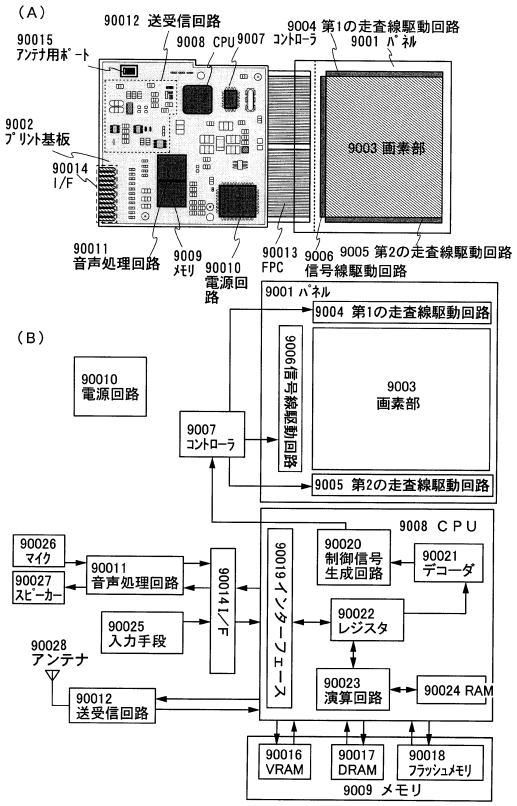
【図８８】



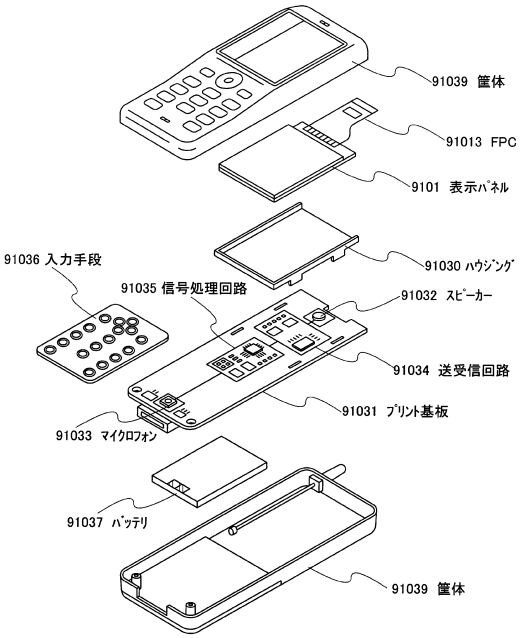
【図８９】



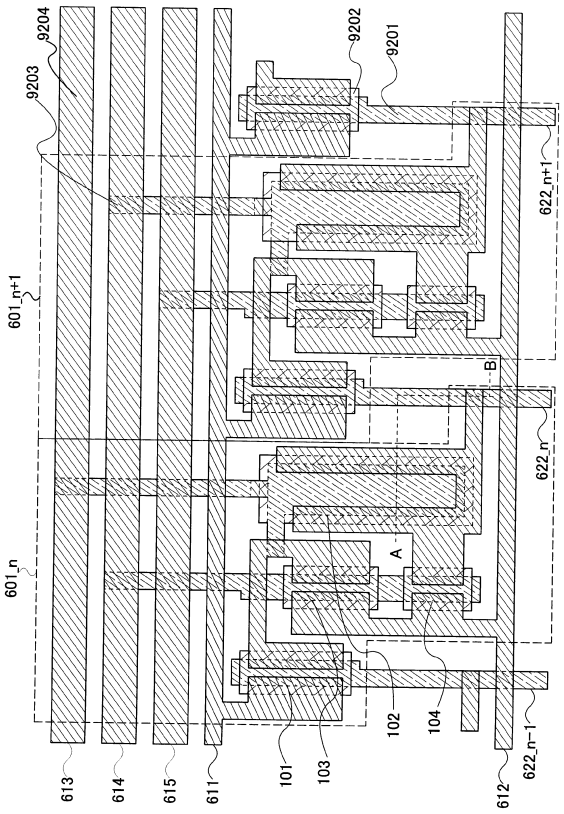
【図９０】



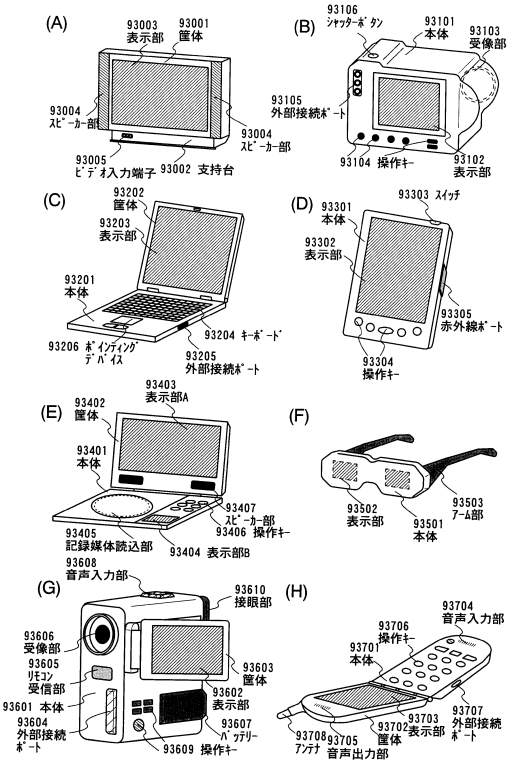
【図９１】



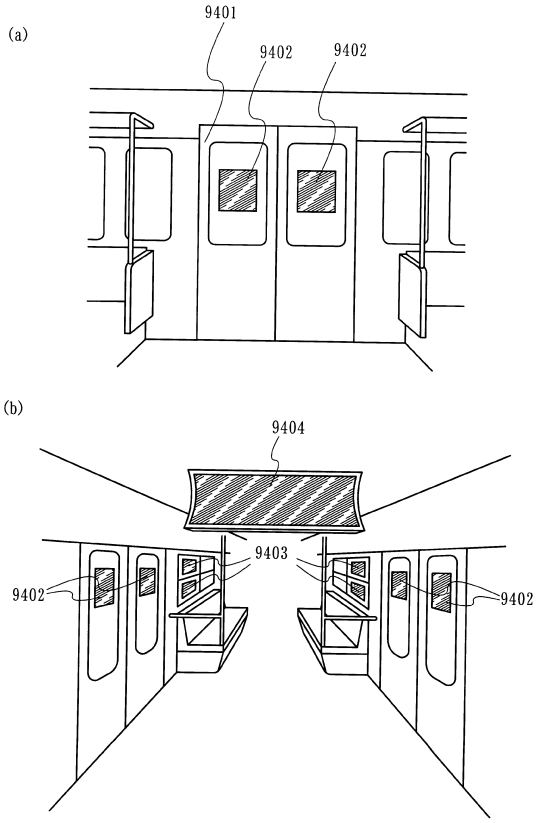
【図９２】



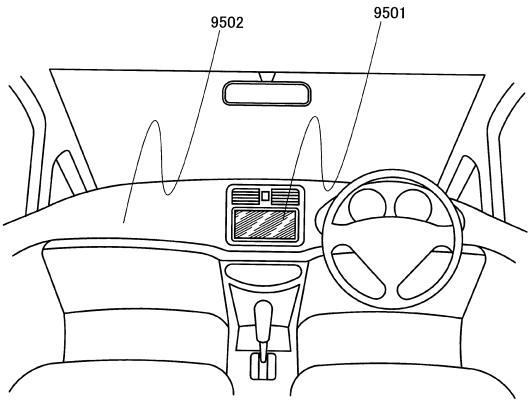
【図９３】



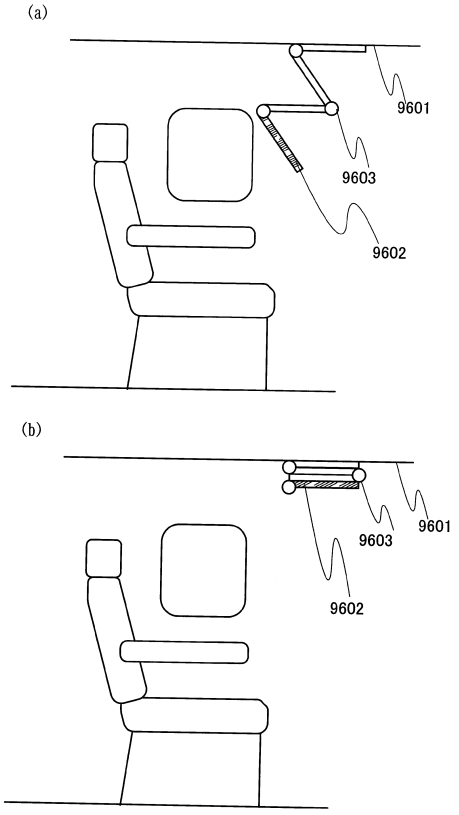
【図９４】



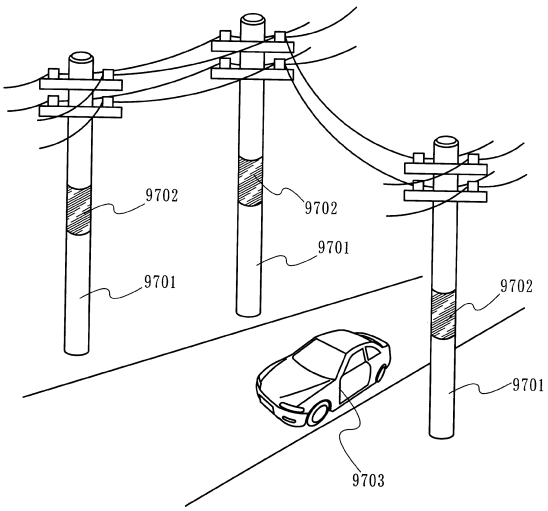
【図９５】



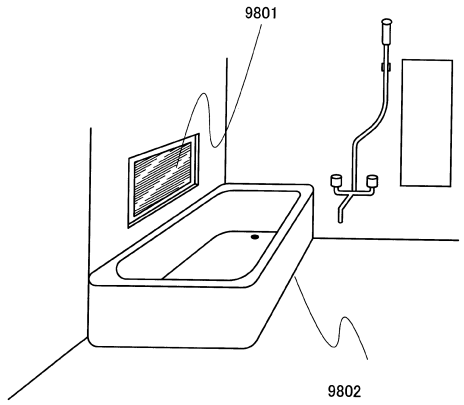
【図９６】



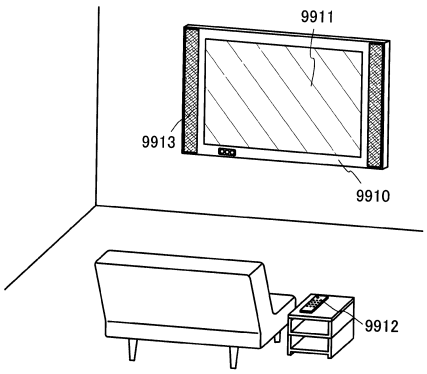
【図９７】



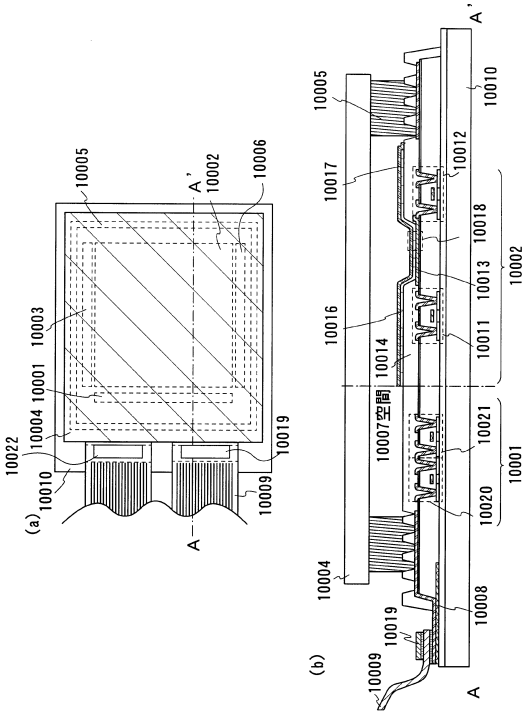
【図９８】



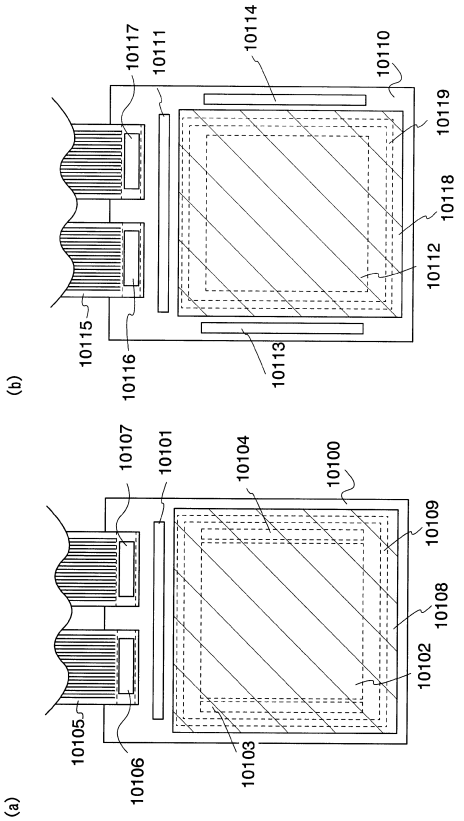
【図９９】



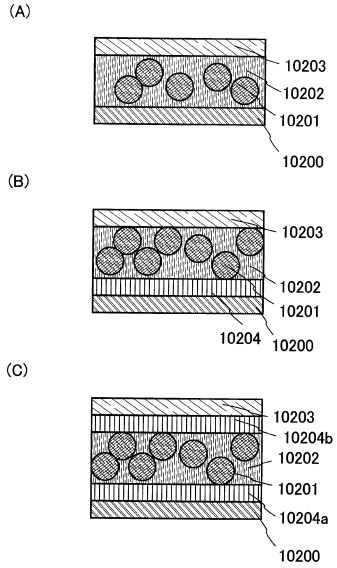
【図１００】



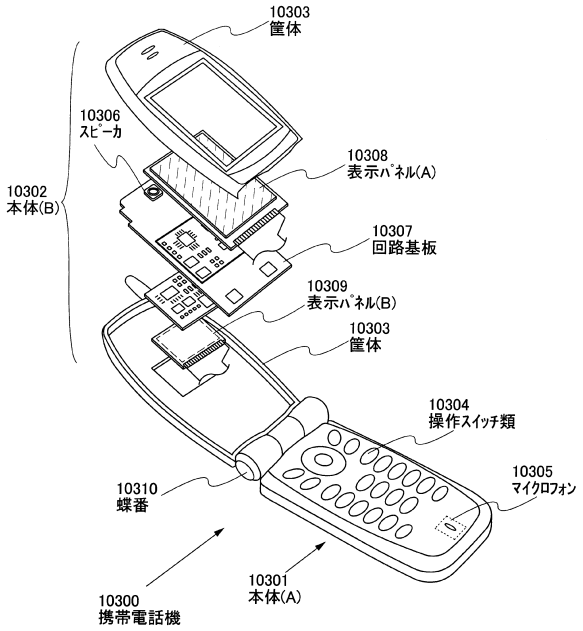
【図１０１】



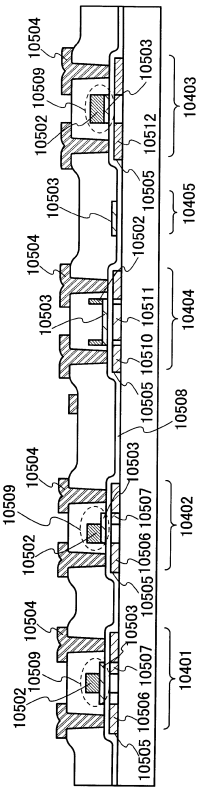
【図１０２】



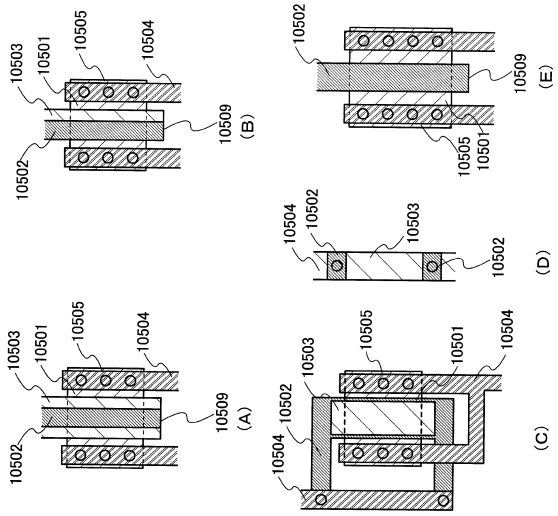
【図１０３】



【図１０４】



【図１０５】



フロントページの続き

(56)参考文献 特開平０６－１６２７９０（ＪＰ，Ａ）
特表２００５－５２２７３４（ＪＰ，Ａ）
特開２００２－１３３８９０（ＪＰ，Ａ）
特表２００５－５２７８５６（ＪＰ，Ａ）
特開２００４－０７８１７２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　１９／２８