

發明專利說明書

中文說明書替換本(100年8月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：094103457

※ 申請日期：94.02.03.

※IPC 分類：G08F 9/28 (2006.01)

一、發明名稱：(中文/英文)

多重叢發協定裝置控制器

MULTIPLE BURST PROTOCOL DEVICE CONTROLLER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西 6501 號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

威廉 C 莫伊爾

MOYER, WILLIAM C.

國 籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年03月03日；10/792,591

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於系統，且更特定言之，係關於系統內之匯流排及裝置存取協定。

【先前技術】

在晶片(SoC)上之諸如多主控器系統之系統內，一諸如靜態隨機存取記憶體(SRAM)或快閃記憶體控制器之受控器須適當且有效地支援每一潛在主控器之界面協定期望。在習知之基於平臺之設計中，不同之主控器可對誤差之叢發傳輸如何終止具有不同之期望。舉例而言，一旦在叢發傳輸之任一節拍中出現誤差訊號，則直接記憶體存取(DMA)主控器及某些中央處理單元(CPU)期望中斷叢發傳輸，而其他CPU設計期望即使一特定節拍出現該誤差訊號，該叢發仍然繼續。此向該記憶體控制器提出一問題。習知之技術在比MAC層之階層(硬體階層)更高之階層上使用多重協定。此種技術沒有解決支援主控器傳輸或多主控器協定之問題。因此需要改良之技術來設計及實施記憶體控制器。

【實施方式】

下列討論係用以提供本發明之至少一實例之一詳細描述以幫助熟習此項技術者瞭解並實踐本發明。因為下列討論為例示性的，所以其對本發明本身並不加以限制。更確切言之，在該描述後之申請專利範圍中適當界定之本發明之範圍內之任何數目之變化。

吾人已發現在硬體階層上可將多重協定設計為狀態機設

計之內，且基於諸如叢發類型之叢發特徵及電流匯流排主控器之特性等可選擇適當之協定。此使得，例如，一受控器能支援一晶片(SoC)上之多主控器系統內之多重誤差協定，且可基於起始該傳輸之特定之主控器以多種特定之方式有選擇地終止叢發傳輸。使用一組提供於該受控器或該受控器界面組塊(如一記憶體控制器)內之輸入組態碼或一可程式化之暫存器可選擇並控制協定選擇。在一實施例中，描述一支援每一主控器叢發誤差協定之晶片(SoC)記憶體控制器上之多主控器系統。該受控器藉由多種由該主控器或一主控器之邏輯外部提供之訊號可對該主控器進行識別。每一潛在之主控器通常將在一顯示待用之適當協定之可程式化暫存器內具有一控制欄位。在一實施例中，由於訊號交換協定可不同，因此可獨立地將該等協定程式化用於讀取叢發及寫入叢發。以此方式，提供一藉由可程式化之控制暫存器構件有效選擇一基於該電流匯流排主控器之匯流排協定之機構以處理諸如叢發誤差終止之事件。

圖1說明一資訊處理系統10之實施例。系統10包括多種系統元件，如互連主控器12、互連主控器14、I/O電路16、周邊裝置18及其他受控器20。記憶體控制器36及記憶體35係系統10內另一從屬元件之代表。記憶體35提供一共享儲存單元，因為其由一個以上之互連主控器共用。記憶體控制器36包括叢發協定選擇邏輯50、控制暫存器38及控制邏輯40。控制邏輯40包括終止控制邏輯42及誤差偵測邏輯44。

系統互連件22使主控器12、主控器14、I/O電路16、周邊

裝置18、其他受控器20及記憶體控制器36互連。主控器12經由導體48與系統互連件22雙向耦合，主控器14經由導體50與系統互連件22雙向耦合、I/O電路經由導體52與系統互連件22雙向耦合、周邊裝置18經由導體54與系統互連件22雙向耦合、其它受控器20經由導體56與系統互連件22雙向耦合且記憶體控制器36經由導體24與系統互連件22雙向耦合。記憶體35經由導體33與記憶體控制器36雙向耦合。

導體24包括用以向記憶體控制器36傳送記憶及/或匯流排存取資訊的各種導體。在說明性實施例中，該資訊包括一主控器識別符26、位址/資料27、一R/W訊號28、一叢發類型訊號30、一指令/資料訊號32、一誤差訊號37及其他訊號34。對於記憶體35之存取(如叢發存取)的每種狀況而言，由主控器12或主控器14或其他裝置均可將某些或所有該等資訊傳輸至記憶體控制器36。記憶體存取資訊之每一類型均不需要特定之實體導體。可以連續之方式或其他方式傳輸該等資訊。

在操作中，主控器12及14請求接取系統互連件22以請求經由記憶體控制器36接取其他受控器20、周邊裝置18或記憶體35。一請求主控器可經由系統互連件22向記憶體控制器36提供一存取請求。該存取請求可為，例如，資料或指令之讀取請求或寫入請求。該存取可為一叢發存取，其中一多重節拍之讀取或寫入傳輸一組資料區塊。或者，一非叢發型之存取可包括一單次節拍讀取或寫入。回應於讀取存取請求，記憶體控制器36經由系統互連件22向該請求主

控器提供其所請求之資訊(資料或指令)。

向識別正請求電流存取之主控器之記憶體控制器36提供主控器識別符26。藉由處理主控器識別符26，記憶體控制器36確定請求了叢發存取的主控器。舉例而言，主控器12可具有一為0之識別符且主控器14可具有一為1之識別符。因此，可向每一主控器分配一專有識別符。在一替代實施例中，某些主控器可共用相同之識別符。因此，相對於一唯一可識別之主控器，該識別符可識別出一類主控器。此外，應注意在替代實施例中，可藉由除提供一諸如主控器識別符26之訊號之外的其他方法識別請求存取之主控器。

由R/W訊號28將該電流存取請求係讀取型或係寫入型之存取之指示傳送至記憶體控制器36(且，例如，傳送至下列討論之控制邏輯40)。

由叢發型訊號30向記憶體控制器36提供一叢發類型。該等叢發型訊號指示該電流存取係一叢發型存取或一非叢發型存取。若該存取係一叢發請求，則訊號30亦指示該叢發請求之類型。舉例而言，叢發型訊號30可指示一叢發存取係一有界之存取或係一無界之存取。叢發型訊號30亦可，或替代體，指示叢發存取係一遞增叢發型或係一環繞叢發型。資料之叢發傳輸可能係有界的且具有預定之長度，或可能係無界的且在該叢發內具有動態判定之數目之節拍。無界之叢發亦可被稱作未定長度之叢發。有界之叢發亦可被稱作固定長度之叢發。在一實施例中，叢發傳輸內4、8或16節拍之有界傳輸由資訊處理系統10支援。其他實施例

可支援具有其他預定長度之有界節拍。

記憶體控制器36亦接收對應於電流存取請求之位址資訊並由位址/資料27提供所請求之資訊。向記憶體控制器提供指令/資料訊號32以指示該電流存取請求用於一指令或資料。在其他訊號34內可提供其他任何需傳送至記憶體控制器36或自記憶體控制器36傳送之訊號。

在記憶體控制器36內，將叢發協定選擇邏輯50耦合以自一叢發控制資訊源接收叢發控制資訊。在一說明性實施例中，該叢發控制資訊至少自控制暫存器38及組態碼39之一者提供。將叢發協定選擇邏輯50耦合以視該叢發控制資訊而定向控制邏輯40提供叢發協定選擇資訊。控制邏輯使用該叢發協定選擇資訊處理對記憶體35之叢發請求。舉例而言，在一說明性實施例中，終止控制邏輯42根據回應於一由誤差偵測邏輯44偵測出之誤差的叢發協定選擇資訊控制記憶體35之叢發請求之終止。

不同類型之叢發特徵可觸發不同類型之叢發協定，該等叢發特徵可包括，例如，哪個主控器在請求存取、存取請求是否部分為叢發存取、存取請求係有界、無界、遞增或係環繞。因此，基於主控器識別符26、R/W訊號38及對應於一電流存取請求(意即一電流叢發請求)之叢發型訊號30的值且基於控制暫存器38(及/或組態碼39)，叢發協定選擇邏輯50確定一由該電流存取請求及其相關發生之誤差條件觸發之叢發操作。

圖2說明一控制暫存器38之實施例，其包括多個為每一主

控器儲存叢發請求控制資訊之欄位，例如一叢發讀取誤差(BRE)終止控制欄位及一叢發寫入誤差(BWE)終止欄位。如圖2所示，控制暫存器38包括主控器12 BRE終止欄位60、主控器14 BRE終止欄位62、主控器12 BWE終止欄位64及主控器14 BWE終止欄位66。因此，在替代實施例中，控制暫存器38可視需要包括或多或少的欄位，以儲存所需之叢發控制資訊。亦請注意，由自一耦合於系統互連件22之主控器(如主控器12或14)獲得之指令，可將控制暫存器38程式化。該等值可由(例如)一使用者提供，或可在設計時被程式化。

圖3說明圖2之控制暫存器38之欄位定義之一實施例。舉例而言，在一實施例中，欄位60、62、64及66均為二位元欄位，其中每一欄位均能擁有4個值(00、01、10及11)。如圖3所示，欄位60、62、64及66包括提供用以在發生叢發讀取或寫入誤差時，終止叢發請求協定之主控器之特定控制所需之資訊。

在圖3之實例中，BRE欄位60及62之每一者均為二位元欄位，其中值00表示在發生叢發讀取誤差時不採取任何措施。例如，若將主控器12 BRE欄位60設定為00，則來自主控器12之叢發讀取請求之處理繼續不受該誤差影響，且允許完成該讀取叢發之剩餘節拍。類似地，若將主控器14 BRE欄位62設定為00，則對應於自主控器14之叢發讀取的叢發讀取誤差不會觸發諸如叢發終止誤差處理。

對於BRE欄位60及62而言，值01表示在資料傳輸期間發生叢發讀取誤差時讀取叢發將被中斷。例如，若將主控器

12 BRE欄位60設定為01，則自主控器12之叢發讀取請求處理將被誤差終止，且不允許完成該讀取叢發之剩餘節拍。類似地，若將主控器14 BRE欄位62設定為01，則發生誤差時，對應於自主控器14之叢發讀取的叢發讀取誤差將觸發叢發終止誤差處理。

對於BRE欄位60及62而言，值10表示在該傳輸之首次節拍(關鍵字組)中發生叢發讀取誤差時該讀取叢發將被中斷。舉例而言，若將主控器12 BRE欄位60設定為10，且在向主控器12傳輸之首次節拍中發生誤差，則自主控器12之叢發讀取請求處理將被誤差終止，且不允許完成該讀取叢發之剩餘節拍。在首次節拍後之叢發內之其他誤差不會造成讀取叢發終止。若在向主控器12傳輸之首次節拍後發生相同誤差，則允許完成該讀取叢發之任何剩餘節拍。同樣地，例如，若將主控器14 BRE欄位62設定為10，且在包含主控器14之叢發讀取傳輸期間首次節拍(關鍵字組)發生誤差，則將觸發叢發終止誤差處理；若將主控器14 BRE欄位62設定為10，且在關鍵字組後發生誤差，則不會觸發叢發終止誤差處理。

對於BRE欄位60及62而言，值11表示發生在一未確定長度之讀取叢發中之誤差造成該讀取叢發之終止，而發生在一已確定長度之讀取叢發中之誤差不會造成讀取叢發之終止。舉例而言，若主控器12 BRE欄位60設定為11，且該叢發類型(例如，由叢發類型訊號30所示)係一未確定長度之叢發請求，則自主控器12之叢發讀取請求處理被該誤差終

止。在此種狀況下，不允許完成該讀取叢發之剩餘節拍。類似地，若主控器14 BRE欄位62設定為11，且誤差發生時，叢發類型顯示一自主控器14之未確定長度之讀取叢發，則將觸發叢發終止誤差處理。

因此，基於BRE欄位60及62可確定並控制自記憶體35之由來自主控器12或14之叢發存取請求觸發之叢發操作。當主控器12要求或請求之叢發處理協定與主控器14要求或請求之叢發處理協定不同時，欄位60可具有一與欄位62不同之值。

BWE欄位64及66均為二位元欄位，其中值00表示在發生叢發寫入誤差時不採取任何措施。例如，若將主控器12 BWE欄位64設定為00，則主控器12請求之寫入叢發之處理繼續不受該誤差影響，且允許完成該寫入叢發之剩餘節拍。類似地，若將主控器14 BWE欄位66設定為00，則對應於自主控器14之叢發寫入之叢發寫入誤差不會觸發諸如叢發終止之誤差處理。

對於BWE欄位64及66而言，值01表示在資料傳輸期間發生叢發寫入誤差時寫入叢發將被中斷。例如，若將主控器12 BWE欄位64設定為01，則主控器12請求之寫入叢發之處理將被誤差終止，且不允許完成該寫入叢發之剩餘節拍。類似地，若將主控器14 BWE欄位66設定為01，且發生誤差時，則對應於自主控器14之叢發寫入的叢發寫入誤差將觸發叢發終止誤差處理。

對於BWE欄位64及66而言，值10表示在該傳輸之首次節

拍(關鍵字組)期間發生叢發寫入誤差時該寫入叢發將被中斷。例如，若將主控器12 BWE欄位64設定為10，則在向主控器12之傳輸之首次節拍中發生誤差，主控器12請求之寫入叢發之處理將被誤差終止，且不允許完成該寫入叢發之剩餘節拍。其他誤差不會造成寫入叢發終止。若在向主控器12之傳輸之首次節拍後發生相同誤差，則允許完成該寫入叢發之任何剩餘節拍。同樣地，例如，若將主控器14 BWE欄位66設定為10，且在包含主控器14之叢發寫入傳輸中首次節拍(關鍵字組)發生誤差時，則將觸發叢發終止誤差處理；若將主控器14 BWE欄位66設定為10，且在首次節拍(關鍵字組)後發生誤差，則不會觸發叢發終止誤差處理。

對於BWE欄位64及66而言，值11表示在一未確定長度之寫入叢發期間發生之誤差造成該寫入叢發被終止，而在一已確定長度之寫入叢發期間發生之誤差不會造成寫入叢發之終止。例如，若主控器12 BWE欄位64設定為11，且該叢發類型(例如，由叢發類型訊號30所示)係一未確定長度之叢發請求，則主控器12請求之叢發寫入處理被該誤差終止。在此種狀況下，不允許完成該寫入叢發之剩餘節拍。類似地，若主控器14 BWE欄位66設定為11，且誤差發生時叢發類型顯示一自主控器14之未確定長度之寫入叢發，則將觸發叢發終止誤差處理。

因此，基於BWE欄位64及66、叢發類型訊號30及主控器識別訊號26可確定並控制自主控器12或14觸發之對記憶體35之寫入資料叢發操作。當主控器12要求或請求一與主控

器14要求或請求之不同叢發處理協定時，欄位64可具有一與欄位66不同之值。當主控器12為讀取叢發與寫入叢發要求或請求不同之叢發處理協定時，欄位60可具有一與欄位64不同之值，且當主控器14為讀取叢發與寫入叢發要求或請求不同之叢發處理協定時，欄位62可具有一與欄位66不同之值。

圖4以流程圖之形式說明根據本發明之一實施例之系統10的操作。流程起始於自一主控器接收叢發請求的接收叢發請求操作72。該叢發請求可為多種不同類型之請求，諸如讀取請求、寫入請求、資料請求、指令請求等等。

在接收到該叢發請求之後，在確定叢發特徵操作74中確定接收到之叢發請求之叢發特徵。例如，識別該發出請求之主控器。藉由處理與接收到之叢發請求相關之主控器識別符26來完成此步驟。進一步舉例而言，確定叢發請求之類型，另外或或者，確定主控器識別符。藉由處理與接收到之叢發請求相關之叢發類型訊號30來完成此步驟。

在確定叢發特徵之後，在選擇叢發協定操作78期間選擇若干叢發協定之一者。圖3中描述多個例示性叢發協定。該等協定視已確定之叢發特徵而定。在圖3之狀況下，該叢發特徵與發出請求之主控器之識別符相應。不同主控器可導致控制暫存器38之設定不同甚至可能導致此等設定之結果不同。決定叢發協定之最終效果之其他因素包括該叢發之性質(例如是否有界)。如圖3所示，可為不同類型之叢發存取設定不同效果(在此狀況下，為終止處理)。藉由控制暫存

器38、組態碼39或其他構件提供用於選擇匯流排協定資訊之設定。注意在替代實施例中，主控器可共用一組協定控制說明符。

在選擇協定操作78期間選擇叢發協定之後，記憶體控制器36根據選定之叢發協定回應叢發請求。以上以圖3作參考提供該回應之實例。

在一實施例中，叢發協定之選擇執行於電路設計期間。例如，參照圖5，可處理一控制器之硬體描述語言(HDL)表示以選擇並實施若干叢發協定中之一或多個。在提供叢發可參數化之HDL操作82中，提供代表該控制器之可以不同叢發協定程式化之HDL碼。一旦提供叢發可參數化之HDL，即在提供叢發參數操作84期間將一叢發協定輸入該HDL，並在評估叢發協定參數操作86期間評估該叢發可參數化之HDL。

視評估操作86之結果而定，一第一值產生並控制傳輸以產生第一HDL操作88，或一第二值產生並控制傳輸以產生第二值HDL操作90。在產生第一HDL操作88期間，產生一第一HDL描述，其對應於一組態用來根據一第一叢發協定操作之控制器。在產生第二HDL操作90期間，產生一第二HDL描述，其對應於一組態用來根據一第二叢發協定運作之控制器。其他結果可導致在已產生之HDL中實施之其他類型之叢發協定。可使用一反複之步驟來評估並實施(在HDL內)各種叢發協定，直至選擇一用於實施一最終HDL之最終叢發協定。

一旦產生一最終HDL描述(例如，在產生HDL操作88或99期間)，即在操作92期間使用該最終產生之HDL描述來最終設計或製造控制器。

因此，可以瞭解如何基於各種類型之叢發特徵來觸發諸如誤差處理之叢發操作以使得系統之靈活性更強，性能更高且系統之設計更高效。該等本文說明之實施例可用於以各種不同之方式及在各種不同之應用中控制叢發請求。

舉例而言，在一實施例中，一方法包括下列步驟：自一主控器接收叢發請求；確定一對應於請求之叢發之叢發特徵；基於該叢發特徵選擇複數個叢發誤差協定之一者；及根據選定之叢發誤差協定回應該叢發請求。

在另一實施例中，確定叢發特徵之步驟包括：確定一對應於請求之叢發之叢發類型，且選定之叢發誤差協定係基於該已確定之叢發類型選擇的。該叢發類型可為一讀取叢發類型或一寫入叢發類型。該叢發類型可包括一有界之叢發類型或一無界之叢發類型。該叢發類型可包括一遞增叢發類型或一環繞叢發類型。

在另一實施例中，確定叢發特徵之步驟包括確定一對應於請求之叢發之主控器之身份，且基於該主控器之識別符選擇選定之叢發誤差協定。

在另一實施例中，根據選定之叢發誤差協定回應叢發請求之步驟包括起始一叢發傳輸、在該叢發傳輸期間偵測誤差，及基於選定之叢發誤差協定選擇性地終止該叢發傳輸。

在另一實施例中，記憶體控制器包括叢發協定選擇邏輯

及控制邏輯。該叢發協定選擇邏輯確定對應於一請求之叢發傳輸之至少一叢發特徵並基於該至少一特徵來選擇一叢發誤差協定。控制邏輯與叢發協定選擇邏輯耦合。控制邏輯根據選定之叢發誤差協定來回應請求之叢發。

在另一實施例中，控制邏輯起始回應於請求叢發之請求叢發傳輸。在此實施例中，記憶體控制器進一步包括誤差偵測邏輯及終止控制邏輯。誤差偵測邏輯在請求之叢發傳輸期間偵測誤差。終止傳輸邏輯基於由叢發協定選擇邏輯提供之選定之叢發誤差協定有選擇地終止請求之叢發傳輸。

在另一實施例中，記憶體控制器亦包括一與該叢發協定選擇邏輯耦合之控制暫存器。該叢發協定選擇邏輯基於至少一叢發特徵及儲存於該控制暫存器內之資訊選擇叢發誤差協定。在另一實施例中，儲存於控制暫存器內之資訊顯示複數個叢發誤差協定，且叢發協定選擇邏輯自該複數個叢發誤差協定中選擇叢發誤差協定。在另一實施例中，複數個叢發誤差協定之每一者對應一叢發類型。叢發類型包括讀取叢發類型、寫入叢發類型、有界之叢發類型及無界之叢發類型之至少一者。在另一實施例中，該至少一叢發特徵包括該請求之叢發傳輸之叢發類型。

在另一實施例中，可組態記憶體控制器與複數個主控器通信。複數個叢發誤差協定之每一者對應複數個主控器之一者。在另一實施例中，該至少一叢發特徵包括一請求經請求之叢發傳輸的主控器之識別符。

在另一實施例中，叢發協定選擇邏輯基於該至少一叢發特徵及由組態輸入提供之資訊，選擇叢發誤差協定。在另一實施例中，由組態輸入提供之資訊向該叢發協定選擇邏輯指示一叢發誤差協定。

在另一實施例中，以硬體實作該記憶體控制器。在另一實施例中，以編碼於一電腦可讀媒體上之軟體實作該記憶體控制器。

在另一實施例中，一記憶體控制器包括：用於自一主控器接收叢發請求之構件；用於確定一對應於該請求之叢發之叢發特徵之構件；用於基於該叢發特徵選擇複數個叢發誤差協定之一者之構件；及用於根據選定之叢發誤差協定回應該叢發請求之構件。

在另一實施例中，用於確定叢發特徵之構件包括用於確定一對應於該請求之叢發之叢發特徵之構件。該選定之叢發誤差協定係基於叢發類型而選擇的。在另一實施例中，叢發類型至少包括讀取叢發類型、寫入叢發類型、有界之叢發類型、無界之叢發類型、遞增叢發類型及環繞叢發類型其中之一。

在另一實施例中，用於確定叢發特徵之構件包括用於確定一對應於請求之叢發之主控器之識別符，且其中基於該主控器之識別符選擇選定之叢發誤差協定。

在另一實施例中，用於根據選定之叢發誤差協定回應該叢發請求之構件包括：用於起始一叢發傳輸之構件；用於偵測叢發傳輸中之誤差之構件；及用於基於選定之叢發誤

差協定選擇性地終止該叢發傳輸之構件。

在另一實施例中，自一主控器(例如，在一包括一主控器之資訊處理系統內)接收一叢發請求。確定該請求之叢發的叢發類型。該叢發類型包括讀取叢發類型及寫入叢發類型之一者。基於該叢發類型，選擇複數個叢發協定中之一者。根據選定之叢發協定回應該叢發請求。在另一實施例中，確定一對應於該請求之叢發之主控器之識別符。基於該叢發類型及該對應於請求之叢發之主控器之識別符，選擇選定之叢發協定。

在另一實施例中，一記憶體控制器包括叢發協定選擇邏輯及與該叢發協定選擇邏輯耦合之控制邏輯。該叢發協定選擇邏輯確定一對應於請求之叢發傳輸之叢發類型並基於該叢發類型選擇一叢發協定。該叢發類型包括讀取叢發類型及寫入叢發類型之一者。該控制邏輯根據選定之叢發協定回應請求之叢發。可以硬體或軟體實施該記憶體控制器。

在另一實施例中，該記憶體控制器亦包括一與叢發協定選擇邏輯耦合之控制暫存器。該叢發協定選擇邏輯基於叢發類型及儲存於該控制暫存器內之資訊選擇叢發協定。在另一實施例中，儲存於該控制暫存器內之資訊顯示複數個叢發協定。該叢發協定選擇邏輯自該等複數個叢發協定中選擇叢發協定。

在另一實施例中，一方法包括下列步驟：自一主控器接收叢發請求；確定一對應於請求之叢發之主控器之識別符；基於該對應於請求之叢發的主控器之識別符選擇複數

個叢發誤差協定之一者；及根據選定之叢發誤差協定回應該叢發請求。

在另一實施例中，可組態記憶體控制器以便與複數個主控器通信。該記憶體控制器包括叢發協定選擇邏輯及與該叢發協定選擇邏輯耦合之控制邏輯。該叢發協定選擇邏輯確定對應於一請求之叢發傳輸之複數個主控器之一者的識別符並基於該等複數個主控器之一者的識別符選擇一叢發誤差協定。該控制邏輯根據選定之叢發誤差協定回應請求之叢發。可以硬體或軟體實施該記憶體控制器。

在另一實施例中，該記憶體控制器亦包括一與叢發協定選擇邏輯耦合之控制暫存器。該叢發協定選擇邏輯基於複數個主控器之一者的識別符及儲存於該等控制暫存器內之資訊選擇叢發協定。在另一實施例中，儲存於該控制暫存器內之資訊顯示複數個叢發協定。每一協定對應於複數個主控器中之一主控器。該叢發協定選擇邏輯自該等複數個叢發協定中選擇叢發協定。

在另一實施例中，一方法包括下列步驟：提供一叢發可參數化之硬體描述語言(HDL)描述；提供一輸入該叢發可參數化之HDL描述之叢發協定參數；當該叢發協定參數具有一第一值時，產生一對應於一組態用來根據一第一叢發協定運作之記憶體控制器的第一HDL描述；及當該叢發協定參數具有一第二值時，產生一對應於一配置用來根據一第二叢發協定運作之記憶體控制器的第二HDL描述。

在另一實施例中，該第一叢發協定與該第二叢發協定係

不同之叢發協定。在另一實施例中，第一叢發協定及第二叢發協定均顯示回應於叢發傳輸期間之誤差偵測，一叢發傳輸是否終止。

在另一實施例中，該方法包括使用第一及第二HDL描述已產生之一來設計一記憶體控制器之步驟。在另一實施例中，該方法包括使用第一及第二HDL描述已產生之一來製造記憶體控制器。

在另一實施例中，編碼於一電腦可讀媒體上之叢發可參數化之HDL描述包括：一用於接收一叢發協定參數之第一組指令；當該叢發協定參數具有一第一值時，一用於產生一第一記憶體控制器模型之第二組指令；及當該叢發協定參數具有一第二值時，一用於產生一第二記憶體控制器模型之第三組指令。該第一記憶體控制器模型對應於一根據一第一叢發協定運作之記憶體控制器，且該第二記憶體控制器模型對應於一根據一第二叢發協定運作之記憶體控制器。

在另一實施例中，該第一叢發協定與該第二叢發協定係不同之叢發協定。在另一實施例中，第一叢發協定及第二叢發協定之每一者均顯示回應於叢發傳輸期間之誤差偵測，一叢發傳輸是否終止。

以上某些實施例在應用時可使用各種不同之資訊處理系統來實施。例如，雖然圖1及關於其之討論描述一例示性資訊處理架構，但提出該例示性架構之目的僅僅係為在討論本發明之各種樣態中提供一有用之參考。當然，由於討論

之目的，對該架構之描述已被簡化，且其僅係可根據本發明使用之許多不同類型之適當架構中之一者。熟習此項技術者可瞭解邏輯組塊之間的邊界僅係說明性的且替代實施例可將多個邏輯組塊或多個電路元件合併或向各種邏輯組塊或電路元件施以一交替分解功能。

因此，應瞭解本文描述之該等架構僅係例示性的，且實際上可實施許多其他架構以取得相同功能。在一抽象但仍明確之意義上，為達成相同功能之組件之任何配置均係有效地"相關聯的"，使得達成所需之功能。因此，本文中任何兩個為達成一特定功能而組合之組件均可被看作彼此"關聯"使得達成所需之功能，此與架構或中間組件無關。同樣地，任何兩個如此關聯之組件均可被看作彼此"可操作地連接"或"可操作地耦合"以達成所需之功能。

亦例如，在一實施例中，系統10之已說明元件係位於一單積體電路上或位於相同裝置內之電路。或者，系統10可包括任意數目之獨立積體電路或彼此互連之獨立裝置。例如，記憶體35可如主控器12及14一樣位於一相同積體電路上或位於一獨立之積體電路上或位於另一周邊裝置或與系統10離散地分隔開之其他元件之受控器內。周邊裝置18與I/O電路16亦可位於獨立之積體電路或裝置上。亦例如，系統10或其部分可為實體電路之軟體表示或編碼表示，或可轉化為實體電路之邏輯表示的軟體表示或編碼表示。同樣地，系統10可以任何一適當類型之硬體描述語言實施。

此外，系統10之各種元件代表其更多普遍類別。例如，

匯流排主控器12及匯流排主控器14可係能執行指令之處理器，如微處理器、處理器核心、數位訊號處理器，或可係其他任何類型之互連主控器，如直接記憶體存取(DMA)電路或糾錯電路。周邊裝置18可係任何類型之周邊裝置，如一通用非同步接收器傳輸器(UART)、一即時時鐘(RTC)、一鍵盤控制器。應注意其他受控器20可包括任何類型之互連受控器，例如一可由主控器12及14存取之記憶體及位於系統匯流排上之任何類型之周邊裝置，其包括與周邊裝置18類型相同之周邊裝置。I/O電路16可包括任何類型之接收或提供系統10外部之資訊之I/O電路。記憶體35可為任何類型之電腦可讀媒體，例如一唯讀記憶體(ROM)，一隨機存取記憶體(RAM)，非揮發性記憶體(如快閃記憶體)，磁性RAM (MRAM)等等。因為除非另有特別規定，本文使用之任何特定實例通常用作其類型之代表，所以在本文任何例示性清單中之任何特定裝置之非包涵性均不表示需要限制。

可將系統互連件22作為一根據一匯流排協定運作之系統匯流排實施，或可使用諸如在各種裝置之間投送資訊之切換電路之互連電路實施系統互連件22。本文使用之術語"匯流排"用於指代可用於傳輸一或多個各種類型之資訊(如資料、位址、控制或狀態)之複數個訊號或導體。可參考單個導體、複數個導體、單向導體或雙向導體之狀況說明或描述本文討論之導體。然而，不同之實施例可導致該等導體之實施不同。例如，可使用獨立之單向導體，而非雙向導

體，且反之亦然。同樣，可以一串行傳輸多重訊號之單個導體或一以分時多路方式傳輸多重訊號之單個導體替代複數個導體。同樣地，運載多重訊號之單一導體可被分成運載該等訊號之子集之各種不同導體。因此傳輸訊號有多種選擇。

替代性實施例可結合一特定組件之多種狀況。例如，在上述之實施例中，圖1描述一單一周邊裝置18。在其他實施例中，系統10可包括與系統互連件22耦合之任何數目之周邊裝置。同樣地，可將任何數目之主控器及受控器與系統互連件22耦合且不僅限於圖1中所示之彼等。記憶體35可包括任何數目之各種類型之記憶體裝置。

在一替代實施例中，若需要，控制暫存器38可包括用於具有或多或少位元之每一主控器之或多或少欄位。又，提供描述於圖3中用於控制暫存器38之欄位的設定作為一實例。基於與圖3中所提供之彼等不同之屬性、比圖3中彼等更多之屬性、或圖3中彼等之子集，替代性實施例可確定誤差回應。亦應注意，在替代性實施例中，用於當前存取請求之特定屬性可表示為以各種方式控制電路40，而非由圖1中之訊號26、28及30表示。

此外，熟習此項技術者會瞭解上述操作之功能間之邊界僅係為說明性的。可將多重操作之功能結合為一單次操作，及/或可在額外操作中分佈一單次操作之功能。此外，替代性實施例可包括一特定操作之多重狀況，且在各種其他實施例中操作之指令可能被改變。

舉例而言，本文描述之所有或某些軟體可為自諸如記憶體35或在其他電腦系統上之其他媒體之電腦可讀媒體之系統10之接收元件。此類電腦可讀媒體可以永久式、可抽取式或遠端式之方式耦合於一諸如系統10之資訊處理系統。該電腦可讀媒體可包括，例如(且不僅限於)下列任何數目之媒體：包括磁碟及卡式儲存媒體之磁性儲存媒體；諸如緊密磁碟媒體(如CD-ROM、CD-R等)及數位視訊磁碟儲存媒體之光學儲存媒體；包括諸如FLASH(快閃)記憶體、EEPROM(電子可擦可程式唯讀記憶體)、EPROM(可擦可程式唯讀記憶體)、ROM(唯讀記憶體)之基於半導體記憶單元之非揮發性記憶體儲存媒體；鐵磁性數位記憶體；MRAM(磁阻隨機存取記憶體)；包括暫存器、緩衝器或快取記憶體、主記憶體、RAM(隨機存取記憶體)等之揮發性儲存媒體；及包括電腦網路、點對點電信設備及載波傳輸媒體(僅列舉一部分)之資料傳輸媒體。

在一實施例中，系統10係一諸如個人電腦系統之電腦系統。其他實施例可包括不同類型之電腦系統。電腦系統為可設計為向一或多個使用者提供獨立計算能力之資訊處理系統。可發現電腦系統具有多種形式，包括(但不僅限於)大型機、小型機、服務器、工作站、個人電腦、筆記本電腦、個人數位助理、電子遊戲、汽車及其他嵌入系統、行動電話及各種其他無線裝置。一典型電腦系統包括至少一處理單元、相關之記憶體及大量輸入/輸出(I/O)裝置。

一電腦系統根據一程式處理資訊並經由I/O裝置產生作

為結果之輸出資訊。程式係一清單之指令，諸如一特定應用程式及/或一操作系統。通常將電腦程式儲存於電腦可讀儲存媒體內部或經由一電腦可讀傳輸媒體將其傳輸至該電腦系統。電腦處理通常包括：一執行(運作)程式或一部分程式、電流程式值或狀態資訊及被操作系統使用之資源以管理該處理之執行。一母處理可產生其他子處理以幫助執行該母處理之全部功能。因為該母處理特定地產生執行母處理之全部功能之一部分的子處理，所以由子處理(及再下一代處理等等)執行之功能有時可被看作係由該母處理執行。

因為以上之詳細描述係例示性的，當描述"一實施例"時，其為一例示性實施例。因而，在本文中使用"一"並不表示一個且僅有一個實施例可具有描述之特徵。相反，許多其他實施例可能，且經常具有例示性之"一實施例"所描述之特徵。因此，如上之使用，當在一實施例之上下文中描述本發明，該實施例即係本發明之許多可能之實施例之一者。

儘管以上對詳細說明中之"一實施例"此詞組之使用有防止誤解之說明，熟習此項技術者可仍瞭解若吾人期望將一引入之申請專利範圍元件之特定數目包含於下列申請專利範圍，則在該申請範圍中會對此期望做出明確陳述，且若無此陳述，則以上之限制不存在或不期望出現。例如，在下列申請專利範圍中，當一申請專利範圍元件被描述為具有"一"特徵，則吾人期望將該元素限制於一個且僅一個所描述之特徵。此外，當一申請專利元件在下列之申請專利

範圍內被描述為包括或包含"一"特徵，則吾人不期望該元件被限制於一個且僅一個所描述之特徵。相反，例如，包括"一"特徵之申請專利範圍在討論中包括該等特徵之一或多個之一設備上或以一方法讀取。意即，因為討論中之該設備或方法包括一特徵，所以不論該設備或方法是否包括另一類似特徵，該申請專利範圍均在該設備上或以該方法讀取。如以往許多法庭採用之解釋一樣，本文中申請者採用"一"字作為一申請專利範圍之特徵之非限制性引導性數詞，儘管可能找到某些相反的反常規之或有先例之法則。類似地，當在下列專利申請範圍內之一專利申請範圍元件被描述為包括或包含一上述之特徵(例如，"該"特徵)，吾人期望該元件不被限於一個且僅一個僅由該定冠詞之附帶使用所描述之特徵。

此外，在申請專利範圍中使用諸如"至少一"及"一或多個"之引導性短語不應被解釋為意味著：由不定冠詞"一"引導之另一申請專利範圍限制包含被引導至僅包含一個此元件之發明的申請專利範圍元件之任何特定申請專利範圍，即使當相同之申請範圍專利包括該引導性短語"一或多個"或"至少一"及諸如"一"之不定冠詞亦係如此。此亦適用於定冠詞之使用。

對本發明之特定實施例已有展示及說明，熟習此項技術者可清楚瞭解，基於本文之教學，可在不脫離本發明之申請專利範圍之前提下使用各種修正、替代構造及均等物。因此，附加之申請專利範圍包括所有在其範圍內之改變、

修正等，如在本發明之真實精神及範圍內。此外，應瞭解本發明完全由附加之專利申請範圍界定。以上之描述並不用於提出本發明之實施例之一詳盡清單。除非另有特別規定，否則本文提出之每一實例均係非限制性或非排他性實例，無論該等術語非限制性、非排他性或類似之術語是否與每一實例同時表達。雖然吾人已嘗試概述某些例示性實施例及其例示性變化，但其他實施例及/或變化均在下列申請專利範圍所界定之本發明之範圍內。

【圖式簡單說明】

圖1以方塊圖之形式說明一根據本發明之一實施例之資訊處理系統。

圖2以方塊圖之形式說明一根據本發明之一實施例之圖1之系統之控制暫存器。

圖3以表格之形式說明一根據本發明之一實施例之圖2之控制暫存器之欄位描述。

圖4以流程圖之形式說明一根據本發明之一實施例之以多重叢發協定處理一叢發請求之方法。

圖5以一流程圖之形式說明一根據本發明之一實施例之以多重叢發協定處理一硬體描述語言之方法。

【主要元件符號說明】

10	資訊處理系統
12/14	互連主控器
16	I/O電路
18	周邊裝置

20	受控器
22	系統互連
24/33/48/52/54/56	導體
26	主控器識別符
27	資料
28/34	訊號
30	叢發類型訊號
32	資料訊號
35	記憶體
36	記憶體控制器
37	誤差訊號
38	控制暫存器
39	組態碼
40	控制邏輯
42	終止控制邏輯
44	誤差偵測邏輯
50	叢發協定選擇邏輯
60/62	BRE欄位
64/66	BWE欄位
72	叢發請求操作
74	叢發特徵操作
78	叢發協定操作
82/88/90	HDL操作
84	叢發參數操作

86

評估叢發協定參數操作

92

操作

五、中文發明摘要：

多重叢發記憶體存取處理協定可在硬體階層上實施，或可在該硬體之設計期間被評估及選擇。基於諸如叢發類型(30)之叢發特徵及電流匯流排主控器(12或14)之特性，可選擇適當之叢發協定。此允許(例如)一受控器能支援一晶片(SoC)上之多主控器系統內之多重誤差協定，或允許設計能與多種使用不同叢發處理協定之主控器建立界面之受控器。可提供諸如可程式化之控制暫存器或組態碼或變數之輸入作為該受控器或受控器界面組塊之部分(如一記憶體控制器(36))以促進替代性叢發協定之實施。當自一主控器接收一叢發請求時，確定一對應於該請求之叢發的叢發特徵，並基於該叢發特徵選擇複數個叢發誤差協定中之一者。接著根據該選定之叢發誤差協定處理該叢發請求。

六、英文發明摘要：

十、申請專利範圍：

1. 一種確定叢發誤差協定之方法，包括：

自一主控制器接收一叢發請求；

確定一對應於該請求之叢發之叢發特徵；

基於該叢發特徵選擇複數個叢發誤差協定之一者；

其中確定該叢發特徵包含確定一對應於該請求之叢發之叢發類型而該選擇之叢發誤差協定為根據該叢發類型而選擇；及

根據該選擇之叢發誤差協定回應該叢發請求。

2. 一種記憶體控制器，包括：

叢發協定選擇邏輯，其確定對應於一請求之叢發傳輸之至少一叢發特徵，並基於該至少一叢發特徵選擇一叢發誤差協定，其中該至少一叢發特徵包含該請求之叢發傳輸之一叢發類型；

控制邏輯，其與該叢發協定選擇邏輯耦合，該控制邏輯根據該選定之叢發誤差協定回應一請求之叢發，其中該控制邏輯啟動該請求之叢發傳輸以回應於該請求的叢發，且其進一步包含：

誤差偵測邏輯，其在該請求的叢發傳輸間偵測一誤差；及

終止控制邏輯，其根據該叢發協定選擇邏輯提供的該選擇的叢發誤差協定選擇性地終止該請求之叢發傳輸；及

一控制暫存器，其與該叢發協定選擇邏輯耦合，其中該叢發協定選擇邏輯根據該至少一叢發特徵及儲存於該

控制暫存器內之資訊來選擇該叢發誤差協定，其中儲存於該控制暫存器之該資訊指出複數個叢發誤差協定，及其中該叢發協定選擇邏輯選擇來自該複數個叢發誤差協定之叢發誤差協定，其中每一個該複數個叢發誤差協定對應於一叢發類型，該叢發類型至少包含一讀取叢發類型、一寫入叢發類型、一有界叢發類型、和一無界叢發類型之一。

3. 一種記憶體控制器，包括：

用於自一主控器接收一叢發請求之構件；

用於確定一對應於該請求之叢發之叢發特徵之構件；

用於基於該叢發特徵，選擇複數個叢發誤差協定之一者的構件；及

用於根據該選擇之叢發誤差協定回應該叢發請求之構件，

其中該用於根據該選擇之叢發誤差協定回應該叢發請求構件包含：

用於啟動一叢發傳輸之構件；

用於在該叢發傳輸間偵測一誤差之構件；及

用於根據該選擇的叢發誤差協定選擇性地終止該叢發傳輸之構件。

4. 一種記憶體控制器，其可組態以與複數個主控器通信，其包括：

叢發協定選擇邏輯，其確定一對應於一請求之叢發傳輸之複數個主控器之一者之識別符，並基於該等複數個

主控器之該一者之該識別符選擇一叢發誤差協定；

一控制暫存器，其與該叢發協定選擇邏輯耦合，其中該叢發協定選擇邏輯基於該複數個主控器之一者之該識別符及儲存於該控制暫存器內之資訊來選擇該叢發誤差協定；及

控制邏輯，其與該叢發誤差選擇邏輯耦合，該控制邏輯根據該選定之叢發誤差協定回應一請求之叢發。

5. 一種記憶體控制器，其包含：

叢發協定選擇邏輯，其確定至少一對應於一請求之叢發傳輸之叢發特徵及自複數個叢發誤差協定中基於該至少一叢發特徵來選擇一叢發誤差協定，其中該記憶體控制器可重新組態用以與複數個主控器傳輸，且其中該複數個叢發誤差協定中之每一個與該複數個主控器中之一主控器對應；及控制邏輯，其與該叢發協定選擇邏輯耦合，其根據該選擇的叢發誤差協定來回應一請求之叢發。

十一、圖式：

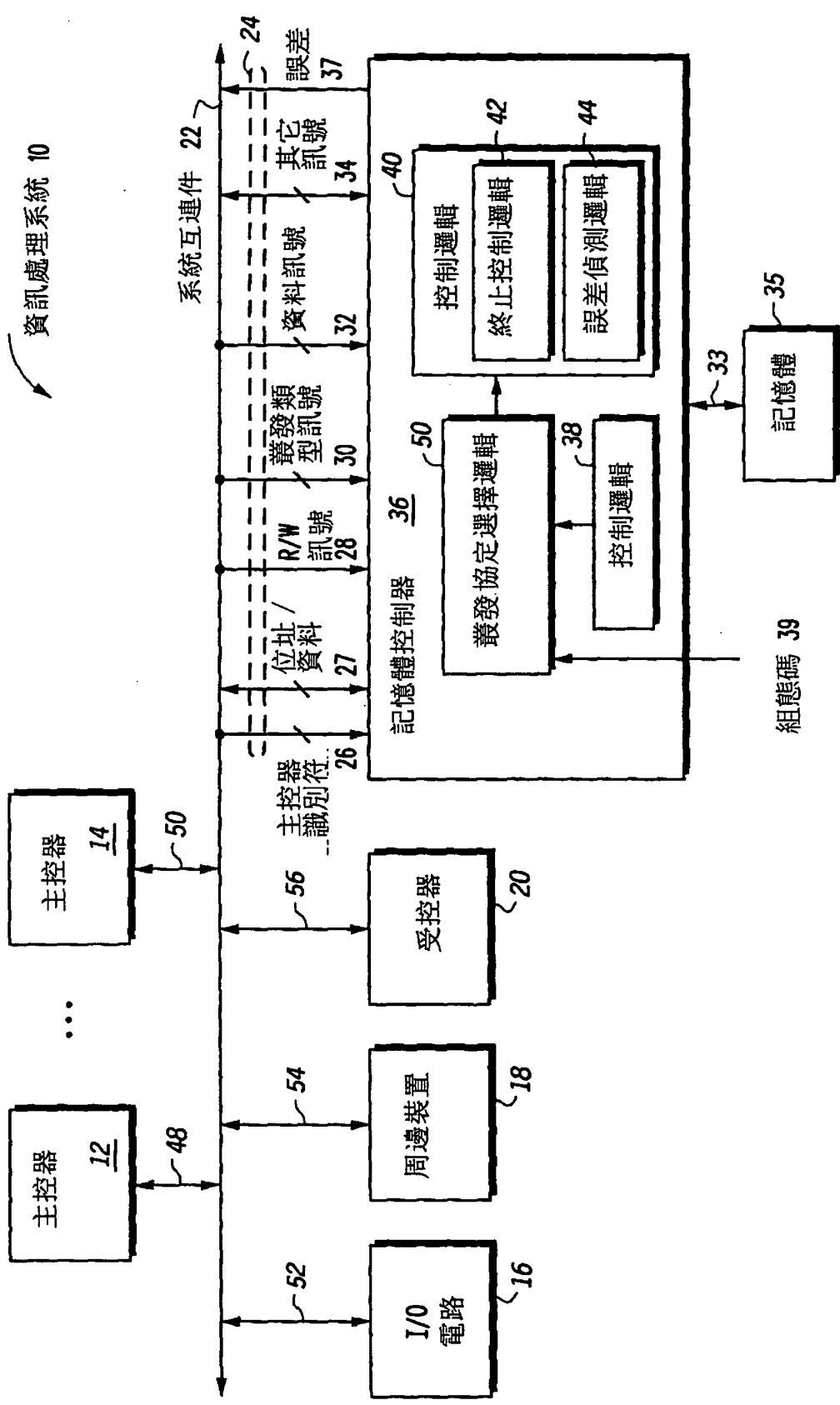


圖 1

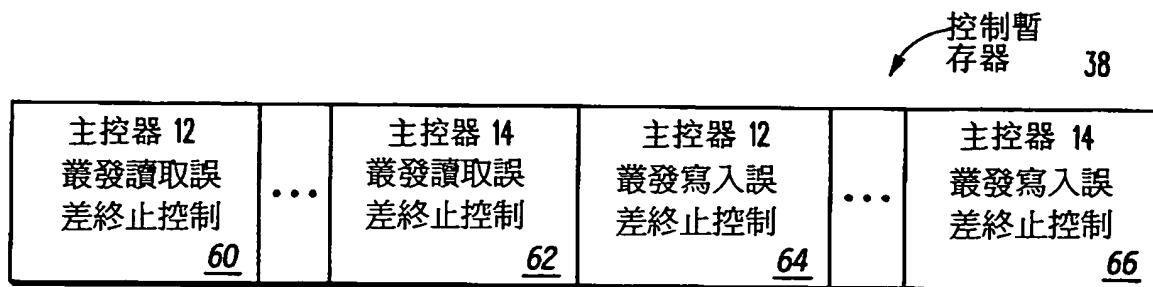


圖 2

名稱	描述	設定
叢發讀取 誤差終止 控制位欄 60 及 62	主控器 x 誤差終止控制 -該等位元被用於控制 用於叢發存取讀取誤差 上之協定	00 - 在叢發傳輸中發生誤差不影響該讀取叢發之剩餘節拍 01 - 在叢發傳輸中發生之誤差造成該叢發讀取中斷 10 - 在第一次節拍(關鍵字組)中發生之誤差造成讀取叢發終止；其他誤差不造成讀取叢發終止 11 - 在一未確定長度之叢發讀取中發生之誤差造成該叢發讀取終止；其他讀取叢發類型上之誤差不造成讀取叢發終止
叢發寫入 誤差終止 控制位欄 64 及 66	主控器 x 誤差終止控制 -該等位元被用於控制 用於叢發存取寫入誤差 上之協定	00 - 在叢發傳輸中發生誤差不影響該寫入叢發之剩餘節拍 01 - 在叢發傳輸中發生之誤差造成該叢發寫入中斷 10 - 在第一次節拍(關鍵字組)中發生之誤差造成寫入叢發終止；其他誤差不造成寫入叢發終止 11 - 在一未確定長度之叢發寫入中發生之誤差造成該叢發寫入終止；其他寫入叢發類型上之誤差不造成寫入叢發終止

圖 3

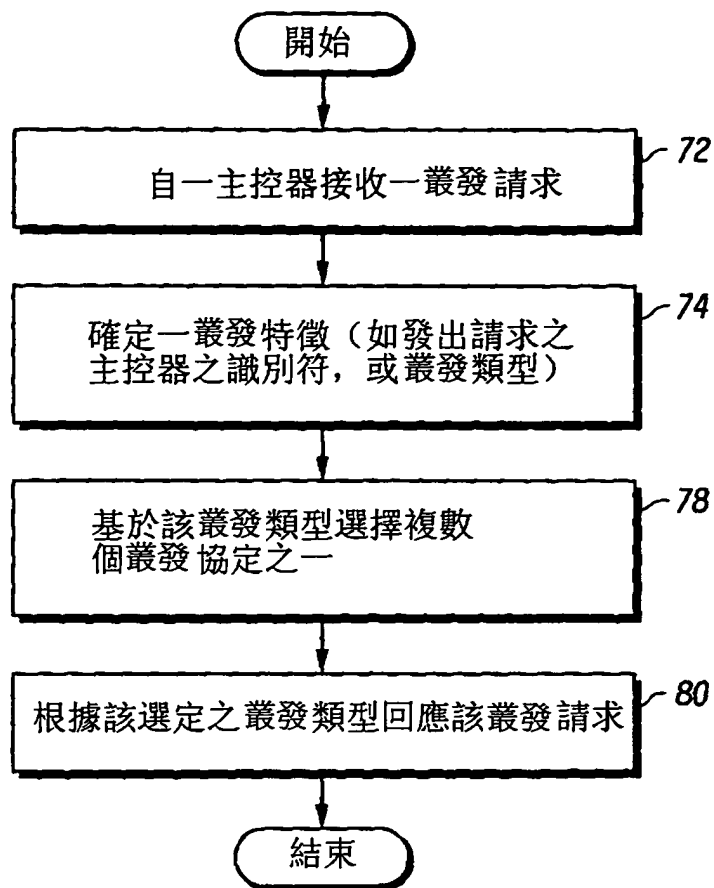


圖 4

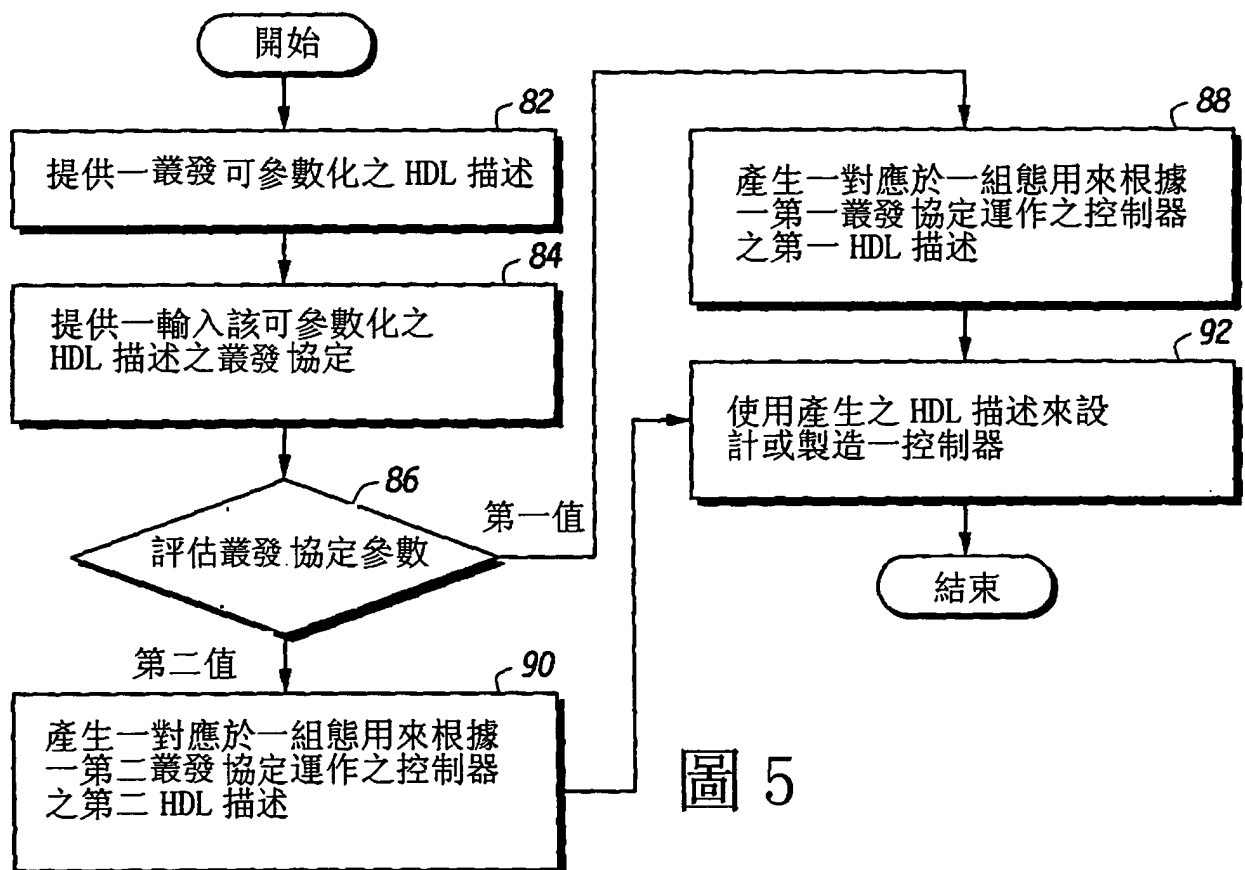


圖 5

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	資訊處理系統
12/14	主控器
16	I/O 電路
18	周邊裝置
20	受控器
22	系統互連件
24/33/48/52/54/56	導體
26	主控器識別符
27	位址/資料
28	訊號
30	叢發類型訊號
32	資料訊號
35	記憶體
36	記憶體控制器
37	誤差
38	控制暫存器
39	組態密碼
40	控制邏輯
42	終止控制邏輯
44	誤差偵測邏輯
50	叢發協定選擇邏輯

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)