

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7620032号
(P7620032)

(45)発行日 令和7年1月22日(2025.1.22)

(24)登録日 令和7年1月14日(2025.1.14)

(51)国際特許分類		F I	
G 0 9 F	9/40 (2006.01)	G 0 9 F	9/40 3 0 1
G 0 9 F	9/33 (2006.01)	G 0 9 F	9/33
G 0 9 F	9/00 (2006.01)	G 0 9 F	9/00 3 3 8
H 0 4 N	5/66 (2006.01)	H 0 4 N	5/66 1 0 3

請求項の数 12 (全20頁)

(21)出願番号	特願2022-572459(P2022-572459)	(73)特許権者	519182202
(86)(22)出願日	令和4年8月8日(2022.8.8)		深 セン 市 華 星光 電 半 導
(65)公表番号	特表2024-531001(P2024-531001 A)		体 顕 示 技 術 有 限 公 司
(43)公表日	令和6年8月29日(2024.8.29)		中 華 人 民 共 和 国 5 1 8 1 3 2 広 東
(86)国際出願番号	PCT/CN2022/110757		省 深 セン 市 光 明 新 区 公 明 街 道 塘 明
(87)国際公開番号	WO2024/016394	(74)代理人	100103894
(87)国際公開日	令和6年1月25日(2024.1.25)		弁 理 士 家 入 健
審査請求日	令和4年11月24日(2022.11.24)	(72)発明者	李 柱 輝
(31)優先権主張番号	202210843822.0		中 華 人 民 共 和 国 5 1 8 1 3 2 廣 東 省 深
(32)優先日	令和4年7月18日(2022.7.18)		せん 市 光 明 新 区 公 明 街 道 塘 明 大 道 9 -
(33)優先権主張国・地域又は機関	中国(CN)	(72)発明者	李 燕 芬
			中 華 人 民 共 和 国 5 1 8 1 3 2 廣 東 省 深
			せん 市 光 明 新 区 公 明 街 道 塘 明 大 道 9 -
			最終頁に続く

(54)【発明の名称】 表示パネル、タイリング表示モジュール及びタイリング表示モジュールの製造方法

(57)【特許請求の範囲】

【請求項1】

表示パネルであって、前記表示パネルは、第一表示領域と、第二表示領域と、を含み、前記第二表示領域は、少なくとも第一方向に沿って前記第一表示領域の周囲に設けられ、

前記表示パネルは、前記第二表示領域に設けられる複数の第一画素組と、前記第一方向に沿って延伸される複数のゲート線と、複数のデータ線と、複数の第一電源線と、複数の第二電源線とを含み、

前記第一画素組は、第一画素ユニットと、第二画素ユニットとを含み、前記第一画素ユニットは、第一駆動アセンブリと第一発光アセンブリとを含み、前記第二画素ユニットは、第二駆動アセンブリと第二発光アセンブリとを含み、

前記第一駆動アセンブリは、前記第一発光アセンブリに電氣的に接続され、前記第二駆動アセンブリは、前記第二発光アセンブリに電氣的に接続され、前記第一画素組において、前記第一駆動アセンブリは、前記第一方向に沿って前記第一発光アセンブリの一側に設けられ、前記第二駆動アセンブリは、前記第一方向に沿って前記第一駆動アセンブリの前記第一発光アセンブリから離れた一側に設けられ、前記第二発光アセンブリは、前記第一方向に沿って前記第二駆動アセンブリの前記第一駆動アセンブリから離れた一側に設けられ、

前記ゲート線及び前記第一電源線は、第二方向に沿って前記第一画素ユニット及び前記第二画素ユニットの相対する二つの側に設置され、前記第二電源線は、前記ゲート線の前記第一電源線に近い一側に設けられ、前記データ線は、前記第一電源線と、前記第二電源

線との間に設置され、前記第一駆動アセンブリ、前記第二駆動アセンブリ、前記第一発光アセンブリ及び前記第二発光アセンブリは、前記第一電源線と、前記第二電源線との間に位置する、

表示パネル。

【請求項 2】

前記第一画素組において、前記第一駆動アセンブリと、前記第二駆動アセンブリとは、軸対称に設けられ、且つ前記第一駆動アセンブリと、前記第二駆動アセンブリとの構造は同一である、

請求項 1 に記載の表示パネル。

【請求項 3】

複数の第二画素組をさらに含み、前記複数の第二画素組は、前記第一表示領域に設けられ、前記複数の第一画素組及び前記複数の第二画素組は、アレイ状に分布する、

請求項 1 に記載の表示パネル。

【請求項 4】

前記第一画素組の構造と、前記第二画素組の構造とは同一である、

請求項 3 に記載の表示パネル。

【請求項 5】

前記第一画素組の画素間隔は、前記第二画素組の画素間隔に等しい、

請求項 3 に記載の表示パネル。

【請求項 6】

前記第一駆動アセンブリは、少なくとも一つの第一薄膜トランジスタを含み、前記第一発光アセンブリは、少なくとも一つの発光デバイスを含み、前記第一薄膜トランジスタは、対応する前記発光デバイスに電氣的に接続される、

請求項 1 に記載の表示パネル。

【請求項 7】

前記第一駆動アセンブリは、少なくとも一つの第二薄膜トランジスタをさらに含み、前記第二薄膜トランジスタの制御端は、前記ゲート線に電氣的に接続され、前記第二薄膜トランジスタの入力端は、前記データ線に電氣的に接続され、前記第二薄膜トランジスタの出力端は、前記第一薄膜トランジスタの制御端に電氣的に接続され、前記第一薄膜トランジスタの入力端は、前記第一電源線に電氣的に接続され、

前記発光デバイスは、第一ピンと、第二ピンと、を有し、前記第一薄膜トランジスタの出力端は、前記発光デバイスの第一ピンに電氣的に接続され、前記発光デバイスの第二ピンは、前記第二電源線に電氣的に接続される、

請求項 6 に記載の表示パネル。

【請求項 8】

前記第一駆動アセンブリは、少なくとも一つの蓄積キャパシタをさらに含み、前記第二薄膜トランジスタの出力端は、前記蓄積キャパシタを介して、前記第一薄膜トランジスタの出力端と接続される、

請求項 7 に記載の表示パネル。

【請求項 9】

第一信号線と、第二信号線と、をさらに含み、

前記第一駆動アセンブリは、少なくとも一つの第三薄膜トランジスタをさらに含み、前記第三薄膜トランジスタの制御端と、前記第一信号線とは電氣的に接続され、前記第三薄膜トランジスタの入力端と、前記第二信号線とは電氣的に接続され、前記第三薄膜トランジスタの出力端と、前記第一薄膜トランジスタの出力端とは電氣的に接続される、

請求項 6 に記載の表示パネル。

【請求項 10】

少なくとも二つの表示パネルを含み、前記少なくとも二つの表示パネルは、タイリングされ、前記表示パネルは、請求項 1 ~ 9 のいずれか一項に記載の表示パネルが採用される、タイリング表示モジュール。

10

20

30

40

50

【請求項 1 1】

少なくとも二つの表示パネルを提供し、前記表示パネルは、第一表示領域と、第二表示領域と、負の公差領域と、を含み、前記第二表示領域は、少なくとも第一方向に沿って前記第一表示領域の周囲に設けられ、前記負の公差領域は、前記第二表示領域の前記第一表示領域から離れた一側に設けられ、前記第二表示領域は、複数の第一画素組が設けられ、前記第一画素組は、第一駆動アセンブリと、第二駆動アセンブリと、第一発光アセンブリと、第二発光アセンブリと、を含み、前記第一駆動アセンブリは、前記第一発光アセンブリに電氣的に接続され、前記第二駆動アセンブリは、前記第二発光アセンブリに電氣的に接続され、前記第一画素組において、前記第一駆動アセンブリは、前記第一方向に沿って前記第一発光アセンブリの一側に設けられ、前記第二駆動アセンブリは、前記第一方向に沿って前記第一駆動アセンブリの前記第一発光アセンブリから離れた一側に設けられ、前記第二発光アセンブリは、前記第一方向に沿って前記第二駆動アセンブリの前記第一駆動アセンブリから離れた一側に設けられる、ステップ B 1 と、

10

前記表示パネルの前記負の公差領域を除去する、ステップ B 2 と、

少なくとも二つの前記表示パネルを互いにタイリングして、タイリング表示モジュールを得る、ステップ B 3 と、を含む、

請求項 1 0 に記載のタイリング表示モジュールの製造方法。

【請求項 1 2】

前記ステップ B 1 において、前記負の公差領域の幅は、0.2 ミリメートル以上であり、且つ前記負の公差領域の幅は、0.6 ミリメートル以下である、

20

請求項 1 1 に記載のタイリング表示モジュールの製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本願は、表示分野に関し、特に、表示パネル、タイリング表示モジュール及びタイリング表示モジュールの製造方法に関する。

【背景技術】**【0002】**

近年では、数々の新型の表示技術が出現し、例として、量子ドット発光ダイオード (Quantum Dot Light Emitting Diodes、QLED) 表示、電子インクディスプレイ (E-ink)、フレキシブル LCD、ペロブスカイト発光ダイオード (Perovskite light-emitting diodes、PeLEDs) 表示、ミニ発光ダイオード (Mini Light-emitting Diode、Mini LED)、マイクロ発光ダイオード (Micro Light-emitting Diode、Micro LED) 等がある。これらの新しい技術は、コスト、寿命、信頼性等のいくつかの問題が存在するため、まだ液晶ディスプレイ (Liquid Crystal Display、LCD) 及び有機エレクトロルミネッセンスディスプレイ (Organic Light-Emitting Diode、OLED) と同じレベルの高量産性を具備していない。ここで、Micro-LED は、マイクロメートルオーダーの LED を発光画素ユニットとし、それを駆動モジュールと組み立て、高密度の表示アレイを形成する技術を指す。現在の主流の LCD、OLED 等の表示技術に比べて、Micro LED は、輝度、解像度、エネルギー消費、使用寿命、応答速度、熱安定性等の面では世代を超える優位性を有し、国際的に公認されている未来の表示技術である。

30

40

【0003】

大型表示装置の市場は、かなり膨大であり、例として、ショッピングセンター広告、センターコンソール、会議室、体育館等がある。現在の大型ディスプレイは、主に四種類がある。

【0004】

(1) LCD タイリングディスプレイ：当該技術案は、コストが低い、室内にしか応用できなく、しかも顕著なタイリングの継ぎ目がある。

50

【 0 0 0 5 】

(2) P C B 板小間隔 L E D タイリングディスプレイ：当該技術は継ぎ目のないタイリング及び高輝度表示を実現することができるが、解像度が低く、しかもモジュールは膨大且つ複雑である。

【 0 0 0 6 】

(3) 投影表示：当該技術は輝度が低く、しかも画面が明晰ではなく、画像が変形しやすく、普通の室内オフィスしか満たさない。

【 0 0 0 7 】

(4) ガラス基板 M i n i L E D タイリングディスプレイ：当該技術は継ぎ目のないタイリング及び高輝度、高解像度表示を実現することができ、しかも薄型化及び美観であるが、短所は M i n i L E D のチップが大きく、粒状性が顕著であり、近距離での観覧は向いていない。

10

【 0 0 0 8 】

上述した技術案に比べて、ガラス基板 M i c r o - L E D タイリングディスプレイは、ガラス基板 M i n i L E D タイリングディスプレイの全ての長所を具備し、しかもより高解像度、より繊細な画質等の長所をさらに具備し、より良い表示特性を有し、大型表示に適用する。

【 0 0 0 9 】

図 1 に示すように、従来の技術の画素ユニットは、一般的に、駆動アセンブリ 1 と、発光アセンブリ 2 とを含み、発光アセンブリ 2 は駆動アセンブリ 1 の一側に設けられ、駆動アセンブリ 1 の幅は画素ユニットの幅に等しく、上述した画素ユニットを採用するディスプレイはタイリングの際に、継ぎ目がより大きく、見栄えに影響を与える。継ぎ目の問題を解決するために、図 2 に示すように、発光アセンブリ 2 は小型の L E D ランプビーズを採用し、且つ画素ユニットの四囲に負の公差領域 3 を設置することができ、タイリングの際に、ディスプレイのエッジにおける負の公差領域 3 を切り離すことによって、タイリングの重複量を増加して、継ぎ目のないタイリングの効果を満たすことができるが、当該技術案は、低解像度のタイリングディスプレイにしか適用できなく、高解像度のタイリングディスプレイに適用しない。

20

【 0 0 1 0 】

従来の技術について研究及び実践する過程において、図 2 に示すように、本願の発明者は、画素ユニット上に負の公差を設置することで継ぎ目を減少することができることを発見し、具体的に言うと、駆動アセンブリ 1 の空間を圧縮し、駆動アセンブリ 1 及び発光アセンブリ 2 の周りに負の公差領域 3 を形成し、上述した画素ユニットを採用するディスプレイは、タイリングの際に、ディスプレイのエッジにおける負の公差領域 3 を切り離すことによって、タイリングの重複量を増加して、継ぎ目のないタイリングの効果を満たすことができるが、図 2 の技術案は依然として継ぎ目を好ましく削除することができない。

30

【 0 0 1 1 】

そこで、上述した問題を解決するための技術案は極めて必要である。

【 発明の概要 】

【 発明が解決しようとする課題 】

40

【 0 0 1 2 】

本願の実施例は、表示パネル、タイリング表示モジュール及びタイリング表示モジュールの製造方法を提供し、タイリングディスプレイの継ぎ目を削除しにくい技術問題を解決することができる。

【 課題を解決するための手段 】

【 0 0 1 3 】

本願の実施例は、

表示パネルであって、前記表示パネルは、第一表示領域と、第二表示領域と、を含み、前記第二表示領域は、少なくとも第一方向に沿って前記第一表示領域の一側の周囲に設けられ、

50

前記表示パネルは、前記第二表示領域に設けられる複数の第一画素組を含み、前記第一画素組は、第一駆動アセンブリと、第二駆動アセンブリと、第一発光アセンブリと、第二発光アセンブリと、を含み、前記第一駆動アセンブリは、前記第一発光アセンブリに電氣的に接続され、前記第二駆動アセンブリは、前記第二発光アセンブリに電氣的に接続され、前記第一画素組において、前記第一駆動アセンブリは、前記第一方向に沿って第一発光アセンブリの一侧に設けられ、前記第二駆動アセンブリは、前記第一方向に沿って前記第一駆動アセンブリの前記第一発光アセンブリから離れた一侧に設けられ、前記第二発光アセンブリは、前記第一方向に沿って前記第二駆動アセンブリの前記第一駆動アセンブリから離れた一侧に設けられる、

表示パネルを提供する。

10

【0014】

任意選択で、本願のいくつかの実施例において、

前記第一画素組において、前記第一駆動アセンブリと、前記第二駆動アセンブリとは、軸対称に設けられ、且つ前記第一駆動アセンブリと、前記第二駆動アセンブリとの構造は同一である。

【0015】

任意選択で、本願のいくつかの実施例において、

前記表示パネルは、複数の第二画素組をさらに含み、前記複数の第二画素組は、前記第一表示領域に設けられ、前記複数の第一画素組及び前記複数の第二画素組は、アレイ状に分布する。

20

【0016】

任意選択で、本願のいくつかの実施例において、

前記第一画素組の構造と、前記第二画素組の構造とは同一である。

【0017】

任意選択で、本願のいくつかの実施例において、

前記第一画素組の画素間隔は、前記第二画素組の画素間隔に等しい。

【0018】

任意選択で、本願のいくつかの実施例において、

前記第一駆動アセンブリは、少なくとも一つの第一薄膜トランジスタを含み、前記第一発光アセンブリは、少なくとも一つの発光デバイスを含み、前記第一薄膜トランジスタは、対応する前記発光デバイスに電氣的に接続される。

30

【0019】

任意選択で、本願のいくつかの実施例において、

前記表示パネルは、複数本のゲート線と、複数本のデータ線と、複数本の第一電源線と、複数本の第二電源線と、をさらに含み、

前記第一駆動アセンブリは、少なくとも一つの第二薄膜トランジスタをさらに含み、前記第二薄膜トランジスタの制御端は、前記ゲート線に電氣的に接続され、前記第二薄膜トランジスタの入力端は、前記データ線に電氣的に接続され、前記第二薄膜トランジスタの出力端は、前記第一薄膜トランジスタの制御端に電氣的に接続され、前記第一薄膜トランジスタの入力端は、前記第一電源線に電氣的に接続され、

40

前記発光デバイスは、第一ピンと、第二ピンと、を有し、前記第一薄膜トランジスタの出力端は、前記発光デバイスの第一ピンに電氣的に接続され、前記発光デバイスの第二ピンは、前記第二電源線に電氣的に接続される。

【0020】

任意選択で、本願のいくつかの実施例において、

前記第一駆動アセンブリは、少なくとも一つの蓄積キャパシタをさらに含み、前記第二薄膜トランジスタの出力端は、前記蓄積キャパシタを介して、前記第一薄膜トランジスタの出力端と接続される。

【0021】

任意選択で、本願のいくつかの実施例において、

50

前記表示パネルは、第一信号線と、第二信号線と、をさらに含み、

前記第一駆動アセンブリは、少なくとも一つの第三薄膜トランジスタをさらに含み、前記第三薄膜トランジスタの制御端と、前記第一信号線とは電氣的に接続され、前記第三薄膜トランジスタの入力端と、前記第二信号線とは電氣的に接続され、前記第三薄膜トランジスタの出力端と、前記第一薄膜トランジスタの出力端とは電氣的に接続される。

【0022】

本願の実施例は、

少なくとも二つの表示パネルを含み、前記少なくとも二つの表示パネルは、タイリングされ、前記表示パネルは、上述した表示パネルが採用される、

タイリング表示モジュールをさらに提供する。

10

【0023】

任意選択で、本願のいくつかの実施例において、

前記第一画素組において、前記第一駆動アセンブリと、前記第二駆動アセンブリとは、軸対称に設けられ、且つ前記第一駆動アセンブリと、前記第二駆動アセンブリとの構造は同一である。

【0024】

任意選択で、本願のいくつかの実施例において、

前記表示パネルは、複数の第二画素組をさらに含み、前記複数の第二画素組は、前記第一表示領域に設けられ、前記複数の第一画素組及び前記複数の第二画素組は、アレイ状に分布する。

20

【0025】

任意選択で、本願のいくつかの実施例において、

前記第一画素組の構造と、前記第二画素組の構造とは同一である。

【0026】

任意選択で、本願のいくつかの実施例において、

前記第一画素組の画素間隔は、前記第二画素組の画素間隔に等しい。

【0027】

任意選択で、本願のいくつかの実施例において、

前記第一駆動アセンブリは、少なくとも一つの第一薄膜トランジスタを含み、前記第一発光アセンブリは、少なくとも一つの発光デバイスを含み、前記第一薄膜トランジスタは、対応する前記発光デバイスに電氣的に接続される。

30

【0028】

任意選択で、本願のいくつかの実施例において、

前記表示パネルは、複数本のゲート線と、複数本のデータ線と、複数本の第一電源線と、複数本の第二電源線と、をさらに含み、

前記第一駆動アセンブリは、少なくとも一つの第二薄膜トランジスタをさらに含み、前記第二薄膜トランジスタの制御端は、前記ゲート線に電氣的に接続され、前記第二薄膜トランジスタの入力端は、前記データ線に電氣的に接続され、前記第二薄膜トランジスタの出力端は、前記第一薄膜トランジスタの制御端に電氣的に接続され、前記第一薄膜トランジスタの入力端は、前記第一電源線に電氣的に接続され、

40

前記発光デバイスは、第一ピンと、第二ピンと、を有し、前記第一薄膜トランジスタの出力端は、前記発光デバイスの第一ピンに電氣的に接続され、前記発光デバイスの第二ピンは、前記第二電源線に電氣的に接続される。

【0029】

任意選択で、本願のいくつかの実施例において、

前記第一駆動アセンブリは、少なくとも一つの蓄積キャパシタをさらに含み、前記第二薄膜トランジスタの出力端は、前記蓄積キャパシタを介して、前記第一薄膜トランジスタの出力端と接続される。

【0030】

任意選択で、本願のいくつかの実施例において、

50

前記表示パネルは、第一信号線と、第二信号線と、をさらに含み、

前記第一駆動アセンブリは、少なくとも一つの第三薄膜トランジスタをさらに含み、前記第三薄膜トランジスタの制御端と、前記第一信号線とは電氣的に接続され、前記第三薄膜トランジスタの入力端と、前記第二信号線とは電氣的に接続され、前記第三薄膜トランジスタの出力端と、前記第一薄膜トランジスタの出力端とは電氣的に接続される。

【0031】

本願の実施例は、

少なくとも二つの表示パネルを提供し、前記表示パネルは、第一表示領域と、第二表示領域と、負の公差領域と、を含み、前記第二表示領域は、少なくとも第一方向に沿って前記第一表示領域の周囲に設けられ、前記負の公差領域は、前記第二表示領域の前記第一表示領域から離れた一側に設けられ、前記第二表示領域は、複数の第一画素組が設けられ、前記第一画素組は、第一駆動アセンブリと、第二駆動アセンブリと、第一発光アセンブリと、第二発光アセンブリと、を含み、前記第一駆動アセンブリは、前記第一発光アセンブリに電氣的に接続され、前記第二駆動アセンブリは、前記第二発光アセンブリに電氣的に接続され、前記第一画素組において、前記第一駆動アセンブリは、前記第一方向に沿って第一発光アセンブリの一側に設けられ、前記第二駆動アセンブリは、前記第一方向に沿って前記第一駆動アセンブリの前記第一発光アセンブリから離れた一側に設けられ、前記第二発光アセンブリは、前記第一方向に沿って前記第二駆動アセンブリの前記第一駆動アセンブリから離れた一側に設けられる、ステップB1と、

前記表示パネルの負の公差領域を除去する、ステップB2と、

少なくとも二つの前記表示パネルを互いにタイリングして、タイリング表示モジュールを得る、ステップB3と、を含む、

タイリング表示モジュールの製造方法をさらに提供する。

【0032】

任意選択で、本願のいくつかの実施例において、

前記ステップB1において、前記負の公差領域の幅は、0.2ミリメートル以上であり、且つ前記負の公差領域の幅は、0.6ミリメートル以下である。

【発明の効果】

【0033】

本願の実施例は、表示パネル、タイリング表示モジュール及びタイリング表示モジュールの製造方法を採用し、第一発光アセンブリと、第二発光アセンブリとの間に第一駆動アセンブリ及び第二駆動アセンブリを設置することによって、第一発光アセンブリと、第二発光アセンブリとの間の間隔区域を十分に利用して、表示パネルの第一方向に沿っての負の公差を増大させることができ、且つ表示パネルの第一方向に沿っての最も外側は、全て発光アセンブリであり、効果的に継ぎ目を削除することができる。

【図面の簡単な説明】

【0034】

本願の実施例における技術案をより明確に説明するために、以下に、実施例の説明に使用する必要がある図面を簡潔に紹介する。以下の説明における図面は、本開示のいくつかの実施例にすぎないことは明らかである。当業者は、創造的努力なしに、これらの図面に基づいて、他の図面を得ることもできる。

【0035】

【図1】従来の技術における画素ユニットの構造概略図である。

【図2】改良された画素ユニットの構造概略図である。

【図3】本願の実施例が提供する表示パネルの構造概略図である。

【図4】本願の実施例が提供する第一画素組の構造概略図である。

【図5】図2の画素ユニットと、本願の第一画素組との比較概略図である。

【図6】本願の実施例が提供する表示パネルの原理概略図である。

【図7】本願の実施例が提供する画素ユニットの平面構造概略図である。

【図8】本願の実施例が提供する画素ユニットの等価回路図である。

10

20

30

40

50

【図 9】本願の実施例が提供する第一薄膜トランジスタの断面構造概略図である。

【図 10】本願の実施例が提供する第二薄膜トランジスタの断面構造概略図である。

【図 11】本願の実施例が提供する蓄積キャパシタの断面構造概略図である。

【図 12】本願の実施例が提供する第三薄膜トランジスタの断面構造概略図である。

【図 13】本願の実施例が提供するタイリング表示モジュールの構造概略図である。

【発明を実施するための形態】

【0036】

以下は、本願の実施例における図面を合わせて、本願の実施例における技術案を明確かつ完全に説明する。説明された実施例は本願の一部の実施例にすぎなく、全ての実施例ではないことが明らかである。本願における実施例をもとに、当業者が創造的努力なしに得た全てのその他の実施例は、いずれも本願の保護範囲に属する。それに、ここで言及された具体実施形態は、本願を説明又は解釈することのみに用いられ、本願を限定するものでないことを理解すべきである。本願において、相反する説明がない限り、使用される方位用語、例えば「上」及び「下」は装置の実際の使用時又は稼働状態の上及び下を指し、具体的には図面における図面方向であり、並びに、「内」及び「外」は装置の輪郭に対してである。

10

【0037】

本願の実施例は、表示パネル、タイリング表示モジュール及びタイリング表示モジュールの製造方法を提供する。以下は、それぞれについて詳しく説明する。説明が必要なこととして、以下実施例の説明の順序は、実施例の好ましい順序として限定されることではない。

20

【0038】

図 3 を参照して、本願の実施例は、表示パネル 10 を提供し、表示パネル 10 は、第一表示領域 AA1 と、第二表示領域 AA2 と、を含み、第二表示領域 AA2 は、少なくとも第一方向 Y に沿って第一表示領域 AA1 の周囲に設けられ、即ち、第一表示領域 AA1 に比べて、第二表示領域 AA2 は、第一方向 Y に沿って表示パネル 10 のエッジにより近い。本願の実施例において、第二表示領域 AA2 は第一表示領域 AA1 の四囲を囲み、当然のことながら、実際の状況の選択及び具体的な需要に応じて設置されることができ、第二表示領域 AA2 は、第一方向 Y のみに沿って第一表示領域 AA1 の周囲の一侧に設けられてもよく、若しくは、第二表示領域 AA2 は、第一方向 Y に沿って第一表示領域 AA1 の周囲の相対する二つの側に設けられてもよいが、ここでは唯一に限定しない。

30

【0039】

具体的には、図 3 及び図 4 を合わせると、表示パネル 10 は、第二表示領域 AA2 に設けられる複数の第一画素組 PG1 を含む。第一画素組 PG1 は、第一画素ユニット P1 と、第二画素ユニット P2 と、を含み、第一画素ユニット P1 は、第一方向 Y に沿って第二画素ユニット P2 の一侧に設けられる。ここで、第一画素ユニット P1 は、第一駆動アセンブリ 17 と、第一発光アセンブリ 16 と、を含み、第一駆動アセンブリ 17 は、第一発光アセンブリ 16 に電氣的に接続されて、第一発光アセンブリ 16 のオン及びオフを制御するために用いられる。第二画素ユニット P2 は、第二駆動アセンブリ 18 と、第二発光アセンブリ 19 と、を含み、第二駆動アセンブリ 18 は、第二発光アセンブリ 19 に電氣的に接続されて、第二発光アセンブリ 19 のオン及びオフを制御するために用いられる。

40

【0040】

一つの第一画素組 PG1 において、第一駆動アセンブリ 17 は、第一方向 Y に沿って第一発光アセンブリ 16 の一侧に設けられ、第二駆動アセンブリ 18 は、第一方向 Y に沿って第一駆動アセンブリ 17 の第一発光アセンブリ 16 から離れた一侧に設けられ、第二発光アセンブリ 19 は、第一方向 Y に沿って第二駆動アセンブリ 18 の第一駆動アセンブリ 17 から離れた一侧に設けられ、即ち、第一発光アセンブリ 16、第一駆動アセンブリ 17、第二駆動アセンブリ 18 及び第二発光アセンブリ 19 は、第一方向 Y に沿って順次に配列される。

【0041】

50

図5に示すように、図5は、図2の画素ユニットと、本願の第一画素組PG1との比較概略図である。同一画素間隔の場合では、本願は、図2の画素ユニットに基づいて、隣り合う二つの画素ユニットのうち、上方に位置する画素ユニットの駆動アセンブリ1を発光アセンブリ2の下方に移転し、隣り合う二つの画素ユニットのうち、二つの駆動アセンブリ1が二つの発光アセンブリ2との間に位置させることによって、本願の第一画素組PG1を得る。比べてみると、図2の画素ユニットに相応する表示パネル10の最外周の負の公差領域3を切り離した後における表示パネル10の第一方向Yに沿っての長さはL1であり、本願の第一画素組PG1に相応する表示パネル10の最外周の負の公差領域NTAを切り離した後における表示パネル10の第一方向Yに沿っての長さはL2であり、L2はL1より小さいことが明らかである。これで分かるように、本願は、第一発光アセンブリ16と、第二発光アセンブリ19との間に第一駆動アセンブリ17及び第二駆動アセンブリ18を設置するによって、第一発光アセンブリ16と、第二発光アセンブリ19との間の間隔区域を十分に利用して、表示パネル10の第一方向Yに沿っての負の公差を増大させることができ、且つ表示パネル10の第一方向Yに沿っての最も外側は、全て発光アセンブリであり、効果的に継ぎ目を削除することができる。

10

【0042】

特筆に値することとして、図5に示すように、本願の第一画素組PG1に対応する表示パネル10において、上方の負の公差はより大きく、即ち、表示パネル10の第一方向Yの上方の負の公差の余裕はより大きい。下方の負の公差を上方の負の公差と一致させるために、表示パネル10のうちの全ての画素ユニットの位置を調整して、表示パネル10のうちの全ての画素ユニットが中央に位置するように設置されて、下方の負の公差を、上方の負の公差と一致させることができる。同様に、表示パネル10の第一方向Yにおいての負の公差の余裕はより大きいので、表示パネル10の左右両辺の負の公差を増大するために、第一駆動アセンブリ17、第二駆動アセンブリ18、第一発光アセンブリ16及び第二発光アセンブリ19の形状を調整することができ、例えば、第一駆動アセンブリ17、第二駆動アセンブリ18、第一発光アセンブリ16及び第二発光アセンブリ19の第一方向Yに沿っての長さを増大し、第一駆動アセンブリ17、第二駆動アセンブリ18、第一発光アセンブリ16及び第二発光アセンブリ19の第二方向Xに沿っての幅を縮小することによって、表示パネル10の上方、下方、左側及び右側の負の公差を増加させる。

20

【0043】

説明が必要なこととして、第一方向Yと、第二方向Xとの間のなす角度は、0°より大きく且つ90°以下であり、本願の実施例において、第一方向Yと、第二方向Xとは垂直であり、当然のことながら、実際の状況の選択及び具体的な需要に応じて設置されることができ、第一方向Yと、第二方向Xとの間のなす角度は適切に調整することができるが、ここでは唯一に限定しない。

30

【0044】

本願の実施例において、第一発光アセンブリ16及び第二発光アセンブリ19は、いずれも発光デバイス161を含み、発光デバイス161は、LED、Mini LED、Micro LED、OLED等であってもよいが、ここでは唯一に限定しない。第一駆動アセンブリ17及び第二駆動アセンブリ18は、発光デバイス161を駆動して稼働させるために用いられる部品を指し、具体的には、薄膜トランジスタ、キャパシタ等の部品を含むが、これに限定されない。

40

【0045】

図3及び図6に示すように、本願の実施例の表示パネル10は負の公差領域NTAを切り離した後、エッジの発光しない領域を減少することができ、本願の実施例の表示パネル10を採用してタイリングを行うと、継ぎ目のないタイリング表示モジュールを得ることができ、高解像度のタイリング表示モジュールを実現するのに向いている。

【0046】

具体的には、図7乃至図9に示すように、第一駆動アセンブリ17は、少なくとも一つの副駆動組171を含み、第一発光アセンブリ16は、少なくとも一つの発光デバイス1

50

6 1 を含み、副駆動組 1 7 1 と、発光デバイス 1 6 1 とは一対一で対応し、各副駆動組 1 7 1 は、対応する発光デバイス 1 6 1 に電氣的に接続される。本願の実施例において、駆動アセンブリは、三つの副駆動組 1 7 1 を含み、第一発光アセンブリ 1 6 は、三つの発光デバイス 1 6 1 を含み、三つの発光デバイス 1 6 1 は、それぞれ赤色発光デバイス 1 6 1 1、緑色発光デバイス 1 6 1 2、青色発光デバイス 1 6 1 3 であり、各副駆動組 1 7 1 は、対応する発光デバイス 1 6 1 に電氣的に接続される。説明が必要なこととして、赤色発光デバイス 1 6 1 1 は、赤光を発するために用いられる発光デバイス 1 6 1 を指し、緑色発光デバイス 1 6 1 2 は、緑光を発するために用いられる発光デバイス 1 6 1 を指し、青色発光デバイス 1 6 1 3 は、青光を発するために用いられる発光デバイス 1 6 1 を指す。

【 0 0 4 7 】

実際の状況の選択及び具体的な需要に応じて設置されることは理解でき、第一駆動アセンブリ 1 7 における副駆動組 1 7 1 の数量及び第一発光アセンブリ 1 6 における発光デバイス 1 6 1 の数量は、適切に調整することができるが、ここでは唯一に限定しない。

【 0 0 4 8 】

具体的には、図 7 乃至図 9 に示すように、副駆動組 1 7 1 は、一つの第一薄膜トランジスタ T 1 を含み、第一薄膜トランジスタ T 1 は、対応する発光デバイス 1 6 1 に電氣的に接続されることによって、第一薄膜トランジスタ T 1 は、対応する発光デバイス 1 6 1 を駆動して稼働させることができる。この構造において、一つの薄膜トランジスタにより、発光デバイス 1 6 1 のオン及びオフを制御することができ、構造が簡潔で、容易に実現する。

【 0 0 4 9 】

具体的には、図 9 に示すように、表示パネル 1 0 は、基板 1 1 と、第一遮光電極 L S 1 と、バッファ層 1 2 と、第一活性層 A L 1 と、ゲート絶縁層 1 3 と、第一ゲート G E 1 と、層間絶縁層 1 4 と、第一ソース S E 1 と、第一ドレイン D E 1 と、パッシベーション層 1 5 と、を含む。第一遮光電極 L S 1 は、基板 1 1 上に設けられ、バッファ層 1 2 は、基板 1 1 及び第一遮光電極 L S 1 上に覆われる。第一活性層 A L 1 は、バッファ層 1 2 上に設けられ、且つ第一活性層 A L 1 は、第一遮光電極 L S 1 に対応して設置される。ゲート絶縁層 1 3 は、第一活性層 A L 1 上に設けられ、第一ゲート G E 1 は、ゲート絶縁層 1 3 上に設けられ、且つ第一ゲート G E 1 は、第一活性層 A L 1 に対応して設置される。層間絶縁層 1 4 は、第一活性層 A L 1、ゲート絶縁層 1 3 及び第一ゲート G E 1 上に覆われる。第一ソース S E 1 及び第一ドレイン D E 1 は、層間絶縁層 1 4 上に間隔をおいて設けられ、且つ第一ソース S E 1 と、第一遮光電極 L S 1 とは電氣的に接続され、第一ソース S E 1 と、第一活性層 A L 1 の一端とは電氣的に接続され、第一ドレイン D E 1 と、第一活性層 A L 1 の他端とは電氣的に接続される。パッシベーション層 1 5 は、層間絶縁層 1 4、第一ソース S E 1 及び第一ドレイン D E 1 上に覆われる。

【 0 0 5 0 】

本願の実施例において、第一活性層 A L 1、第一ゲート G E 1、第一ソース S E 1 及び第一ドレイン D E 1 は、第一薄膜トランジスタ T 1 を構成し、ここで、第一薄膜トランジスタ T 1 は、制御端が第一ゲート G E 1 であり、入力端が第一ソース S E 1 であり、出力端が第一ドレイン D E 1 である。

【 0 0 5 1 】

具体的には、表示パネル 1 0 は、第一パッド P a d 1 をさらに含み、第一パッド P a d 1 と、第一ドレイン D E 1 とは電氣的に接続され、発光デバイス 1 6 1 は、第一ピン 1 6 1 4 を有し、第一ピン 1 6 1 4 が第一パッド P a d 1 にボンディングされることによって、第一薄膜トランジスタ T 1 と、発光デバイス 1 6 1 とを電氣的に接続させる。

【 0 0 5 2 】

具体的には、図 7、図 8 及び図 1 0 に示すように、表示パネル 1 0 は、複数本のゲート線 G と、複数本のデータ線 D と、第一電源線 V D D と、第二電源線 V S S と、をさらに含む。副駆動組 1 7 1 は、一つの第二薄膜トランジスタ T 2 をさらに含み、第二薄膜トランジスタ T 2 の制御端は、ゲート線 G に電氣的に接続され、第二薄膜トランジスタ T 2 の入

10

20

30

40

50

力端は、データ線Dに電氣的に接続され、第二薄膜トランジスタT2の出力端は、第一薄膜トランジスタT1の制御端に電氣的に接続され、第一薄膜トランジスタT1の入力端は、第一電源線VDDに電氣的に接続される。図9を合わせると、発光デバイス161は、第二ピン1615をさらに有し、発光デバイス161の第二ピン1615は、第二電源線VSSに電氣的に接続される。

【0053】

具体的には、図10に示すように、表示パネル10は、第二遮光電極LS2と、第二活性層AL2と、第二ゲートGE2と、第二ソースSE2と、第二ドレインDE2と、をさらに含む。第二遮光電極LS2は、基板11上に設けられ、且つ第二遮光電極LS2と、第一遮光電極LS1とは、間隔をおいて設けられ、バッファ層12は、第二遮光電極LS2上にさらに覆われる。第二活性層AL2は、バッファ層12上に設けられ、且つ第二活性層AL2は、第二遮光電極LS2に対応して設置される。ゲート絶縁層13は、第二活性層AL2上にさらに設けられ、第二ゲートGE2は、ゲート絶縁層13上に設けられ、且つ第二ゲートGE2は、第二活性層AL2に対応して設置される。層間絶縁層14は、第二活性層AL2及び第二ゲートGE2上に覆われる。第二ソースSE2と、第二ドレインDE2とは、層間絶縁層14上に間隔をおいて設けられ、且つ第二ソースSE2と、第二遮光電極LS2とは電氣的に接続され、第二ソースSE2と、第二活性層AL2の一端とは電氣的に接続され、第二ドレインDE2と、第二活性層AL2の他端とは電氣的に接続される。パッシベーション層15は、第二ソースSE2及び第二ドレインDE2上にさらに覆われる。

【0054】

本願の実施例において、第二活性層AL2、第二ゲートGE2、第二ソースSE2及び第二ドレインDE2は、第二薄膜トランジスタT2を構成し、ここで、第二薄膜トランジスタT2は、制御端が第二ゲートGE2であり、入力端が第二ソースSE2であり、出力端が第二ドレインDE2である。第一ソースSE1は、第一電源線VDDに電氣的に接続され、第二ピン1615は、第二電源線VSSに電氣的に接続され、第二ゲートGE2は、ゲート線Gに電氣的に接続され、第二ソースSE2は、データ線Dに電氣的に接続され、第二ドレインDE2は、第一ゲートGE1に電氣的に接続される。

【0055】

具体的には、図7乃至図9に示すように、表示パネル10は、第二パッドPad2をさらに含み、第二パッドPad2と、第二電源線VSSとは電氣的に接続され、第二ピン1615は、第二パッドPad2にボンディングされる。

【0056】

具体的には、図7、図8及び図11に示すように、表示パネル10は、第一信号線RDと、第二信号線Vrefと、をさらに含む。第一駆動アセンブリ17は、少なくとも一つの第三薄膜トランジスタT3をさらに含み、第三薄膜トランジスタT3の制御端と、第一信号線RDとは電氣的に接続され、第三薄膜トランジスタT3の入力端と、第二信号線Vrefとは電氣的に接続され、第三薄膜トランジスタT3の出力端と、第一薄膜トランジスタT1の出力端とは電氣的に接続される。この構造において、第一薄膜トランジスタT1の閾値電圧が異常であることを検出する際に、第一薄膜トランジスタT1の出力端に補償電圧を提供することができる。

【0057】

具体的には、図11に示すように、表示パネル10は、第三遮光電極LS3と、第三活性層AL3と、第三ゲートGE3と、第三ソースSE3と、第三ドレインDE3と、をさらに含む。第三遮光電極LS3は、基板11上に設けられ、且つ第三遮光電極LS3、第二遮光電極LS2及び第一遮光電極LS1は、相互に間隔をおいて設けられ、バッファ層12は、第三遮光電極LS3上にさらに覆われる。第三活性層AL3は、バッファ層12上に設けられ、且つ第三活性層AL3は、第三遮光電極LS3に対応して設置される。ゲート絶縁層13は、第三活性層AL3上にさらに設けられ、第三ゲートGE3は、ゲート絶縁層13上に設けられ、且つ第三ゲートGE3は、第三活性層AL3に対応して設置さ

れる。層間絶縁層 14 は、第三活性層 AL3 及び第三ゲート GE3 上に覆われる。第三ソース SE3 と、第三ドレイン DE3 とは、層間絶縁層 14 上に間隔をおいて設けられ、且つ第三ソース SE3 と、第三遮光電極 LS3 とは電氣的に接続され、第三ソース SE3 と、第三活性層 AL3 の一端とは、電氣的に接続され、第三ドレイン DE3 と、第三活性層 AL3 の他端とは、電氣的に接続される。パッシベーション層 15 は、第三ソース SE3 及び第三ドレイン DE3 上にさらに覆われる。

【0058】

本願の実施例において、第三活性層 AL3、第三ゲート GE3、第三ソース SE3、第三ドレイン DE3 は、第三薄膜トランジスタ T3 を構成し、ここで、第三薄膜トランジスタ T3 は、制御端が第三ゲート GE3 であり、入力端が第三ソース SE3 であり、出力端が第三ドレイン DE3 であり、第三ドレイン DE3 は、第一ドレイン DE1 に電氣的に接続される。

10

【0059】

具体的には、図 7、図 8 及び図 12 に示すように、副駆動組 171 は、蓄積キャパシタ Cst をさらに含み、第二薄膜トランジスタ T2 の出力端は、蓄積キャパシタ Cst を介して、第一薄膜トランジスタ T1 の出力端と接続される。具体的に言うと、蓄積キャパシタ Cst は、第一キャパシタ C1 と、第二キャパシタ C2 と、を含み、第一キャパシタ C1 と、第二キャパシタ C2 とは、並列に接続され、ここで、第一ドレイン DE1 と、第一ゲート GE1 との間に、第一キャパシタ C1 が形成され、第一遮光電極 LS1 と、第一ゲート GE1 との間に、第二キャパシタ C2 が形成される。

20

【0060】

具体的には、同一第一画素組 PG1 において、第一画素ユニット P1 と、第二画素ユニット P2 とは、軸対称に設けられ、即ち、第一駆動アセンブリ 17 と、第二駆動アセンブリ 18 とは、軸対称に設けられ、第一発光アセンブリ 16 と、第二発光アセンブリ 19 とは、軸対称に設けられる。また、第一駆動アセンブリ 17 と、第二駆動アセンブリ 18 との構造は同一であり、第一発光アセンブリ 16 と、第二発光アセンブリ 19 との構造は同一である。ここで、第一駆動アセンブリ 17 と、第二駆動アセンブリ 18 との構造は同一であり、第一発光アセンブリ 16 と、第二発光アセンブリ 19 との構造は同一であることは、第二駆動アセンブリ 18 も、少なくとも一つの副駆動組 171 を含み、第二発光アセンブリ 19 は、少なくとも一つの発光デバイス 161 を含み、第二駆動アセンブリ 18 の副駆動組 171 と、第二発光アセンブリ 19 の発光デバイス 161 とは一対一で対応し、各第二駆動アセンブリ 18 の副駆動組 171 は、第二発光アセンブリ 19 に対応する発光デバイス 161 に電氣的に接続されることを指す。第一駆動アセンブリ 17 と、第二駆動アセンブリ 18 とは、軸対称に設けられ、第一発光アセンブリ 16 と、第二発光アセンブリ 19 とは、軸対称に設けられることは、第一駆動アセンブリ 17 における部品のレイアウトと、第二駆動アセンブリ 18 における部品のレイアウトとは、軸対称に設けられ、第一発光アセンブリ 16 における発光デバイス 161 のレイアウトと、第二発光アセンブリ 19 における発光デバイス 161 のレイアウトとは、軸対称に設けられることを指す。

30

【0061】

具体的には、ゲート線 G、データ線 D、第一電源線 VDD、第二電源線 VSS、第一信号線 RD 及び第二信号線 Vref は、平行に設置され、具体的に言うと、ゲート線 G、データ線 D、第一電源線 VDD、第二電源線 VSS、第一信号線 RD 及び第二信号線 Vref は、第一方向 Y に対して平行である。ゲート線 G 及び第一電源線 VDD は、それぞれ第一画素ユニット P1 及び第二画素ユニット P2 の相対する二つの側に設置され、具体的に言うと、ゲート線 G 及び第一電源線 VDD は、第二方向 X に沿って第一画素ユニット P1 及び第二画素ユニット P2 の相対する二つの側に設置され、第一信号線 RD は、ゲート線 G の第一電源線 VDD に近い一側に設けられ、第二電源線 VSS は、第一信号線 RD の第一電源線 VDD に近い一側に設けられ、データ線 D 及び第二信号線 Vref は、第一電源線 VDD と、第二電源線 VSS との間に設けられ、第一駆動アセンブリ 17、第二駆動アセンブリ 18、第一発光アセンブリ 16 及び第二発光アセンブリ 19 は、第一電源線 V D

40

50

Dと、第二電源線VSSとの間に位置し、第一駆動アセンブリ17及び第二駆動アセンブリ18における副駆動組171は、第二方向Xに沿って配列され、データ線Dは、副駆動組171及びそれに対応する発光デバイス161のうちの一側に設けられる。この構造において、配線、副駆動組171及び発光デバイス161は、稼働の際に発熱し、配線、副駆動組171及び発光デバイス161を合理的に分配することによって、配線、副駆動組171及び発光デバイス161は均一に分布し、表示パネル10は均一に発熱し、熱が集中することによる表示パネル10の異常を避け、表示パネル10の信頼性を向上させる。

【0062】

具体的には、図6に示すように、表示パネル10は、複数の第一画素ユニットP1と、複数の第二画素ユニットP2と、を含み、複数の第一画素ユニットP1及び複数の第二画素ユニットP2は、アレイ状に分布する。第一方向Yにおいて、即ち列方向において、第一画素ユニットP1及び第二画素ユニットP2は、交互に設けられる。第二方向Xにおいて、即ち行方向において、第2n行の画素ユニットは、第二画素ユニットP2であり、第2n+1行の画素ユニットは、第一画素ユニットP1であり、ここで、nは、自然数である。

10

【0063】

具体的には、図8に示すように、表示パネル10は、複数本の第一切り替え線S1をさらに含み、第一切り替え線S1は、第二方向Xに平行し、ゲート線Gと、第一切り替え線S1とは重ね接続され、ゲート線Gは、第一切り替え線S1を介して第二薄膜トランジスタT2の制御端に電氣的に接続される。

20

【0064】

具体的には、図8に示すように、表示パネル10は、複数本の第二切り替え線S2をさらに含み、第二切り替え線S2は、第二方向Xに平行し、第一電源線VDDと、第二切り替え線S2とは重ね接続され、第一電源線VDDは、第二切り替え線S2を介して第一薄膜トランジスタT1の入力端に電氣的に接続される。

【0065】

具体的には、図8に示すように、表示パネル10は、複数本の第三切り替え線S3をさらに含み、第三切り替え線S3は、第二方向Xに平行し、第二電源線VSSと、第三切り替え線S3とは重ね接続され、第二電源線VSSは、第三切り替え線S3を介して第二パッドPad2に電氣的に接続される。

30

【0066】

具体的には、図8に示すように、表示パネル10は、複数本の第四切り替え線S4をさらに含み、第四切り替え線S4は、第二方向Xに平行し、第一信号線RDと、第四切り替え線S4とは重ね接続され、第一信号線RDは、第四切り替え線S4を介して第三薄膜トランジスタT3の制御端に電氣的に接続される。

【0067】

具体的には、図8に示すように、表示パネル10は、複数本の第五切り替え線S5をさらに含み、第五切り替え線S5は、第二方向Xに平行し、第二信号線Vrefと、第五切り替え線S5とは重ね接続され、第二信号線Vrefは、第五切り替え線S5を介して第三薄膜トランジスタT3の入力端に電氣的に接続される。

40

【0068】

具体的には、同一画素ユニット(第一画素ユニットP1又は第二画素ユニットP2)において、赤色発光デバイス1611の第一薄膜トランジスタT1の入力端、緑色発光デバイス1612の第一薄膜トランジスタT1の入力端及び青色発光デバイス1613の第一薄膜トランジスタT1の入力端は、異なるデータ線Dに電氣的に接続され、赤色発光デバイス1611の第二薄膜トランジスタT2の制御端、緑色発光デバイス1612の第二薄膜トランジスタT2の制御端及び青色発光デバイス1613の第二薄膜トランジスタT2の制御端は、同一本のゲート線Gに電氣的に接続され、赤色発光デバイス1611の第三薄膜トランジスタT3の制御端、緑色発光デバイス1612の第三薄膜トランジスタT3の制御端及び青色発光デバイス1613の第三薄膜トランジスタT3の制御端は、同一本

50

の第一信号線 R D に電氣的に接続され、赤色発光デバイス 1 6 1 1 の第三薄膜トランジスタ T 3 の入力端、緑色発光デバイス 1 6 1 2 の第三薄膜トランジスタ T 3 の入力端及び青色発光デバイス 1 6 1 3 の第三薄膜トランジスタ T 3 の入力端は、同一本の第二信号線 V r e f に電氣的に接続される。

【 0 0 6 9 】

具体的には、表示パネル 1 0 は、複数の第二画素組 P G 2 をさらに含み、複数の第二画素組 P G 2 は、第一表示領域 A A 1 に設けられ、複数の第一画素組 P G 1 及び複数の第二画素組 P G 2 は、アレイ状に分布する。

【 0 0 7 0 】

具体的には、第一画素組 P G 1 の構造と、第二画素組 P G 2 の構造とは同一であり、即ち、第二画素組 P G 2 も、第一画素ユニット P 1 と、第二画素ユニット P 2 と、を含み、且つ第二画素組 P G 2 における第一画素ユニット P 1 及び第二画素ユニット P 2 は、軸対称に設けられる。

10

【 0 0 7 1 】

具体的には、第一画素組 P G 1 の画素間隔は、第二画素組 P G 2 の画素間隔に等しいことによつて、表示パネル 1 0 は、均一に出光することができる。説明が必要なこととして、画素間隔は、隣り合う二つの画素ユニットとの間の中心の間隔である。

【 0 0 7 2 】

図 1 3 を参照して、本願の実施例は、互いにタイリングされる少なくとも二つの上述した表示パネル 1 0 を含むタイリング表示モジュールをさらに提供する。タイリング表示モジュールは、固定末端であってもよく、例えば、デスクトップ型コンピュータ、テレビ、大型ディスプレイ等であってもよい。本実施例において、タイリング表示モジュールは、末端本体 2 0 をさらに含み、末端本体 2 0 は、即ちハウジングであり、表示パネル 1 0 は、末端本体 2 0 上に固定される。

20

【 0 0 7 3 】

本願の実施例は、

図 6 に示すように、少なくとも二つの表示パネル 1 0 を提供し、表示パネル 1 0 は、上述した実施例の表示パネル 1 0 が採用され、且つ表示パネル 1 0 は、負の公差領域 N T A をさらに含み、負の公差領域 N T A は、第二表示領域 A A 2 の第一表示領域 A A 1 から離れた一側に設けられる、ステップ B 1 と、

30

図 6 に示すように、表示パネル 1 0 の負の公差領域 N T A を除去し、具体的には、レーザ切断及び研磨等の方式によつて表示パネル 1 0 の負の公差領域 N T A を除去することができるが、これに限定しない、ステップ B 2 と、

図 1 3 に示すように、少なくとも二つの表示パネル 1 0 を互いにタイリングして、タイリング表示モジュールを得る、ステップ B 3 と、を含む、

タイリング表示モジュールの製造方法をさらに提供する。

【 0 0 7 4 】

具体的には、負の公差領域 N T A の幅は、0 . 2 ミリメートル以上であり、負の公差領域 N T A を切り離すことによつて、隣り合う二つの表示パネル 1 0 との間継ぎ目を削除することができる。

40

【 0 0 7 5 】

さらに、負の公差領域 N T A の幅が 0 . 6 ミリメートル以下であることによつて、負の公差領域 N T A の過大による材料を無駄にする状況を避けることができる。

【 0 0 7 6 】

以上、本願の実施例が提供する表示パネル、タイリング表示モジュール及びタイリング表示モジュールの製造方法について詳しく紹介した。本文において具体例を用いて本願の原理及び実施形態について述べるが、上述した実施例の説明は、本願の方法及びその核心的思想を理解するのに役立つためのものでしかない。また、当業者にとって、本願の思想に基づき、具体的実施形態及び応用範囲において変更することができる。上記をまとめれば、本明細書の内容は、本願に対する制限であると理解すべきでない。

50

【符号の説明】

【 0 0 7 7 】

1	: 駆動アセンブリ	
2	: 発光アセンブリ	
3	: 負の公差領域	
1 0	: 表示パネル	
1 1	: 基板	
1 2	: バッファ層	
1 3	: ゲート絶縁層	
1 4	: 層間絶縁層	10
1 5	: パッシベーション層	
1 6	: 第一発光アセンブリ	
1 7	: 第一駆動アセンブリ	
1 8	: 第二駆動アセンブリ	
1 9	: 第二発光アセンブリ	
1 6 1	: 発光デバイス	
1 7 1	: 副駆動組	
1 6 1 1	: 赤色発光デバイス	
1 6 1 2	: 緑色発光デバイス	
1 6 1 3	: 青色発光デバイス	20
1 6 1 4	: 第一ピン	
1 6 1 5	: 第二ピン	
A A 1	: 第一表示領域	
A A 2	: 第二表示領域	
A L 1	: 第一活性層	
A L 2	: 第二活性層	
A L 3	: 第三活性層	
C s t	: 蓄積キャパシタ	
C 1	: 第一キャパシタ	
C 2	: 第二キャパシタ	30
D	: データ線	
D E 1	: 第一ドレイン	
D E 2	: 第二ドレイン	
D E 3	: 第三ドレイン	
G	: ゲート線	
G E 1	: 第一ゲート	
G E 2	: 第二ゲート	
G E 3	: 第三ゲート	
L S 1	: 第一遮光電極	
L S 2	: 第二遮光電極	40
L S 3	: 第三遮光電極	
N T A	: 負の公差領域	
P a d 1	: 第一パッド	
P a d 2	: 第二パッド	
P G 1	: 第一画素組	
P G 2	: 第二画素組	
P 1	: 第一画素ユニット	
P 2	: 第二画素ユニット	
R D	: 第一信号線	
S E 1	: 第一ソース	50

- S E 2 : 第二ソース
- S E 3 : 第三ソース
- S 1 : 第一切り替え線
- S 2 : 第二切り替え線
- S 3 : 第三切り替え線
- S 4 : 第四切り替え線
- S 5 : 第五切り替え線
- T 1 : 第一薄膜トランジスタ
- T 2 : 第二薄膜トランジスタ
- T 3 : 第三薄膜トランジスタ
- V D D : 第一電源線
- V r e f : 第二信号線
- V S S : 第二電源線
- X : 第二方向
- Y : 第一方向

10

【図面】

【図 1】

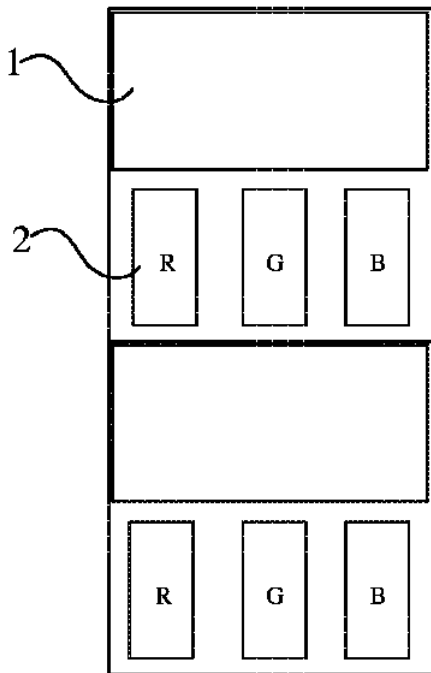


图 1

【図 2】

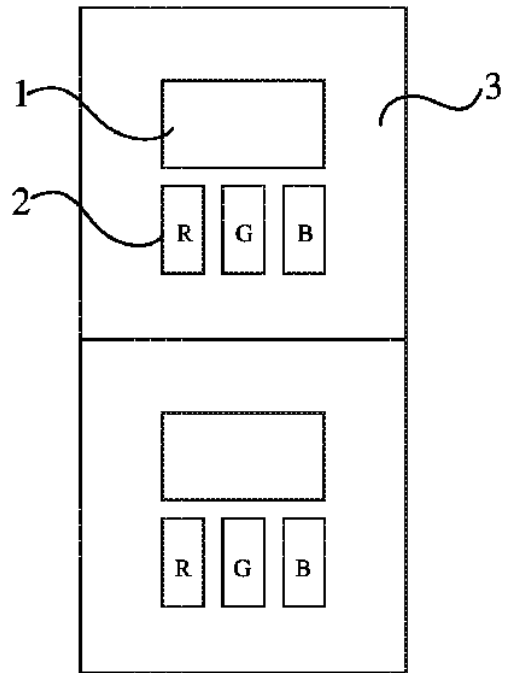


图 2

20

30

40

50

【图 3】

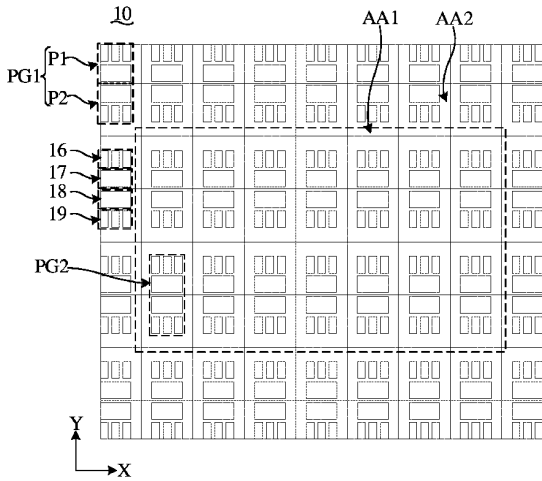


图 3

【图 4】

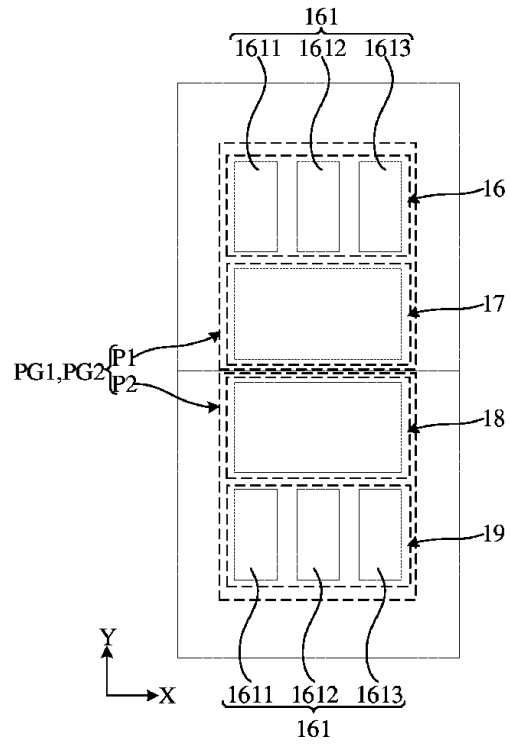
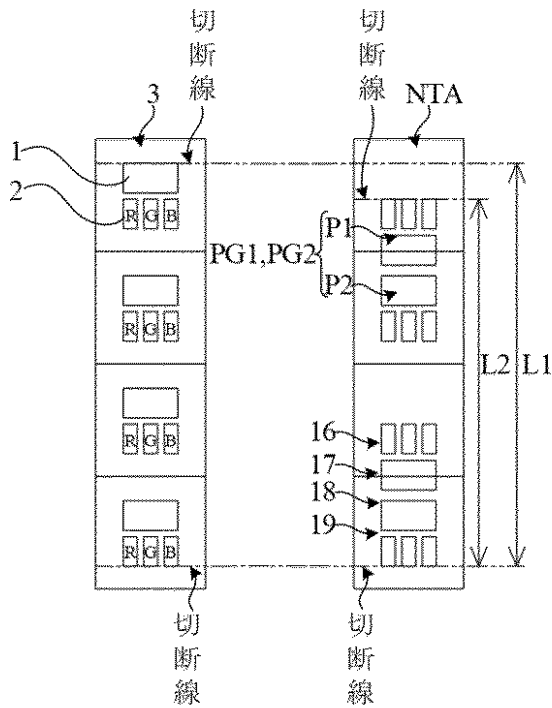


图 4

【图 5】



【图 6】

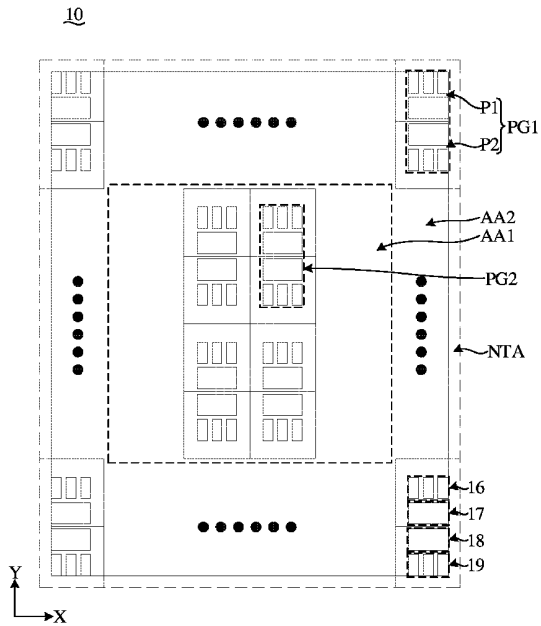


图 6

10

20

30

40

50

【 图 7 】

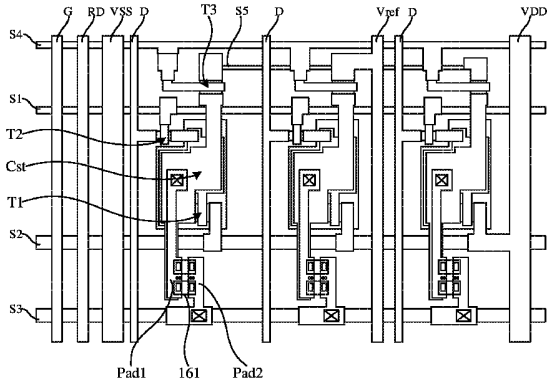


图 7

【 图 8 】

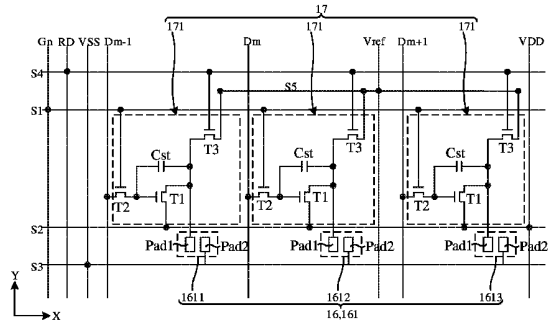


图 8

10

【 图 9 】

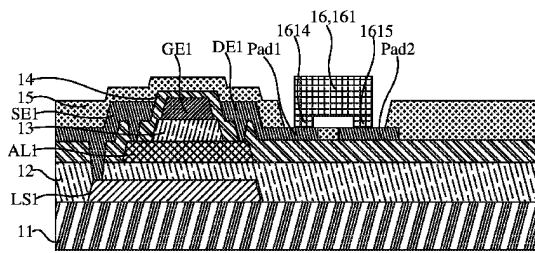


图 9

【 图 10 】

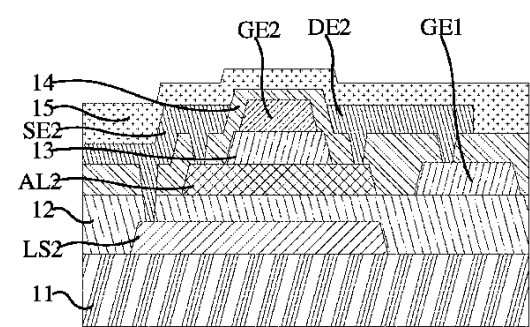


图 10

20

30

40

50

【图 1 1】

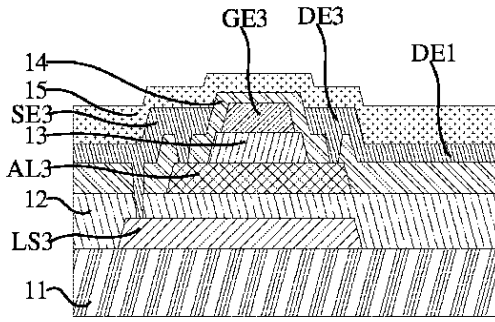


图 11

【图 1 2】

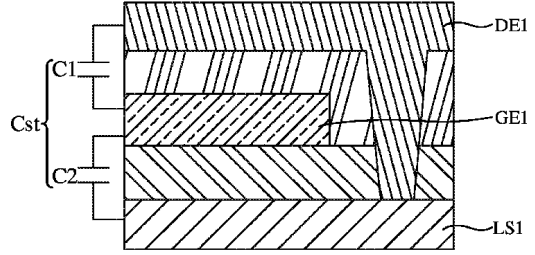


图 12

10

【图 1 3】

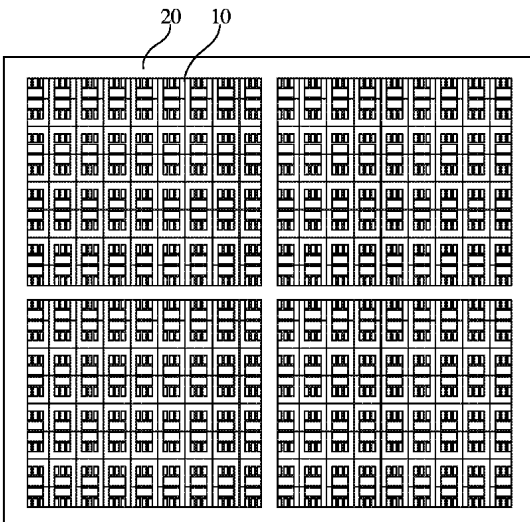


图 13

20

30

40

50

フロントページの続き

2号

審査官 小野 博之

- (56)参考文献 特開2013-089475(JP,A)
米国特許出願公開第2021/0217353(US,A1)
米国特許出願公開第2021/0327857(US,A1)
米国特許出願公開第2022/0052030(US,A1)
中国特許出願公開第114141156(CN,A)
中国特許出願公開第112991964(CN,A)
中国特許出願公開第114648923(CN,A)
中国特許出願公開第114497103(CN,A)
中国実用新案第211858095(CN,U)
中国実用新案第214752699(CN,U)
- (58)調査した分野 (Int.Cl., DB名)
G09F 9/00 - 9/46
G02F 1/13 - 1/141
1/15 - 1/19
H05B 33/00 - 33/28
44/00
45/60
H10K 50/00 - 99/00
H01L 33/00 - 33/64
H04N 5/66 - 5/74