

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 1 月 10 日 (10.01.2019)



(10) 国际公布号
WO 2019/007136 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) *H01L 23/52* (2006.01)
H01L 21/77 (2017.01)

(21) 国际申请号: PCT/CN2018/083983

(22) 国际申请日: 2018 年 4 月 20 日 (20.04.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710534097.8 2017 年 7 月 3 日 (03.07.2017) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。成都京东方光电科技
有限公司 (CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川

省成都市高新区 (西区) 合作路 1188
号, Sichuan 611731 (CN)。

(72) 发明人: 臧鹏程 (ZANG, Pengcheng); 中国北京市
北京经济技术开发区地泽路 9 号, Beijing 100176
(CN)。高山 (GAO, Shan); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。徐
元杰 (XU, Yuanjie); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京律智知识产权代理有
限公司 (BEIJING INTELLEGAL INTELLECTUAL
PROPERTY AGENT LTD.); 中国北京市朝阳区
慧忠路 5 号 B1605、B1606、B1607, Beijing
100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) Title: ARRAY SUBSTRATE AND PREPARATION METHOD THEREFOR, AND DISPLAY PANEL

(54) 发明名称: 阵列基板、其制备方法和显示面板

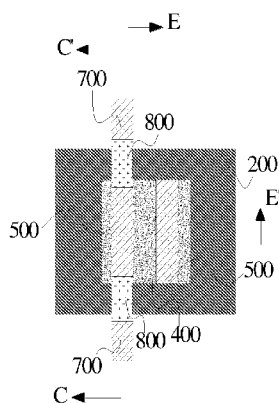


图 3a

(57) Abstract: An array substrate and a preparation method therefor, and a display panel. The array substrate comprises: a base substrate (100); a thin film transistor disposed at one side of the base substrate (100) and comprising a first electrode, a second electrode, and a gate (200); a data line 700 disposed at one side of the base substrate (100); and a connecting electrode (800) for electrically connecting the first electrode of the thin film transistor to the data line (700). An orthographic projection of an active layer (400) of the thin film transistor on the base substrate (100) is located within an orthographic projection of the gate (200) of the thin film transistor on the base substrate (100). For the array substrate, a projection of the active layer (400) on a gate insulating layer (300) falls within a projection of the gate (200) on the gate insulating layer (300), and the first electrode and the data line (700) are connected by using the connecting electrode (800), such that the problem of a light leakage current caused by the active layer (400) being exposed out of the gate (200) is reduced, and thus the display stability of a display panel consisting of the array substrate is improved.

(57) 摘要: 一种阵列基板、其制备方法和显示面板, 阵列基板包括: 衬底基板 (100); 薄膜晶体管, 设置在衬底基板 (100) 的一侧, 并包括第一电极、第二电极和栅极 (200); 数据线 (700), 设置在衬底基板 (100) 的一侧; 连接电极 (800), 将薄膜晶体管的第一电极与数据线 (700) 电连接; 其中, 薄膜晶体管的有源层 (400) 在衬底基板 (100) 上的正投影位于薄膜晶体管的栅极 (200) 在衬底基板 (100) 的正投影之内。阵列基板, 其有源层 (400) 在栅绝缘层 (300) 的投影都落在栅极 (200) 在栅绝缘层 (300) 的投影之内, 再利用连接电极 (800) 将第一电极和数据线 (700) 连接, 从而减少了有源层 (400) 外漏在栅极 (200) 之外而产生的光漏电问题, 进而提高阵列基板组成的显示面板的显示稳定性。

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

阵列基板、其制备方法和显示面板

交叉引用

本申请要求于 2017 年 7 月 3 日提交的申请号为 201710534097.8、名称为“阵列基板及其制备方法、显示装置”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及显示技术领域，具体的，涉及阵列基板、其制备方法和显示面板。

背景技术

在像素设计中，为了节约成本，一般会尽量减少所使用的掩膜（Mask）的数量。例如，目前广泛采用的方法是，用同一半色调掩膜（HTM MASK）来形成源极、漏极和有源层以减少掩膜的数量。

但是，这种方法通常会导致薄膜晶体管（TFT）的漏电流增加，而使 TFT 的性能劣化。因此，当前阵列基板的制造方法仍需改进。

发明内容

本公开的实施例涉及一种阵列基本、其制备方法和显示面板。

在本公开的第一方面，提出了一种阵列基板。

根据本公开的实施例，所述阵列基板包括：衬底基板；薄膜晶体管，所述薄膜晶体管设置在所述衬底基板的一侧，并包括第一电极、第二电极和栅极；数据线，所述数据线设置在所述衬底基板的所述一侧；连接电极，所述连接电极将所述薄膜晶体管的第一电极与所述数据线电连接；其中，所述薄膜晶体管的有源层在所述衬底基板上的正投影位于所述薄膜晶体管的栅极在所述衬底基板的正投影之内。

根据本公开的实施例，所述连接电极由 ITO 材料形成。

根据本公开的实施例，所述数据线与所述第一电极、第二电极同层设置。

根据本公开的实施例，所述数据线与所述栅极同层设置。

根据本公开的实施例，所述连接电极包括：第一子连接电极，所述第一子连接电极与像素电极同层设置，且与所述第一电极电连接；第二子连接电极，所述第二子连接电极与公共电极同层设置，且与所述第一子连接电极、所述数据线电连接。

根据本公开的实施例，所述数据线包括：第一数据线，与所述第一电极、所述第二电极同层设置；第二数据线，与所述栅极同层设置，且所述第二数据线与所述第一数据线通过所述连接电极电连接。

根据本公开的实施例，所述连接电极包括：第三子连接电极，所述第三子连接电极与像素电极同层设置，且与所述第一电极电连接；第四子连接电极，所述第四子连接电极与公共电极同层设置，且与所述第三子连接电极、所述第一数据线、所述第二数据线电连接。

5

在本公开的第二方面，提出了一种阵列基板的制备方法。

根据本公开的实施例，所述方法包括：在衬底基板的一侧，形成薄膜晶体管，其中，所述薄膜晶体管包括第一电极、第二电极和栅极，并且所述薄膜晶体管的有源层在所述衬底基板的正投影位于所述栅极在所述衬底基板的正投影之内；在衬底基板的一所述侧，形成数据线；在所述薄膜晶体管的第一电极和所述数据线的远离所述衬底基板的一侧形成连接电极，其中，所述连接电极将所述第一电极与数据线电连接。

根据本公开的实施例，通过一次构图工艺形成所述数据线与所述第一电极、所述第二电极、所述有源层。

根据本公开的实施例，通过一次构图工艺形成所述数据线与所述栅极；通过一次构图工艺形成所述第一电极、第二电极和有源层。

根据本公开的实施例，所述连接电极包括第一子连接电极和第二子连接电极；其中，所述第一子连接电极与像素电极通过一次构图工艺形成，用于与所述第一电极电连接；所述第二子连接电极与公共电极通过一次构图工艺形成，用于与所述第一子连接电极、所述数据线电连接。

根据本公开的实施例，所述数据线包括第一数据线和第二数据线，其中，所述第一数据线与所述第一电极、所述第二电极、所述有源层极通过一次构图工艺形成，所述第二数据线与所述栅极通过一次构图工艺形成。

根据本公开的实施例，所述连接电极包括第三子连接电极和第四子连接电极；其中，所述第三子连接电极与像素电极通过一次构图工艺形成，用于与所述第一电极电连接；所述第四子连接电极与公共电极通过一次构图工艺形成，用于与所述第三子连接电极、所述第一数据线、所述第二数据线电连接。

在本公开的第三方面，提出了一种显示面板。

根据本公开的实施例，所述显示面板包括上述的阵列基板。

本公开的附加方面和优点将在下面的描述中部分给出，部分将从下面的描述中变得明显，或通过本公开的实践了解到。

附图说明

本公开的上述和/或附加的方面和优点从结合下面附图对实施例的描述中将变得明显和容易理解，其中：

图 1a 是一种阵列基板的俯视结构示意图；
图 1b 是图 1a 中沿 BB' 线的截面结构示意图；
图 1c 是图 1a 中沿 CC' 线的截面结构示意图；
图 1d 是图 1a 中沿 DD' 线的 U 型截面展开后的结构示意图；
5 图 2 是示出图 1a 中的阵列基板的 TFT 产生漏电流的原理示意图；
图 3a 是本公开的实施例的阵列基板的俯视结构示意图；
图 3b 是图 3a 中沿 CC' 线的截面结构示意图；
图 3c 是图 3a 中沿 EE' 线的截面结构示意图；
图 4a 是本公开的另一实施例的阵列基板的俯视结构示意图；
10 图 4b 是图 4a 中沿 CC' 线的截面结构示意图；
图 4c 是图 4a 中沿 EE' 线的截面结构示意图；
图 5a 是本公开的另一实施例的阵列基板的俯视结构示意图；
图 5b 是图 5a 中沿 CC' 线的截面结构示意图；
图 5c 是图 5a 中沿 EE' 线的截面结构示意图；
15 图 6a 是本公开的另一实施例的阵列基板的俯视结构示意图；
图 6b 是图 6a 中沿 BB' 线的截面结构示意图；
图 6c 是图 6a 中沿 CC' 线的截面结构示意图；
图 6d 是图 6a 中沿 DD' 线的 U 型截面展开后的结构示意图；
图 7a 是本公开的另一实施例的阵列基板的俯视结构示意图；
20 图 7b 是图 7a 中沿 BB' 线的截面结构示意图；
图 7c 是图 7a 中沿 CC' 线的截面结构示意图；
图 7d 是图 7a 中沿 DD' 线的 U 型截面展开后的结构示意图；
图 8a 是本公开的另一实施例的阵列基板的俯视结构示意图；
图 8b 是图 8a 中沿 BB' 线的截面结构示意图；
25 图 8c 是图 8a 中沿 CC' 线的截面结构示意图；
图 8d 是图 8a 中沿 DD' 线的 U 型截面展开后的结构示意图；
图 9 是本公开的实施例的制备阵列基板方法的流程示意图；
图 10 是本公开的另一个实施例的制备阵列基板方法的流程示意图。

具体实施方式

下面详细描述本公开的实施例，本领域技术人员会理解，下面实施例旨在用于解释本公开，而不应视为对本公开的限制。除非特别说明，在下面实施例中明确描述具体技术或条件的，本领域技术人员可以按照本领域内的常用的技术或条件或按照产品说明书进行。所用试剂或仪器未注明生产厂商者，均为可通过市购到的常规产品。

通常，在用同一半色调掩膜（HTM MASK）来形成源极、漏极和有源层时，由于在源极和漏极下会形成有源层，例如，参考图 1a~图 1d 和图 2。在这种情况下，特别参照图 2 所示的三处沟道处（I、II、III），源极和漏极之下的有源层会形成为延伸到栅极所在的区域之外。在进行光照 $h\nu$ 时，参考图 2，在栅极 200 之外的有源层 400 的特性会发生变化，源极 501 处的空穴随着光照而增加，导致薄膜晶体管（TFT）的漏电流增加，TFT 的开关特性受到影响，漏极的电压接近源极的电压而使显示异常。

本申请的发明人在研究过程中发现，为了改善上述的由使用 HTM MASK 制备显示面板而导致的 TFT 漏电流的增加，可以分别使用两套掩膜来形成源极、漏极和有源层，这可有效地解决漏电流的问题，但是会增加制作的成本。

本申请人的发明人经过研究进一步发现，基于相关技术的 FFS 像素设计，在沟道处的源极相对栅极的爬坡位置，用连接电极将源极或漏极与数据线进行搭接，使有源层不会延伸至栅极所在的区域之外，可以在减小在受到光照时 TFT 产生的漏电流的同时，也不会增加制作的成本。

有鉴于此，本公开的实施例提供了一种制作成本低、减少因有源层延伸至栅极外而产生的漏电流并且显示质量更高的阵列基板、其制备方法以及包括其的显示面板。

在本公开的一个方面，提供了一种阵列基板。参照图 3a~8d，对本公开的实施例的阵列基板进行详细的描述。

根据本公开的实施例，阵列基板包括：衬底基板 100、薄膜晶体管、数据线 700 和连接电极 800；其中，薄膜晶体管设置在衬底基板 100 的一侧，数据线 700 设置在衬底基板 100 的同一侧；参考图 3b，薄膜晶体管包括栅极 200、栅绝缘层 300、有源层 400、第一电极和第二电极。第一电极和第二电极分别为源极和漏极，为了便于描述，这里将其统称为源漏极 500。参考图 3a（其中省略了衬底基板和栅绝缘层），有源层 400 在衬底基板 100 的正投影在栅极 200 在衬底基板 100 的正投影之内；参考图 3b，连接电极 800 将源漏极 500 与数据线 700 电连接。

发明人经过长期的研究发现，参考图 3a 和图 3b 的相关技术中的 FFS 像素设计，在沟道处的源漏极 500 与栅极 200 的爬坡位置，采用连接电极 800 将源漏极 500 与数据线 700 进行搭接，使有源层 400 不会外漏在栅极 200 外，可以减小在光照情况下 TFT 产生的漏电流，同时也不会增加制作的成本。

根据本公开的实施例，连接电极 800 的具体种类不受特别的限制，只要该种类的材料组成的连接电极 800 具有导电作用且不会产生漏电流即可，本领域技术人员可根据该阵列基板的使用设计进行选择。在本公开的一些实施例中，连接电极 800 可以由 ITO 材料形成的。如此，采用上述材料的连接电极 800，不仅能将源漏极 500 与数据线 700 电连接，还可进一步避免光照情况下本身产生漏电流。

根据本公开的实施例，连接电极 800 的具体制作方法不受特别的限制，只要该方

法制作的连接电极 800 可实现源漏极 500 与数据线 700 的电连接即可，本领域技术人员可根据该连接电极 800 的具体位置进行设计。在本公开的一些实施例中，连接电极 800 可以是与薄膜晶体管的像素电极，通过一次构图法形成的一体化结构。如此，形成的连接源漏极 500 与数据线 700 的连接电极 800，并不会额外增加制造成本。

5 根据本公开的实施例，数据线 700 的具体位置不受特别的限制，本领域技术人员可根据该阵列基板的使用要求进行设计。在本公开的一些实施例中，参照图 3b，数据线 700 与源漏极 500 可以同层设置。如此，数据线 700 与源漏极 500 可通过一次构图工艺形成，而不会增加制作该阵列基板的成本。需要说明的是，本文中所有“同层设置”是指通过一次构图工艺形成的，或者设置在同一层结构中。在本公开的一些具体示例中，参考图 3b，不仅数据线 700 与源漏极 500 可同层设置，而数据线 700 下表面的半导体层与有源层 400 也可同层设置，如此，数据线 700、源漏电极 500 和有源层 400 可通过同一个掩膜制作，从而有利于降低制造成本，并且组成源漏电极 500 的源极和漏极之间是绝缘的，且源极和漏极分别连接不同的结构，其中，源极和漏极中的一个连接数据线 700，而源极和漏极中的另一个连接像素电极。在本公开的一些实施例中，参照图 4b，数据线 700 与栅极 200 可以同层设置。如此，数据线 700 与栅极 200 可通过一次构图工艺形成，并且还可增加数据线 700 远离基板 100 一侧的栅绝缘层 300 的厚度，从而减小寄生电容。

在本公开的一些实施例中，参照图 4b，连接电极 800 还可以进一步包括第一子连接电极 810 和第二子连接电极 820。其中，第一子连接电极 810 与像素电极同层设置，且与源漏极 500 电连接；而第二子连接电极 820 与公共电极同层设置，且与第一子连接电极 810、数据线 700 电连接。如此，通过第一子连接电极 810 和第二子连接电极 820，可以将源漏极 500 和数据线 700 电连接，并且第一子连接电极 810 与像素电极同层设置、第二子连接电极 820 与公共电极同层设置，则不会增加制作的成本。在本公开的一些实施例中，连接电极 800 也可以直接将源漏极 500 与数据线 700 电连接，如此，只制作一个连接电极 800 的工艺更简单、制作成本更低。

根据本公开的实施例，参照图 5b，数据线 700 可进一步包括第一数据线 710 和第二数据线 720。其中，第一数据线 710 与源漏极 500 同层设置；而第二数据线 720 与栅极 200 同层设置，且第二数据线 720 与第一数据线 710 通过连接电极电连接。如此，通过平行设置且并联的双数据线 710 和 720，可使电阻降低。

在本公开的另一些实施例中，参照图 5b，连接电极 800（图中未标出）可以包括第三子连接电极 830 和第四子连接电极 840；其中，第三子连接电极 830 与像素电极同层设置，且与源漏极 500 电连接；而第四子连接电极 840 与公共电极同层设置，且与第三子连接电极 830、第一数据线 710、第二数据线 720 电连接。并且，第一数据线 710 和第二数据线 720 之间可通过第四子连接电极 840 直接连接，从而实现两个数据线之间的并联，进而可减小电阻。如此，通过第三子连接电极 830 和第四子连接电

极 840，可以将源漏极 500 和第一数据线 710、第二数据线 720 电连接，并且第三子连接电极 830 与像素电极同层设置、第四子连接电极 840 与公共电极同层设置，则不会增加制作的成本。

根据本公开的实施例，参考图 6a~8d，该阵列基板还可以进一步包括层间绝缘层 910、公共电极 930 和像素电极 920。需要说明的是，图 3b、图 4b 和图 5b 均是阵列基板沿 CC' 线的截面结构示意图，且该阵列基板的俯视结构示意图（包括图 3a、图 4a、图 5a、图 6a、图 7a 和图 8a）中忽略了衬底基板、栅绝缘层和层间绝缘层。

在本公开的一些具体示例中，参考图 6a~图 6d，数据线 700 和源漏极 500 同层设置，连接电极 800 将源漏极 500 与数据线 700 电连接；并且，连接电极 800 和像素电极 920 同层设置，层间绝缘层 910 覆盖源漏极 500、连接电极 800 和数据线 700，而公共电极 930 覆盖层间绝缘层 910 的至少一部分。如此，该方案中的连接电极 800 可以包括至少相互绝缘的两部分，第一部分的连接电极 800 起到将源极与数据线 700 电连接的作用，而另一部分的连接电极 800 将漏极与像素电极 920 电连接且该部分的连接电极 800 可与像素电极 920 一体成型。

在本公开的另一些具体示例中，参考图 7a~图 7d，数据线 700 和栅极 200 同层设置，第一子连接电极 810 和第二子连接电极 820 将源漏极 500 与数据线 700 电连接；并且，第一子连接电极 810 和像素电极 920 同层设置，第二子连接电极 820 和公共电极 930 同层设置，而层间绝缘层 910 覆盖源漏极 500 和第一子连接电极 810。如此，该方案中的数据线 700 和像素电极 920（图中未标出）之间的绝缘层总厚度增加，从而可有效地减小寄生电容。

在本公开的另一些具体示例中，参考图 8a~图 8d，第一数据线 710 和源漏极 500 同层设置，第二数据线 720 和栅极 200 同层设置，第三子连接电极 830 和第四子连接电极 840 将源漏极 500 与第一数据线 710、第二数据线 720 电连接；并且，第三子连接电极 830 和像素电极 920 同层设置，第四子连接电极 840 和公共电极 930 同层设置，而层间绝缘层 910 覆盖源漏极 500、第三子连接电极 830 和第一数据线 710。如此，该方案中的双数据线 710 和 720 可共同地传导电流，从而减小电阻。

综上所述，根据本公开的实施例，提出了一种阵列基板，其有源层在栅绝缘层的投影都落在栅极在栅绝缘层的投影之内，再利用连接电极将源极和数据线连接，从而减少了有源层外漏在栅极外而产生的光漏电问题，进而提高该阵列基板组成的显示面板的显示稳定性。

在本公开的第二个方面，提出了一种制备阵列基板的方法。参照图 9~10，对本公开的实施例的制作方法进行详细的描述。根据本公开的实施例，参照图 9，该方法包括：

S100：在衬底基板的一侧，形成薄膜晶体管。

在该步骤中，在衬底基板 100 的一侧制作出薄膜晶体管；其中，薄膜晶体管可包括栅极 200、栅绝缘层 300、有源层 400 和源漏极 500。根据本公开的实施例，参考图 10，形成薄膜晶体管的步骤可进一步包括 S110 和 S120，下面对步骤 S110 和 S120 分别进行描述：

5 S110：在衬底基板的一侧依次形成栅极、栅绝缘层。

在该步骤中，可在衬底基板 100 的一侧形成栅极 200，再在栅极 200 远离衬底基板 100 的一侧以及衬底基板 100 的同侧形成栅绝缘层 300。根据本公开的实施例，形成栅极 200 和栅绝缘层 300 的具体方法，不受特别的限制，本领域内常用的形成栅极和栅绝缘层的方法均可，本领域技术人员可根据实际情况进行选择，在此不再赘述。

10 S120：在栅绝缘层远离栅极的一侧，形成有源层、源漏极。

在该步骤中，在栅绝缘层 300 远离栅极 200 的一侧，可通过同一掩模板，形成具有相同图案的有源层 400、源漏极 500；其中，形成的有源层 400 在衬底基板 100 的投影落在栅极 200 在衬底基板 100 的投影之内。如此，光敏材料组成的有源层 400 没有外漏在栅极 200 外，即使受到光照时也不会产生漏电流，进而减小显示异常的技术问题。

15 根据本公开的实施例，形成有源层 400、源漏极 500 的具体方法，不受特别的限制，本领域内常用的形成相同图案的有源层、源漏极的方法均可，例如采用 HTM MASK，等等，本领域技术人员可根据实际情况进行选择，在此不再赘述。

S200：在衬底基板的一侧，形成数据线。

20 在该步骤中，在衬底基板 100 的一侧制作出数据线 700。

在本公开的一些实施例中，该数据线 700 可以是与栅极 200 通过一次构图工艺形成。如此，后续再在数据线 700 表面形成的绝缘层总厚度更大，有利于减小寄生电容，并且与栅极 200 共同采用一个掩膜制作，不会增加该阵列基板的制作成本。而且，在栅极 200 和数据线 700 的远离基板 100 的一侧以及基板 100 的同侧形成栅绝缘层 300。

25 在本公开的另一些实施例中，该数据线 700 也可以是与源漏极 500、有源层 400 通过一次构图工艺形成。如此，只需一层连接电极 800 就可将数据线 700 和源漏极 500 电连接，并且与源漏极 500、有源层 400 共同采用一个掩膜制作，不会增加该阵列基板的制作成本。

30 在本公开的另一些实施例中，该数据线 700 可包括第一数据线 710 和第二数据线 720，其中的第二数据线 720 是与栅极 200 通过一次构图工艺形成。如此，采用双数据线的可降低电阻，并且，第二数据线 720 与栅极 200 共同采用一个掩膜制作，不会增加该阵列基板的制作成本。而且，在栅极 200 和第二数据线 720 的远离基板 100 的一侧以及基板 100 的同侧形成栅绝缘层 300。

35 在本公开的另一些实施例中，该数据线 700 可包括第一数据线 710 和第二数据线 720，其中的第一数据线 710 可以是与源漏极 500、有源层 400 通过一次构图工艺形

成。如此，采用双数据线的的设计可降低电阻，并且，第一数据线 710 与源漏极 500、有源层 400 共同采用一个掩膜制作，也不会增加该阵列基板的制作成本。

S300：在源漏极、栅绝缘层远离衬底基板的一侧形成连接电极。

5 在该步骤中，为了解决缩小有源层 400 的面积而带来的源漏极 500 与数据线无法导通的问题，所以在源漏极 500、栅绝缘层 300 和数据线远离衬底基板 100 的一侧形成连接电极；其中，连接电极用于将源漏极 500 与数据线电连接。

根据本公开的实施例，形成连接电极的具体方法不受特别的限制，本领域内常用的形成电极的方法均可，例如形成 ITO 层的方法，等等，本领域技术人员可根据实际情况进行选择，在此不再赘述。

10 在本公开的一些实施例中，在数据线 700 与源漏极 500 是通过一次构图工艺形成的情况下，在源漏极 500、栅绝缘层 300 和数据线 700 的远离衬底基板 100 的一侧形成连接电极 800 即可，如此，连接电极 800 可将同层设置的数据线 700 与源漏极 500 电连接。

15 在本公开的另一些实施例中，在数据线 700 与栅极 200 是通过一次构图工艺形成的情况下，在源漏极 500 和栅绝缘层 300 的远离衬底基板 100 的一侧形成第一子连接电极 810，并且第一子连接电极 810 可以与像素电极通过一次构图工艺形成，用于与源漏极 500 电连接；然后，再在第一子连接电极 810 和数据线 700 的远离衬底基板 100 的一侧形成第二子连接电极 820，并且第二子连接电极 820 可以与公共电极通过一次构图工艺形成，用于与第一子连接电极 810、数据线 700 电连接。如此，即使数
20 据线 700 与源漏极 500 不是同层设置，也可以通过第一子连接电极 810 和第二子连接电极 820 将其电连接。

在本公开的另一些实施例中，在数据线 700 包括第一数据线 710 和第二数据线 720 的情况下，在源漏极 500 和栅绝缘层 300 的远离衬底基板 100 的一侧形成第三子连接电极 830，并且第三子连接电极 830 可与像素电极通过一次构图工艺形成，用于
25 与源漏极 500 电连接；然后，再在第三子连接电极 830、第一数据线 710 和第二数据线 720 的远离衬底基板 100 的一侧形成第四子连接电极 840，并且第四子连接电极 840 可与公共电极通过一次构图工艺形成，用于与第三子连接电极 810 分别与第一数据线 710、第二数据线 720 电连接。如此，即使采用双数据线的的设计，也可通过第三子连接电极 830 和第四子连接电极 840 将源漏极 500 与其电连接。

30 综上所述，根据本公开的实施例，提出了一种制作方法，获得的阵列基板，其利用连接电极将源极和数据线连接，从而减少了源极下面有源层外漏在栅极外而产生的光漏电问题，进而提高该阵列基板组成的显示器的显示稳定性，并且该方法也不会增加 MASK 数目和制造阵列基板的成本。

35 在本公开的三个方面，提出了一种显示面板。根据本公开的实施例，该显示面板

包括上述的阵列基板。

根据本公开的实施例，该显示面板的具体类型不受特别的限制，本领域内常用的显示面板的类型均可，具体例如电视、手机、电脑显示屏、平板显示器、游戏机、可穿戴设备及具有显示面板的生活、家用电器等等，本领域技术人员可根据该显示面板的实际使用要求进行选择，在此不再赘述。

需要说明的是，该显示面板除了阵列基板以外，还包括其他必要的组件和构成，以液晶显示器为例，具体例如彩膜基板、液晶显示层、光源组件、控制组件、电路和外壳，等等，本领域技术人员可根据该阵列基板的具体类型进行补充，在此不再赘述。

综上所述，根据本公开的实施例，提出了一种显示面板，其阵列基板解决了有源层外漏在栅极外而产生的光漏电问题，进而提高该显示面板的显示稳定性，并且其制造成本也不会增加。本领域技术人员能够理解的是，前面针对阵列基板所描述的特征和优点，仍适用于该显示面板，在此不再赘述。

在本公开的描述中，需要理解的是，术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”、“轴向”、“径向”、“周向”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

在本公开的描述中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或成一体；可以是机械连接，也可以是电连接；可以是直接连接，也可以通过中间媒介间接连接，可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本公开中的具体含义。

此外，术语“第一”、“第二”、“第三”、“第四”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”、“第三”、“第四”的特征可以明示或者隐含地包括至少一个该特征。在本公开的描述中，“多个”的含义是至少两个，例如两个，三个等，除非另有明确具体的限定。

在本说明书的描述中，参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不必针对的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外，在不相互矛盾的情况下，本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不

同实施例或示例的特征进行结合和组合。

尽管上面已经示出和描述了本公开的实施例，可以理解的是，上述实施例是示例性的，不能理解为对本公开的限制，本领域的普通技术人员在本公开的范围内可以对上述实施例进行变化、修改、替换和变型。

权利要求

1、一种阵列基板，包括：

衬底基板；

5 薄膜晶体管，设置在所述衬底基板的一侧，并包括第一电极、第二电极和栅极；

数据线，设置在所述衬底基板的所述一侧；

连接电极，将所述薄膜晶体管的第一电极与所述数据线电连接；

其中，所述薄膜晶体管的有源层在所述衬底基板上的正投影位于所述薄膜晶体管的栅极在所述衬底基板的正投影之内。

10 2、根据权利要求1所述的阵列基板，其中，所述连接电极由ITO材料形成。

3、根据权利要求1所述的阵列基板，其中，所述数据线与所述第一电极、所述第二电极同层设置。

4、根据权利要求1所述的阵列基板，其中，所述数据线与所述栅极同层设置。

5、根据权利要求4所述的阵列基板，其中，所述连接电极包括：

15 第一子连接电极，与像素电极同层设置，且与所述第一电极电连接；

第二子连接电极，与公共电极同层设置，且与所述第一子连接电极、所述数据线电连接。

6、根据权利要求1所述的阵列基板，其中，所述数据线包括：

第一数据线，与所述第一电极、所述第二电极同层设置；

20 第二数据线，与所述栅极同层设置，且与所述第一数据线通过所述连接电极电连接。

7、根据权利要求6所述的阵列基板，其中，所述连接电极包括：

第三子连接电极，与像素电极同层设置，且与所述第一电极电连接；

第四子连接电极，与公共电极同层设置，且与所述第三子连接电极、所述第一数据线、所述第二数据线电连接。

25 8、一种阵列基板的制备方法，包括：

在衬底基板的一侧，形成薄膜晶体管，其中，所述薄膜晶体管包括第一电极、第二电极和栅极，并且所述薄膜晶体管的有源层在所述衬底基板的正投影位于所述薄膜晶体管的栅极在所述衬底基板的正投影之内；

在衬底基板的所述一侧，形成数据线；

30 在所述薄膜晶体管的第一电极和所述数据线远离所述衬底基板的一侧，形成连接电极，其中，所述连接电极将所述第一电极与数据线电连接。

9、根据权利要求8所述的制备方法，其中，通过一次构图工艺形成所述数据线与所述第一电极、所述第二电极、所述有源层。

10、根据权利要求8所述的制备方法，其中，

35 通过一次构图工艺形成所述数据线与所述栅极；

通过一次构图工艺形成所述第一电极、所述第二电极和有源层。

11、根据权利要求10所述的制备方法，其中，所述连接电极包括第一子连接电极和第二子连接电极；其中，

5 所述第一子连接电极与像素电极通过一次构图工艺形成，用于与所述第一电极电连接；

所述第二子连接电极与公共电极通过一次构图工艺形成，用于与所述第一子连接电极、所述数据线电连接。

12、根据权利要求8所述的制备方法，其中，所述数据线包括第一数据线和第二数据线，其中，

10 所述第一数据线与所述第一电极、所述第二电极、所述有源层通过一次构图工艺形成，所述第二数据线与所述栅极通过一次构图工艺形成。

13、根据权利要求12所述的制备方法，其中，所述连接电极包括第三子连接电极和第四子连接电极；其中，

15 所述第三子连接电极与像素电极通过一次构图工艺形成，用于与所述第一电极电连接；

所述第四子连接电极与公共电极通过一次构图工艺形成，用于与所述第三子连接电极、所述第一数据线、所述第二数据线电连接。

14、一种显示面板，包括权利要求1-7任一项所述的阵列基板。

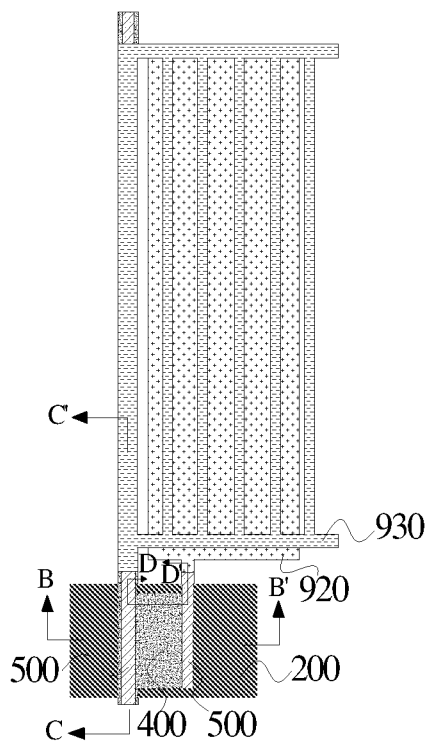


图 1a

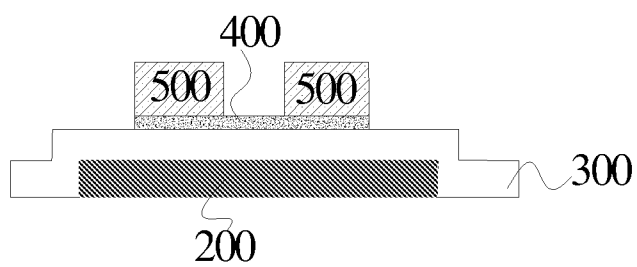


图 1b

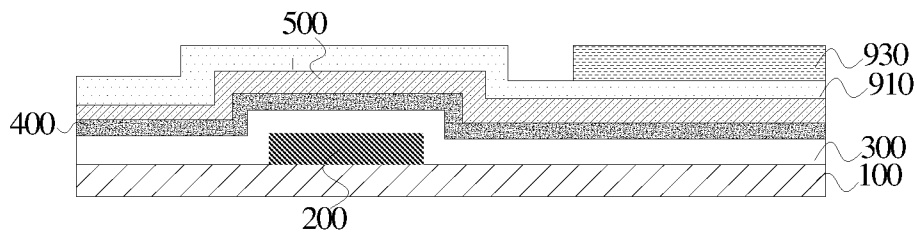


图 1c

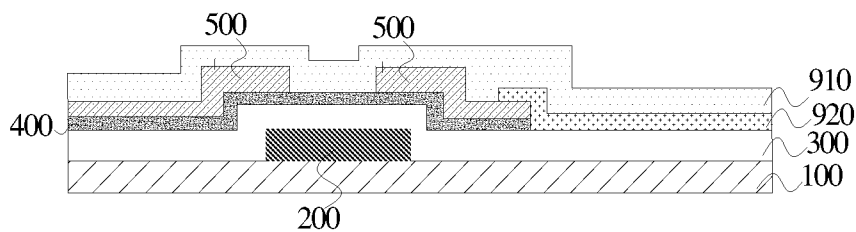


图 1d

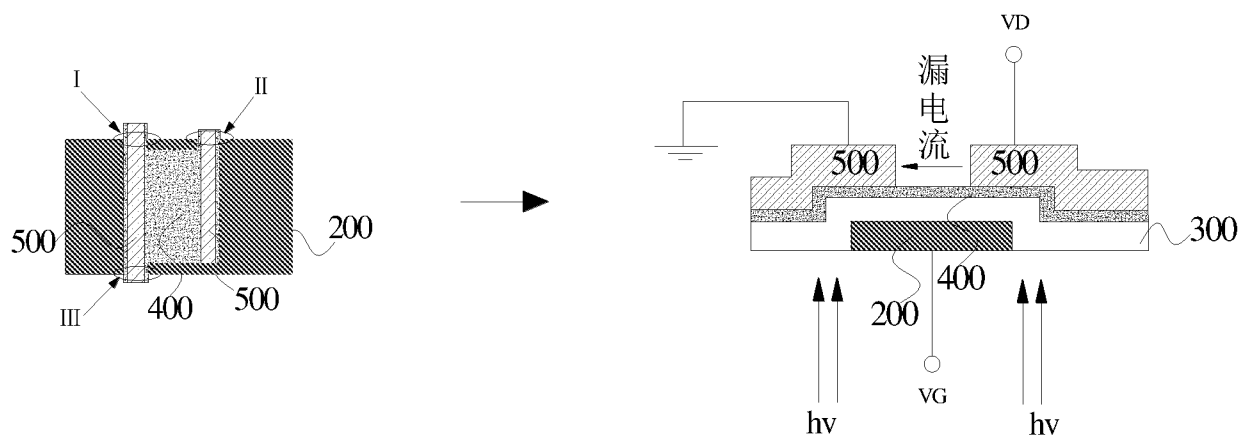


图 2

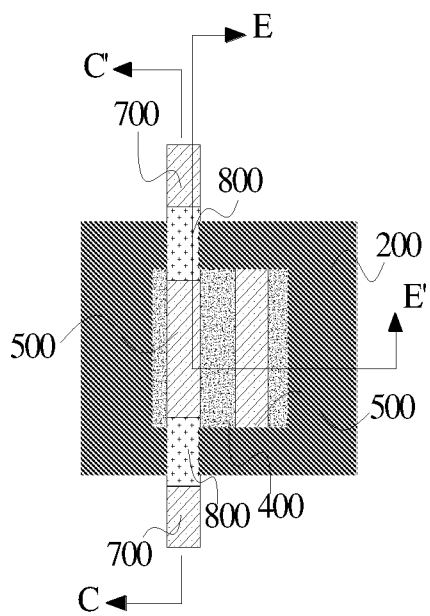


图 3a

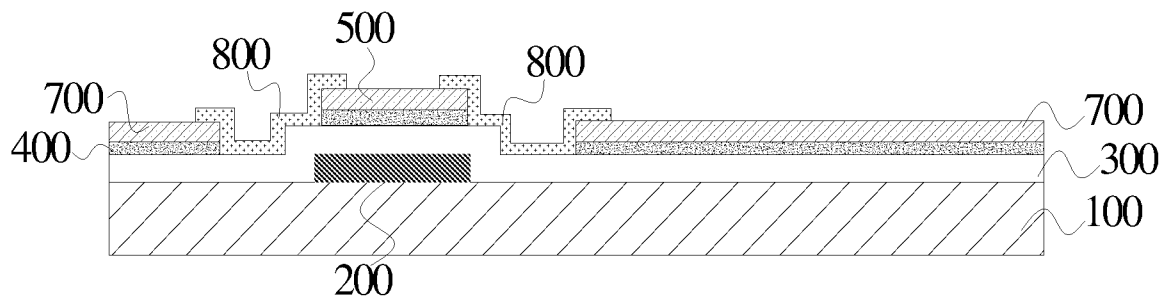


图 3b

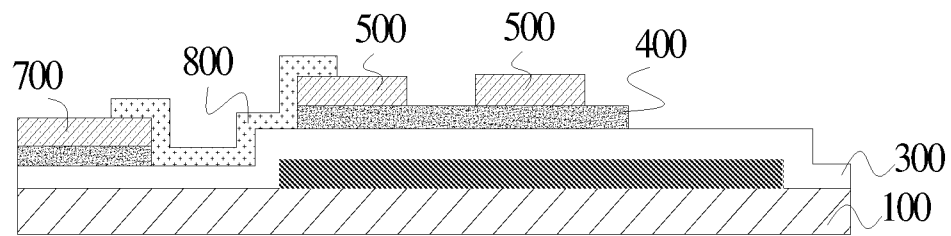


图 3c

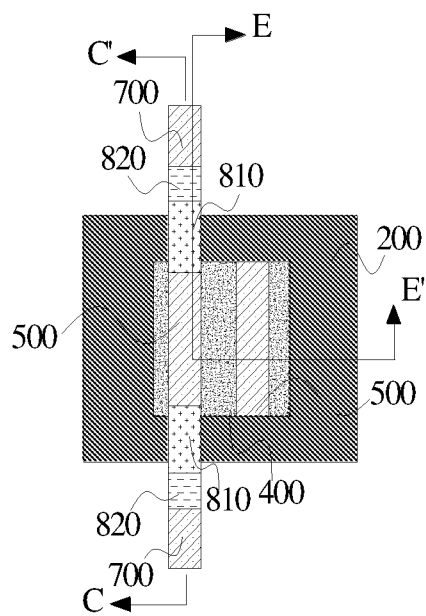


图 4a

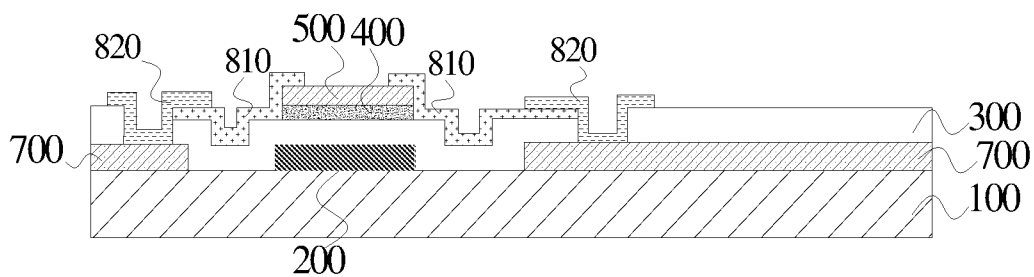


图 4b

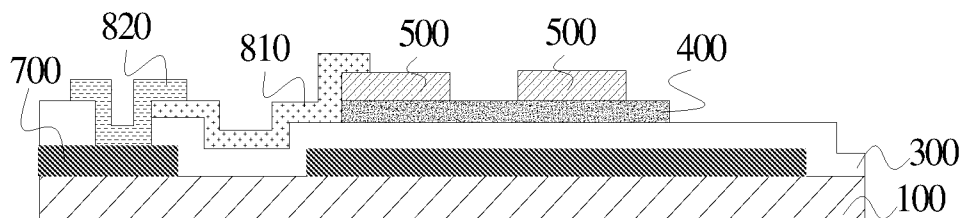


图 4c

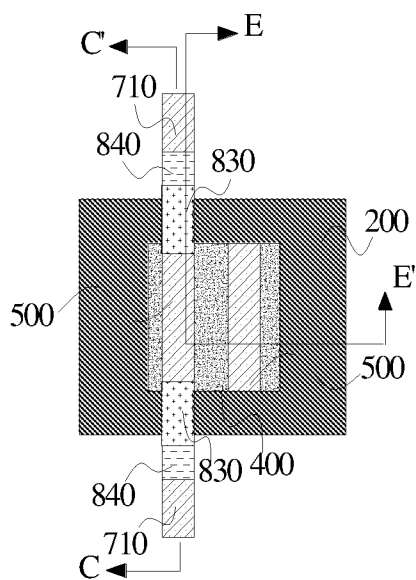


图 5a

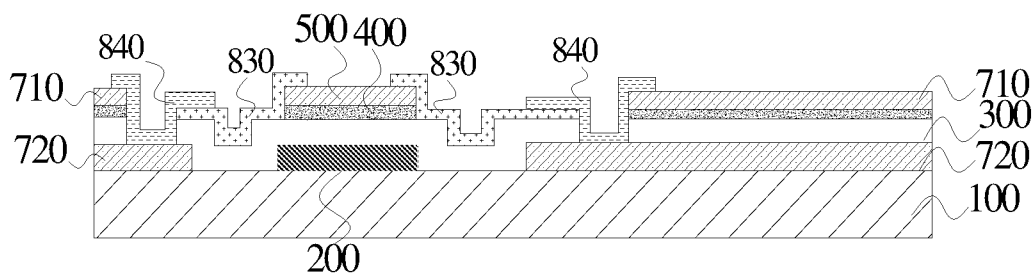


图 5b

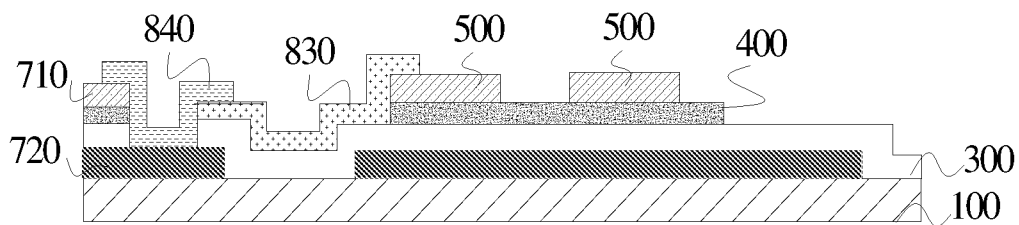


图 5c

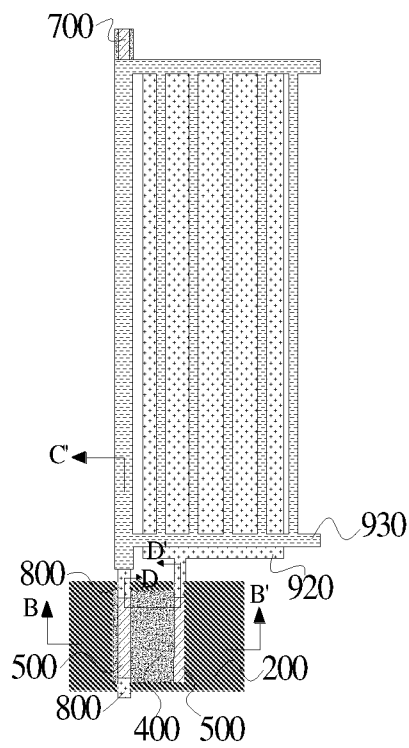


图 6a

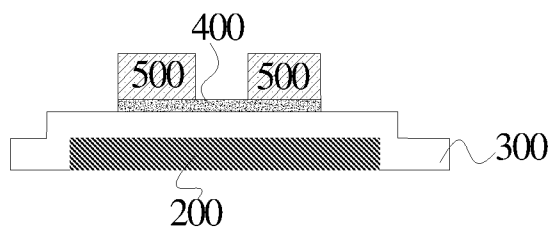


图 6b

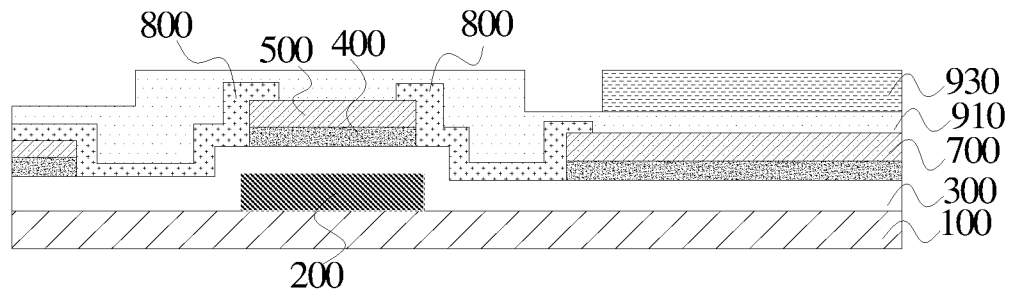


图 6c

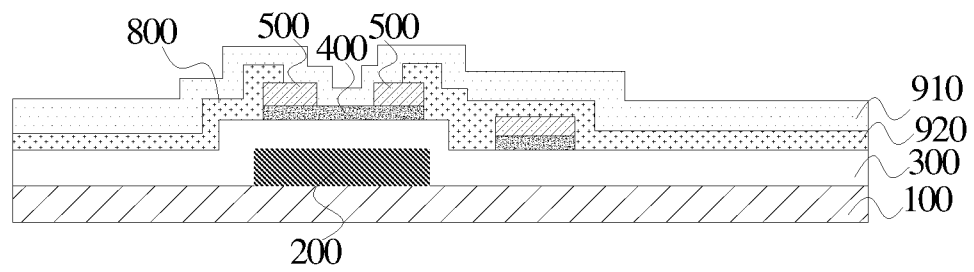


图 6d

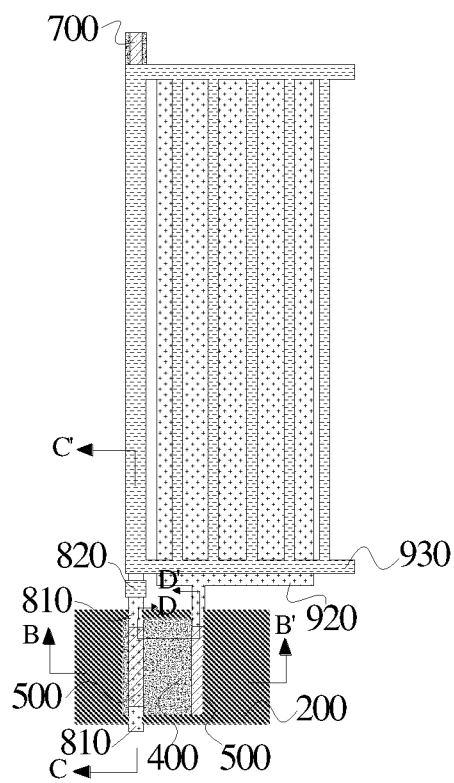


图 7a

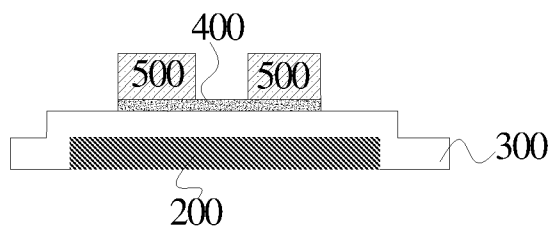


图 7b

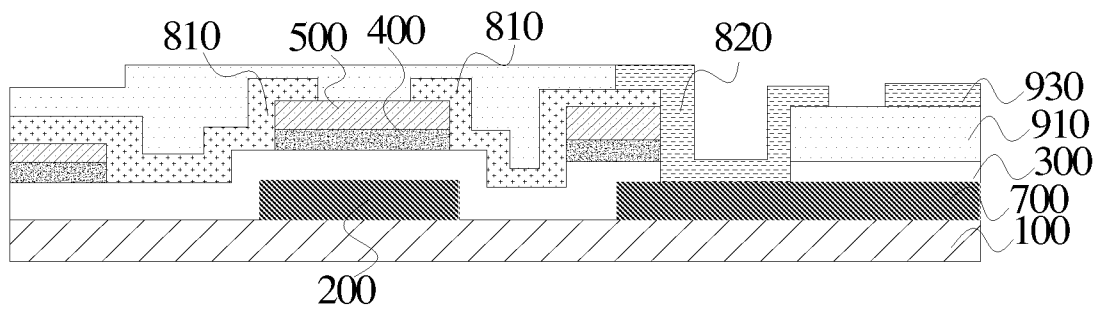


图 7c

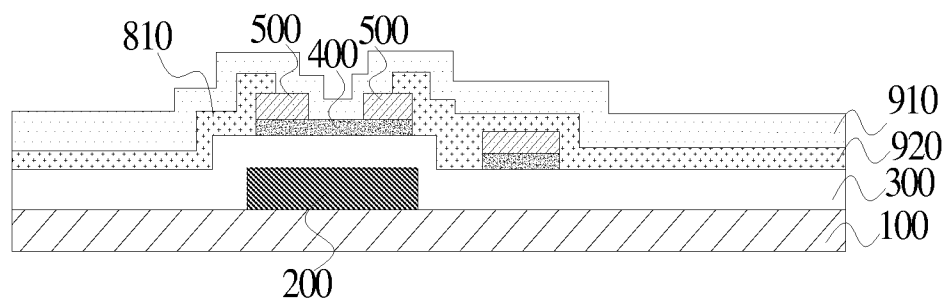


图 7d

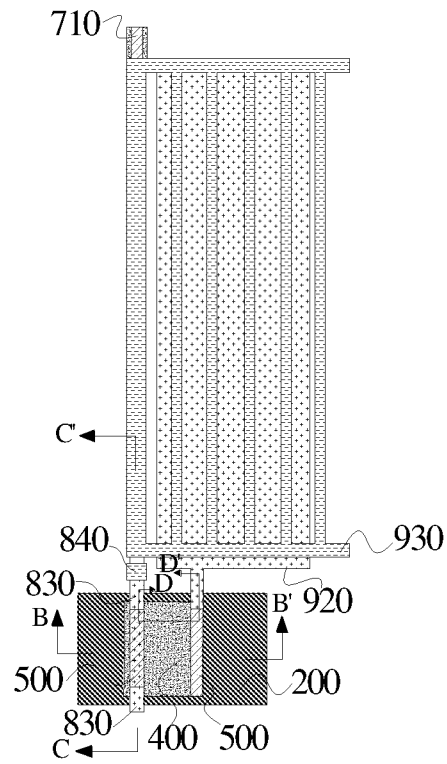


图 8a

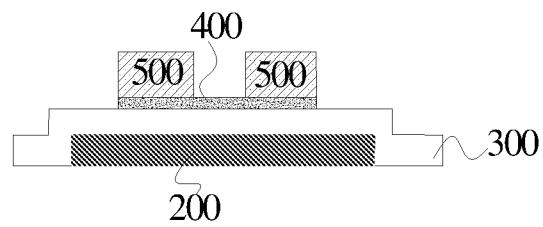


图 8b

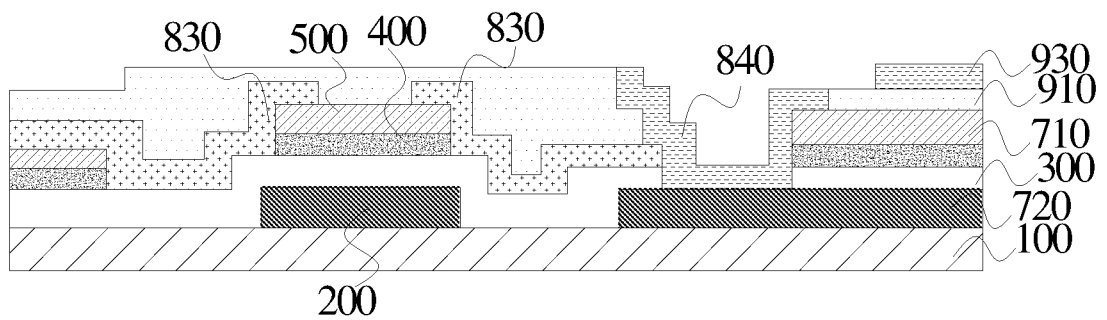


图 8c

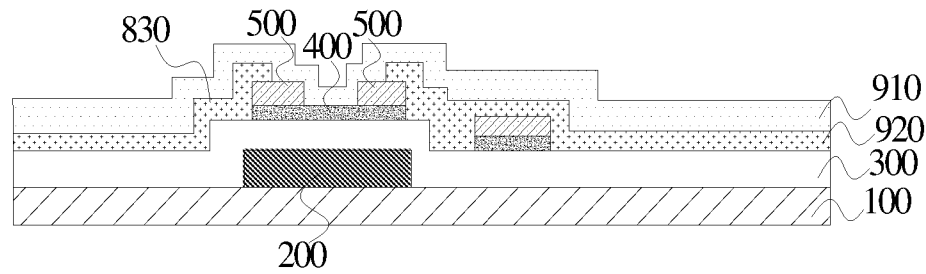


图 8d

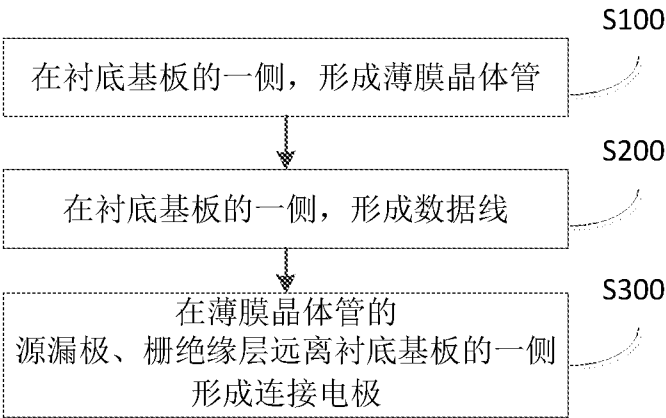


图 9

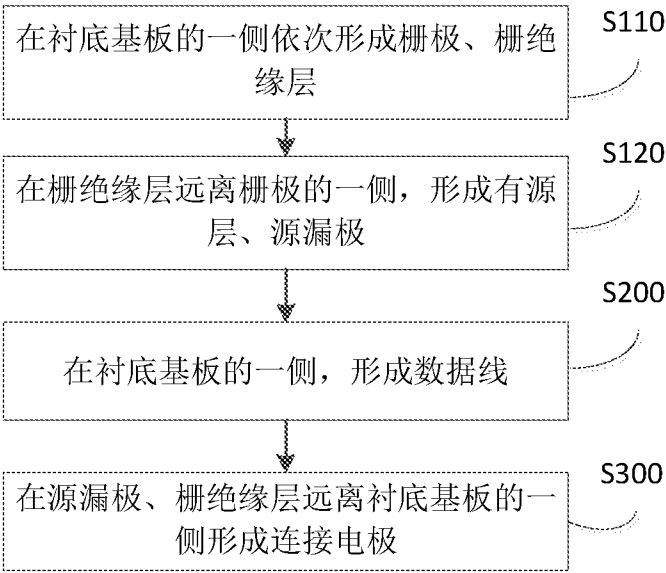


图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/083983

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2017.01) i; H01L 23/552 (2006.01) n
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, SIPOABS, DWPI, USTXT, IEEE: 阵列基板, 显示面板, 薄膜晶体管, 基板, 有源, 栅极, 源极, 漏极, 连接, 电极, 投影, array, substrate, display, panel, active, gate, source, drain, connect, electrode, projection

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107134463 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 05 September 2017 (05.09.2017), entire document	1-14
X	CN 106252217 A (BOE TECHNOLOGY GROUP CO., LTD.), 21 December 2016 (21.12.2016), description, paragraphs [0079]-[100] and [0126]-[137], and figures 4A-5A and 9D	1-14
A	US 2016293771 A1 (LONG et al.), 06 October 2016 (06.10.2016), entire document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 June 2018	Date of mailing of the international search report 11 July 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Xiaoming Telephone No. 62089263

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/083983

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 107134463 A	05 September 2017	None	
CN 106252217 A	21 December 2016	US 2018061870 A1	01 March 2018
US 2016293771 A1	06 October 2016	EP 3185305 A1	28 June 2017
		WO 2016026246 A1	25 February 2016
		CN 104253159 B	13 June 2017
		US 9761731 B2	12 September 2017
		CN 104253159 A	31 December 2014
		EP 3185305 A4	11 April 2018

国际检索报告

国际申请号

PCT/CN2018/083983

A. 主题的分类 H01L 27/12(2006.01)i; H01L 21/77(2017.01)i; H01L 23/552(2006.01)n 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类														
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, SIPOABS, DWPI, USTXT, IEEE:阵列基板, 显示面板, 薄膜晶体管, 基板, 有源, 栅极, 源极, 漏极, 连接, 电极, 投影, array, substrate, display, panel, active, gate, source, drain, connect, electrode, projection														
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 107134463 A (京东方科技集团股份有限公司等) 2017年 9月 5日 (2017 - 09 - 05) 全文</td> <td>1-14</td> </tr> <tr> <td>X</td> <td>CN 106252217 A (京东方科技集团股份有限公司) 2016年 12月 21日 (2016 - 12 - 21) 说明书第[0079]段到第[100]段、第[0126]段到第[137]段, 图4A至图5A、9D</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2016293771 A1 (LONG等) 2016年 10月 6日 (2016 - 10 - 06) 全文</td> <td>1-14</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 107134463 A (京东方科技集团股份有限公司等) 2017年 9月 5日 (2017 - 09 - 05) 全文	1-14	X	CN 106252217 A (京东方科技集团股份有限公司) 2016年 12月 21日 (2016 - 12 - 21) 说明书第[0079]段到第[100]段、第[0126]段到第[137]段, 图4A至图5A、9D	1-14	A	US 2016293771 A1 (LONG等) 2016年 10月 6日 (2016 - 10 - 06) 全文	1-14
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
PX	CN 107134463 A (京东方科技集团股份有限公司等) 2017年 9月 5日 (2017 - 09 - 05) 全文	1-14												
X	CN 106252217 A (京东方科技集团股份有限公司) 2016年 12月 21日 (2016 - 12 - 21) 说明书第[0079]段到第[100]段、第[0126]段到第[137]段, 图4A至图5A、9D	1-14												
A	US 2016293771 A1 (LONG等) 2016年 10月 6日 (2016 - 10 - 06) 全文	1-14												
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。														
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件														
国际检索实际完成的日期 2018年 6月 8日		国际检索报告邮寄日期 2018年 7月 11日												
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 李晓明 电话号码 62089263												

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/083983

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107134463	A	2017年 9月 5日	无			
CN	106252217	A	2016年 12月 21日	US	2018061870	A1	2018年 3月 1日
US	2016293771	A1	2016年 10月 6日	EP	3185305	A1	2017年 6月 28日
				WO	2016026246	A1	2016年 2月 25日
				CN	104253159	B	2017年 6月 13日
				US	9761731	B2	2017年 9月 12日
				CN	104253159	A	2014年 12月 31日
				EP	3185305	A4	2018年 4月 11日