



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

245311
(11) (B1)

[51] Int. Cl.⁴
G 06 F 9/22

[22] Prihlášené 15 12 83
[21] [PV 9443-83]

[40] Zverejnené 13 08 84

[45] Vydané 15 12 88

[75]
Autor vynálezu KIŠŠ ROMAN ing., PIEŠŤANY

(54) Zapojenie osobného mikropočítača

1

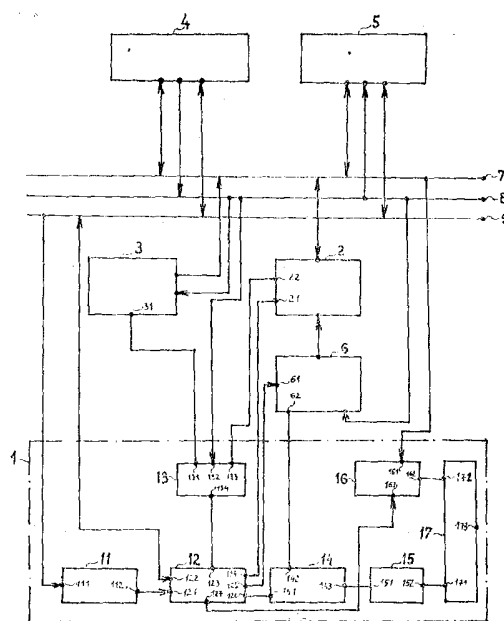
Návrh rieši zapojenie osobného mikropočítača pre grafické spracovávanie a zobrazovanie údajov, s využitím maximálnej spolupráce dynamickej pamäte s mikroprocesorovým systémom.

Podstatou zapojenia je, že na zbernicu počítača, tvorenú údajovou zbernicou (7), adresnou zbernicou (8) a riadiacou zbernicou (9) sú pripojené dva systémy.

Prvý tvorí: blok (4) mikroprocesoru, blok (5) stykových obvodov a blok (3) statickej pamäte. Druhý systém predstavuje videoprocesor (1), pričom oba systémy majú spoločnú časť, a to dynamickú pamäť (2). Videoprocesor (1) tvorený sérioparalelným registrom (11), obvodom (12) logiky videoprocesora, dekóderom (13), čítačom (14), obvodom (15) logiky synchrovideosignálu, paralelnosériovým registrom (16) a sčítacím obvodom (17) zabezpečuje správnu spoluprácu týchto dvoch systémov.

Zapojenie možno využiť všade tam, kde sa vyžaduje synchrónne obnovovanie dynamických pamätí, pričom má široké uplatnenie v doprave, priemysle, poľnohospodárstve a podobne.

2



Uzr. 1

Vynález sa týka zapojenia osobného mikropočítača pre grafické spracovávanie a zobrazovanie údajov.

Zobrazovanie údajov u doposiaľ známych zapojení je riešené zvláštnou oddelenou pamäťou pre zobrazované údaje a vyžaduje komplikovaný spôsob spolupráce so základným mikropočítačovým systémom, čo vedie k zmenšenej prechodnosti programu, ktorá pri grafických systémoch je podmieňajúcim faktorom.

Uvedené nedostatky rieši zapojenie osobného mikropočítača podľa vynálezu, ktorého podstatou je, že sérioparalelný register videoprocessora je cez zbernicový vstup spojený s riadiacou zbernicou a jeho výstup je spojený s registrovým vstupom obvodu logiky videoprocessora. Zbernicový vstup je spojený s riadiacou zbernicou a výstup je spojený so vstupom dynamickej pamäte. Multiplexový výstup je spojený so vstupom multiplexu, dekódový vstup je spojený so vstupom dekóderu. Na jeho zbernicový vstup je pripojená adresná zbernica, na pamäťový vstup je pripojený dekódový výstup dynamickej pamäte a pamäťový výstup je spojený s dekódovým vstupom statickej pamäte. Čítačový vstup obvodu logiky videoprocessora je spojený so vstupom čítača, ktorého multiplexový výstup je spojený s čítačovým vstupom multiplexu a synchrovideosignálový výstup je spojený s čítačovým vstupom obvodu logiky synchrovideosignálu. Na výstup obvodu logiky videoprocessora je pripojený vstup paralelnosériového registra, pričom na jeho zbernicový vstup je pripojená údajová zbernica a na jeho sčítací výstup je pripojený registrový vstup sčítacieho obvodu je spojený so sčítacím výstupom obvodu logiky synchrovideosignálu a výstup zobrazovaných údajov predstavuje videosignál.

Výhody vynálezu spočívajú v minimálnom technicko-obvodovom riešení, ktoré umožňuje zobrazovať obsah dynamickej pamäte a jednak ho umožňuje použiť všade tam, kde sa vyžaduje synchrónne obnovovanie („refresh“) dynamických pamätí. Predmet vynálezu je možné realizovať integrovanými obvodmi nízkej integrácie alebo ho agregovať na jeden čip. Využíva maximálne dynamické vlastnosti vzájomnej spolupráce medzi operačnou pamäťou a mikroprocessorom. Umožňuje graficky spracovávať i zobrazovať údaje vo formáte jeden bod k jednému bitu v dynamickej pamäti.

Zapojenie podľa vynálezu je príkladne znázornené na obr. 1, ktorý zobrazuje základné schéma zapojenia osobného mikropočítača. Obr. 2 znázorňuje základnú časovú spoluprácu videoprocessora s mikropočítačom a obr. 2 vyjadruje tvorbu signálu READY pre mikroprocessor v závislosti vzájomnej spolupráce s videoprocessorom.

Zapojenie osobného mikropočítača je riešené tak, že videoprocessor 1 so svojimi časťami zaisťuje synchrónnu spoluprácu so zá-

kladným mikropočítačovým systémom tvoreným blokom 4 mikroprocessora s podporou nepretržitého obnovovania informácie u dynamickej pamäte 2. Počas tohto obnovovania, ktoré je realizované ako nepretržité čítanie informácie z jej obsahu, možno ďalšími časťami videoprocessora 1 tento obsah uchovať v bloku 16 paralelnosériového registra a vhodným časovaním vyslať ako modulačný signál cez vstup 172 na výstup 173 zobrazovaných údajov. Na lokálnu zbernicu počítača, tvorenú údajovou zbernicou 7, adresnou zbernicou 8 a riadiacou zbernicou 9 sú pripojené dva systémy. Blok 4 mikroprocessora, blok 5 stykových obvodov a blok 3 statickej pamäte tvoria aktívny mikroprocessorový systém, ktorý umožňuje byť vysielateľom, ale i prijímačom údajov pre údajovú zbernicu 7. Druhý systém, videoprocessor 1 umožňuje byť voči údajovej zbernici 7 len pasívnym systémom, nakoľko údaje zo zbernice 7 prijíma. Oba systémy majú spoločnú časť a to dynamickú pamäť 2. Blok 1 zabezpečuje svojimi jednotlivými funkčnými obvodmi správnu spoluprácu týchto dvoch systémov nad spoločne zdieľanou dynamickou pamäťou 2. Na obr. 2 sú znázornené dve doby pre tieto systémy, vymedzujúce právo byť v spolupráci s dynamickou pamäťou 2. Základný kmitočet 0 a uplzy 0₂ bloku 4 mikroprocessora sú vedené do zbernicového vstupu 111 sérioparalelného registra 11. Z obvodu 12 logiky videoprocessora 1 vychádzajú spracované signály pre riadenie dynamickej pamäte 2, t. j. signály „RAS“, „CAS“ z výstupu 124. Prepínanie multiplexu 6 je signálom AMUS prenášané spojením výstupom 125 so vstupom 61. Semaforum pre obidva systémy je signál VIDEO, generovaný v obvodu 12 logiky videoprocessora a prichádzajúci do všetkých spoločných blokov obvodoch systémov. Programové vybavenie osobného mikropočítača, ktoré je uložené v dynamickej pamäti 2 a statickej pamäti 3, umožňuje prácu nad obsahom vymedzenej oblasti dynamickej pamäte 2. Tieto údaje tvoria obsah, ktorý sa zobrazuje napr. na obrazovke televízneho prijímača, slúžiaceho ako výstupné zobrazovacie zariadenie. Zobrazované údaje, t. j. 1 bit = 1 zobrazovaný bod, sa odoberajú priamo z údajovej zbernice 7 a vkladajú do paralelnosériového registra 16 na základe signálu STB, generovaného v obvodu 12 logiky videoprocessora a prenášaného spojením výstupom 127 so vstupom 163. Po tomto vedení ide i signál „GLOCK VIDEO“, ktorý posúva údaje v registri tak, aby sa na výstupe 162 objavoval len jeden bit, t. j. 1 bod, ktorý má práve modulovať podľa jeho hodnoty zobrazovaný údaj 173. Signál „STB“ je vedený i do vstupu 141 čítača 14, ktorý generuje na spojení 142 — 62 práve platnú adresu pre výber obsahu zobrazovaných údajov. Signály pre kompletný televízny signál

sa získavajú z obvodu 15 logiky synchrovideosignálu a paralelnosériového registra 16 a sú spočítavané v sčítacom obvode 17. Spolupráca dynamickej pamäte 2 s blokom 4 mikroprocesora je synchronizovaná signálom „READY“ idúcom po spojení 122 — 9 a jeho hodnota je daná stavom signálov ako uvádza tabuľka na obr. 3.

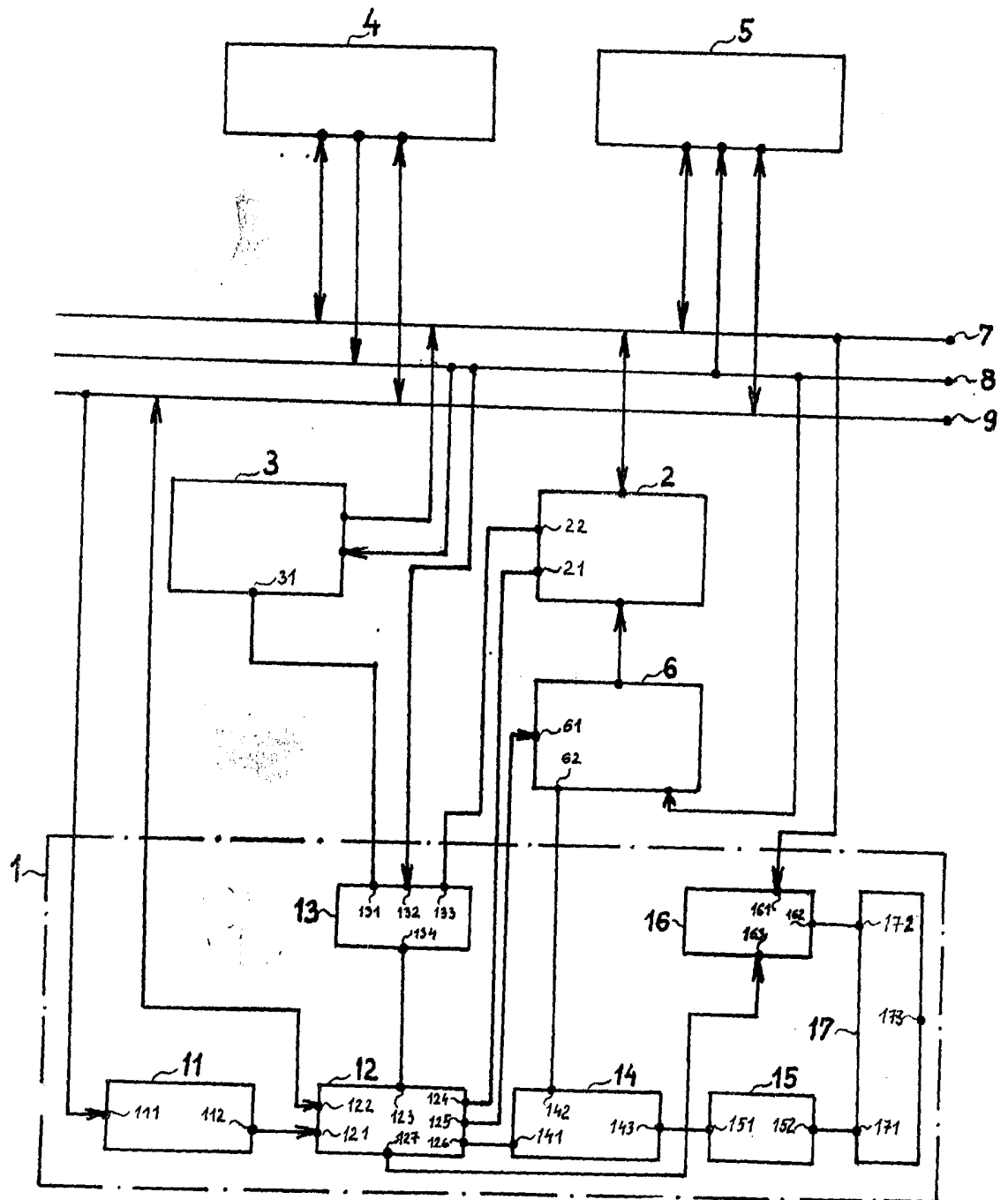
Zapojenie osobného mikropočítača má široké uplatnenie v jednotlivých odvetviach priemyslu, v doprave, poľnohospodárstve a môže poskytnúť cenné služby i pre užívateľov v domácnosti.

PREDMET VYNÁLEZU

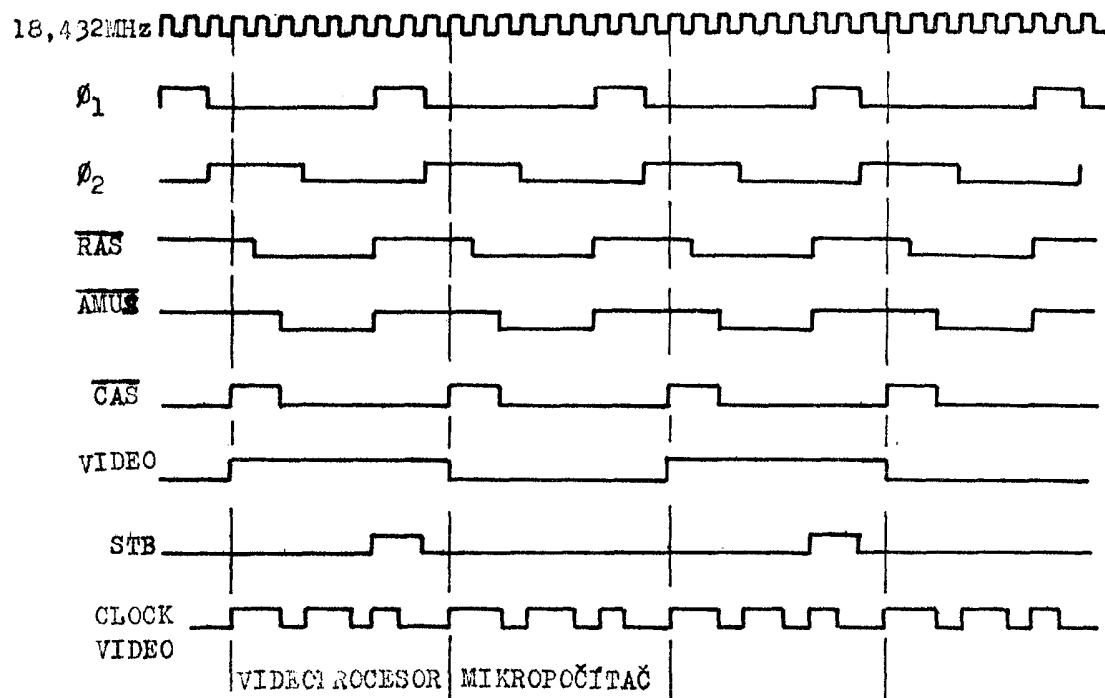
Zapojenie osobného mikropočítača pozostávajúceho zo statickej a dynamickej pamäte, bloku mikroprocesoru a bloku stykových obvodov, údajovej, adresnej a riadiacej zbernice ako i multiplexu a videoprocessoru vyznačujúce sa tým, že sérioparalelný register [11] videoprocessora [1] je cez zbernicový vstup [111] spojený s riadiacou zbernicou [9] a jeho výstup [112] je spojený s registrovým vstupom [121] obvodu [12] logiky videoprocessora, pričom jeho zbernicový vstup [122] je spojený s riadiacou zbernicou [9], výstup [124] je spojený so vstupom [21] logiky dynamickej pamäte [2], multiplexový výstup [125] je spojený so vstupom [61] logiky multiplexu [6], dekódový vstup [123] je spojený so vstupom [134] logiky dekóderu [13], na ktorého zbernicový vstup [132] je pripojená adresná zbernica [8], na jeho pamäťový výstup [133] je pripojený dekódový výstup [22]

dynamickej pamäte [2] a jeho pamäťový výstup [131] je pripojený na dekódový vstup [31] statickej pamäte [3], pričom čítačový vstup [126] obvodu [12] logiky videoprocessora je spojený so vstupom [141] logiky čítača [14], ktorého multiplexový výstup [142] je spojený s čítačovým vstupom [62] multiplexu [6] a jeho synchrovideosignálový výstup [143] je spojený s čítačovým vstupom [151] obvodu [15] logiky synchrovideosignálu a taktiež na registrový výstup [127] obvodu [12] logiky videoprocessora je pripojený vstup [163] logiky paralelnosériového registra [16], pričom na jeho zbernicový vstup [161] je pripojená údajová zbernica [7] a na jeho sčítací výstup [162] je pripojený registrový vstup [172] sčítacieho obvodu [17], na ktorého synchrovideosignálový vstup [171] je spojený sčítací výstup [152] obvodu [15] logiky synchrovideosignálu.

2 listy výkresov



Obr. 1



Obr. 2

signál READY	Mikroprocesor zápis do pamäte	Mikroprocesor čítanie do pamäte	Zobrazenie /video/
nie	áno	nie	nie
áno	nie	áno	nie
áno	nie	nie	nie
áno	áno	nie	áno
nie	nie	áno	áno
áno	nie	nie	áno

Obr. 3