



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0143567
(43) 공개일자 2014년12월17일

(51) 국제특허분류(Int. Cl.)
H01L 23/12 (2006.01) H01L 23/48 (2006.01)
(21) 출원번호 10-2013-0065267
(22) 출원일자 2013년06월07일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
강명삼
경기도 수원시 영통구 매영로 150 삼성전기
(74) 대리인
청운특허법인

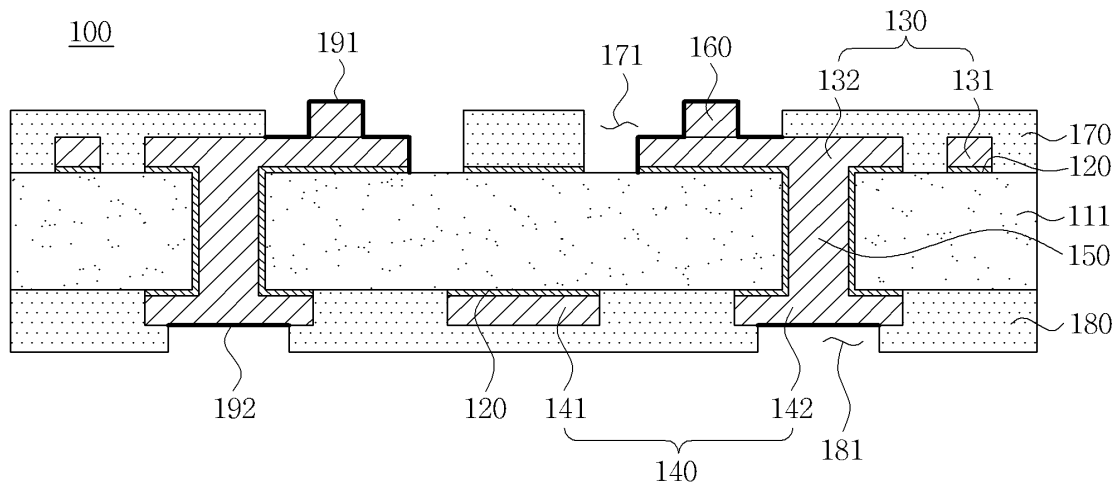
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 반도체 패키지 기판 및 반도체 패키지 기판 제조 방법

(57) 요약

본 발명은 반도체 패키지 기판 및 반도체 패키지 기판 제조 방법에 관한 것이다. 본 발명의 실시 예에 따른 반도체 패키지 기판은 절연층, 절연층의 일면에 형성되며, 범프 패드를 포함하는 제1 회로층, 범프 패드에 형성되며, 범프 패드와 일체형으로 형성된 포스트 범프 및 절연층 및 제1 회로층에 형성되며, 포스트 범프 및 포스트 범프를 노출하는 제1 개구부가 형성된 제1 솔더 레지스트층을 포함할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

절연층;

상기 절연층의 일면에 형성되며, 범프 패드를 포함하는 제1 회로층;

상기 범프 패드에 형성되며, 상기 범프 패드와 일체형으로 형성된 포스트 범프; 및

상기 절연층 및 제1 회로층에 형성되며, 상기 포스트 범프 및 상기 포스트 범프를 노출하는 제1 개구부가 형성된 제1 솔더 레지스트층;

을 포함하는 반도체 패키지 기관.

청구항 2

청구항1에 있어서,

상기 범프 패드와 상기 포스트 범프는 동일한 물질로 형성된 반도체 패키지 기관.

청구항 3

청구항1에 있어서,

상기 제1 개구부를 통해 노출된 상기 범프 패드와 상기 포스트 범프 상에 형성되는 제1 표면 처리층을 더 포함하는 반도체 패키지 기관.

청구항 4

청구항1에 있어서,

상기 절연층의 타면에 형성되며, 접속 패드를 포함하는 제2 회로층을 더 포함하는 반도체 패키지 기관.

청구항 5

청구항4에 있어서,

상기 절연층을 관통하여, 상기 제1 회로층과 상기 제2 회로층을 전기적으로 연결하는 관통 비아를 더 포함하는 반도체 패키지 기관.

청구항 6

청구항5에 있어서,

상기 관통 비아는 상기 범프 패드와 상기 접속 패드를 전기적으로 연결하는 반도체 패키지 기관.

청구항 7

청구항4에 있어서,

상기 절연층의 타면 및 상기 제2 회로층에 형성되며, 상기 접속 패드를 노출하는 제2 개구부가 형성된 제2 솔더

레지스트층을 더 포함하는 반도체 패키지 기판.

청구항 8

청구항7에 있어서,

상기 제2 개구부를 통해 노출된 상기 접속 패드 상에 형성되는 제2 표면 처리층을 더 포함하는 반도체 패키지 기판.

청구항 9

청구항1에 있어서,

상기 포스트 범프는 상기 제1 솔더 레지스트층 일면으로부터 돌출되도록 형성된 반도체 패키지 기판.

청구항 10

절연층을 준비하는 단계;

상기 절연층의 일면에 범프 패드를 포함하는 제1 회로층을 형성하는 단계;

상기 범프 패드 상에 포스트 범프를 형성하는 단계; 및

상기 범프 패드 및 상기 포스트 범프를 노출하는 제1 개구부를 포함하는 제1 솔더 레지스트층을 형성하는 단계;
를 포함하는 반도체 패키지 기판 제조 방법.

청구항 11

청구항10에 있어서,

상기 포스트 범프를 형성하는 단계에서,

상기 포스트 범프는 상기 범프 패드와 동일한 물질로 형성되는 반도체 패키지 기판 제조 방법.

청구항 12

청구항10에 있어서,

상기 제1 솔더 레지스트층을 형성하는 단계 이후에,

상기 제1 개구부를 통해 노출된 상기 범프 패드 및 포스트 범프 상에 제1 표면 처리층을 형성하는 단계를 더 포함하는 반도체 패키지 기판 제조 방법.

청구항 13

청구항10에 있어서,

상기 제1 회로층을 형성하는 단계에서,

상기 절연층의 타면에 접속 패드를 포함하는 제2 회로층을 형성하는 단계를 더 포함하는 반도체 패키지 기판 제조 방법.

청구항 14

청구항13에 있어서,
상기 제1 회로층을 형성하는 단계에서,
상기 절연층을 관통하여, 상기 제1 회로층과 상기 제2 회로층을 전기적으로 연결하는 관통 비아를 형성하는 단계를 더 포함하는 반도체 패키지 기판 제조 방법.

청구항 15

청구항14에 있어서,
상기 관통 비아는 상기 범프 패드와 상기 접속 패드를 전기적으로 연결하도록 형성되는 반도체 패키지 기판 제조 방법.

청구항 16

청구항13에 있어서,
상기 제2 회로층을 형성하는 단계 이후에,
상기 절연층의 타면 및 상기 제2 회로층에 형성되며, 상기 접속 패드를 노출하는 제2 개구부가 형성된 제2 솔더 레지스트층을 형성하는 단계를 더 포함하는 반도체 패키지 기판 제조 방법.

청구항 17

청구항16에 있어서,
상기 제2 솔더 레지스트층을 형성하는 단계 이후에,
상기 제2 개구부를 통해 노출된 상기 접속 패드 상에 제2 표면 처리층을 형성하는 단계를 더 포함하는 반도체 패키지 기판 제조 방법.

청구항 18

청구항14에 있어서,
상기 제2 회로층을 형성하는 단계 이후에,
상기 접속 패드 상에 솔더볼을 형성하는 단계를 더 포함하는 반도체 패키지 기판 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 패키지 기판 및 반도체 패키지 기판 제조 방법에 관한 것이다.

배경기술

[0002] 전자 산업의 발달에 따라 많은 전자기기에 반도체 칩이 탑재되는 반도체 패키지의 사용량이 급증하고 있다. 반도체 패키지의 대부분은 와이어 본딩(Wire bonding)을 이용하여 반도체 칩을 기판과 연결하여 형성되는 BOC(Board On Chip) 구조를 가지고 있다. BOC 구조에 사용되는 기판은 반도체 칩의 특성을 위하여 반도체 칩의

단자가 중앙에 위치하며, 신호 처리 속도 증가를 위하여 단자와 직접적으로 연결될 수 있는 구조로 형성된다. 즉, 기관의 아래에 반도체 칩이 부착되며, 단자가 위치하는 부분에 슬롯(Slot)을 형성하여 슬롯을 통해서 반도체 칩과 기관을 와이어 본딩을 할 수 있다.

[0003] 반도체 제조하는 기술이 매우 빠르게 발전함에 따라 반도체 패키지의 용량도 증가하게 되며, 신호 처리 속도 증가가 필요하게 되었다. 반도체 패키지의 용량 증가로 BOC 구조의 반도체 패키지가 단층에서 다층으로 변화하고, 이에 따라 와이어(Wire)에서의 신호 손실이 발생하게 되었다.

[0004] 신호 처리 속도 증가를 위해서 반도체 패키지는 플립칩 본딩(Flip Chip Bonding) 구조를 적용하게 된다.(미국 등록특허 제 6177731호) 이때 플립칩 본딩 구조의 반도체 패키지는 기관과 반도체 칩 간의 공간(Gap) 부족으로 언더필(Underfill) 재료의 흐름성이 좋지 않다. 또한, 플립칩 본딩 구조의 반도체 패키지는 기관과 반도체 칩 간의 접속 신뢰성에 대한 문제점도 가지고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 측면에 따르면, 언더필(Underfill)의 흐름성을 개선할 수 있는 반도체 패키지 기관 및 반도체 패키지 기관 제조 방법을 제공하는 데 있다.

[0006] 본 발명의 다른 측면에 따르면, 반도체 칩과 기관의 접속 신뢰성을 향상시킬 수 있는 반도체 패키지 기관 및 반도체 패키지 기관 제조 방법을 제공하는 데 있다.

[0007] 본 발명의 또 다른 측면에 따르면, 고속 신호에 대한 전기적 특성을 향상시킬 수 있는 반도체 패키지 기관 및 반도체 패키지 기관 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0008] 본 발명의 실시 예에 따르면, 절연층, 절연층의 일면에 형성되며, 범프 패드를 포함하는 제1 회로층, 범프 패드에 형성되며, 범프 패드와 일체형으로 형성된 포스트 범프 및 절연층 및 제1 회로층에 형성되며, 포스트 범프 및 포스트 범프를 노출하는 제1 개구부가 형성된 제1 솔더 레지스트층을 포함하는 반도체 패키지 기관이 제공된다.

[0009] 범프 패드와 포스트 범프는 동일한 물질로 형성될 수 있다.

[0010] 제1 개구부를 통해 노출된 범프 패드와 포스트 범프 상에 형성되는 제1 표면 처리층을 더 포함할 수 있다.

[0011] 절연층의 타면에 형성되며, 접속 패드를 포함하는 제2 회로층을 더 포함할 수 있다.

[0012] 절연층을 관통하여, 제1 회로층과 제2 회로층을 전기적으로 연결하는 관통 비아를 더 포함할 수 있다.

[0013] 관통 비아는 범프 패드와 접속 패드를 전기적으로 연결할 수 있다.

[0014] 절연층의 타면 및 제2 회로층에 형성되며, 접속 패드를 노출하는 제2 개구부가 형성된 제2 솔더 레지스트층을 더 포함할 수 있다.

[0015] 제2 개구부를 통해 노출된 접속 패드 상에 형성되는 제2 표면 처리층을 더 포함하는 반도체 패키지 기관.

[0016] 포스트 범프는 제1 솔더 레지스트층 일면으로부터 돌출되도록 형성될 수 있다.

[0017] 본 발명의 실시 예에 따르면, 절연층을 준비하는 단계, 절연층의 일면에 범프 패드를 포함하는 제1 회로층을 형성하는 단계, 범프 패드 상에 포스트 범프를 형성하는 단계 및 범프 패드 및 포스트 범프를 노출하는 제1 개구부를 포함하는 제1 솔더 레지스트층을 형성하는 단계를 포함하는 반도체 패키지 기관 제조 방법이 제공된다.

[0018] 포스트 범프를 형성하는 단계에서, 포스트 범프는 범프 패드와 동일한 물질로 형성될 수 있다.

[0019] 제1 솔더 레지스트층을 형성하는 단계 이후에, 제1 개구부를 통해 노출된 범프 패드 및 포스트 범프 상에 제1

표면 처리층을 형성하는 단계를 더 포함할 수 있다.

- [0020] 제1 회로층을 형성하는 단계에서, 절연층의 타면에 접속 패드를 포함하는 제2 회로층을 형성하는 단계를 더 포함할 수 있다.
- [0021] 제1 회로층을 형성하는 단계에서, 절연층을 관통하여, 제1 회로층과 제2 회로층을 전기적으로 연결하는 관통 비아를 형성하는 단계를 더 포함할 수 있다.
- [0022] 관통 비아는 범프 패드와 접속 패드를 전기적으로 연결하도록 형성될 수 있다.
- [0023] 제2 회로층을 형성하는 단계 이후에, 절연층의 타면 및 제2 회로층에 형성되며, 접속 패드를 노출하는 제2 개구부가 형성된 제2 솔더 레지스트층을 형성하는 단계를 더 포함할 수 있다.
- [0024] 제2 솔더 레지스트층을 형성하는 단계 이후에, 제2 개구부를 통해 노출된 접속 패드 상에 제2 표면 처리층을 형성하는 단계를 더 포함할 수 있다.
- [0025] 제2 회로층을 형성하는 단계 이후에, 접속 패드 상에 솔더볼을 형성하는 단계를 더 포함할 수 있다.

[0026] 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다.

[0027] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 안되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합되는 의미와 개념으로 해석되어야만 한다.

발명의 효과

- [0028] 본 발명의 실시 예에 따른 반도체 패키지 기판 및 반도체 패키지 기판 제조 방법에 따르면, 언더필(Underfill)의 흐름성을 개선할 수 있다.
- [0029] 본 발명의 실시 예에 따른 반도체 패키지 기판 및 반도체 패키지 기판 제조 방법에 따르면, 반도체 칩과 기판의 접속 신뢰성을 향상시킬 수 있다.
- [0030] 본 발명의 실시 예에 따른 반도체 패키지 기판 및 반도체 패키지 기판 제조 방법에 따르면, 고속 신호에 대한 전기적 특성을 향상시킬 수 있다.

도면의 간단한 설명

- [0031] 도1은 본 발명의 실시 예에 따른 반도체 패키지 기판에 대한 예시도이다.
 도2 내지 도17은 본 발명의 실시 예에 따른 반도체 패키지 기판 제조 방법을 나타낸 예시도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되는 이하의 상세한 설명과 바람직한 실시 예들로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, "제1", "제2", "일면", "타면" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 상기 용어들에 의해 제한되는 것은 아니다. 이하, 본 발명을 설명함에 있어서, 본 발명의 요지를 불필요하게 흐릴 수 있는 관련된 공지 기술에 대한 상세한 설명은 생략한다.
- [0033] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 상세히 설명하기로 한다.

[0034] 반도체 패키지 기판

- [0035] 도1은 본 발명의 실시 예에 따른 반도체 패키지 기판에 대한 예시도이다.
- [0036] 도1을 참조하면, 반도체 패키지 기판(100)은 절연층(111), 제1 회로층(130), 제2 회로층(140), 포스트 범프(160), 관통 비아(150), 제1 솔더 레지스트층(170), 제2 솔더 레지스트층(180), 제1 표면 처리층(191) 및 제2 표면 처리층(192)을 포함할 수 있다.
- [0037] 절연층(111)은 인쇄회로기판의 절연층으로 사용되는 수지 절연층이 될 수 있다. 또한, 절연층(111)은 반도체 기판의 절연층으로 사용되는 세라믹 절연층이 될 수 있다. 수지 절연층으로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지가 될 수 있다. 또는 수지 절연층은 에폭시 수지에 유리 섬유 또는 무기 필러와 같은 보강제가 함침된 수지가 될 수 있다. 예를 들어 프리프레그가 될 수 있다. 또는 수지 절연층은 광경화성 수지 등이 사용될 수 있다. 그러나 수지 절연층은 특별히 이에 한정되는 것은 아니다.
- [0038] 본 발명의 실시 예에서, 절연층(111)은 단일층으로 형성됨이 도시되었지만, 이에 한정되는 것은 아니다. 즉, 절연층(111)의 내부에는 하나 이상의 내부 회로층(미도시)이 더 형성될 수 있다.
- [0039] 제1 회로층(130)은 절연층(111)의 일면에 형성될 수 있다. 제1 회로층(130)은 제1 회로 패턴(131) 및 범프 패드(132)를 포함할 수 있다. 범프 패드(132)는 포스트 범프(160)를 통해서 반도체 칩(미도시)과 전기적으로 연결될 수 있다. 본 발명의 실시 예에 따른 범프 패드(132)는 주변부 타입(Peripheral Type) 형태로 형성될 수 있다.
- [0040] 제1 회로층(130)은 전기 전도성 금속으로 형성될 수 있다. 예를 들어, 제1 회로층(130)은 구리로 형성될 수 있다. 그러나 제1 회로층(130)의 재질은 구리로 한정되는 것은 아니다. 제1 회로층(130)은 회로 기판 분야에서 회로용 전도성 금속으로 사용되는 것이라면 제한 없이 적용 가능하다.
- [0041] 제2 회로층(140)은 절연층(111)의 타면에 형성될 수 있다. 제2 회로층(140)은 제2 회로 패턴(141) 및 접속 패드(142)를 포함할 수 있다. 접속 패드(142)는 외부 접속 단자(미도시)가 직접 접속될 수 있다. 여기서, 외부 접속 단자(미도시)는 솔더볼이 될 수 있다. 제2 회로층(140)은 전기 전도성 금속으로 형성될 수 있다. 예를 들어, 제2 회로층(140)은 구리로 형성될 수 있다. 그러나 제2 회로층(140)의 재질은 구리로 한정되는 것은 아니다. 제2 회로층(140)은 회로 기판 분야에서 회로용 전도성 금속으로 사용되는 것이라면 제한 없이 적용 가능하다.
- [0042] 관통 비아(150)는 절연층(111)을 관통하도록 형성될 수 있다. 관통 비아(150)는 절연층(111)의 일면에 형성된 제1 회로층(130)과 타면에 형성된 제2 절연층(111) 간의 전기적 도통을 위해 형성될 수 있다. 예를 들어, 관통 비아(150)는 범프 패드(132)와 접속 패드(142)를 전기적으로 연결할 수 있다.
- [0043] 포스트 범프(160)는 범프 패드(132)에 형성될 수 있다. 포스트 범프(160)는 반도체 패키지 기판(100)에 실장될 반도체 칩(미도시)과 플립 칩 본딩(Flip chip bonding)이 될 수 있다. 포스트 범프(160)는 제1 회로층(130)과 동일한 재질로 형성될 수 있다. 특히 포스트 범프(160)는 범프 패드(132)와 동일한 재질로 형성될 수 있다.
- [0044] 제1 회로층(130), 제2 회로층(140) 및 관통 비아(150)와 절연층(111) 사이에는 시드층(120)이 형성될 수 있다. 시드층(120)은 제1 회로층(130), 제2 회로층(140) 및 관통 비아(150)를 형성하는 공법에 따라 선택적으로 형성될 수 있다.
- [0045] 제1 솔더 레지스트층(170)은 절연층(111)의 일면 및 제1 회로층(130) 상에 형성될 수 있다. 제1 솔더 레지스트층(170)은 제1 회로층(130)을 보호하고, 전기적 절연을 위해서 형성될 수 있다. 제1 솔더 레지스트층(170)은 제1 회로 패턴(131)을 매립하도록 형성될 수 있다. 제1 솔더 레지스트층(170)은 포스트 범프(160)를 외부로 노출하는 제1 개구부(171)를 포함할 수 있다. 제1 개구부(171)는 포스트 범프(160) 뿐만 아니라 범프 패드(132)를 외부로 노출할 수 있다. 제1 개구부(171)에 의해서 범프 패드(132)가 노출되는 정도는 당업자에 의해서 용이하게 변경될 수 있다.
- [0046] 제2 솔더 레지스트층(180)은 절연층(111)의 타면 및 제2 회로층(140) 상에 형성될 수 있다. 제2 솔더 레지스트층(180)은 제2 회로층(140)을 보호하고, 전기적 절연을 위해서 형성될 수 있다. 제2 솔더 레지스트층(180)은 제2 회로 패턴(141)을 매립하도록 형성될 수 있다. 제2 솔더 레지스트층(180)은 접속 패드(142)를 외부로 노출하는 제2 개구부(181)를 포함할 수 있다.
- [0047] 제1 표면 처리층(191)은 제1 솔더 레지스트층(170)의 제1 개구부(171)에 의해서 노출된 포스트 범프(160) 및 범프 패드(132)에 형성될 수 있다. 제2 표면 처리층(192)은 제2 솔더 레지스트층(180)의 제2 개구부(181)에 의해서 노출된 접속 패드(142)에 형성될 수 있다.
- [0048] 제1 표면 처리층(191) 및 제2 표면 처리층(192)은 당업계에 공지된 것이라면 특별히 한정되는 것은 아니다. 예

를 들어, 제1 표면 처리층(191) 및 제2 표면 처리층(192)은 예를 들어, 전해 금도금(Electro Gold Plating), 무전해 금도금(Immersion Gold Plating), OSP(organic Solderability preservative) 또는 무전해 주석도금(Immersion Tin Plating), 무전해 은도금(Immersion Silver Plating), DIG 도금(Direct Immersion Gold Plating), HASL(Hot Air Solder Leveling) 등에 의해 형성될 수 있다

[0049] 제1 표면 처리층(191) 및 제2 표면 처리층(192)은 당업자에 의해서 선택적으로 형성될 수 있다.

[0050] 본 발명의 실시 예에 따르면, 포스트 범프(160)는 제1 솔더 레지스트층(170)의 일면으로부터 돌출되도록 형성될 수 있다. 이와 같이 형성된 포스트 범프(160)에 의해서 실장될 반도체 칩(미도시)과 반도체 패키지 기판(100) 간의 공간(Gap)을 확보할 수 있다. 따라서, 충분한 공간 확보로 언더필(Underfill) 시, 반도체 패키지 기판(100)과 반도체 칩(미도시) 사이에서 언더필(Underfill) 재료의 흐름성이 향상될 수 있다. 또한 플립칩 본딩 시 반도체 패키지 기판(100)의 포스트 범프(160)가 반도체 칩(미도시)의 범프 또는 패드와 직접 접촉될 수 있다. 따라서, 종래의 반도체 칩(미도시)의 범프만으로 반도체 패키지에 접촉될 때보다 접촉 신뢰성을 향상시킬 수 있다. 또한, 접촉 신뢰성 향상에 따라 별도의 금 도금 인입선을 형성하지 않아도 되므로, 금 도금 인입선에 의한 노이즈 발생을 제거할 수 있다. 따라서, 노이즈 발생에 따른 신호 손실을 최소화하여 고속 신호에 대한 전기적 특성을 향상시킬 수 있다.

[0051] **반도체 패키지 기판 제조 방법**

[0052] 도2 내지 도17은 본 발명의 실시 예에 따른 반도체 패키지 기판 제조 방법을 나타낸 예시도이다.

[0053] 도2를 참조하면, 베이스 기판(110)이 제공된다. 본 발명의 실시 예에서 베이스 기판(110)은 절연층(111)과 절연층(111) 양면에 동박(112)이 적층된 동박 적층판(CCL)이 될 수 있다. 그러나 베이스 기판(110)으로 동박 적층판이 사용되는 것은 실시 예일 뿐, 이에 한정되는 것은 아니다. 즉, 베이스 기판(110)은 통상적으로 층간 절연 소재로 사용되는 복합 고분자 수지일 수 있다. 예를 들어, 베이스 기판(110)으로 프리프레그를 채용하여 인쇄회로 기판을 더 얇게 제작할 수 있다. 또는 베이스 기판(110)으로 ABF(Ajinomoto Build up Film)를 채용하여 미세회로를 용이하게 구현 가능할 수 있다. 이외에도, 베이스 기판(110)은 FR-4, BT(Bismaleimide Triazine) 등의 에폭시계 수지를 사용할 수 있으나, 특별히 이에 한정되는 것은 아니다.

[0054] 또한, 본 발명의 실시 예에서 베이스 기판(110)이 단일의 절연층으로 구성된 것을 도시하였으나, 본 발명은 이에 한정되지 않는다. 즉, 베이스 기판(110)은 한층 이상의 절연층과 내부 회로층을 포함할 수 있다.

[0055] 도3을 참조하면, 절연층(111)에 관통 비아홀(113)이 형성될 수 있다. 우선 베이스 기판(도2의 110)에 형성된 동박(도2의 112)을 제거할 수 있다. 동박(도2의 112)은 통상의 에칭 방법으로 제거될 수 있다. 이와 같이 동박(도2의 112)이 제거된 절연층(111)에 관통 비아홀(113)이 형성될 수 있다. 관통 비아홀(113)은 절연층(111)의 양면을 모두 관통하도록 형성될 수 있다. 이와 같이 형성된 관통 비아홀(113)은 추후 절연층(111)의 양면에 형성되는 회로층 간의 전기적 도통을 위한 관통 비아가 형성될 수 있다. 관통 비아홀(113)은 CNC 드릴 또는 레이저 드릴 등에 의해서 형성될 수 있다.

[0056] 도4를 참조하면, 절연층(111)에 시드층(120)이 형성될 수 있다. 시드층(120)은 절연층(111)의 양면뿐만 아니라, 관통 비아홀(113)의 내벽에 형성될 수 있다. 시드층(120)은 전해 도금을 위한 인입선의 역할을 위해 형성될 수 있다. 시드층(120)을 형성하는 방법은 특별히 한정되지 않고, 당업계 공지된 통상의 방법에 의해 형성될 수 있다. 예를 들어, 시드층(120)은 무전해 도금법과 같은 습식 도금법 또는 스퍼터링(Sputtering)과 같은 건식 도금법에 의해서 형성될 수 있다. 시드층(120)은 전기 전도성 금속으로 형성될 수 있다. 예를 들어, 시드층(120)은 구리로 형성될 수 있다. 그러나 시드층(120)의 재질은 구리로 한정되는 것은 아니다.

- [0057] 도5를 참조하면, 시드층(120)에 제1 도금 레지스트(210) 및 제2 도금 레지스트(220)가 형성될 수 있다.
- [0058] 제1 도금 레지스트(210)는 절연층(111)의 일면에 형성된 시드층(120) 상에 형성될 수 있다. 제1 도금 레지스트(210)는 추후 제1 회로층(130)이 형성될 영역을 노출하는 제1 도금 개구부(211)가 형성되도록 패터닝 될 수 있다.
- [0059] 제2 도금 레지스트(220)는 절연층(111)의 타면에 형성된 시드층(120) 상에 형성될 수 있다. 제2 도금 레지스트(220)는 추후 제2 회로층(140)이 형성될 영역을 노출하는 제2 도금 개구부(221)가 형성되도록 패터닝 될 수 있다.
- [0060] 예를 들어, 제1 도금 레지스트(210) 및 제2 도금 레지스트(220)는 드라이 필름(Dry Film)으로 형성될 수 있다. 또한, 제1 도금 개구부(211) 및 제2 도금 개구부(221)는 드라이 필름을 노광 및 현상을 수행하여 패터닝 될 수 있다.
- [0061] 도6 및 도7을 참조하면, 시드층(120)에 제1 회로층(130) 및 제2 회로층(140)이 형성될 수 있다.
- [0062] 제1 회로층(130)은 제1 도금 레지스트(210)의 제1 도금 개구부(도5의 211)에 형성될 수 있다. 또한, 제2 회로층(140)은 제2 도금 레지스트(220)의 제2 도금 개구부(도5의 221)에 형성될 수 있다. 제1 회로층(130) 및 제2 회로층(140)은 전기 전도성 금속으로 형성될 수 있다. 예를 들어, 제1 회로층(130) 및 제2 회로층(140)은 구리로 형성될 수 있다. 그러나 제1 회로층(130) 및 제2 회로층(140)의 재질은 구리로 한정되는 것은 아니다. 제1 회로층(130) 및 제2 회로층(140)은 회로 기관 분야에서 회로용 전도성 금속으로 사용되는 것이라면 제한 없이 적용 가능하다.
- [0063] 제1 회로층(130) 및 제2 회로층(140)은 시드층(120)을 인입선으로 이용하여 전해 도금법으로 형성될 수 있다.
- [0064] 본 발명의 실시 예에서, 제1 회로층(130) 및 제2 회로층(140)을 형성하는 방법으로 무전해 도금 및 전해 도금 방법을 예시로 설명하였으나, 이에 한정되는 것은 아니다. 즉, 제1 회로층(130) 및 제2 회로층(140)은 회로층을 형성하는 통상의 방법이라면 한정되지 않고 적용될 수 있다.
- [0065] 이와 같이 형성된 제1 회로층(130)은 제1 회로 패턴(131) 및 범프 패드(132)를 포함할 수 있다. 범프 패드(132)는 반도체 칩(미도시)과 전기적으로 연결될 수 있다. 본 발명의 실시 예에 따른 범프 패드(132)는 도7에 도시된 바와 같이 주변부 타입(Peripheral Type) 형태로 형성될 수 있다.
- [0066] 또한, 제2 회로층(140)은 제2 회로 패턴(141) 및 접속 패드(142)를 포함할 수 있다. 접속 패드(142)는 외부 접속 단자(미도시)가 직접 접속될 수 있다. 여기서, 외부 접속 단자(미도시)는 솔더볼이 될 수 있다.
- [0067] 이와 같이 제1 회로층(130) 및 제2 회로층(140)을 형성할 때, 동시에 관통 비아홀(도5의 113)에도 전해 도금이 수행될 수 있다. 따라서, 관통 비아홀(도5의 113)에 관통 비아(150)가 형성될 수 있다. 관통 비아(150)는 제1 회로층(130)과 제2 회로층(140)을 전기적으로 연결할 수 있다. 예를 들어, 관통 비아(150)는 제1 회로층(130)의 범프 패드(132)와 제2 회로층(140)의 접속 패드(142)를 전기적으로 연결할 수 있다.
- [0068] 도8 내지 도10을 참조하면, 제1 회로층(130) 및 제1 도금 레지스트(210) 상에 제3 도금 레지스트(230)가 형성될 수 있다. 제3 도금 레지스트(230)는 포스트 범프(160)가 형성될 영역을 노출하는 제3 도금 개구부(231)를 포함할 수 있다. 제2 도금 개구부(221)는 범프 패드(132) 상에 형성된다.
- [0069] 또한, 제2 도금 레지스트(220) 및 제2 회로층(140) 상에 제4 도금 레지스트(240)가 더 형성될 수 있다. 제4 도금 레지스트(240)는 추후 포스트 범프(160)를 형성할 때, 제2 도금 레지스트(220) 및 제2 회로층(140) 상에 도금이 수행되는 것을 방지하기 위해 형성될 수 있다.
- [0070] 제3 도금 레지스트(230) 및 제4 도금 레지스트(240)는 드라이 필름(Dry Film)으로 형성될 수 있다. 제2 도금 개구부(221)는 제3 도금 레지스트(230)를 노광 및 현상을 수행하여 패터닝 될 수 있다. 이때, 제3 도금 레지스트(230)는 도9에 도시된 바와 같이 다수개의 범프 패드(132)가 오픈되도록 제3 도금 개구부(231)가 패터닝 될 수 있다. 또한, 제3 도금 레지스트(230)는 도10에 도시된 바와 같이 다수개의 범프 패드(132)가 개별적으로 오픈되도록 제3 도금 개구부(231)가 패터닝 될 수 있다. 도9 및 도10에 도시된 제3 도금 레지스트(230)의 제3 도금 개구부(231)의 형태는 실시 예일 뿐, 이에 한정되는 것은 아니다. 즉, 제3 도금 레지스트(230)의 제3 도금 개구부

(231)의 형태는 당업자에 의해서 용이하게 변경될 수 있다.

- [0071] 도11을 참조하면, 제3 도금 레지스트(230)의 제3 도금 개구부(도8의 231)에 의해 노출된 범프 패드(132)에 포스트 범프(160)가 형성될 수 있다. 본 발명의 실시 예에 따르면, 포스트 범프(160)는 제1 회로층(130)과 동일한 재질로 형성될 수 있다. 또한, 포스트 범프(160)는 제1 회로층(130)과 동일한 방법으로 형성될 수 있다. 예를 들어, 제1 회로층(130)이 구리 재질이며, 전해 도금 방법으로 형성되면, 포스트 범프(160) 역시 구리 재질이며, 전해 도금 방법으로 형성될 수 있다. 따라서, 포스트 범프(160)는 범프 패드(132)와 일체형으로 형성될 수 있다. 범프 패드(132)는 추후 형성될 제1 솔더 레지스트층(도15의 170)보다 두껍게 형성될 수 있다. 즉, 범프 패드(132)는 추후 형성될 제1 솔더 레지스트층(도15의 170)으로부터 돌출되도록 형성될 수 있다.
- [0072] 도12를 참조하면, 제1 도금 레지스트(도11의 210) 내지 제4 도금 레지스트(도11의 240)를 제거할 수 있다. 제1 도금 레지스트(도11의 210) 내지 제4 도금 레지스트(도11의 240)를 제거하면, 시드층(120)이 노출될 수 있다. 여기서 노출된 시드층(120)은 제1 회로층(130) 및 제2 회로층(140)이 형성된 이외에 영역에 형성된 시드층(120)이다.
- [0073] 도13을 참조하면, 제1 도금 레지스트(도11의 210) 내지 제4 도금 레지스트(도11의 240)를 제거하여 노출된 시드층(120)을 제거할 수 있다. 예를 들어, 시드층(120)은 NaOH 또는 KOH와 같은 강염기를 사용한 킥 에칭에 의해 제거될 수 있다. 또한, 시드층(120)은 H₂O₂/H₂SO₄를 이용한 플래시 에칭 공법을 통해서 제거될 수 있다. 시드층(120)을 제거하는 방법은 특별히 한정되지 않고, 당업계에 공지된 통상의 방법에 의해서 수행될 수 있다. 이와 같이 시드층(120)이 제거된 영역에는 절연층(111)이 노출될 수 있다.
- [0074] 도14를 참고하면, 인쇄회로기판은 시드층(120)을 제거하면 도시된 바와 같은 범프 패드(132) 상에 포스트 범프(160)가 형성된 2층 구조를 가질 수 있다. 도14는 범프 패드(132) 상에 포스트 범프(160)가 형성된 2층 구조를 자세히 도시한 것으로, 제1 회로 패턴(도13의 131) 및 기타 구성부의 도시는 생략하였다.
- [0075] 도14에 도시된 바와 같이 범프 패드(132)에 포스트 범프(160)가 형성됨으로써, 추후 실장될 반도체 칩과 인쇄회로기판 간의 충분한 공간을 형성하여 언더필 재질의 흐름성을 향상시킬 수 있다. 또한, 포스트 범프(160)에 의해서 종래에 솔더로만 반도체 칩과 전기적으로 연결 될 때 보다 접촉 신뢰성이 향상될 수 있다. 이에 따라 인쇄회로기판과 반도체 칩 간의 전기적 특성 역시 향상 될 수 있다.
- [0076] 도15 및 도16을 참조하면, 절연층(111)에 제1 솔더 레지스트층(170) 및 제2 솔더 레지스트층(180)이 형성될 수 있다.
- [0077] 제1 솔더 레지스트층(170) 및 제2 솔더 레지스트층(180)은 회로 패턴을 보호하고, 전기적 절연을 위해서 형성될 수 있다.
- [0078] 제1 솔더 레지스트층(170)은 절연층(111)의 일면 및 제1 회로층(130) 상에 형성될 수 있다. 이제1 솔더 레지스트층(170)은 제1 회로 패턴(131)을 매립하도록 형성될 수 있다. 제1 솔더 레지스트층(170)은 포스트 범프(160)를 외부로 노출하는 제1 개구부(171)를 포함할 수 있다. 제1 개구부(171)는 포스트 범프(160) 뿐만 아니라 범프 패드(132)를 외부로 노출할 수 있다. 제1 개구부(171)에 의해서 범프 패드(132)가 노출되는 정도는 당업자에 의해서 용이하게 변경될 수 있다.
- [0079] 제2 솔더 레지스트층(180)은 절연층(111)의 타면 및 제2 회로층(140) 상에 형성될 수 있다. 제2 솔더 레지스트층(180)은 제2 회로 패턴(141)을 매립하도록 형성될 수 있다. 제2 솔더 레지스트층(180)은 접속 패드(142)를 외부로 노출하는 제2 개구부(181)를 포함할 수 있다.
- [0080] 이때, 포스트 범프(160)는 제1 솔더 레지스트층(170) 일면으로부터 돌출될 수 있다. 이와 같이 형성된 포스트 범프(160)에 의해서 반도체 칩(미도시)과 반도체 패키지 기판(100) 사이에 충분한 공간이 확보되어 언더필 재료의 흐름성을 향상시킬 수 있다.

- [0081] 도17을 참조하면, 외부로 노출된 범프 패드(132), 포스트 범프(160) 및 접속 패드(142)에 제1 표면 처리층(191) 및 제2 표면 처리층(192)이 형성될 수 있다.
- [0082] 제1 표면 처리층(191)은 제1 솔더 레지스트층(170)의 제1 개구부(171)에 의해서 노출된 포스트 범프(160) 및 범프 패드(132)에 형성될 수 있다. 제2 표면 처리층(192)은 제2 솔더 레지스트층(180)의 제2 개구부(181)에 의해서 노출된 접속 패드(142)에 형성될 수 있다.
- [0083] 제1 표면 처리층(191) 및 제2 표면 처리층(192)은 당업계에 공지된 것이라면 특별히 한정되는 것은 아니다. 예를 들어, 제1 표면 처리층(191) 및 제2 표면 처리층(192)은 예를 들어, 전해 금도금(Electro Gold Plating), 무전해 금도금(Immersion Gold Plating), OSP(organic Solderability preservative) 또는 무전해 주석도금(Immersion Tin Plating), 무전해 은도금(Immersion Silver Plating), DIG 도금(Direct Immersion Gold Plating), HASL(Hot Air Solder Leveling) 등에 의해 형성될 수 있다
- [0084] 제1 표면 처리층(191) 및 제2 표면 처리층(192)은 당업자에 의해서 선택적으로 형성될 수 있다.
- [0085] 이상 본 발명을 구체적인 실시 예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.
- [0086] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속하는 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

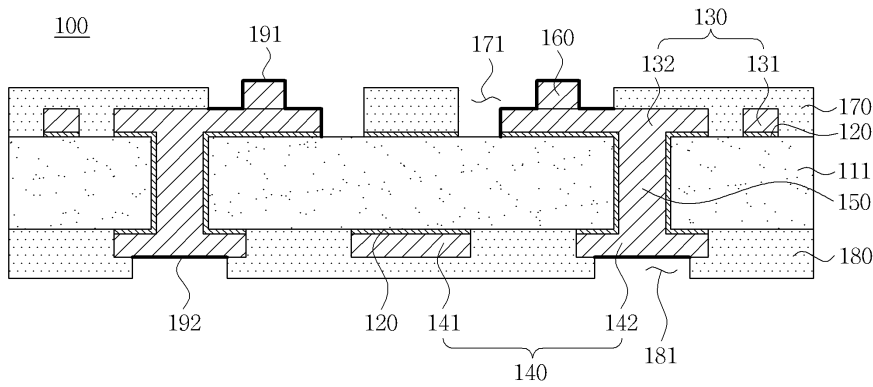
부호의 설명

- [0087] 100: 반도체 패키지 기판
- 110: 베이스 기판
- 111: 절연층
- 112: 동박
- 113: 관통 비아홀
- 120: 시드층
- 130: 제1 회로층
- 131: 제1 회로 패턴
- 132: 범프 패드
- 140: 제2 회로층
- 141: 제2 회로 패턴
- 142: 접속 패드
- 150: 관통 비아
- 160: 포스트 범프
- 170: 제1 솔더 레지스트층
- 171: 제1 개구부
- 180: 제2 솔더 레지스트층

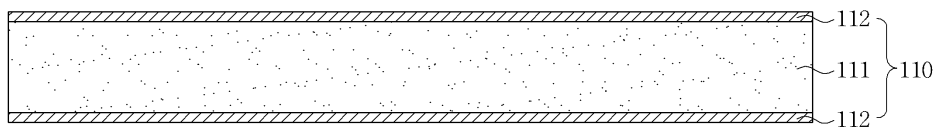
- 181: 제2 개구부
- 191: 제1 표면 처리층
- 192: 제2 표면 처리층
- 210: 제1 도금 레지스트
- 211: 제1 도금 개구부
- 220: 제2 도금 레지스트
- 221: 제2 도금 개구부
- 230: 제3 도금 레지스트
- 231: 제3 도금 개구부
- 240: 제4 도금 레지스트

도면

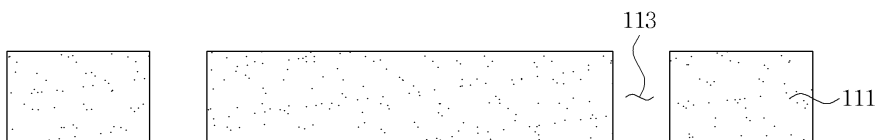
도면1



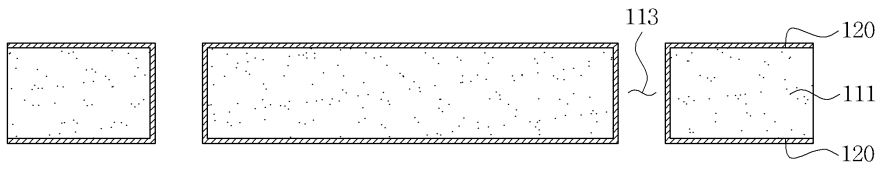
도면2



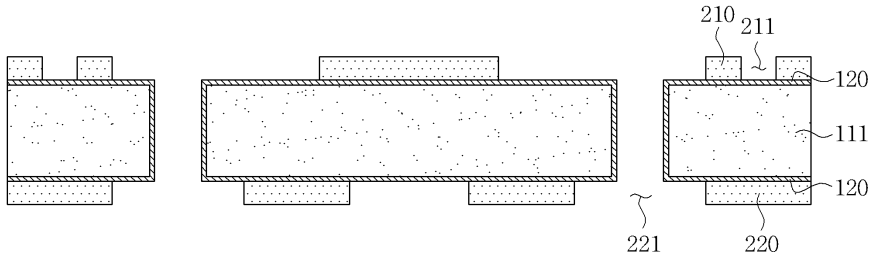
도면3



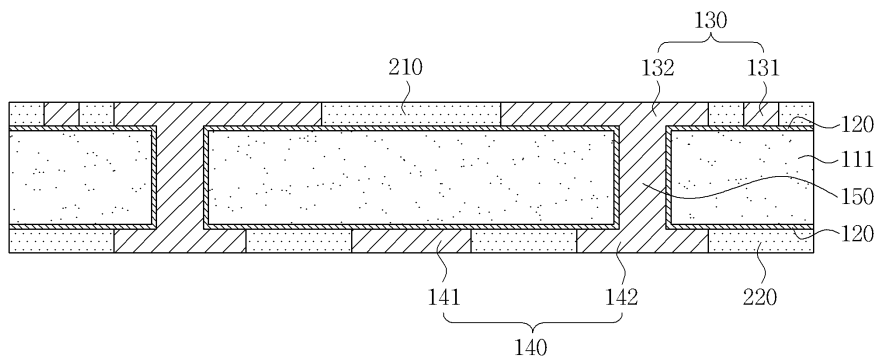
도면4



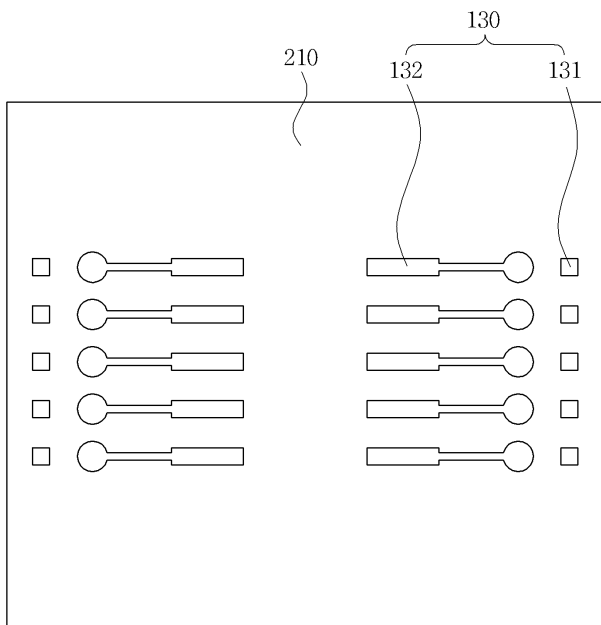
도면5



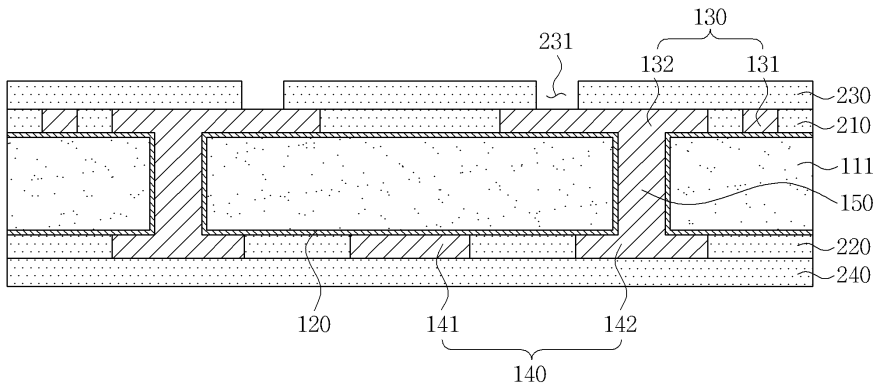
도면6



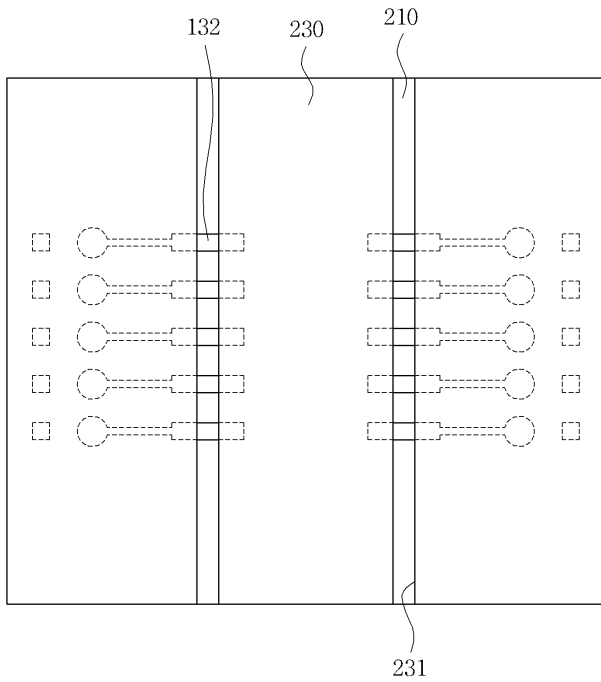
도면7



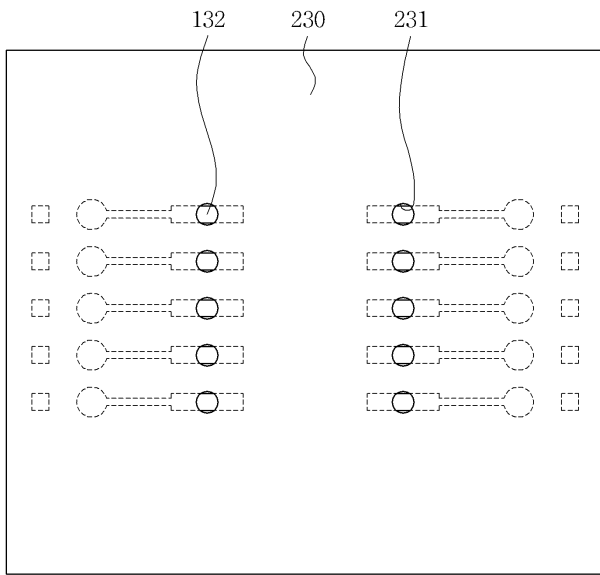
도면8



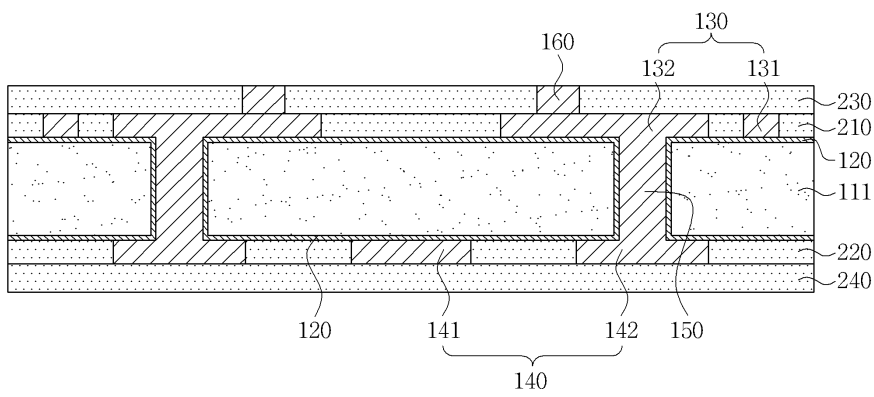
도면9



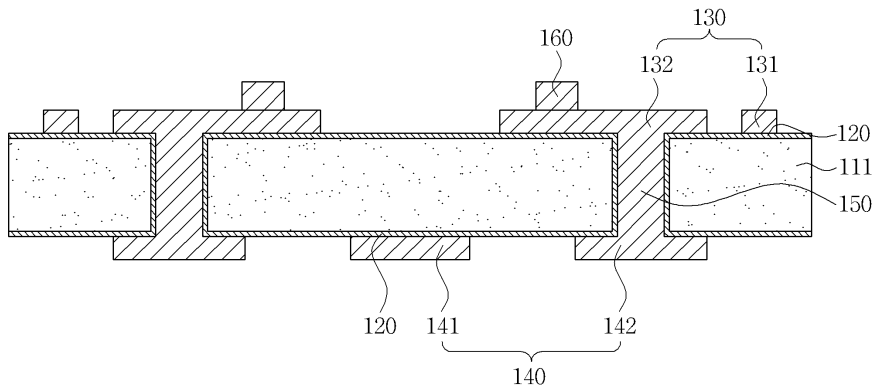
도면10



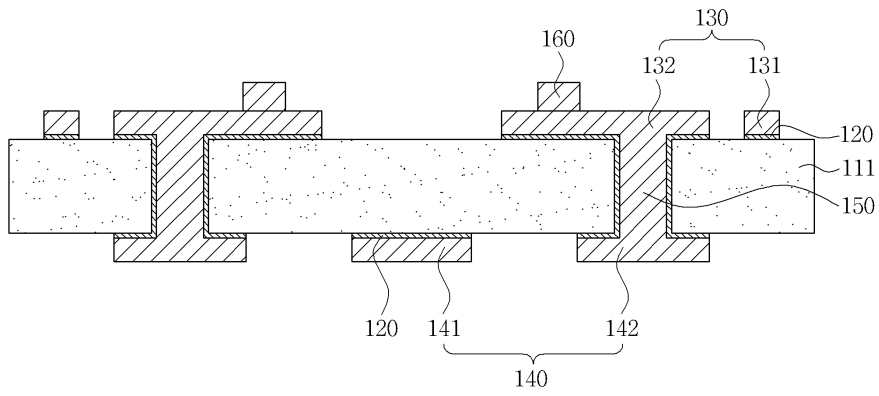
도면11



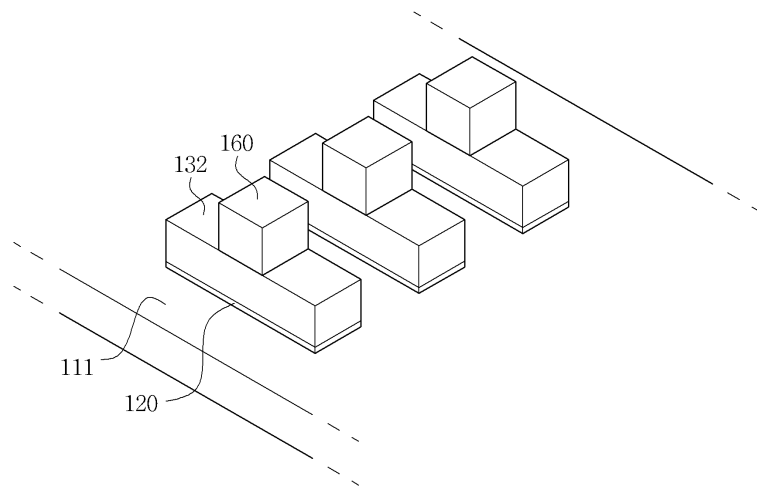
도면12



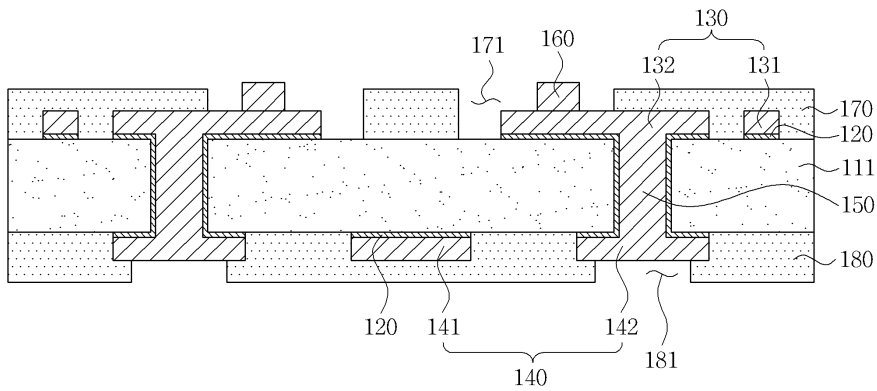
도면13



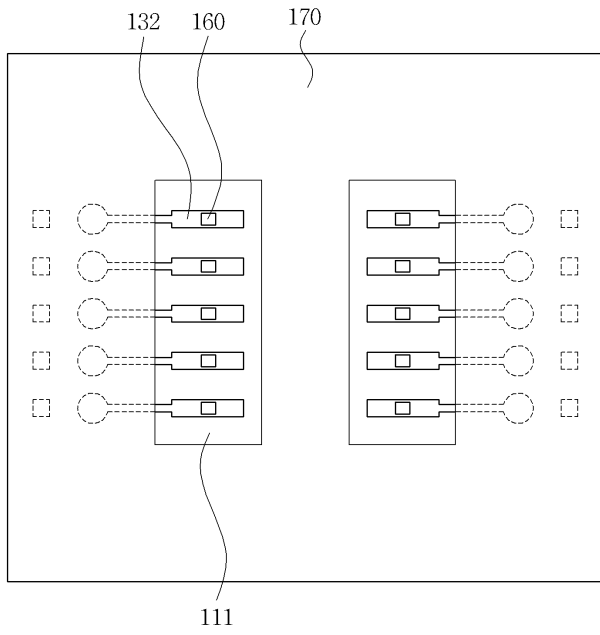
도면14



도면15



도면16



도면17

