



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월02일
(11) 등록번호 10-0790752
(24) 등록일자 2007년12월24일

(51) Int. Cl.

H01L 21/60 (2006.01) H01L 21/02 (2006.01)

(21) 출원번호 10-2007-0018207

(22) 출원일자 2007년02월23일

심사청구일자 2007년02월23일

(56) 선행기술조사문헌

US20050262929 A1

KR1020060069312 A

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

홍주표

경기 수원시 영통구 매탄3동 1251-4 105GH

최석문

서울 관악구 봉천6동 우성아파트 102-2302

(뒷면에 계속)

(74) 대리인

특허법인 씨엔에스·로고스

전체 청구항 수 : 총 12 항

심사관 : 백양규

(54) 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지

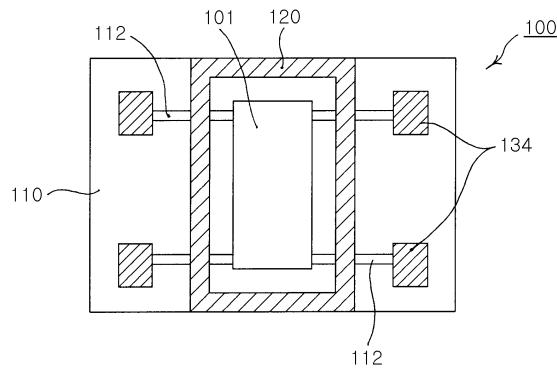
(57) 요약

실링라인을 갖는 웨이퍼 레벨 디바이스 패키지를 제공한다.

본 발명은 적어도 하나의 회로부를 탑재하고, 상기 회로부와 전기적으로 연결되는 복수개의 전도성 본딩부를 구비하는 디바이스 기판 ; 상기 회로부를 중심으로 하여 그 외측테두리를 따라 연속하여 형성되어 상기 회로부를 에워싸는 실링부 ; 및 상기 실링부의 외측에 배치된 전도성 본딩부와 접속되는 비아 연결부를 복수개 구비하여 상기 실링부 및 전도성 본딩부를 매개로 상기 디바이스 기판과 접합되는 캡 기판; 을 포함한다.

본 발명에 의하면, 기판간의 접합강도 및 기밀봉지력의 저하없이 패키지를 보다 소형화할 수 있으며, 배선의 설계 자유도를 향상시킬 수 있는 한편, 실링수단을 추가하여 기밀봉지력을 보다 향상시킬 수 있다.

대표도 - 도3



3-3

(72) 발명자

김태훈

경기 수원시 권선구 권선동 1023-2 이오스 619

가오

경기 수원시 영통구 매탄3동 주공그린빌아파트 그
린빌 302-1101

박승욱

서울 은평구 녹번동 134번지 8호 28통 4반 장군빌
라 101

특허청구의 범위

청구항 1

적어도 하나의 회로부를 탑재하고, 상기 회로부와 전기적으로 연결되는 복수개의 전도성 본딩부를 구비하는 디바이스 기관 ;

상기 회로부를 중심으로 하여 그 외측테두리를 따라 연속하여 형성되어 상기 회로부를 에워싸는 실링부 ; 및
 상기 실링부의 외측에 배치된 전도성 본딩부와 접속되는 비아 연결부를 복수개 구비하여 상기 실링부 및 전도성 본딩부를 매개로 상기 디바이스 기관과 접합되는 캡 기관; 을 포함하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 2

제1항에 있어서, 상기 실링부와 전도성 본딩부는 상기 회로부가 탑재되는 상기 디바이스 기관의 상부면에 구비됨을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 3

제1항에 있어서, 상기 실링부와 전도성 본딩부는 상기 회로부와 마주하는 상기 캡 기관의 하부면에 구비됨을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 4

제1항에 있어서, 상기 디바이스 기관과 캡 기관사이에는 수지재가 충전됨을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 5

제1항에 있어서, 상기 캡 기관은 외부면에 상기 비아 연결부와 접속되는 외부전극을 구비함을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 6

제1항에 있어서, 상기 비아 연결부는 상기 캡 기관의 각 모서리부에 일측으로 개구된 단면상으로 구비됨을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 7

제1항에 있어서, 상기 비아 연결부는 상기 캡 기관의 외측변을 따라 일측으로 개구된 단면상으로 구비됨을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 8

제1항에 있어서, 상기 비아 연결부는 상기 캡 기관의 몸체에 관통된 단면상으로 구비됨을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 9

제1항에 있어서, 상기 실링부는 전기 전도성 물질 또는 비전도성 물질로 이루어짐을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 10

제9항에 있어서, 상기 실링부가 전기 전도성 물질로 이루어지는 경우, 상기 실링부와 신호라인사이에는 절연물질을 추가 구비함을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 11

제9항에 있어서, 상기 실링부가 전기 전도성 물질로 이루어지는 경우, 상기 실링부는 상기 캡 기관에 형성되는

전도성 본딩부와 전기적으로 연결되는 전극패드로 사용됨을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

청구항 12

제1항에 있어서, 상기 회로부는 외부면에 패시베이션(passivation)을 추가 포함함을 특징으로 하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 웨이퍼 레벨 디바이스 패키지에 관한 것으로 보다 상세히는 기관간의 접합강도 및 기밀봉지력의 저하 없이 부피를 줄여 보다 소형화할 수 있고, 배선의 설계 자유도를 향상시킬 수 있으며, 기밀봉지력을 보다 향상시킬 수 있는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지에 관한 것이다.
- <16> 산업이 발달하고 사람들의 생활이 편리해지면서 전자 제품들이 많이 개발되고 있다. 이러한 전자 제품들에는 대부분 집적회로 장치들이 내장되어 있기 때문에 그 크기가 점차 소형화되고 있다. 때문에, 집적회로 장치의 소형화는 곧 전자 제품의 소형화로 이어진다.
- <17> 집적회로 장치를 소형화시키기 위하여 개발된 것이 웨이퍼 레벨로 디바이스를 패키징하는 웨이퍼 레벨 디바이스 패키지이다.
- <18> 이러한 웨이퍼 레벨 디바이스 패키지에서 패키징되는 핵심부품인 표면탄성파에 구비되는 IDT전극과 같이 습도와 같은 외부환경에 매우 민감한 경우, 이를 외부환경과 차단하기 위해서 별도의 납땜 또는 용접과 같은 밀봉수단을 이용하여 외부환경과 완전히 차단하도록 밀폐하였다.
- <19> 미국등록특허 5448014호에는 핵심부품을 외부환경으로부터 보호하도록 실링하는 웨이퍼 레벨 디바이스 패키지가 개시되어 있다.
- <20> 도 1에 도시한 바와 같이, 전자부품(13)을 갖는 상부기관(11)과, 복수개의 전도성 비아홀(19)을 형성한 하부기관(15)을 포함하고, 상기 전자부품(13)은 범프볼(13a)을 매개로 전도성 비아홀(19)과 전기적으로 연결되고, 상기 전도성 비아홀(19)은 외부전극(25)과 연결된다.
- <21> 상기 상부기관(11)의 하부면에 외측테두리에 형성되는 외벽(18)과 상기 하부기관(11)의 상부면 외측테두리에 형성되는 외벽(18)은 납땜(17)을 매개로 상하접합됨으로서, 상기 상부기관(11), 하부기관(15) 및 납땜(17) 사이에 상기 전자부품(13)의 외측테두리를 따라 형성되는 실링라인에 의해서 전자부품(13)을 외부환경으로부터 차단하였다.
- <22> 그러나, 상기한 구성의 패키지의 전제부피를 줄여 소형화하기 위해서, 상기 전자부품(13)을 에워싸는 실링라인의 폭을 줄여야만 하는데, 상기 납땜(17) 및 외벽(18)의 폭이 줄어들는 경우 실링라인에 의한 기밀봉지력을 저하시켜 전자부품에 대한 신뢰성을 저하시키는 한편, 상기 상,하부기관(11)(15)간의 접합강도를 저하시키는 문제점을 유발하였다.
- <23> 또한, 상기 전자부품으로부터 신호가 입출력되는 단자와 접속되는 외부전극의 위치가 상기 전자부품의 직하부에 해당되는 영역에 한정되기 때문에, 미도시된 메인기관에 패키지의 탑재시 배선의 자유도가 저하되는 문제점이 있었다.
- <24> 그리고, 상기 상,하부기관사이에 배치되는 전자부품의 외측을 따라 구비되는 실링라인에 실링수단을 추가로 배치하여 기밀봉지력을 가일층 향상시키는데 한계가 있었다.

발명이 이루고자 하는 기술적 과제

- <25> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 그 목적은 기관간의 접합강도 및 기밀봉지력의 저하 없이 패키지를 보다 소형화할 수 있으며, 배선의 설계 자유도를 향상시킬 수 있는 한편, 실링수단을 추가하여 기

밀봉지력을 보다 향상시킬 수 있는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지를 제공하고자 한다.

발명의 구성 및 작용

- <26> 상기와 같은 목적을 달성하기 위한 구체적인 수단으로서, 본 발명은 적어도 하나의 회로부를 탑재하고, 상기 회로부와 전기적으로 연결되는 복수개의 전도성 본딩부를 구비하는 디바이스 기판 ; 상기 회로부를 중심으로 하여 그 외측테두리를 따라 연속하여 형성되어 상기 회로부를 에워싸는 실링부 ; 및 상기 실링부의 외측에 배치된 전도성 본딩부와 접속되는 비아 연결부를 복수개 구비하여 상기 실링부 및 전도성 본딩부를 매개로 상기 디바이스 기판과 접합되는 캡 기판; 을 포함하는 실링라인을 갖는 웨이퍼 레벨 디바이스 패키지를 제공한다.
- <27> 바람직하게, 상기 실링부와 전도성 본딩부는 상기 회로부가 탑재되는 상기 디바이스 기판의 상부면에 구비된다.
- <28> 바람직하게, 상기 실링부와 전도성 본딩부는 상기 회로부와 마주하는 상기 캡 기판의 하부면에 구비된다.
- <29> 바람직하게, 상기 디바이스 기판과 캡 기판사이에는 수지재가 충전된다.
- <30> 바람직하게, 상기 캡 기판은 외부면에 상기 비아 연결부와 접속되는 외부전극을 구비한다.
- <31> 바람직하게, 상기 비아 연결부는 상기 캡 기판의 각 모서리부에 일측으로 개구된 단면상으로 구비된다.
- <32> 바람직하게, 상기 비아 연결부는 상기 캡 기판의 외측변을 따라 일측으로 개구된 단면상으로 구비된다.
- <33> 바람직하게, 상기 비아 연결부는 상기 캡 기판의 몸체에 관통된 단면상으로 구비된다.
- <34> 바람직하게, 상기 실링부는 전기 전도성 물질 또는 비전도성 물질로 이루어진다.
- <35> 더욱 바람직하게, 상기 실링부가 전기 전도성 물질로 이루어지는 경우, 상기 실링부와 신호라인사이에는 절연물질을 추가 구비한다.
- <36> 더욱 바람직하게, 상기 실링부는 상기 캡 기판에 형성되는 전도성 본딩부와 전기적으로 연결되는 전극패드로 사용된다.
- <37> 바람직하게, 상기 회로부는 외부면에 패시베이션(passivation)을 추가 포함한다.
- <38> 이하, 본 발명에 대하여 첨부된 도면에 따라서 보다 상세히 설명한다.
- <39> 도 2는 본 발명에 따른 웨이퍼 레벨 디바이스 패키지를 도시한 단면도이고, 도 3은 도 2의 3-3 선에서 바라본 평면도이다.
- <40> 본 발명의 웨이퍼 레벨 디바이스 패키지(100)는 도 2와 3에 도시한 바와 같이, 디바이스 기판(110), 실링부(120) 및 캡 기판(130)을 포함하여 구성된다.
- <41> 상기 디바이스 기판(110)은 적어도 하나의 회로부(101)를 상부면에 탑재하는 웨이퍼 부재로 이루어지며, 이러한 기판의 상부면에는 상기 회로부(101)와 더불어 이와 신호라인(112)을 매개로 하여 전기적으로 연결되는 복수개의 전도성 본딩부(114)를 일정높이를 갖도록 구비한다.
- <42> 여기서, 상기 회로부(101)는 패키지의 기능을 결정하는 핵심부품으로서 IDT 전극이 형성된 베어칩일 수도 있지만 이에 한정되는 것은 아니며, 패키지의 기능상 용도에 따라 반도체 칩이나 패턴회로로 구비될 수도 있다.
- <43> 또한, 상기 회로부(101)에는 외부환경으로부터 보호할 수 있도록 보호막인 패시베이션(passivation)(미도시)을 외부면에 추가 포함하는 것이 바람직하다.
- <44> 상기 실링부(120)는 상기 회로부(101)의 외측에 일정간격을 두고 배치되고, 상기 회로부(101)를 중심으로 하여 그 외측테두리를 따라 연속하여 일정높이로 형성되어 상기 회로부(101)를 에워싸는 실링부재이다.
- <45> 이러한 실링부(120)와 상기 전도성 본딩부(114)와 더불어 상기 회로부(101)가 탑재되는 디바이스 기판(110)의 상부면에 스크린 프린트 또는 증착방식에 의해서 형성되거나 상기 회로부(101)와 마주하는 캡 기판(130)의 하부면에 스크린 프린트 또는 증착방식에 의해서 형성될 수 있다.
- <46> 여기서, 상기 실링부(120)는 상기 캡 기판(130)과의 접합시 이들사이의 간격을 일정크기로 유지할 수 있도록 전도성 본딩부(114)와 동일한 높이로 구비되는 것이 바람직하다.
- <47> 또한, 상기 실링라인을 구성하는 실링부(120)는 전기 전도성 물질로 이루어지거나 비전도성 물질로 이루어질 수 있으며, 이러한 실링부(120)가 전기 전도성 물질로 이루어지는 경우, 상기 실링부(120)와 신호라인(112)사이

는 절연물질을 구비하여 상기 실링부(120)로의 전기신호의 전도를 차단하는 것이 바람직하다.

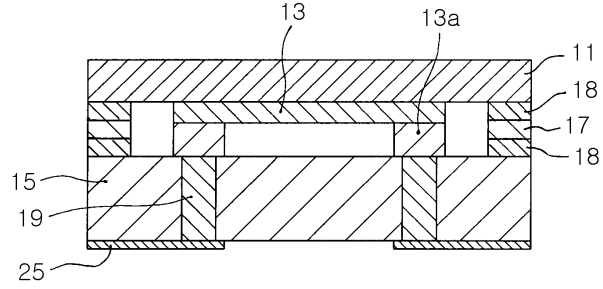
- <48> 그리고, 전도성 물질로 이루어지는 실링부(120)는 회로부(101)의 내부신호를 외부로 전송하고, 외부신호를 회로부(101)내로 전송하도록 상기 캡 기관(130)에 형성되는 전도성 본딩부(134)와 전기적으로 연결되는 전극패드로 사용될 수 있다.
- <49> 상기 캡 기관(130)은 상기 실링부(120)의 외측에 배치된 전도성 본딩부(114)와 접속되는 복수개의 비아 연결부(134)가 관통형성되는 기관부재이다.
- <50> 이러한 캡 기관(130)은 상기 실링부(120) 및 전도성 본딩부(114)를 매개로 상기 디바이스 기관(110)과 접합됨으로서 상기 디바이스 기관(110)과 실링부(120)와의 사이에 상기 회로부(101)를 외부와 차단하는 밀폐공간을 형성하게 된다.
- <51> 여기서, 상기 비아 연결부(134)는 편칭방식에 의해서 관통형성되며, 그 내부에는 전도성 물질이 채워지며, 이러한 비아 연결부(134)는 상기 캡 기관(130)의 외부면에 형성되는 외부전극(135)과 접속된다.
- <52> 또한, 상기 디바이스 기관(110)과 캡 기관(130)사이에는 도 4에 도시한 바와 같이, 에폭시 수지와 같은 수지재(140)를 외측으로부터 내측으로 주입하여 충진함으로써 상기 실링부(120)의 외측에 2차 실링영역을 구비한다.
- <53> 이러한 경우, 상기 디바이스 기관(110)에 구비되는 회로부(101)에 대한 기밀봉지력을 가일층 향상시키고, 이로 인하여 제품에 대한 신뢰성을 향상시킬 수 있는 것이다.
- <54> 한편, 상기 캡 기관(130)에 구비되는 비아 연결부(134)는 도 5(a)에 도시한 바와 같이, 상기 캡 기관(130)의 각 모서리부에 일측으로 개구된 단면상으로 구비된다.
- <55> 이러한 비아 연결부(134)는 기관용 웨이퍼(W)상에 형성되는 가상의 절단라인(X,Y)이 서로 교차되는 곳에 적어도 하나 이상의 비아홀(V)을 형성하고, 이에 전도성 물질을 충전한 다음, 절단라인(X,Y)을 따라 기관용 웨이퍼(W)를 절단함으로써 구비할 수 있다.
- <56> 또한, 상기 비아 연결부(134a)는 도 5(b)에 도시한 바와 같이, 상기 캡 기관(130)의 외측면을 따라 일측으로 개구된 단면상으로 구비된다.
- <57> 이러한 비아 연결부(134a)는 기관용 웨이퍼(W)상에 형성되는 가상의 절단라인(X,Y)을 따라 적어도 하나 이상의 비아홀(V1)을 형성하고, 이에 전도성 물질을 충전한 다음, 절단라인(X,Y)을 따라 기관용 웨이퍼(W)를 절단함으로써 구비할 수 있다.
- <58> 그리고, 상기 비아 연결부(134b)는 도 5(c)에 도시한 바와 같이 상기 캡 기관(130)의 몸체에 수직하게 관통된 단면상으로 구비된다.
- <59> 이러한 비아 연결부(134b)는 기관용 웨이퍼(W)상에 적어도 하나 이상의 비아홀(V2)을 형성하고, 이에 전도성 물질을 충전한 다음, 절단라인(X,Y)을 따라 기관용 웨이퍼(W)를 절단함으로써 구비할 수 있다.
- <60> 도 6(a)(b)(c)는 본 발명에 따른 실링라인을 갖는 웨이퍼 레벨 다바이스 패키지를 도시한 공정 순서도이다.
- <61> 도 6(a)에 도시한 바와 같이, 다바이스 기관(110)의 상부면에는 패키지의 용도에 따라 IDT 전극이 형성된 베어 칩이나 반도체 칩 또는 패턴회로중 어느 하나로 이루어진 회로부(101)를 구비한다.
- <62> 그리고, 상기 회로부(101)가 구비된 다바이스 기관(110)의 상부면에는 상기 회로부(101)를 상기 회로부(101)를 중심으로 하여 그 외측테두리를 따라 연속하여 일정높이로 형성되어 상기 회로부(101)를 에워싸는 실링부(120)를 구비한다.
- <63> 이와 동시에, 상기 실링부(120)의 외측에는 상기 회로부(101)와 신호라인(112)을 매개로 전기적으로 연결되는 전도성 본딩부(112)를 구비한다.
- <64> 이러한 실링부(120)와 신호라인(112)은 서로 동일한 높이로 형성되는 것이 바람직하다.
- <65> 여기서, 상기 실링부(120)와 전도성 본딩부(114)는 상기 회로부(101)가 탑재되는 다바이스 기관(110)의 상부면에 스크린 프린트 또는 증착방식에 의해서 형성되는 것으로 도시하고 설명하였지만 이에 한정되는 것은 아니며 상기 다바이스 기관(130)과 접합되는 캡기관(130)의 하부면에 스크린 프린트 또는 증착방식에 의해서 형성될 수 있다.
- <66> 연속하여, 도 6(b)에 도시한 바와 같이, 상기 회로부(101), 전도성 본딩부(114) 및 실링부(120)가 상부면에 형

<14> 134 : 비아 연결부

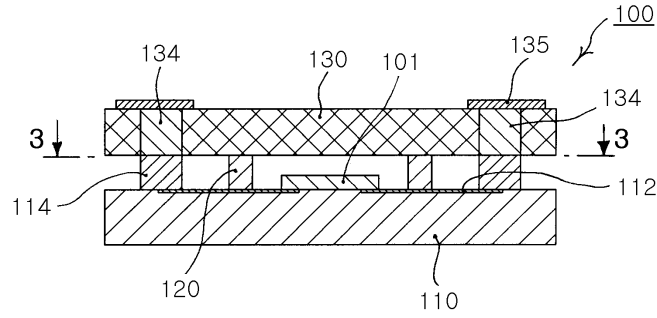
135 : 외부전극

도면

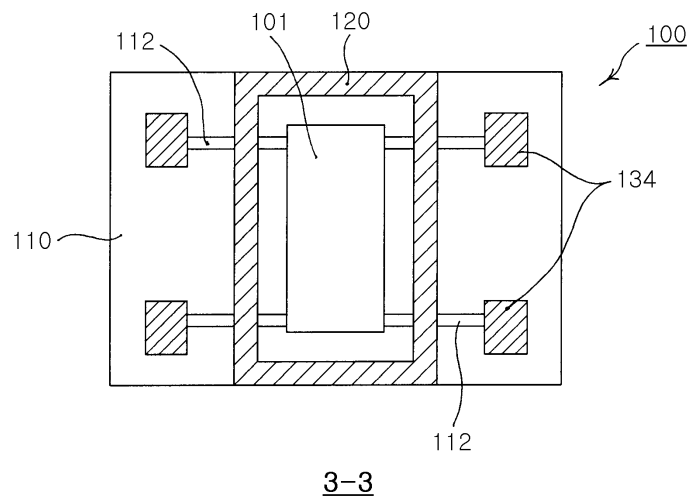
도면1



도면2

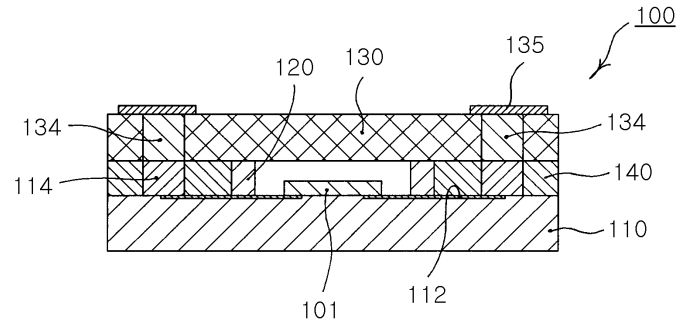


도면3

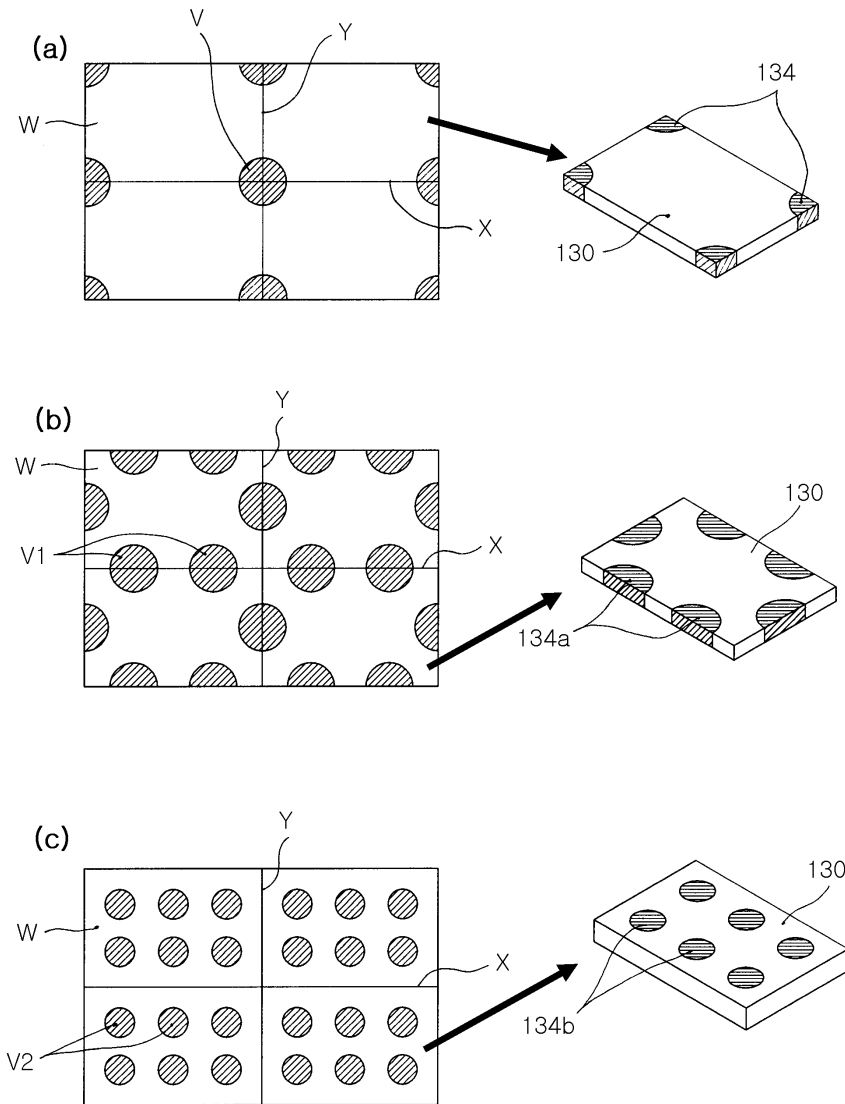


3-3

도면4



도면5



도면6

