

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6041630号
(P6041630)

(45) 発行日 平成28年12月14日(2016.12.14)

(24) 登録日 平成28年11月18日(2016.11.18)

(51) Int.Cl.

F 1

G09G	5/00	(2006.01)	G09G	5/00	550R
G09G	5/395	(2006.01)	G09G	5/00	530M
G09G	5/377	(2006.01)	G09G	5/36	530F
G06F	3/14	(2006.01)	G09G	5/36	520M
HO4N	5/225	(2006.01)	G06F	3/14	320A

請求項の数 6 (全 9 頁) 最終頁に続く

(21) 出願番号

特願2012-247034 (P2012-247034)

(22) 出願日

平成24年11月9日(2012.11.9)

(65) 公開番号

特開2014-95798 (P2014-95798A)

(43) 公開日

平成26年5月22日(2014.5.22)

審査請求日

平成27年11月6日(2015.11.6)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100090284

弁理士 田中 常雄

(72) 発明者 小沼 英俊

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【特許請求の範囲】

【請求項 1】

画像データと、前記画像データに合成される、複数のレイヤの素材データとを記憶するメモリと、

前記メモリを制御するメモリ制御手段と、

前記メモリに記憶された前記素材データのリクエストを出力し、前記メモリから読み出された素材データを、前記メモリから読み出された前記画像データに対して合成し、第1の合成画像データを生成する第1の合成手段と、

前記メモリに記憶された前記素材データのリクエストを出力し、前記メモリから読み出された素材データを、前記メモリから読み出された前記画像データに対して合成し、第2の合成画像データを生成する第2の合成手段

とを備え、

前記複数のレイヤは、前記第1の合成画像データ及び前記第2の合成画像データのために共に用いられる素材データを含む共通レイヤと、前記第1の合成画像データ及び前記第2の合成画像データのうち一方のために用いられ他方のために用いられない素材データを含む独自レイヤとを含み、

前記第1の合成手段と前記第2の合成手段が前記共通レイヤの素材データの合成を行う場合、前記第1の合成手段は前記共通レイヤの素材データのリクエストを出力して前記第2の合成手段は前記共通レイヤの素材データのリクエストを出力しないようにし、前記メモリ制御手段は、前記第1の合成手段から出力された前記共通レイヤの素材データのリク

10

20

エストに応じて前記共通レイヤの素材データを前記メモリから読み出して、前記第1の合成手段から出力された前記共通レイヤの素材データのリクエストに応じて前記メモリから読み出した前記共通レイヤの素材データを前記第1の合成手段及び前記第2の合成手段に共に出力し、

前記第1の合成手段が前記第1の合成画像データのための第1の独自レイヤの素材データの合成を行う場合、前記第1の合成手段は前記第1の独自レイヤの素材データのリクエストを出力し、前記メモリ制御手段は、前記第1の合成手段から出力された前記第1の独自レイヤの素材データのリクエストに応じて前記第1の独自レイヤの素材データを前記メモリから読み出して、前記第1の合成手段に出力し、

前記第2の合成手段が前記第2の合成画像データのための第2の独自レイヤの素材データの合成を行う場合、前記第2の合成手段は前記第2の独自レイヤの素材データのリクエストを出力し、前記メモリ制御手段は、前記第2の合成手段から出力された前記第2の独自レイヤの素材データを前記メモリから読み出して、前記第2の合成手段に出力することを特徴とする画像処理装置。10

【請求項2】

第1のタイミング発生手段と、

第2のタイミング発生手段と、

前記第1のタイミング発生手段からのタイミング信号と前記第2のタイミング発生手段からのタイミング信号の何れかを選択して前記第1の画像合成手段に出力する第1の切り換え手段と、20

前記第1のタイミング発生手段からのタイミング信号と前記第2のタイミング発生手段からのタイミング信号の何れかを選択して前記第2の画像合成手段に出力する第2の切り換え手段と、

前記第1の合成手段と前記第2の合成手段の出力画像サイズ、出力フレームレート及び出力タイミングが同じである場合に、前記第1の切り換え手段と前記第2の切り換え手段がそれぞれ、前記第1のタイミング発生手段からのタイミング信号を選択するように制御する手段とを備えることを特徴とする請求項1に記載の画像処理装置。

【請求項3】

前記第1の合成手段と前記第2の合成部はそれぞれ、1ラインの前記画像データと1ラインの前記共通レイヤの素材データとを合成し、30

前記第1の合成手段は、1ラインの前記画像データと前記共通レイヤの素材データとが合成された画像データに対し、1ラインの前記第1の独自レイヤの素材データを合成することにより、1ラインの前記第1の合成画像データを生成し、

前記第2の合成手段は、1ラインの前記画像データと前記共通レイヤの素材データとが合成された画像データに対し、1ラインの前記第2の独自レイヤの素材データを合成することにより、1ラインの前記第2の合成画像データを生成することを特徴とする請求項1に記載の画像処理装置。

【請求項4】

前記第1の合成手段と前記第2の合成手段は、それぞれが1ライン分の画像データを記憶可能な複数のラインメモリを有することを特徴とする請求項3に記載の画像処理装置。40

【請求項5】

前記第1の合成手段により生成された前記第1の合成画像データを第1の表示部に出力する第1の出力手段と、前記第2の合成手段により生成された前記第2の合成画像データを第2の表示部に出力する第2の出力手段とを備えることを特徴とする請求項1に記載の画像処理装置。

【請求項6】

撮像手段を備え、

前記メモリは前記撮像手段により得られた画像データを記憶することを特徴とする請求項1に記載の画像処理装置。50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、画像処理装置に関し、特に、メモリを用いて画像の合成を行う装置に関する。

【背景技術】**【0002】**

従来、デジタルカメラに組み込まれる画像処理装置は、撮影画像を液晶モニタなどの内蔵の表示部に表示すると共に、外部の表示装置などに出力する機能を持つ。近年では、撮影する画像の画素数が増加しており、フルHD (High Definition) と呼ばれる横1920画素×縦1080画素、60フレーム毎秒の動画を撮影可能な撮像装置も登場している。

10

【0003】

内蔵表示部に撮影画像を表示する場合、撮影画像だけでなく、撮影開始からの経過時間及び記録媒体の残量などの撮影状況の情報、各種のアイコン、並びにフレーミングを確認するための枠など、各種の情報が多重されて表示される。

【0004】

一方、外部出力画像には、内蔵表示部で撮影画像に多重される情報とは別の情報が多重されることがある。

【0005】

20

このように、表示すべき画像に各種の情報を多重する場合、画像データを一旦メモリに格納し、当該メモリ上で合成処理を行うことが一般的である（例えば、特許文献1参照）。

【先行技術文献】**【特許文献】****【0006】****【特許文献1】特開2010-204262号公報****【発明の概要】****【発明が解決しようとする課題】****【0007】**

30

デジタルカメラでは、内部表示用画像及び外部出力用画像以外にも記録用画像があり、撮影画像に対して状況に応じてこれらの画像を実質的に同時生成する必要がある。扱う画像の画素数の増加により、広いメモリ帯域と処理能力が必要とされる。

【0008】

こうした状況において、従来技術では、同時生成する必要のある画像数に応じた数の画像処理部、いわゆるレイヤの合計数のレイヤ画像合成部が必要となる。また、表示装置の出力タイミングを揃えるためには、レイヤ画像合成部に画像データを一時記憶するラインメモリを設ける必要がある。これらは全て、回路規模の増大、従ってコスト上昇につながる。

【0009】

40

本発明は、同一の画像を基に部分的に異なる情報を重畠して複数の画像を生成する場合の処理能力を軽減した画像処理装置を提示することを目的とする。

【課題を解決するための手段】**【0010】**

上記目的を達成するために、本発明に係る画像処理装置は、画像データと、前記画像データに合成される、複数のレイヤの素材データとを記憶するメモリと、前記メモリを制御するメモリ制御手段と、前記メモリに記憶された前記素材データのリクエストを出力し、前記メモリから読み出された素材データを、前記メモリから読み出された前記画像データに対して合成し、第1の合成画像データを生成する第1の合成手段と、前記メモリに記憶された前記素材データのリクエストを出力し、前記メモリから読み出された素材データを

50

、前記メモリから読み出された前記画像データに対して合成し、第2の合成画像データを生成する第2の合成手段とを備え、前記複数のレイヤは、前記第1の合成画像データ及び前記第2の合成画像データのために共に用いられる素材データを含む共通レイヤと、前記第1の合成画像データ及び前記第2の合成画像データのうち一方のために用いられ他方のために用いられない素材データを含む独自レイヤとを含み、前記第1の合成手段と前記第2の合成手段が前記共通レイヤの素材データの合成を行う場合、前記第1の合成手段は前記共通レイヤの素材データのリクエストを出力して前記第2の合成手段は前記共通レイヤの素材データのリクエストを出力しないようにし、前記メモリ制御手段は、前記第1の合成手段から出力された前記共通レイヤの素材データのリクエストに応じて前記共通レイヤの素材データを前記メモリから読み出して、前記第1の合成手段から出力された前記共通レイヤの素材データを前記第1の合成手段及び前記第2の合成手段に共に出力し、前記第1の合成手段が前記第1の合成画像データのための第1の独自レイヤの素材データの合成を行う場合、前記第1の合成手段は前記第1の独自レイヤの素材データのリクエストを出力し、前記メモリ制御手段は、前記第1の合成手段から出力された前記第1の独自レイヤの素材データを前記メモリから読み出して、前記第1の合成手段に出力し、前記第2の合成手段が前記第2の合成画像データのための第2の独自レイヤの素材データの合成を行う場合、前記第2の合成手段は前記第2の独自レイヤの素材データのリクエストを出力し、前記メモリ制御手段は、前記第2の合成手段から出力された前記第2の独自レイヤの素材データのリクエストに応じて前記第2の合成手段に出力することを特徴とする。10
20

【発明の効果】

【0011】

本発明によれば、メモリ上の画像データに一部が異なる情報を合成した複数の画像を生成する場合に、当該メモリのバス帯域を削減でき、回路規模の増大を抑制できる。

【図面の簡単な説明】

【0012】

【図1】本発明の一実施例を含む撮像装置の概略構成ブロック図である。30

【図2】レイヤ合成の概念を示す説明図である。

【図3】画像合成部の概略構成ブロック図である。

【図4】部分的に異なるデータを合成対象とする2つの画像合成の説明例である。

【図5】同期制御部の概略構成ブロック図である。

【図6】帯域削減モードでのメモリ制御部から画像合成部へのデータの流れを説明する概略構成ブロック図である。

【発明を実施するための形態】

【0013】

以下、図面を参照して、本発明の実施例を詳細に説明する。

【実施例1】

【0014】

図1は、本発明に係る画像処理装置の一実施例を組み込んだ撮像装置の概略構成ブロック図を示す。101は撮像部、102は現像処理部、103は画像信号処理部、104はフレームメモリである。105A、105Bは画像合成部、107は同期制御部、108はCPU、109はユーザ操作部、110A、110Bは表示部、112は、フレームメモリ104のデータ書き込みと読み出しを制御するメモリ制御部である。

【0015】

撮像部101は被写体の光学像から生成される画像データを現像処理部102に供給する。現像処理部102は、撮像部101からの撮影画像データを現像処理し、画像信号処理部103は、現像処理部102の出力画像に所定の画像処理を施す。画像信号処理部1

40

50

03は、メモリ制御部112に対してフレームメモリ104に画像データを転送する為のリクエストを発行し、メモリ制御部112は、フレームメモリ104に画像データを格納する。

【0016】

ユーザは、ユーザ操作部109により、画像データを表示部110A, 110Bに出力するか否かをCPU108に指示できる。CPU108は、ユーザによるこの指示に従い、画像合成部105A, 105Bによるフレームメモリ104へのアクセス帯域削減モードの可否を判断する。帯域削減モードでは、画像合成部105A, 105Bは、同期制御部107により同じタイミング信号で制御され、協調して動作する。帯域削減モードで動作させることができない場合、画像合成部105A, 105Bは、同期制御部107からのそれぞれ独立のタイミング信号で制御され、互いに独立に動作する。画像合成部105Aの出力画像は表示部110Aに供給され、画像合成部105Bの出力画像は表示部110Bに供給される。

【0017】

図2を参照して、画像合成部105A, 105Bによるレイヤ合成の概念を簡単に説明する。素材201～205のレイヤデータをレイヤ合成部206が合成して、合成画像207を出力する。レイヤ0の素材201は撮像部101からの撮影画像である。レイヤ1の素材202は時刻、例えば撮影時刻である。レイヤ2の素材203は、特定箇所を示すフレーム枠、例えば、顔認識範囲を示すフレーム枠である。レイヤ3の素材204は、記録中の示すアイコン／文字である。レイヤ4の素材205は、撮影画像上に重畠する飾り等である。フレームメモリ104は、これら複数のレイヤデータを記憶できる。

【0018】

図3は、画像合成部105A, 105Bの概略構成ブロック図を示す。画像合成部105A, 105Bは同じ構成からなる。画像合成部105A, 105Bの一方が第1の画像合成手段に相当し、他方が第2の画像合成手段に相当する。

【0019】

301はタイミング制御部、302はレイヤ管理部、303は読み出し制御部、304はリクエスト・マスク制御部、305は信号切換え部、306は FIFO、307はレイヤ合成部である。308はラインメモリ制御部、309はラインメモリ310, 311のバンク制御部、310, 311はラインメモリ、312は出力制御部である。

【0020】

タイミング制御部301は、同期制御部107からライン単位の処理をする為のタイミング信号を受け取る。読み出し制御部303は、タイミング制御部301からのタイミング信号に従い、レイヤ管理部302から各レイヤのフレームメモリ104上のアドレス情報を取得し、リクエスト・マスク制御部304にフレームメモリ104へのアクセス・リクエストを発行する。リクエスト・マスク制御部304は、読み出し制御部303からのアクセス・リクエストをメモリ制御部112に発行するか止めるかを判断する。アクセス・リクエストが発行された場合、メモリ制御部112は、フレームメモリ104から読み出した画像データを信号切換え部305に転送する。信号切換え部305は、メモリ制御部112に接続する2つの入力ポートを持っており、一方の入力ポートからのデータを選択して FIFO306に転送する。FIFO306は、信号切換え部305からの、フレームメモリ104より読み出した画像データを一時蓄える。

【0021】

レイヤ合成部307は、FIFO306で蓄えられた画像データと、ラインメモリ制御部308から読み出された画像データとを合成する。レイヤ合成部307で合成された合成画像データは、再びラインメモリ制御部308に書き戻される。ラインメモリ制御部308は、ラインメモリ310、ラインメモリ311及びバンク制御部309で構成されている。バンク制御部309は、タイミング制御部301からのライン先頭を指示するタイミング信号に従い、ラインメモリ310とラインメモリ311の一方を出力用に使用し、もう一方を画像合成用に使用する。出力制御部312は、タイミング制御部301からの

10

20

30

40

50

タイミング信号に従い、ラインメモリ制御部 308 から読み出されたデータを表示部 110A, 110B に出力する。

【0022】

図4を参照して、帯域削減モード動作におけるレイヤ割り当て動作を説明する。401は、画像合成部 105A の出力画像例を示す。402は画像合成部 105A が出力画像 401 を生成する為の素材であるレイヤ0の画像例を示す。403は、画像合成部 105A が出力画像 401 を生成する為の素材であるレイヤ1の画像例を示す。404は、画像合成部 105A が出力画像 401 を生成する為の素材であるレイヤ2の画像例を示す。405は、画像合成部 105A が出力画像 401 を生成する為の素材であるレイヤ3の画像例を示す。406は、画像合成部 105A が出力画像 401 を生成する為の素材であるレイヤ4の画像例を示す。

10

【0023】

407は、画像合成部 105B の出力画像例を表している。408は、画像合成部 105B が出力画像 407 を生成する為の素材であるレイヤ0の画像例を示す。409は、画像合成部 105B が出力画像 407 を生成する為の素材であるレイヤ1の画像例を示す。410は、画像合成部 105B が出力画像 407 を生成する為の素材であるレイヤ2の画像例を示す。

20

【0024】

出力画像 401 と出力画像 407 を生成するにあたり、共通の素材レイヤを共通レイヤと呼び、それぞれに固有のレイヤを独自レイヤと呼ぶことにする。本実施例では、帯域削減モードにおいて、共通レイヤを先頭に配置し、次に独自レイヤを配置するレイヤ割り付け方法を採用する。

20

【0025】

図5は、同期制御部 107 の概略構成ブロック図を示す。501, 502 はタイミング信号を発生するタイミング発生部、503, 504 は信号切換え部を示す。信号切換え部 503 は、画像合成部 105A を制御するタイミング信号を選択する。信号切換え部 504 は、画像合成部 105B を制御するタイミング信号を選択する。画像合成部 105A, 105B を帯域削減モードで動作させる場合、CPU108 は、画像合成部 105A, 105B が同じ一つのタイミング発生部 501 又は 502 で制御されるように信号切換え部 503, 504 を制御する。

30

【0026】

図6は、帯域削減モードでのメモリ制御部 112 と画像合成部 105A, 105B の信号切換え部との間のデータの流れを示す。そのデータの流れを太実線で図示してある。なお、画像合成部 105A の構成要素には、図3で説明した符号に符号 A を付加し、画像合成部 105B の構成要素には、図3で説明した符号に符号 B を付加してある。画像合成部 105A, 105B の構成要素としては、理解に必要な構成要素のみを図示し、他を省略してある。

30

【0027】

ユーザは、ユーザ操作部 109 により画像合成部 105A, 105B の出力画像情報を CPU108 に通知又は設定する。CPU108 は、画像合成部 105A, 105B の出力画像情報により、画像合成部 105A, 105B を帯域削減モードで動作させることができか否かを判断する。帯域削減モードで動作するには、次の4条件を満たす必要がある。第1の条件は、画像合成部 105A, 105B の出力画像サイズが同じであることである。第2の条件は、画像合成部 105A, 105B の出力フレームレートが同じであることである。第3の条件は、共通レイヤの後に独自レイヤを配置できるレイヤ割り当てが可能であることである。第4の条件は、画像合成部 105A の出力タイミングと画像合成部 105B のそれとを同じにすることが可能であることである。

40

【0028】

上記4条件が満たされる場合、同期制御部 107 は、タイミング発生部 501 (または 502) から生成されたタイミング信号を画像合成部 105A, 105B に供給する。画

50

像合成部 105A は、レイヤ 0 から順に画像データを読み出し画像合成を行う。他方、画像合成部 105B は、共通レイヤの画像合成に対する動作と、独自レイヤの画像合成に対する動作が異なる。すなわち、共通レイヤに対しては、リクエスト・マスク制御部 304B がメモリ制御部 112 へのアクセス・リクエストをマスクする。そして、信号切換え部 305B が、画像合成部 105A が発行したアクセス・リクエストでフレームメモリ 104 から読み出される画像データを FIFO 306B に供給する。独自レイヤに対しては、リクエスト・マスク制御部 304B が読み出し制御部 303B からのアクセス・リクエストをメモリ制御部 112 に供給する。そして、信号切換え部 305B が、画像合成部 105B が発行したアクセス・リクエストでフレームメモリ 104 から読み出される画像データを FIFO 306B に供給する。

10

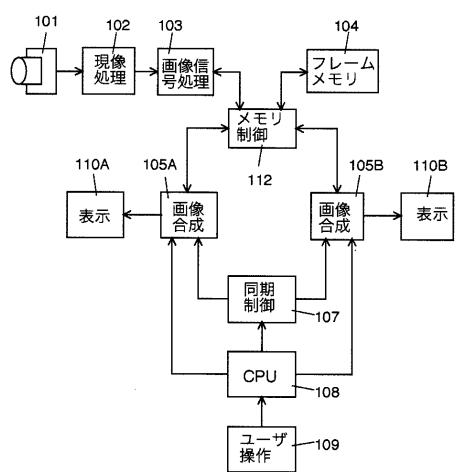
【 0 0 2 9 】

このような動作により、共通レイヤに対応する部分についてメモリアクセスを削減できる。

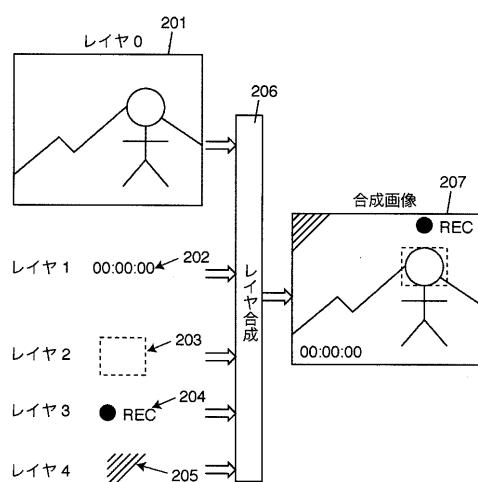
[0 0 3 0]

以上、本発明の好ましい実施例を説明したが、本発明は上述の実施例に限定されず、その要旨の範囲内で種々の変形及び変更が可能である。

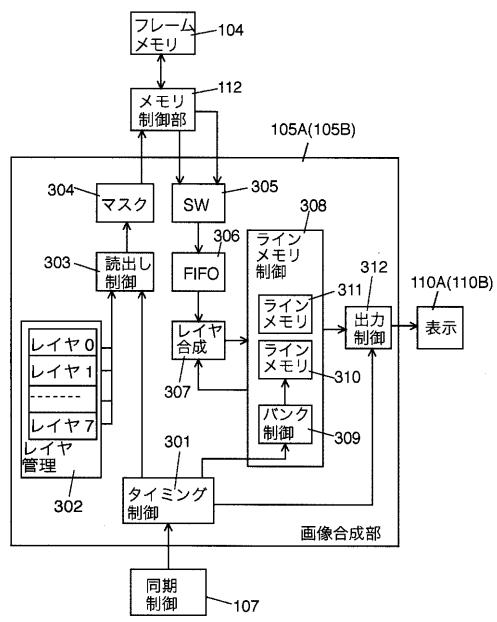
〔 1 〕



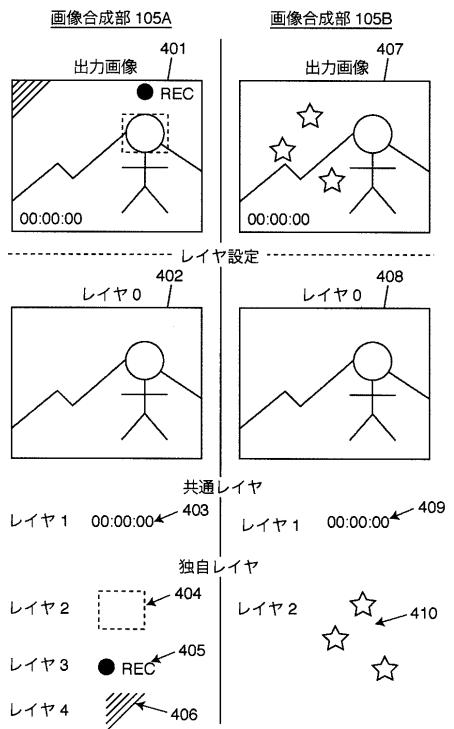
〔 2 〕



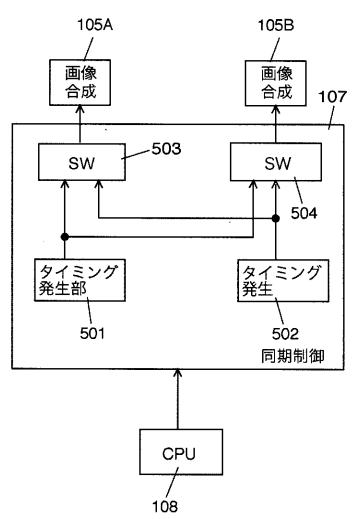
【図3】



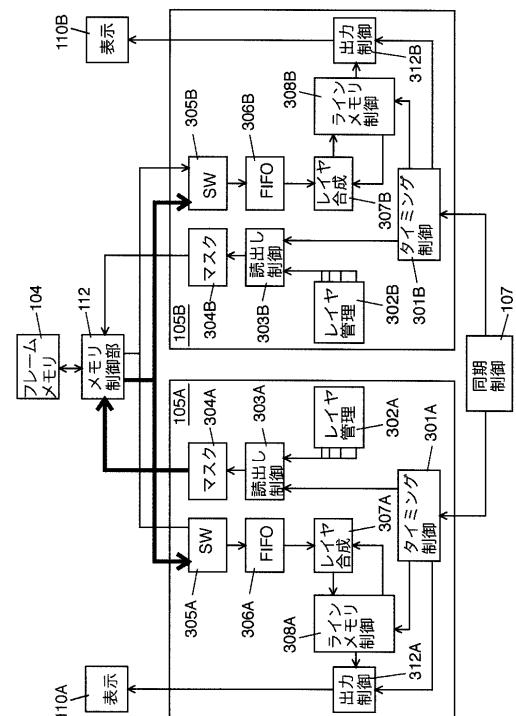
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.	F I			
G 0 6 T	1/60	(2006.01)	G 0 6 F	3/14
			H 0 4 N	5/225
			G 0 6 T	1/60
				4 5 0 F

(56)参考文献 特開2008-026450 (JP, A)
特開平03-166590 (JP, A)
特開2005-043695 (JP, A)
特開2005-292677 (JP, A)
特開2010-204262 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	5 / 0 0	-	5 / 4 2
G 0 6 F	3 / 1 4		
G 0 6 T	1 / 6 0		
H 0 4 N	5 / 2 2 5		